【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第６部門第４区分
【発行日】平成16年12月2日(2004.12.2)

【公開番号】特開2001-283583(P2001-283583A)
【公開日】平成13年10月12日(2001.10.12)
【出願番号】特願2000-92226(P2000-92226)
【国際特許分類第７版】
　Ｇ１１Ｃ　11/22
　Ｇ１１Ｃ　14/00
【ＦＩ】
　Ｇ１１Ｃ　11/22
　Ｇ１１Ｃ　11/34　　３５２Ａ

【手続補正書】
【提出日】平成15年12月18日(2003.12.18)
【手続補正１】
【補正対象書類名】明細書
【補正対象項目名】請求項１
【補正方法】変更
【補正の内容】
【請求項１】
強誘電体よりなるメモリセルと、
該メモリセルの一端とデータ伝送経路との間に接続されるセルトランジスタと、
対応ローアドレスが選択されると活性化されるグローバルワード線と、
対応ローアドレスが選択されると活性化されるグローバルプレート線と、
一つ又は複数のコラムアドレスを一つのユニットに対応させるように該メモリセル及び該セルトランジスタがグループ分けされた複数のユニットについて、各ユニット毎に別個に設けられ該セルトランジスタのゲートに接続されるローカルワード線と、
各ユニット毎に別個に設けられ該メモリセルの該一端とは別の一端に接続されるローカルプレート線と、
選択されたユニットにおいて該グローバルワード線と該ローカルワード線とを電気的に接続して両ワード線を同電位にさせると共に該グローバルプレート線と該ローカルプレート線とを電気的に接続して両プレート線を同電位にさせるユニットスイッチ回路を含むことを特徴とする半導体記憶装置。
【手続補正２】
【補正対象書類名】明細書
【補正対象項目名】００２０
【補正方法】変更
【補正の内容】
【００２０】
【課題を解決するための手段】
請求項１の発明では、半導体記憶装置は、強誘電体よりなるメモリセルと、該メモリセルの一端とデータ伝送経路との間に接続されるセルトランジスタと、対応ローアドレスが選択されると活性化されるグローバルワード線と、対応ローアドレスが選択されると活性化されるグローバルプレート線と、一つ又は複数のコラムアドレスを一つのユニットに対応させるように該メモリセル及び該セルトランジスタがグループ分けされた複数のユニットについて、各ユニット毎に別個に設けられ該セルトランジスタのゲートに接続されるローカルワード線と、各ユニット毎に別個に設けられ該メモリセルの該一端とは別の一端に接続されるローカルプレート線と、選択されたユニットにおいて該グローバルワード線と該

ローカルワード線とを電気的に接続して両ワード線を同電位にさせると共に該グローバルプレート線と該ローカルプレート線とを電気的に接続して両プレート線を同電位にさせるユニットスイッチ回路を含むことを特徴とする。