

(19) 日本国特許庁(JP)

## (12) 公表特許公報(A)

(11) 特許出願公表番号

特表2014-528628  
(P2014-528628A)

(43) 公表日 平成26年10月27日(2014.10.27)

(51) Int.Cl.

G 0 6 T 1/20 (2006.01)

F 1

G 0 6 T 1/20

テーマコード(参考)

C

5 B 0 5 7

審査請求 未請求 予備審査請求 未請求 (全 35 頁)

(21) 出願番号 特願2014-535966 (P2014-535966)  
 (86) (22) 出願日 平成24年10月14日 (2012.10.14)  
 (85) 翻訳文提出日 平成26年5月23日 (2014.5.23)  
 (86) 國際出願番号 PCT/US2012/060159  
 (87) 國際公開番号 WO2013/056198  
 (87) 國際公開日 平成25年4月18日 (2013.4.18)  
 (31) 優先権主張番号 61/547,442  
 (32) 優先日 平成23年10月14日 (2011.10.14)  
 (33) 優先権主張国 米国(US)

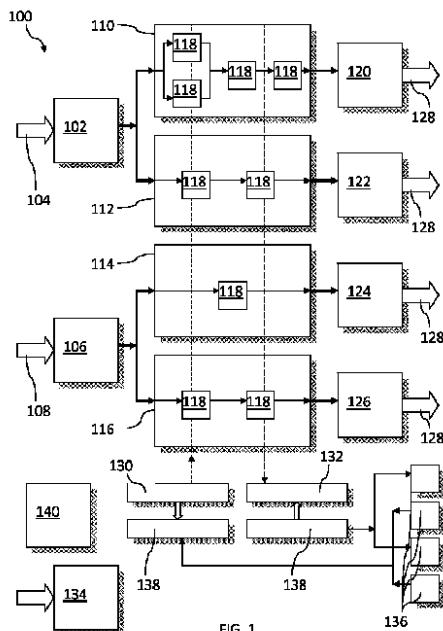
(71) 出願人 501144003  
 アナログ・デバイシズ・インコーポレーテッド  
 アメリカ合衆国マサチューセッツ州ノーウッド, ワン・テクノロジー・ウェイ (番地なし)  
 (74) 代理人 100102842  
 弁理士 葛和 清司  
 (72) 発明者 ラオ, サティッシュチャンドラ, ジー.  
 インド共和国 バンガロール 56007  
 8、ジェー ピー ナガール 8' ス フェイス、ブリゲイド ガーデニア、イー-1206

最終頁に続く

(54) 【発明の名称】動的に再構成可能なパイプライン型プリプロセッサ

## (57) 【要約】

パイプライン型ビデオプリプロセッサは、複数の構成可能な画像処理モジュールを含む。これらのモジュールは、直接プロセッサ制御、DMAアクセス、または双方を用いて構成され得る。DMAでアクセス可能なブロック制御リストは、直接プロセッサ制御に類似した様式でこれらのモジュールの構成を容易化する。これらのモジュール中のパラメータは、フレーム毎に更新することができる。



**【特許請求の範囲】****【請求項 1】**

パイプライン中に配列された複数の画像処理モジュールと、  
前記複数のモジュールに対する構成パラメータを受信するための入力ポートと、  
前記構成パラメータを復号化するための画像パイプコントローラと、  
前記構成パラメータを前記複数のモジュールに適用し、これにより前記モジュールの画像処理特徴を変更するためのシャドーレジスタと、  
を備える、パイプライン型ビデオプリプロセッサ。

**【請求項 2】**

前記パイプラインが、メモリからの画像データを処理するためのメモリパイプラインまたはデジタルカメラからの画像データを処理するためのカメラパイプラインである、請求項 1 に記載のパイプライン型ビデオプリプロセッサ。 10

**【請求項 3】**

1つ以上の更なるパイプラインを更に備え、1つ以上の更なるパイプラインが、メモリパイプラインまたはカメラパイプラインである、請求項 1 に記載のパイプライン型ビデオプリプロセッサ。

**【請求項 4】**

前記構成パラメータが、プロセッサまたは直接メモリアクセス（「DMA」）エンジンから受信される、請求項 1 に記載のパイプライン型ビデオプリプロセッサ。 20

**【請求項 5】**

前記構成パラメータが、ブロック制御構造中のメモリ中に配列され、かつ DMA チャネルを介してアクセスされる、請求項 1 に記載のパイプライン型ビデオプリプロセッサ。

**【請求項 6】**

前記ブロック制御構造が、ブロック制御ヘッダおよび1つ以上のブロック制御語を含む、請求項 1 に記載のパイプライン型ビデオプリプロセッサ。

**【請求項 7】**

前記ブロック制御構造中の前記ブロック制御語のオフセットが、メモリマップドレジスタ（「MMR」）空間中のアドレスに対応する、請求項 1 に記載のパイプライン型ビデオプリプロセッサ。 20

**【請求項 8】**

前記構成パラメータがビデオデータの第1のフレームに適用され、更新された構成パラメータがビデオデータの第2のフレームに適用される、請求項 1 に記載のパイプライン型ビデオプリプロセッサ。 30

**【請求項 9】**

モジュール中の異なったパイプライン段階が、前記更新された構成パラメータをデータ境界に従って異なった時点で受信する、請求項 1 に記載のパイプライン型ビデオプリプロセッサ。

**【請求項 10】**

パイプライン型ビデオプリプロセッサ中で画像フレームを処理する方法であって、前記パイプライン型ビデオプリプロセッサ中の複数の画像処理モジュールに対する構成パラメータを受信することと、 40

前記構成パラメータをシャドーレジスタに記憶することと、

前記構成パラメータを前記複数の画像処理モジュールに適用し、これにより前記モジュールの画像処理特徴を変更することと、  
を含む、方法。

**【請求項 11】**

前記構成パラメータが、プロセッサまたは DMA エンジンから受信される、請求項 1 に記載の方法。

**【請求項 12】**

前記モジュールを1つ以上のパイプライン中に配列することを更に含む、請求項 1 に記 50

載の方法。

【請求項 1 3】

前記 1 つ以上のパイプラインが、メモリからの画像データを処理するためのメモリパイプラインまたはデジタルカメラからの画像データを処理するためのカメラパイプラインを含む、請求項 1 に記載の方法。

【請求項 1 4】

前記構成パラメータはブロック制御構造中のメモリ中に配列され、DMA チャネルを介してアクセスされる、請求項 1 に記載の方法。

【請求項 1 5】

前記ブロック制御構造が、ブロック制御ヘッダおよび 1 つ以上のブロック制御語を含む、請求項 1 に記載の方法。

【請求項 1 6】

前記ブロック制御構造中の前記ブロック制御語のオフセットが、メモリマップドレジスタ（「MMR」）中のアドレスに対応する、請求項 1 に記載の方法。

【請求項 1 7】

前記構成パラメータをビデオデータの第 1 のフレームに適用し、更新された構成パラメータをビデオデータの第 2 のフレームに適用することを更に含む、請求項 1 に記載の方法。

【請求項 1 8】

モジュール中の異なったパイプライン段階が、前記更新された構成パラメータを、データ境界に従って異なった時点で受信する、請求項 1 に記載の方法。

【請求項 1 9】

パイプライン型ビデオプリプロセッサを備えるデジタル信号プロセッサであって、前記パイプライン型ビデオプリプロセッサが、

パイプライン中に配列された複数の画像処理モジュールと、  
前記複数のモジュールに対する構成パラメータを受信するための入力ポートと、  
前記構成パラメータを復号化するための画像パイプコントローラと、  
前記構成パラメータを前記複数のモジュールに適用し、これにより前記モジュールの画像処理特徴を変更するためのシャドーレジスタと、  
を備える、デジタル信号プロセッサ。

【請求項 2 0】

前記パイプラインが、メモリからの画像データを処理するためのメモリパイプラインまたはデジタルカメラからの画像データを処理するためのカメラパイプラインである、請求項 1 に記載のデジタル信号プロセッサ。

【請求項 2 1】

パイプライン型プリプロセッサ中でモジュールを構成するためのシステムであって、  
第 1 の制御信号をプロセッサから受信するための第 1 の入力ポートと、  
第 2 の制御信号をメモリから受信するための第 2 の入力ポートと、  
前記第 1 の制御信号と前記第 2 の制御信号との間の矛盾を解決するための調停ユニットと、

前記第 1 の制御信号および前記第 2 の制御信号を復号化して、それから誘導された構成パラメータを前記モジュールに適用するためのコントローラと、  
を備える、システム。

【請求項 2 2】

前記第 1 の制御入力を復号化するためのインターフェースを更に備える、請求項 1 に記載のシステム。

【請求項 2 3】

前記インターフェースが、アドバンストペリフェラルバス（「APB」）インターフェースである、請求項 1 に記載のシステム。

【請求項 2 4】

10

20

30

40

50

前記第1の制御信号が、メモリマップドレジスタ（「MMR」）入力である、請求項1に記載のシステム。

【請求項25】

前記第2の制御信号が、1つ以上の直接メモリアクセス（「DMA」）チャネルから受信される、請求項1に記載のシステム。

【請求項26】

前記第1の制御信号が前記モジュールの第1のサブ集合を制御し、同時に、前記第2の制御入力が前記モジュールの第2のサブ集合を制御する、請求項1に記載のシステム。

【請求項27】

モジュールが、前記第1および第2の制御信号の双方によって制御される、請求項1に記載のシステム。 10

【請求項28】

前記復号化された第1および第2の制御信号のうちの一方を受信するためのシャドーレジスタを更に備える、請求項1に記載のシステム。

【請求項29】

前記シャドーレジスタが、少なくとも1つのモジュール中にアプリケーションレジスタを書き込み、これにより前記構成パラメータを前記モジュールに適用する、請求項1に記載のシステム。

【請求項30】

前記調停ユニットが、矛盾が発生したら前記第2の制御信号を停止する、請求項1に記載のシステム。 20

【請求項31】

パイプライン型プリプロセッサ中でモジュールを構成するための方法であって、  
第1の制御信号をプロセッサから受信することと、  
第2の制御信号をメモリから受信することと、  
前記第1の制御信号と前記第2の制御信号との間の矛盾を解決することと、  
前記第1および第2の制御信号を復号化して、それから誘導された構成パラメータを前記モジュールに適用することと、  
を含む、方法。

【請求項32】

シャドーレジスタに、前記第1および第2の制御信号のうちの1つから誘導された情報を充填すること更に含む、請求項1に記載の方法。 30

【請求項33】

前記シャドーレジスタの内容に従ってモジュールを構成することを更に含む、請求項1に記載の方法。

【請求項34】

前記モジュールの構成中は、前記第1の制御信号を無視することを更に含む、請求項1に記載の方法。

【請求項35】

矛盾が発生したら、前記第2の制御信号を停止することを更に含む、請求項1に記載の方法。 40

【請求項36】

前記第2の制御信号が、1つ以上のDMAチャネルから受信される、請求項1に記載の方法。

【請求項37】

前記第1の制御信号が前記モジュールの第1のサブ集合を制御し、同時に、前記第2の制御入力が前記モジュールの第2のサブ集合を制御する、請求項1に記載の方法。

【請求項38】

モジュールが、前記第1および第2の制御信号の双方によって制御される、請求項1に記載の方法。 50

## 【請求項 3 9】

構成可能モジュールを有するパイプライン型ビデオプリプロセッサを備えるデジタル信号プロセッサであって、前記パイプライン型ビデオプリプロセッサが、

第1の制御信号を前記デジタル信号プロセッサから受信するための第1の入力ポートと、

第2の制御信号をメモリから受信するための第2の入力ポートと、

前記第1の制御信号と前記第2の制御信号との間の矛盾を解決するための調停ユニットと、

前記第1および第2の制御信号を復号化して、それから誘導される構成パラメータを前記モジュールに適用するためのコントローラと、

を備える、デジタル信号プロセッサ。

10

## 【請求項 4 0】

前記第1の制御信号がMMR入力であり、前記第2の制御信号がDMA入力である、請求項1に記載のデジタル信号プロセッサ。

## 【請求項 4 1】

パイプライン型ビデオプリプロセッサ中で再構成可能モジュールをプログラミングするためのシステムであって、

ブロック制御構造をメモリから直接メモリアクセス（「DMA」）チャネルを介して受信するための入力ポートと、

（i）前記ブロック制御構造中のブロック制御ヘッダを復号化することおよび（ii）前記ブロック制御構造中のブロック制御語を、前記復号化されたブロック制御ヘッダに従って選択することのための画像パイプコントローラと、

前記ブロック制御語を受信して、前記ブロック制御語中のパラメータを再構成可能モジュール中のアプリケーションレジスタに適用し、これにより前記モジュールのパラメータを調整するためのシャドーレジスタと、

を備える、システム。

20

## 【請求項 4 2】

前記ブロック制御ヘッダが、前記モジュールを一意に識別するブロックアドレスを含む、請求項1に記載のシステム。

30

## 【請求項 4 3】

前記入力ポートが、複数ブロック制御の構造を含むブロック制御リストを更に受信する、請求項1に記載のシステム。

## 【請求項 4 4】

前記ブロック制御ヘッダが、いくつかのブロック制御構造を含む語カウント値を含む、請求項1に記載のシステム。

## 【請求項 4 5】

前記ブロック制御構造の順序が、パイプライン中のモジュールの順序に対応する、請求項1に記載のシステム。

## 【請求項 4 6】

前記ブロック制御ヘッダが、どのアプリケーションレジスタが前記ブロック制御語を受信するかを示すオフセットを含む、請求項1に記載のシステム。

40

## 【請求項 4 7】

前記オフセットが、前記モジュール中のアプリケーションレジスタのメモリマップドレジスタ（「MMR」）アドレスと前記モジュールのMMR基準アドレスとの間の差に等しい、請求項1に記載のシステム。

## 【請求項 4 8】

前記ブロック制御ヘッダが、どのように前記モジュールが第2のモジュールに接続するかを指定するマルチブレクサ選択情報を含む、請求項1に記載のシステム。

## 【請求項 4 9】

アプリケーションレジスタ用に意図されたブロック制御語のオフセットが、メモリマッ

50

プロレジスタ（「MMR」）空間中の同じアプリケーションレジスタのアドレスに対応する、請求項1に記載のシステム。

【請求項50】

前記ブロック制御語の前記オフセットが、前記アドレスをシフトすることによって獲得される、請求項1に記載のシステム。

【請求項51】

パイプライン型ビデオプリプロセッサ中で再構成可能モジュールをプログラミングするための方法であって、

ブロック制御構造をメモリから直接メモリアクセス（「DMA」）チャネルを介して受信することと、

前記ブロック制御構造中のブロック制御ヘッダを復号化することと、

前記ブロック制御構造中のブロック制御語を、前記復号化されたブロック制御ヘッダに従って選択することと、

前記ブロック制御語中のパラメータを再構成可能モジュール中のアプリケーションレジスタに適用し、これにより前記モジュールのパラメータを調整することと、  
を含む、方法。

【請求項52】

前記ブロック制御ヘッダを復号化することが、前記モジュールを一意に識別するブロックアドレスを復号化することを含む、請求項1に記載の方法。

【請求項53】

複数のブロック制御構造を含むブロック制御リストを受信することを更に含む、請求項1に記載の方法。

【請求項54】

前記ブロック制御ヘッダを復号化することが、いくつかのブロック制御構造を含む語力カウント値を復号化することを含む、請求項1に記載の方法。

【請求項55】

前記ブロック制御構造の各々の中のブロック制御語を複数のモジュールの各々に適用することをさらに含む、請求項1に記載の方法。

【請求項56】

前記ブロック制御構造の順序が、パイプ中の前記モジュールの順序に対応する、請求項1に記載の方法。

【請求項57】

前記ブロック制御語中のパラメータをマルチプレクサ選択に適用し、これにより2つのモジュール同士間での接続部を構成することを更に含む、請求項1に記載の方法。

【請求項58】

ステータスレジスタを、前記ブロック制御ヘッダ中のステータスカウント値に従ってモジュールから読み出すことをさらに含む、請求項1に記載の方法。

【請求項59】

複数の再構成可能モジュールを有するパイプライン型ビデオプリプロセッサを備えるデジタル信号プロセッサであって、前記パイプライン型ビデオプリプロセッサが、

ブロック制御構造をメモリから直接メモリアクセス（「DMA」）チャネルを介して受信するための入力ポートと、

（i）前記ブロック制御構造中のブロック制御ヘッダを復号化することおよび（ii）前記ブロック制御構造中のブロック制御語を、前記復号化されたブロック制御ヘッダに従って選択することとのための画像パイプコントローラと、

前記ブロック制御語を受信して、前記ブロック制御語中のパラメータを再構成可能モジュール中のアプリケーションレジスタに適用し、これにより前記モジュールのパラメータを調整するためのシャドーレジスタと、

を備える、デジタル信号プロセッサ。

【請求項60】

10

20

30

40

50

アプリケーションレジスタ用に意図されたブロック制御語のオフセットが、メモリマップドレジスタ（「MMR」）空間中の同じアプリケーションレジスタのアドレスに対応する、請求項1に記載のデジタル信号プロセッサ。

【請求項61】

パイプライン型ビデオプリプロセッサ中で再構成可能モジュールをプログラミングするシステムであって、

画像データを処理するための再構成可能ハードウェアモジュールと、

更新されたモジュールパラメータの集合を記憶するためのシャドーレジスタと、

前記パラメータの更新された集合を前記モジュールに適用するための画像パイプコントローラと、

前記パラメータの更新された集合を受信するための前記モジュール内のアプリケーションレジスタと、を備え、

前記モジュール中の異なったパイプライン段階が、前記パイプラインを通るデータ境界の伝播に従って異なった時点で、前記パラメータの更新された集合を受信する、システム。

【請求項62】

前記更新されたモジュールパラメータの集合が、プロセッサまたは直接メモリアクセス（「DMA」）チャネルのうちの一方から受信される、請求項1に記載のシステム。

【請求項63】

前記画像データが画像フレームを含み、前記データ境界がフレーム境界を含む、請求項1に記載のシステム。

【請求項64】

前記更新されたモジュールパラメータの集合が、画像フレームの連続したシリーズのうちの1つに対してまたは固定した数の画像フレームに対して適用される、請求項1に記載のシステム。

【請求項65】

前記更新されたモジュールパラメータの集合を用いて処理された画像データが、対応してタグ付けされる、請求項1に記載のシステム。

【請求項66】

前記タグ付けされた情報が、DMAチャネルまたはプロセッサ出力部を用いて出力される、請求項1に記載のシステム。

【請求項67】

前記パイプラインが、ドレイン指令に従ってフラッシュされる、請求項1に記載のシステム。

【請求項68】

前記モジュールと第2のモジュールとの間の接続部が、前記パイプラインがフラッシュされるときに変更される、請求項1に記載のシステム。

【請求項69】

前記モジュールは、前記更新されたパラメータの集合が自身のパイプライン中のすべての段階に対して適用されるときに、制御信号をアサートする、請求項1に記載のシステム。

【請求項70】

下流のモジュールが、前記制御信号がアサートされると、前記更新されたパラメータの集合を適用し始める、請求項1に記載のシステム。

【請求項71】

パイプライン型ビデオプリプロセッサ中で再構成可能モジュールをプログラミングする方法であって、

画像データを処理するためのモジュールのための更新されたパラメータの集合を、シャドーレジスタ中に受信することと、

前記更新されたパラメータの集合を前記モジュールに送出することと、

10

20

30

40

50

前記更新されたパラメータの集合を、前記パイプラインを通るデータ境界の伝播に従つて異なった時点で前記モジュール中の異なったパイプライン段階に適用することと、を含む、方法。

【請求項 7 2】

前記画像データが画像フレームを含み、前記データ境界がフレーム境界である、請求項1に記載の方法。

【請求項 7 3】

前記更新されたモジュールパラメータの集合を、画像フレームの連続したシリーズのうちの1つに対してまたは固定した数の画像フレームに対して適用することを更に含む、請求項1に記載の方法。

10

【請求項 7 4】

前記更新されたモジュールパラメータの集合を用いて処理された画像データにタグ付けすることを更に含む、請求項1に記載の方法。

【請求項 7 5】

DMAチャネルまたはプロセッサ出力部を用いて、前記タグ付けされた画像データを出力することをさらに含む、請求項1に記載の方法。

【請求項 7 6】

前記パイプラインをドレイン指令に従つてフラッシュさせることを更に含む、請求項1に記載のシステム。

20

【請求項 7 7】

前記モジュールと第2のモジュールとの間の接続部を、前記パイプラインがフラッシュされるときに変更することを更に含む、請求項1に記載のシステム。

【請求項 7 8】

複数の再構成可能モジュールを有するパイプライン型ビデオプリプロセッサを備えるデジタル信号プロセッサであって、前記パイプライン型ビデオプリプロセッサが、

画像データを処理するための再構成可能ハードウェアモジュールと、

更新されたモジュールパラメータの集合を記憶するためのシャドーレジスタと、

前記更新されたパラメータの集合を前記モジュールに対して適用するための画像パイプコントローラと、

前記更新されたパラメータの集合を受信するための前記モジュール内のアプリケーションレジスタであって、前記モジュール中の異なったパイプライン段階が、前記更新されたパラメータの集合を、前記パイプラインを通るデータ境界の伝播に従つて異なった時点で受信する、アプリケーションレジスタと、

を備える、デジタル信号プロセッサ。

30

【請求項 7 9】

前記更新されたパラメータの集合が、前記デジタル信号プロセッサまたは直接メモリアクセス（「DMA」）チャネルのうちの一方から受信される、請求項1に記載のデジタル信号プロセッサ。

【請求項 8 0】

前記画像データが画像フレームを含み、前記データ境界がフレーム境界を含む、請求項1に記載のデジタル信号プロセッサ。

40

【発明の詳細な説明】

【背景技術】

【0 0 0 1】

関連出願

本出願は、2011年10月14日に提出された、米国仮特許出願第61/547、442号に対する優先権を主張するものであり、これはその全体が参照により本明細書中に組み込まれる。

背景技術

【0 0 0 2】

50

ビデオカメラで生成されたりまたはメモリから読み出されたりしたものなどのビデオフレームのストリームは、ビデオの品質を改善したりまたはビデオから特徴を抽出したりするための処理をしばしば必要とする。この処理は従来、後処理動作でソフトウェアによって実施される。後処理動作は変動し得るが、その理由は、(i)アルゴリズム処理モジュールのパラメータ/係数が修正する必要がある、(ii)所与のアルゴリズムの微細な変動を実施する必要がある、および/または(iii)ビデオに対して実施する必要がある動作を変更する必要がある、からである。しかしながら、ソフトウェアソリューションは、多用途ではあるが、処理能力という点で遅く、かつ高価である。ハードウェアベースのアルゴリズムは一般的には、より早く、かつより効率的であるが、ハードウェアは、本質的に、迅速に、かつ容易に再構成するのが難しく、ライブのストリーミング中のビデオに遅れを取らずについていかなければならないときには特にそうである。ハードウェアベースの画像処理システムは、したがって、そのフレキシビリティの制限のために非最適な結果を生じる。したがって、高速で、効率的で、再構成可能なハードウェアベースの画像処理システムに対する需要が存在する。

10

#### 【発明の概要】

#### 【0003】

本発明の1つの実施形態では、パイプライン型のビデオプリプロセッサ(「PVP」)は、互いに異なった様々なカスタマイズ可能な構成で互いに対して接続され得るいくつかのアルゴリズム変換画像処理モジュールから成る。これらのモジュールの各々は、所与のアルゴリズム実装物の限定された変動を制御する複数のパラメタレジスタを有する。これらモジュールのパラメータは、データ損失なしでフレーム毎に再構成され得るが、モジュールの構成は、最小のデータ損失でまたはデータ損失なしで変更され得る。これらパラメータは、接続されたプロセッサを介して、DMAアクセスを介して、または同時に双方を介して変更され得る。様々な制御スキームが、互いに互換性があり、互いにシームレスな移行が保証されるように設計されている。

20

#### 【0004】

1つの態様では、パイプライン型ビデオプリプロセッサは、パイプライン中に配列された複数の画像処理モジュールを含む。入力ポートは、複数のモジュールの構成パラメータを受信し、画像パイプコントローラは、これらの構成パラメータを復号化する。シャドーレジスタは、構成パラメータを複数のモジュールに適用し、これによりモジュールの画像処理特徴を変更する。

30

#### 【0005】

パイプラインは、メモリからの画像データを処理するためのメモリパイプライン、またはデジタルカメラからの画像データを処理するためのカメラパイプラインであり得る。パイプラインは、1つ以上の更なるパイプライン(例えば、メモリパイプラインまたはカメラパイプライン)が、含まれ得る。構成パラメータは、プロセッサまたは直接メモリアクセス(「DMA」)エンジンから受信され得る。構成パラメータは、ブロック制御構造中のメモリ中に配列されて、DMAチャネルを介してアクセスされるが、ブロック制御構造は、ブロック制御ヘッダおよび1つ以上のブロック制御語を含み得る。ブロック制御構造中のブロック制御語のオフセットは、メモリマップドレジスタ(「MMR」)空間中のアドレスに対応し得る。構成パラメータは、ビデオデータの第1のフレームに適用され、更新された構成パラメータは、ビデオデータの第2のフレームに適用され得る。モジュール中の異なったパイプライン段階は、更新された構成パラメータを、データ境界に従って異なる時点で受信し得る。

40

#### 【0006】

別の態様では、パイプライン型ビデオプリプロセッサ中で画像フレームを処理する方法は、パイプライン型ビデオプリプロセッサ中の複数の画像処理モジュールの構成パラメータを受信することを含む。構成パラメータはシャドーレジスタに記憶されて、複数の画像処理モジュールに適用され、これによりモジュールの画像処理特徴を変更し得る。

#### 【0007】

50

構成パラメータは、プロセッサまたはDMAエンジンから受信され得るが、モジュールは、1つ以上のパイプライン中に配列され得る。1つ以上のパイプラインは、メモリからの画像データを処理するためのメモリパイプラインまたはデジタルカメラからの画像データを処理するためのカメラパイプラインを含み得る。構成パラメータは、ブロック制御構造中のメモリ中に配列され、DMAチャネルを介してアクセスされ得る。ブロック制御構造は、ブロック制御ヘッダおよび1つ以上のブロック制御語を含み得る。ブロック制御構造中のブロック制御語のオフセットは、メモリマップドレジスタ（「MMR」）空間中のアドレスに対応し得る。構成パラメータは、ビデオデータの第1のフレームに適用され、更新された構成パラメータはビデオデータの第2のフレームに適用され得る。モジュール中の異なったパイプライン段階は、更新された構成パラメータを、データ境界に従って異なった時点で受信し得る。

10

## 【0008】

別の態様では、デジタル信号プロセッサ中のパイプライン型ビデオプリプロセッサは、パイプライン中に配列された複数の画像処理モジュールと、これら複数のモジュールの構成パラメータを受信するための入力ポートとを含む。画像パイプコントローラは、構成パラメータを復号化し、シャドーレジスタは、構成パラメータを複数のモジュールに適用し、これによりモジュール中の画像処理特徴を変更する。パイプラインは、メモリからの画像データを処理するためのメモリパイプラインまたはデジタルカメラからの画像データを処理するためのカメラパイプラインであり得る。

20

## 【0009】

別の態様では、パイプライン型プリプロセッサ中でモジュールを構成するシステムは、プロセッサから第1の制御信号を受信するための第1の入力ポートと、メモリから第2の制御信号を受信するための第2の入力ポートとを含む。調停ユニットが、第1の制御信号と第2の制御信号との間の矛盾を解決する。コントローラが、第1および第2の制御信号を復号化して、これらから誘導された構成パラメータをモジュールに適用する。

## 【0010】

インターフェース（例えば、アドバンストペリフェラルバス（「APB」）インターフェース）が、第1の制御信号を復号化するために用いられ得る。第1の制御信号は、メモリマップドレジスタ（「MMR」）入力であり、第2の制御信号は、1つ以上の直接メモリアクセス（「DMA」）チャネルから受信され得る。第1の制御信号は、モジュールの第1のサブ集合を制御し、同時に、第2の制御入力は、モジュールの第2のサブ集合を制御し得る。モジュールは、第1および第2の制御信号の双方によって制御され得る。シャドーレジスタは、復号化された第1および第2の制御信号のうちの一方を受信し得る。シャドーレジスタは、アプリケーションレジスタを少なくとも1つのモジュールに書き込み、これにより構成パラメータをモジュールに適用し得る。調停ユニットは、矛盾が発生したら第2の制御信号を停止し得る。

30

## 【0011】

別の態様では、パイプライン型プリプロセッサ中でモジュールを構成する方法は、プロセッサから第1の制御信号およびメモリからの第2の制御信号を受信することを含む。第1の制御信号と第2の制御信号との間の矛盾が解決される。第1および第2の制御信号は復号化され、これらから誘導された構成パラメータはモジュールに適用される。

40

## 【0012】

シャドーレジスタは、第1の制御信号と第2の制御信号のうちの一方から誘導された情報で充填され得る。モジュールが、シャドーレジスタの内容物に従って構成され得る。第1の制御信号は、モジュールの構成中は無視され得る。第2の制御信号は、矛盾が発生すると停止され得る。第2の制御信号は、1つ以上のDMAチャネルから受信され得る。第1の制御信号はモジュールの第1のサブ集合を制御し、同時に、第2の制御入力はモジュールの第2のサブ集合を制御し得る。モジュールは、第1の制御信号と第2の制御信号の双方によって制御され得る。

## 【0013】

50

別の態様では、デジタル信号プロセッサ中の構成可能モジュールを有するパイプライン型ビデオプリプロセッサは、デジタル信号プロセッサから第1の制御信号を受信するための第1の入力ポートと、メモリから第2の制御信号を受信するための第2の入力ポートとを含む。調停ユニットが、第1の制御信号と第2の制御信号との間の矛盾を解決する。コントローラは、第1および第2の制御信号を復号化し、これらから誘導された構成パラメータがモジュールに適用される。第1の制御信号はMMR入力であり、第2の制御信号はDMA入力であり得る。

【0014】

別の態様では、パイプライン型ビデオプリプロセッサ中で再構成可能モジュールをプログラミングするシステムは、直接メモリアクセス（「DMA」）チャネルを介してメモリからブロック制御構造を受信するための入力ポートを含む。画像パイプコントローラは、ブロック制御構造中のブロック制御ヘッダを復号化して、復号化されたブロック制御ヘッダに従ってブロック制御構造中のブロック制御語を選択する。シャドーレジスタはブロック制御語を受信して、ブロック制御語中のパラメータを再構成可能モジュール中のアプリケーションレジスタに適用し、これによりモジュールのパラメータを調整する。

10

【0015】

ブロック制御ヘッダは、モジュールを一意に識別するブロックアドレスを含み得る。入力ポートは更に、複数のブロック制御構造を含むブロック制御リストを受信し得る。ブロック制御ヘッダは、いくつかのブロック制御構造を含む語カウント値を含み得る。ブロック制御構造の順序は、パオブライン中のモジュールの順序に対応し得る。ブロック制御ヘッダは、どのアプリケーションレジスタがブロック制御語を受信するかを示すオフセットを含み得る。このオフセットは、モジュール中のアプリケーションレジスタのメモリマップドレジスタ（「MMR」）アドレスとモジュールのMMR基準アドレスとの間の差と等価であり得る。ブロック制御ヘッダは、モジュールがどのように第2のモジュールに接続するかを指定するためのマルチプレクサ選択情報を含み得る。アプリケーションレジスタ用に意図されたブロック制御語のオフセットは、メモリマップドレジスタ（「MMR」）空間中の同じアプリケーションレジスタのアドレスに対応し得る。ブロック制御語のオフセットは、アドレスをシフトさせることによって獲得され得る。

20

【0016】

別の態様では、パイプライン型ビデオプリプロセッサ中で再構成可能モジュールをプログラミングする方法は、直接メモリアクセス（「DMA」）を介してメモリからブロック制御構造を受信して、ブロック制御構造中のブロック制御ヘッダを復号化することを含む。ブロック制御構造中のブロック制御語が、復号化されたブロック制御ヘッダに従って選択される。ブロック制御語中のパラメータが、再構成可能モジュール中のアプリケーションレジスタに適用され、これによりモジュールのパラメータを調整する。

30

【0017】

ブロック制御ヘッダを復号化することは、モジュールを一意に識別するブロックアドレスを復号化することを含む。複数のブロック制御構造を含むブロック制御リストが、受信され得る。ブロック制御ヘッダを復号化することは、いくつかのブロック制御構造を含む語カウント値を復号化することを含み得る。ブロック制御構造の各々の中のブロック制御語は、複数のモジュールの各々に対して適用され得る。ブロック制御構造の順序は、パイプ中のモジュールの順序に対応し得る。ブロック制御語中のパラメータは、マルチプレクサ選択に適用され、これにより2つのモジュール間の接続部を構成し得る。ステータスレジスタは、ブロック制御ヘッダ中のステータスカウント値に従ってモジュールから読み出され得る。

40

【0018】

別の態様では、デジタル信号プロセッサ中で複数の再構成可能モジュールを有するパイプライン型ビデオプリプロセッサは、直接メモリアクセス（「DMA」）チャネルを介してメモリからブロック制御構造を受信するための入力ポートを含む。画像パイプコントローラは、ブロック制御構造中のブロック制御ヘッダを復号化して、復号化されたブロック

50

制御ヘッダに従ってブロック制御構造中のブロック制御語を選択する。シャドーレジスタは、ブロック制御語を受信して、ブロック制御語中のパラメータを再構成可能モジュール中のアプリケーションレジスタに適用し、これによりモジュールのパラメータを調整する。アプリケーションレジスタ用に意図されたブロック制御語のオフセットは、メモリマップドレジスタ（「MMR」）空間中の同じアプリケーションレジスタのアドレスに対応し得る。

#### 【0019】

別の態様では、パイプライン型ビデオプリプロセッサ中で再構成可能モジュールをプログラミングするシステムは、画像データを処理するための再構成可能ハードウェアモジュールを含む。シャドーレジスタは、更新されたモジュールパラメータの集合を記憶する。画像パイプコントローラは、更新されたパラメータの集合をモジュールに適用する。モジュール内のアプリケーションレジスタは、更新されたパラメータの集合を受信する。モジュール中の異なったパイプラインは、更新されたパラメータの集合を、パイプラインを通じて異なるデータ境界の伝播に従って異なる時点で受信する。

10

#### 【0020】

更新されたモジュールパラメータの集合は、プロセッサまたは直接メモリアクセス（「DMA」）チャネルのうちの一方から受信され得る。画像データは画像フレームを含み得るが、データ境界はフレーム境界である。更新されたモジュールパラメータの集合は、画像フレームの連続シリーズのうちの1つに対してまたは固定数の画像フレームに対して適用され得る。更新されたモジュールパラメータの集合を用いて処理された画像データは、対応してタグ付けされ、タグ付けされた情報は、DMAチャネルまたはプロセッサ出力部を用いて出力され得る。パイプラインは、ドレイン指令に従ってフラッシュされ得る。モジュールと第2のモジュールとの間の接続部は、パイプラインがフラッシュされるときに、変更され得る。モジュールは、更新されたパラメータの集合がそのパイプライン中のすべての段階に対して適用されたときに制御信号をアサートし得る。下流のモジュールは、制御信号がアサートされると、更新されたパラメータの集合を適用し始め得る。

20

#### 【0021】

別の態様では、パイプライン型ビデオプリプロセッサ中で再構成可能モジュールをプログラミングする方法は、画像データを処理するためのモジュールの更新されたパラメータの集合を、シャドーレジスタ中に受信することを含む。更新されたパラメータの集合は、モジュールに送出される。更新されたパラメータの集合は、パイプラインを通じて異なるデータ境界の伝播に従って異なる時点でモジュール中の異なるパイプライン段階に送出される。

30

#### 【0022】

画像データは画像フレームを含み、データ境界はフレーム境界であり得る。更新されたモジュールパラメータの集合は、画像フレームの連続したシリーズのうちの1つに対してまたは固定数の画像フレームに対して適用される。更新されたモジュールパラメータの集合を用いて処理された画像データはタグ付けされ、タグ付けされた画像データは、DMAチャネルまたはプロセッサ出力部を用いて出力され得る。パイプラインは、ドレイン指令に従ってフラッシュされ得るが、モジュールと第2のモジュールとの間の接続部は、パイプラインがフラッシュされるときに変更され得る。

40

#### 【0023】

別の態様では、デジタル信号プロセッサ中で複数の再構成可能モジュールを有するパイプライン型ビデオプリプロセッサシステムは、画像データを処理するための再構成可能ハードウェアモジュールを含む。シャドーレジスタは、更新されたモジュールパラメータの集合を記憶する。画像パイプコントローラは、更新されたパラメータの集合をモジュールに適用する。モジュール内のアプリケーションレジスタは、更新されたパラメータの集合を受信する。モジュール中の異なるパイプライン段階は、更新されたパラメータの集合を、パイプラインを通じて異なるデータ境界の伝播に従って異なる時点で受信する。更新されたモジュールパラメータの集合は、デジタル信号プロセッサまたは直接メモリアクセス（「

50

D M A 」) チャネルのうちの一方から受信され得る。画像データは画像フレームを含み、データ境界はフレーム境界であり得る。

【 0 0 2 4 】

これらおよび他の目的、並びに本明細書に開示される本発明の長所および特徴は、次の説明、添付図面および請求の範囲を参照すればより明瞭になるであろう。更にその上、本明細書に説明する様々な実施形態の特徴は、互いに排他的なものではなく、様々な組み合せと置き換えて存在することが可能であることを理解すべきである。

【 図面の簡単な説明 】

【 0 0 2 5 】

図面中、同様の参照符号は、様々な図全体にわたって同じ部品を一般的に参照する。以下の説明において、本発明の様々な実施形態は、以下の図面を参照して説明される。

10

【 0 0 2 6 】

【図1】本発明のある実施形態に係わる P V P のブロック図である。

【 0 0 2 7 】

【図2】本発明のある実施形態に係わるモジュール構成のブロック図である。

【 0 0 2 8 】

【図3 A】本発明のある実施形態に係わる調停スキームの実装例である。

【図3 B】本発明のある実施形態に係わる調停スキームの実装例である。

【 0 0 2 9 】

【図4】本発明のある実施形態に係わるブロック制御リストの図である。

20

【 0 0 3 0 】

【図5】本発明のある実施形態に係わるブロック制御ヘッダの図である。

【 0 0 3 1 】

【図6】本発明のある実施形態に係わるフレーム毎のパラメータ更新スキームのブロック図である。

【 0 0 3 2 】

【図7】本発明のある実施形態に係わるフレーム毎の更新のタイミング図である。

【 0 0 3 3 】

【図8】本発明のある実施形態に係わるクロックのゲーティングおよびブロックリセットの生成の論理回路 8 0 0 である。

30

【 0 0 3 4 】

【図9】本発明のある実施形態に係わる例示の P V P である。

【 0 0 3 5 】

【図10】本発明のある実施形態に係わる P V P を組み込むシステムのブロック図である。

。

【発明を実施するための形態】

【 0 0 3 6 】

図1は、パイプライン型ビデオプリプロセッサ(「 P V P 」) 1 0 0 の実施形態を図示する。この P V P は、あらゆる入力データに基づいて動作し得るが、1つの実施形態では、このデータは、カメラセンサーからキャプチャされたビデオ画像データおよび / またはメモリからフェッチしたビデオ画像データである。 P V P はスタンドアロンのシリコンチップ上に置かれ得るが、 P V P が、デジタル信号プロセッサなどのプロセッサと一緒にチップ上に置かれる実施形態もある。第1の入力データフォーマッタ 1 0 2 は、カメラという供給源から入力されるカメラデータ 1 0 4 をフォーマッティングするために用いられ、第2の入力データフォーマッタ 1 0 6 は、メモリという供給源からのメモリデータ 1 0 8 をフォーマッティングするために用いられ得る。1つ以上の供給源からのデータは、同時に処理され得る。本発明は、いかなる特定の数のまたは種類の入力供給源にも制限されることではなく、入力データ供給源は、1つ以上のカメラという供給源 1 0 4 および / または1つ以上のメモリという供給源 1 0 8 を含み得る。各々の供給源 1 0 4 、 1 0 8 は、それ自身の入力データフォーマッタ 1 0 2 、 1 0 6 によって受信され、または入力データフォ

40

50

ーマッタ 102、106 を他の供給源 102、104 と共有し得る。

【0037】

入力データフォーマッタ 102、106 は、フォーマッティングされた入力データを 1 つ以上の再構成可能パイプライン 110、112、114、116 に出力する。各々のパイプライン 110、112、114、116 は、1 つ以上の処理モジュール 118 を包含する。以下により詳しく説明するように、処理モジュール 118 は、互いに異なった様々な画像処理機能およびタスクを実施し、所望の画像処理結果に従って選択され、構成され得る。パイプライン毎のモジュール 118 の数、パイプライン内でのモジュール 118 の順序、およびパイプライン内でのモジュール 118 の構成は、必要に応じて再構成され、かつ所与のモジュール 118 は、互いに異なったパイプライン 110、112、114、116 での用途に応じて選択され得る。図 1 は、第 1 のパイプライン 110 中での 4 つのモジュール 118 (2 つのモジュール 118 が、並行に動作するように構成されている)、第 2 のパイプライン 112 中での 2 つのモジュール 118、第 3 のパイプライン 114 中での 1 つのモジュール 118、第 4 のパイプライン 116 中での 2 つのモジュール 118 を図示している。このモジュール構成は、PVP100 のたった 1 つの可能な構成として提示されているが、しかしながら、当業者は、他の構成が可能であることを理解するであろう。

10

【0038】

パイプライン 110、112、114、116 の出力は、出力データフォーマッタ 120、122、124、126 によって受信されるが、これらのフォーマッタは、出力データを (例えば、それを圧縮したりパッキングしたりすることによって) 準備して、それを、出力ポート 128 を介してオフチップで送出する。1 つの実施形態では、出力データフォーマッタ 120、122、124、126 は、バスプロトコル (例えば、AXIバス) との接続用に用いられる動的データ交換 (「DDE」) モジュールに、ピアツーピア接続によって、接続される。1 つの実施形態では、各々のパイプライン 110、112、114、116 は、それ自身の出力データフォーマッタ 120、122、124、126 を有しているが、1 つ以上のパイプライン 110、112、114、116 が、(例えば、パイプライン同士間での選択のためのマルチプレクサを用いて) 1 つの出力データフォーマッタを共有し得る実施形態もある。

20

【0039】

各々のモジュール 118 は、外部の供給源によって制御される中間構成パラメータを有し得る。各々のモジュール 118 は、所与のアルゴリズムの境界内でのこのモジュールによって提供される処理の性質を決定するそれ自身のローカルパラメータレジスタの集合を有し得るが、更なるパラメータレジスタが、モジュール 118 の一部または全てに共通であり得る。これらのパラメータレジスタには、アプリケーションレジスタ 130 および / またはステータスレジスタ 132 が含まれ得るが、これらのレジスタのたった 1 つの集合を解説目的で示すが、各々のモジュール 118 は、アプリケーションレジスタ 130 およびステータスレジスタ 132 のそれ自身の集合を含み得る。以下により詳しく説明するように、パラメータレジスタは、接続されたプロセッサを含む様々な供給源によって (アドバンストペリフェラルバスすなわち「APB」インターフェースなどのインターフェース 134 を介して) または、入力 / 出力モジュール 136 を用いることによる直接メモリアクセス (「DMA」) を介して、読み出されたりまたは書き込まれたりし得る。1 つの実施形態では、制御情報およびステータス情報は、シャドーレジスタ 138 を用いて入力されたり出力されたりするが、シャドーレジスタ 138 は、パイプライン 110、112、114、116 を通って現在移動中の画像データのタイミングに従ってアプリケーションレジスタ 130 および / またはステータスレジスタ 132 に読み出し、書き込みし、これにより、例えば、第 1 のパラメータ集合がパイプライン中の第 1 のフレームに適用され、第 2 のパラメータ集合がパイプライン中の第 2 のフレームに適用されるようにする。画像パイプコントローラ 140 は、以下により詳しく説明するように、モジュール 118 の制御を調整するために用いられ得る。

30

40

50

## 【0040】

様々な実施形態では、モジュール118は、コンボリューション／ダウンスケーラーエンジン（「CNV」）、画素の大きさおよび角度計算ユニット（「PMA」）、しきい値、ヒストグラムおよび圧縮エンジン（「THC」）、算術計算ユニット（「ACU」）、画素エッジ分類装置（「PEC」）、統合画像計算（「IM」）、および／またはアップ／ダウンスケーラー（「UDS」）を含み得る。当業者は、他のモジュールが含まれること、および本発明はこれらのモジュールだけに限られるわけではないことを理解するであろう。モジュール118は、互いに対しても選択的に接続されて、例えば、プログラム可能クロスバースイッチなどの技術上周知のいずれかの方法を用いて、互いに異なった1つ以上のパイプラインを作成し得る。1つの実施形態では、図2に図示するように、モジュール118は、これら同士間に置かれたマルチプレクサを用いて構成され得る。図2に示すシステム200においては、3つの出力ポートを有する第1のモジュール202および1つの出力ポートを有する第2のモジュール204は、マルチプレクサ206のシステムを介して、2つの入力ポート（および3つの出力ポート）を有する第3のモジュール208に対して接続される。マルチプレクサ206の選択ライン210を制御することによって、第3のモジュール208は、第1および第2のモジュール202、204の出力のうちのいずれかをその2つの入力212のうちのどちらかとして受信し得る。選択ライン210は、他のモジュールパラメータの構成に類似した様式で、プロセッサまたはDMA制御装置を介して構成され得る。当業者は、マルチプレクサ206の他の構成も本発明の範囲内にあることを理解するであろう。

10

20

## 【0041】

任意の所与のモジュールが、パイプ再構成物の一部としてのカメラパイプおよび／またはメモリパイプを横断し得る。カメラパイプは画素クロックに影響し、メモリパイプはシステムクロックに影響し得るが、クロックの双方が互いに対しても非同期であり得る。PVPアーキテクチャは、モジュールがパイプ同士間で切り替えられ得るように、クロックドメイン全体にわたって適切に同期が取れることを保証し得る。

## 1. 複数の供給源からのモジュールの制御

## 【0042】

1つの実施形態では、PVP中の画像処理モジュールは、（図1に示すインターフェース134などの）APBインターフェースを介してアクセス可能な、例えばメモリマップドレジスタ（「MMR」）を介して、リンクされたプロセッサによってアクセスされ得る。例えば、ハードウェア割り込みがアサートされ、例えば、プロセッサが、ステータス情報および制御情報を、PVPおよびそのモジュールに対して読み出したり書き込んだりし得る。一旦処理モジュールが適切に構成されると、画像データの流れは、プロセッサによってまたはDMAエンジンによって指示され得る。

30

## 【0043】

別の実施形態では、画像処理モジュールは、APBインターフェース（すなわち、プロセッサを介して）および1つ以上のDMAインターフェースのうちのいずれかまたは双方によって構成され得る。1つの実施形態では、処理モジュールの全てが、直接プロセッサ制御によって第1の時点で制御され、第2の時点では、DMA制御によって制御される。別の実施形態では、モジュールの第1のサブ集合は、直接プロセッサ制御によって構成可能であり、同時に、第2のサブ集合はDMA制御によって構成可能である。例えば、PVPでは、モジュールの第1のサブ集合は、メモリ（すなわち、メモリパイプ）に記憶されているデータを処理するモジュールであり、第2のサブ集合は、カメラセンサー（すなわちカメラパイプ）から入力されるデータを処理するモジュールであり得る。別の実施形態では、複数の（例えば、2つ以上の）個別のDMA制御チャネルがあり得る。第1のDMA制御チャネルは、モジュールの第1のサブ集合を制御し、第2のDMA制御チャネルは、モジュールの第2のサブ集合を制御し得る。例えば、第1のDMA制御チャネルは、カメラパイプを制御し、第2は、メモリパイプを制御する。当業者は、読み出し制御および書き込み制御の他の組み合わせが可能であり、また、本発明が直接制御およびDMA制御

40

50

のいかなる特定的な分割にも制限されないことを理解するであろう。

【0044】

1つの実施形態では、レジスタの直接制御およびDMA制御は、最初にスクラッチレジスタの集合に読み出しされた書込みをすることによって遂行されるが、例えば、一旦これらのスクラッチレジスタが完全に書き込まれると、それらの内容物は、実際のアプリケーションレジスタに適用される。同様に、制御レジスタの読み出しが、最初に1つ以上のスクラッチレジスタを充填し、次に、これらのスクラッチレジスタがDMA制御によって読み出される。スクラッチレジスタは、図1に示すシャドーレジスタ130、132であり得る。1つの実施形態では、APBインターフェースによる直接プロセッサ制御は、シャドーレジスタのロード中またはアンロード中は（すなわち、シャドーレジスタの内容物が、アプリケーションレジスタに適用されている時間中、またはステータスレジスタがシャドーレジスタを充填している時間中は）許容されない。

10

【0045】

モジュールの制御は互いに異なった供給源からされ得るため、同時発生する複数のリクエスト同士間で矛盾が発生し得る。1つの実施形態では、調停によって、互いに異なった制御機構同士間の矛盾を解決し得る。図3Aは、本発明のある実施形態に係わる解説的な調停スキーム300を示す。この実施形態では、第1のDMAチャネル302を用いて、カメラパイプライン中のモジュールを構成し、メモリパイプライン中のモジュールは、第2のDMAチャネル304または、プロセッサによる直接制御用のAPBリンク306を用いて構成され得る。調停ユニット308を用いて、第2のDMAチャネル304とAPBリンク306との間の矛盾を解決する。調停ユニット308は、自身のロードフェーズおよび/またはエラー通知の一部または全体の期間中にDMAエンジンに対するアクセスを遅延させ、これによりAPBリンク306によるあらゆる同時アクセスの有効性を保護するための停止機構または管制機構を含み得る。1つの実施形態では、調停モジュール308は、DMAエンジン304およびAPBリンク306とインターフェースして、どのように制御データが画像処理モジュールに対してプログラムされるか/調停されるかを制御する。1つの実施形態では、調停モジュール308は、図1に示す画像パイプコントローラ（「IPC」）140に組み込まれて、それぞれP2PバスおよびAPBバスを介してDMAエンジンおよびプロセッサと通信する。画像処理モジュールは、AHBバスなどの内部バスを用い得る。調停論理の実装の一実施形態を図3Bに示す。

20

【0046】

画像処理モジュールの一部または全てを制御するクロックは、DMAインターフェースおよびプロセッサインターフェースのクロックドメインのそれとは異なったドメイン上にあり得る。この場合、クロックは、様々なドメイン全体にわたって非同期であり得る。1つの実施形態では、画像処理モジュールのサブ集合は互いに異なった長さの複数のパイプ中に配列され、データは、それが長い方のパイプで終了するより以前に短い方のパイプで処理を終了する（更に、例えば、load\_done信号をアサートして、完了を示す）。同期モジュール310は、load\_done信号の一部または全てが受信されたときに、例えば、load\_done信号をパイプラインの各々から受信して、同期信号を調停ユニット308に送出することによって、後のデータもまた利用可能となるまでは早期のデータの同期を遅延させ得る。

30

【0047】

パラメータレジスタのビットは、ポーリングまたは割り込みを用いて、プロセッサによって設定またはクリアされ得る。1つの実施形態では、DMAステータスチャネルは、パラメータレジスタ中の1つ以上の値をスキャンアウトするために用い得る。例えば、ヒストグラムステータスは、DMAステータスチャネル上でTHCモジュールからスキャンアウトされ得る。DMAステータスチャネルのトリガーは、所与のモジュールの垂直同期（vsync）出力部に基づき得る。2つのステータスが同じチャネル上でリクエストされると、識別フィールド（例えば、数字または文字）が各々のモジュールのステータスに対するステータスヘッダ中に含まれ、これら2つのステータスは、この事象を記録した後で

40

50

、次々にシーケンスされ得る。

## 2. DMAを介してのプログラミング

### 【0048】

DMAを介した制御を容易化するために、ブロック制御構造リスト（「BCL」）と呼ばれる特殊な制御語形式が、システムメモリ中で定義され得る。BCLは、PVP中の画像処理モジュール中のアプリケーションレジスタ用に意図された制御情報の配列であり、この制御情報はモジュールによってグループ化され、各々のグループは、どこで、そしてどのように制御情報を適用するかをPVPに命令するヘッダ情報（例えば、ブロック制御ヘッダすなわち「BCH」）を包含する。BCLは、DMAを介して読み出され、ヘッダ情報は画像パイプコントローラによって復号化され、これにより制御情報は、モジュールに適用される。BCLの構造は、例えば、新しいモジュールのBCHをBCLに添付するまたは挿入することによって、新しいモジュールを容易に追加することを許容し得る。

10

### 【0049】

図4は、BCL400の1つの実施形態を図示する。いくつかのBCH402が示されているが、その各々が、ブロック制御語404の関連付けられたリストを有している。図5は、BCH500の拡大図を示す。第1のフィールドBLOCK502は、PVP中の各々の画像処理モジュールに割り当てられた固有のアドレスを示し、これによりどのモジュールにパラメータを適用すべきであるかを画像パイプコントローラに命令する。第2のフィールドWCNT504は、このブロックに含まれされる制御後の数を示し、これにより次のBCHの位置を示す。WCNTの使用によって、例えば、ブロックの終端にあるブロックの終了を示すフィールドに対する必要を回避し得る。別のフィールドWOFF506は制御後に適用されるべきオフセットを示し、例えば、所与のモジュールが256個のレジスタの集合を有する場合、10というオフセットを指定することは、制御語が10個目のレジスタの最初に適用されることを意味する。WCNTが（例えば）12であれば、レジスタ10～22がプログラムされている。

20

### 【0050】

BCH中の更なるフィールドは、例えば、図2に示すマルチプレクサ制御を用いてどのようにモジュールを上流および下流のモジュールに接続すべきであるかを示す。例えば、IMPORTフィールド508はマルチプレクサの第1のレベルを選択するために用いられ、IBLOCKフィールド510はマルチプレクサの第2のレベルを選択するために用いられる。しかしながら、当業者は、選択ビットを用いるマルチプレクサプログラミングを指定する他のいかなる方法も本発明の範囲内にあることを理解するであろう。代替的には、すべてのIBLOCK（複数可）およびIMPORT（複数可）が、BCHから除去され得るし、個別のクロスバー制御ヘッダ形式（すなわち、クロスバー制御構造すなわち「CCS」パケット）が、定義され得る。他のフィールドには、モジュールがイネーブルされるべきかディスエーブルされるべきであるかを示すSTARTビット512と、どのパイプ（すなわちカメラパイプまたはメモリパイプ）に対してモジュールが所属すべきでありかを示すPIPEフィールド514が含まれる。別のフィールドSTATWCNT516は、モジュール中のいくつのステータスレジスタが読み出し動作で読み出されるべきであるかを示す。

30

### 【0051】

1つの実施形態では、所与のパイプに対するBCLは、入力データ形式の構成から始まり、1つ以上の画像処理モジュールの構成を含み、出力データ形式モジュールの構成で終了する。各々の画像処理モジュールの構成情報の順序は、パイプ中のモジュールの位置に対応し得る。モジュールのBCHは、BCL内で（例えば、2回以上）繰り返されて、パイプ内の所与のモジュール用のレジスタの2つの個別のグループのプログラミングを可能とし得る。例えば、第1のBCHを用いて、モジュールのレジスタ10～22をプログラムし、第2のBCHを用いて、同じモジュールのレジスタ100～110をプログラムし得る。

40

### 【0052】

50

所与のモジュールに対する B C H の構成は、メモリマップレジスタを介するモジュールの直接プロセッサ制御に相互関連し得る。例えば、所与のモジュールは、プロセッサを介するアクセス用の固定した基準アドレスを有し得るが、( D M A 制御用に用いられる) モジュールの B L O C K 5 0 2 の識別番号は、この基準アドレスから誘導し得る。1つの実施形態では、B L O C K 5 0 2 の識別番号は、基準アドレスを5ビットだけ右にシフトすることによって発見され得る。同様に、実際の M M R アドレスと規準アドレスとの間の差は、B C H 中の W O F F オフセットフィールドに直接に相互関連し得る。したがって、B C L 中の各々の制御後は、M M R アドレス空間中でのそれと同じ順序で配列され、これにより B C H と、いずれかの制御スキームを用いてモジュール中のレジスタを構成するいずれかのソフトウェアとの設計を簡略化する。所与のレジスタが、M M R アドレス空間中で規準アドレスから 3 6 のアドレス単位を除去したものであれば、同じレジスタは、D M A 制御スキームでは B L O C K 5 0 2 の識別番号から 3 6 単位だけオフセットされたものである。この構成を用いると、プログラマおよび / またはソフトウェアユーティリティは、2つの制御スキーム間を、例えば、スキーム間で翻訳するためのデコーダ / マッピングユーティリティを用いることなく、シームレスにシフトし得る。

#### 【 0 0 5 3 】

D M A を介するステータスの読み出しが、D M A を介して制御情報を書き込むのと類似の様式で実施される。1つの実施形態では、モジュールステータス値は、所与のモジュールの出力能力に従って(すなわち、モジュールのクロックレートに従って) 1 つ以上のシャドーレジスタ中に移動される。次に、ステータス情報は、構成レジスタに従って定期的に(例えば、フレーム境界毎にまたはある数のフレーム毎に) D M A を介して送出される。ステータス情報は、1つの D M A チャネル上でまたは同時に複数の D M A チャネル上で送出され得る。上述したように、B C H 中の S T A T W C N T フィールド 5 1 6 は、読み出されて送出されるべきモジュール中のステータスレジスタの数を示す。

#### 3 . 互いに異なったフレームに対するモジュールの再プログラミング

#### 【 0 0 5 4 】

所与のパイプ構成に対して、本発明の実施形態は、任意のパイプを備えるモジュールに対するパラメータレジスタの再プログラミングを可能とし、これにより連続するフレームを、様々な係数で、または各々のモジュールが提供するアルゴリズムの変更によって処理し得る。所与のモジュールは、2クロックサイクル以上の待ち時間を有し得るが、モジュールの終端にあるパイプライン段階は、モジュールの最初にあるパイプライン段階が第2のフレームを処理している間に、例えば、第1のフレームを処理し得る。したがって、モジュールの行動に影響するアプリケーションレジスタは、モジュールの各々のパイプラインに対して互いに異なった時点で更新されて、各々のフレームが、その意図されるパラメータに従って処理されることを保証し得る。1つの実施形態では、各々のパイプライン中のアプリケーションレジスタは、フレーム境界がモジュール中のパイプラインを通って伝播するに連れて更新される。上述したように、シャドーレジスタは、適切な時点でアプリケーションレジスタを更新するために用いられ得るが、直接プロセッサ M M R 機構または D M A 制御機構は、シャドーレジスタだけを更新し、アプリケーションレジスタの更新は、時間がずらされる。

#### 【 0 0 5 5 】

エンジンは、所与のパラメータ集合または所与の構成が適用される精度を、フレーム毎にまたは固定したフレーム集合毎に連続して制御し得る。一般的に、カメラパイプは、カメラセンサーからフレームを連続的に獲得し、一方、メモリパイプは、フレームの固定した集合を受信するが、しかしながら、どちらのモードもどちらかのパイプで用いられる。プロセッサは、P V P エンジン全体をディスエーブルされることなく、連続モードから固定モードに(その逆にも)切り替えられ得る。パラメータをすべてのフレームに適用するために、フラグが設定され得る(例えば、フレームカウント値すなわち「F N C T」値はゼロにプログラムされ得る)。制御値の新しい集合がプログラムされると、これらの新しい値は、次のフレーム境界に適用され、また、この後で次のフレームに対して連続的に適

10

20

30

40

50

用される。このアーキテクチャもまた、新しい制御パラメータで処理されたフレームの識別を容易にするために個別のステータスDMAチャネル上にTAG機構を提供し得るが、プロセッサはこのTAG機構を用いて、どのフレームが、あるパラメータ集合を用いて処理を受信したかを決定し得る。TAGデータはステータスDMAチャネル上で送出され、また、プロセッサ読み出しに利用可能であり得る。

#### 【0056】

パラメータを固定したフレーム集合に適用するために、FCNT値は非ゼロ値にプログラムされ、その後に監視され得る。一旦所定の数のフレームが処理されると、パイプラインは停止する（そして最後のフレームがパイプライン中に貼り付けられる）。一旦次のフレームグループが識別されて、処理のための待ち行列に入れられると、FCNT値が再度設定され、次のグループが（多分、異なったモジュールパラメータの集合で）処理を開始する。次のフレームグループの処理は、パイプライン中に貼り付けられた前の集合最後のフレームを押し出す。

10

#### 【0057】

パイプラインは、別のパラメータ（例えば、DRAWNビット）が設定されるとフラッシュされ得る。例えば、有限のフレーム集合が処理用に識別され、DRAWNビットが設定されると、最後のフレームの完了時に、パイプラインはダミーの画素でフラッシュされ、これによりこの集合の最後のフレームがパイプラインによって出力されるようになる。最後のフレームがパイプラインを通過するに連れて、パイプライン中のモジュールがディスエーブルされる。1つの実施形態では、パイプラインが連続フレームモードにあり、DRAWNビットが設定されると、パイプラインは即座にフラッシュされてディスエーブルされる。どちらの場合も、次の制御後の集合は、パイプラインを（例えば、フレームのBCH中のSTARTビットを用いて）目覚めさせるように設定され得る。

20

#### 【0058】

図6は、第1のモジュール602、第2のモジュール604、これらを接続するデータ制御およびクロスバーユニット606、ならびに画像パイプコントローラ608の例示の実施形態600を図示する。アプリケーションレジスタ値の新たな集合がDMAまたは直接プロセッサ制御によってシャドーレジスタ中にロードされるとき、「連結ロード」信号がフレーム同期信号と一緒に第1のモジュール602に駆動される。第1のモジュール602は、入力データ中の第1の画素がモジュール602を通過するに連れて、そのアプリケーションレジスタをその内部パイプライン遅延に従って更新する（すなわち、第1のモジュールが5つのパイプリアン段階を含む場合、それは次に、画素データが完全に処理されるに連れて、アプリケーションレジスタ値をこれら5つの段階に適用する）。第1のモジュール602は、最初の画素の処理を完了するとき、連結ロード信号をその出力部にアサートし、これにより第2のモジュール604に対しても、新しいアプリケーションレジスタ値を（それ自身のパイプライン構成に従って）適用し始めるように命令する。連結ロード信号およびフレーム同期信号のタイミング図700を図7に示し、図8に、クロックをゲーティングして、ドレイン完了および開始ビットに基づいてロッククリセットを生成する論理回路を図示する。

30

#### 【0059】

既存のパイプラインに対するモジュールのパラメータの再構成に加えて、パイプライン自身は、モジュールを追加するまたは削除することによって再構成され得る。リアルタイムパイプ（例えば、カメラパイプ、またはリアルタイムデータを取り扱う他のパイプ）の場合、エンジンは、たった1フレームデータの損失で、カメラパイプを含むモジュールのシームレスで動的な再構成を可能とする機構を含み得る。非リアルタイムパイプ（例えば、メモリパイプ）の場合、エンジンは、有限の停止とフレーム損失なしで、動的な再構成を可能とする機構を含み得る。

40

#### 【0060】

この機構は、レジスタ中のDRAWNビットおよびそれぞれのモジュール中の自動ディスエーブルSTARTビットを用いて実装され得る。有限のフレーム集合の後、DRAWI

50

$N = 1$  を条件として、パイプ中のモジュールは（例えば、START ビットを 0 に設定することによって）ディスエーブルされる。パイプの新しい構成を形成する新しいモジュールの集合は、その START ビットが次のプログラミング構造中に設定され得る。

#### 4. 例

##### 【0061】

図 9 に、PVP アーキテクチャの例示の実施形態 900 を図示する。このシステムは、カメラ入力部 902 およびメモリ入力部 904 を含む。カメラ入力部 902 は、3 つのカメラパイプライン 906、908、910 にデータを入力し、メモリ入力部 904 は、2 つのメモリパイプライン 912、914 にデータを入力する。第 1 のカメラパイプライン 906 は、2 つのコンボリューション / ダウンスケーラーモジュール、画素の大きさおよび角度計算モジュール、および画素エッジ分類モジュールを含み、第 2 のカメラパイプライン 908 は、コンボリューション / ダウンスケーラーモジュールおよび統合画像計算モジュールを含み、第 3 のカメラパイプライン 910 は、しきい値、ヒストグラムおよび圧縮モジュールを含み、第 1 のメモリパイプ 912 は、コンボリューション / ダウンスケーラーモジュールおよび算術計算ユニットを含み、第 2 のメモリパイプラインは、アップ・ダウンスケーラーを含む。

##### 【0062】

図 10 は、PVP1002 およびそのサポートインターフェース回路を含むシステム 1000 を図示する。プロセッサ 1004 は、MMR インターフェースを介して直接的に PVP1002 を制御し得る。VCC クロスバー回路 1006 はカメラパイプラインにデータを提供し、クロスバー 1006 は、様々な入力供給源（例えば、PPI 入力部と PIXC 入力部）を選択し、これにより複数のカメラ入力部を提供する。DDE 調停ユニット 1008 は、外部バス（例えば、AXI バス）とインターフェースして、DMA 制御を可能とし、DDE ユニット 1010 は、PVP1002 内の出力データ形式モジュールから出力データを取り除き、入力制御データおよび出力制御データならびにステータスデータを提供し、入力をメモリパイプラインに提供する。

【図1】

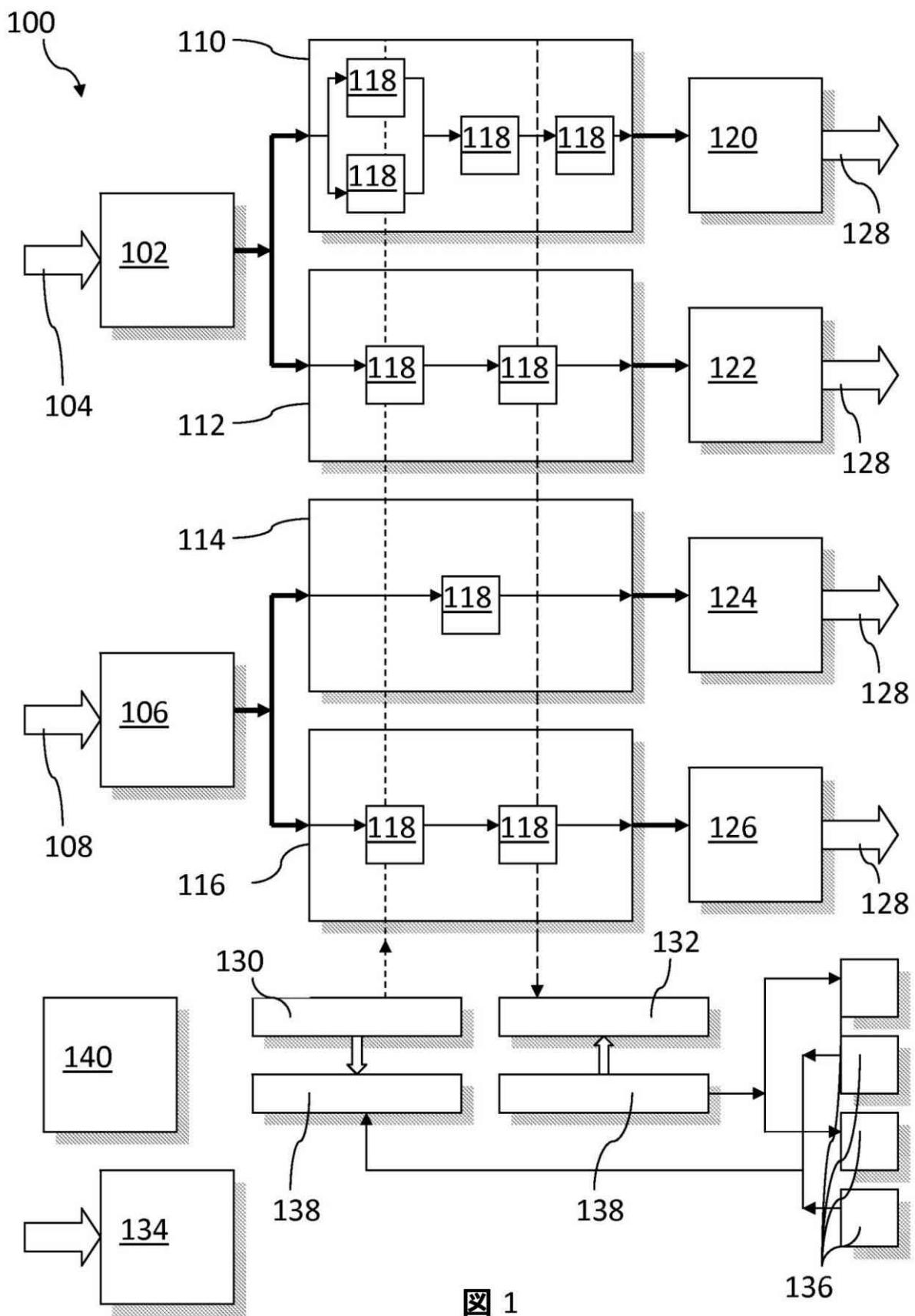


図1

【図2】

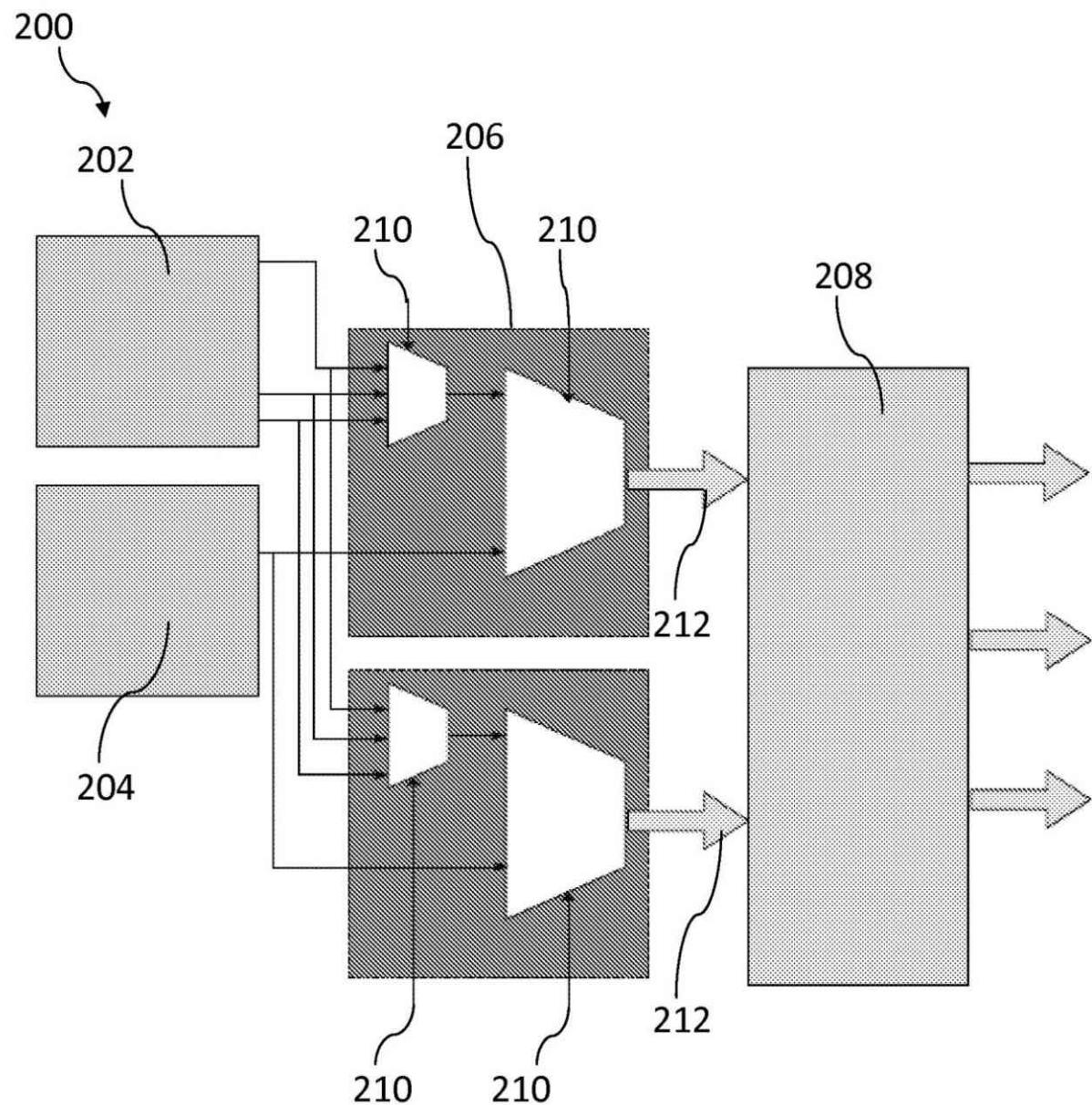


図2

【図 3A】

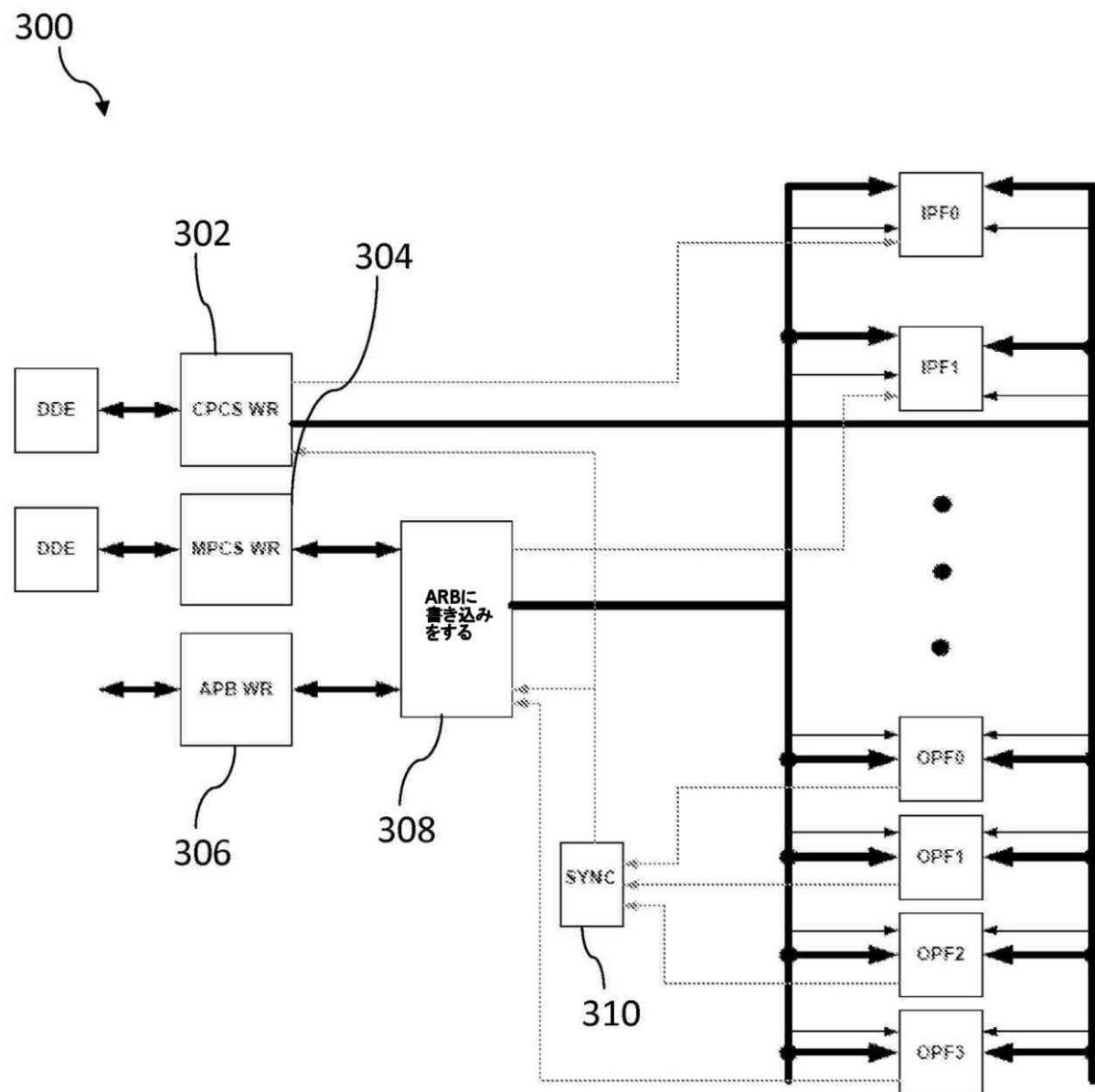


図 3A

【図 3B】

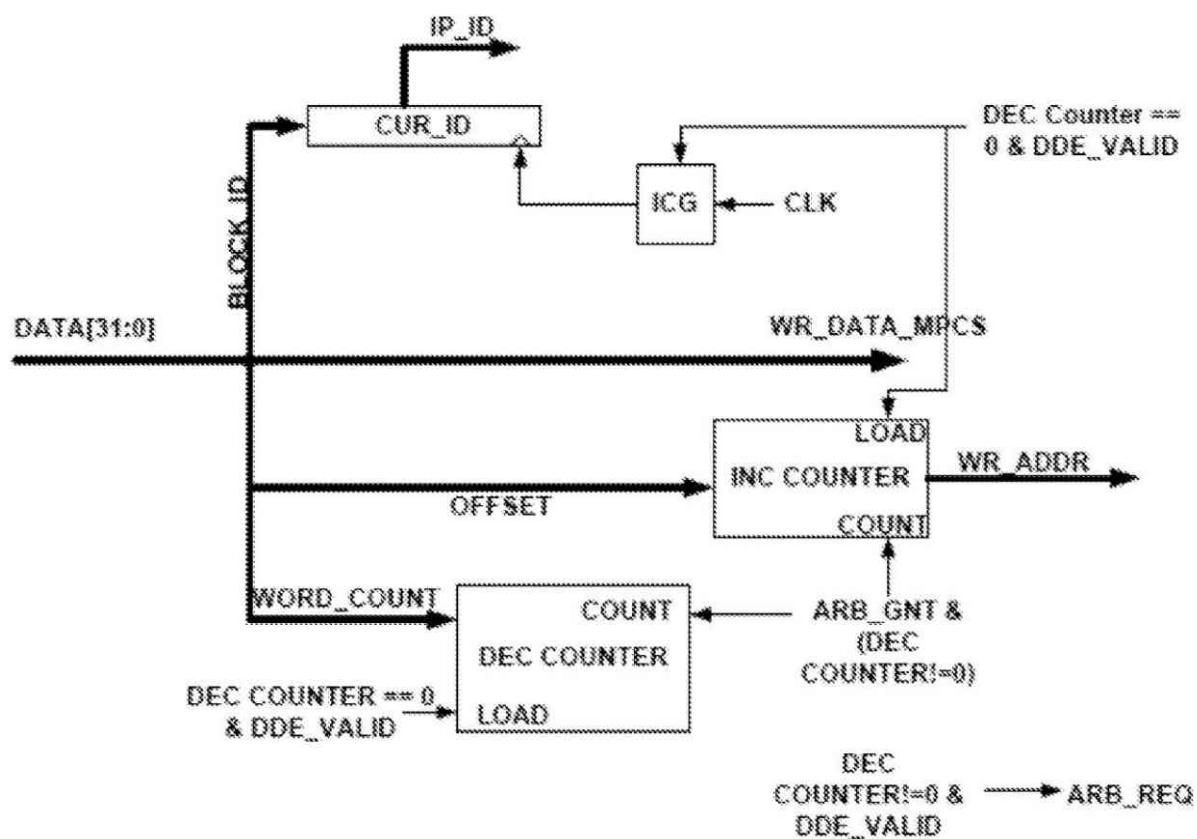


図 3B

【図4】

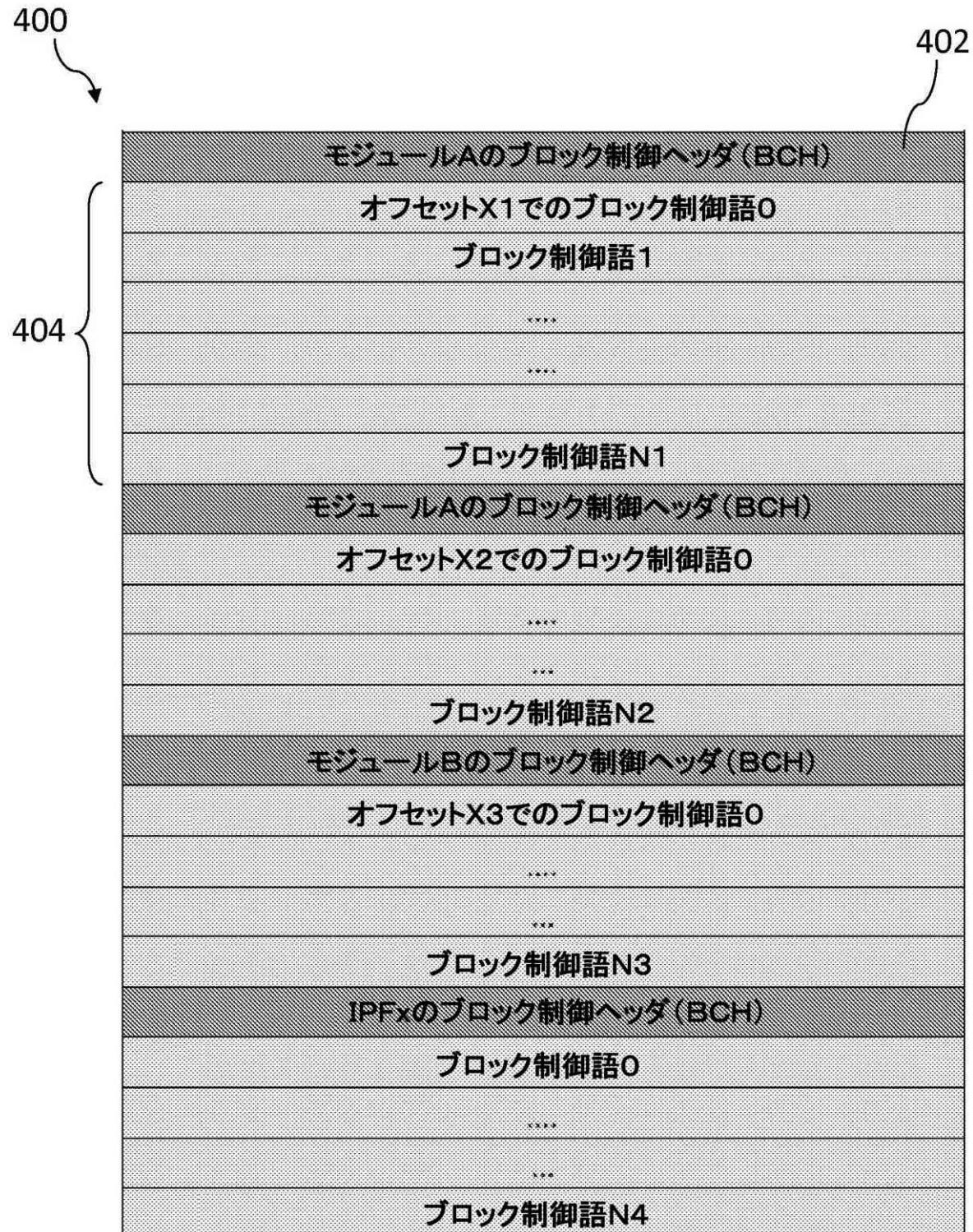


図4

【図 5】

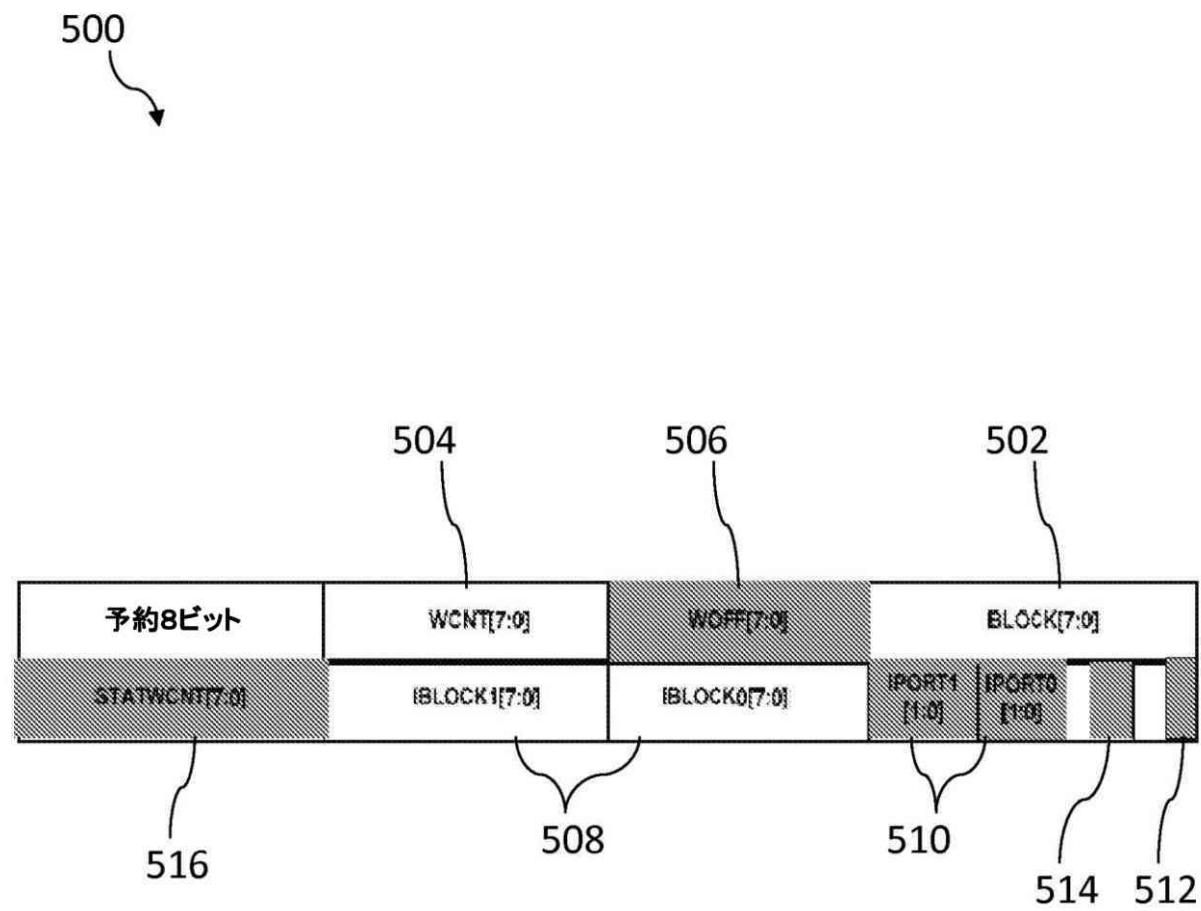


図 5

【図 6】

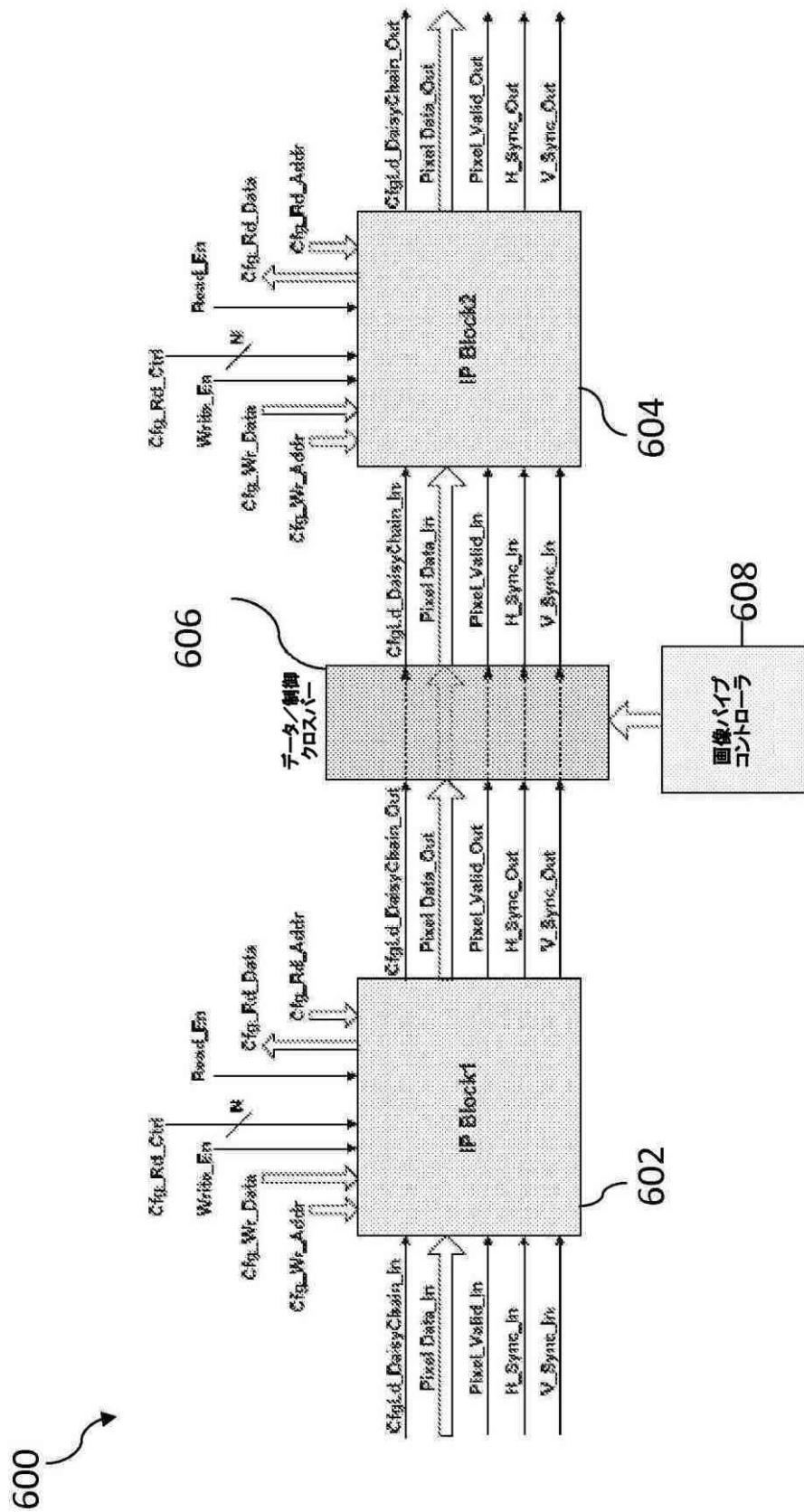


図 6

【図 7】

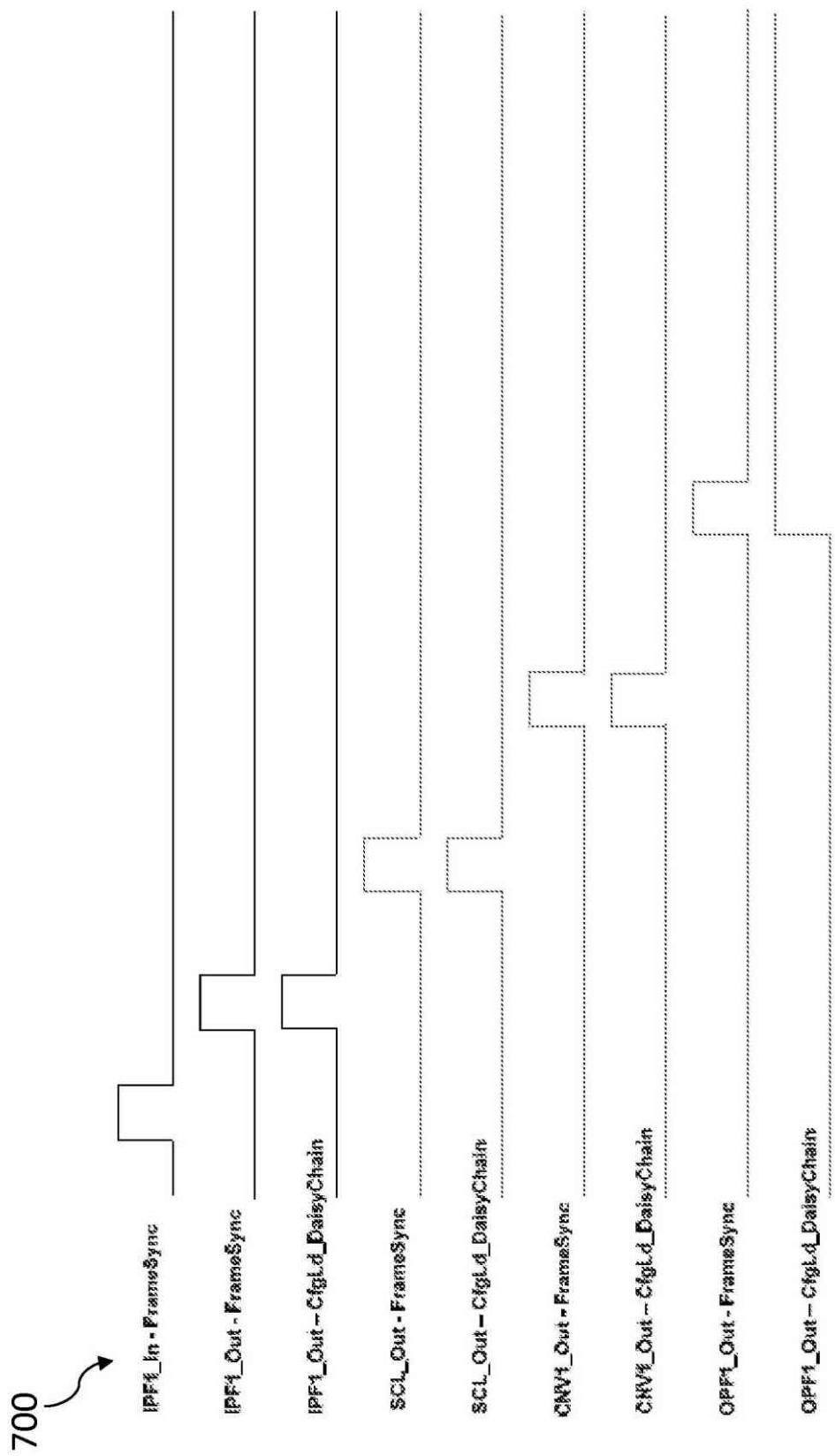
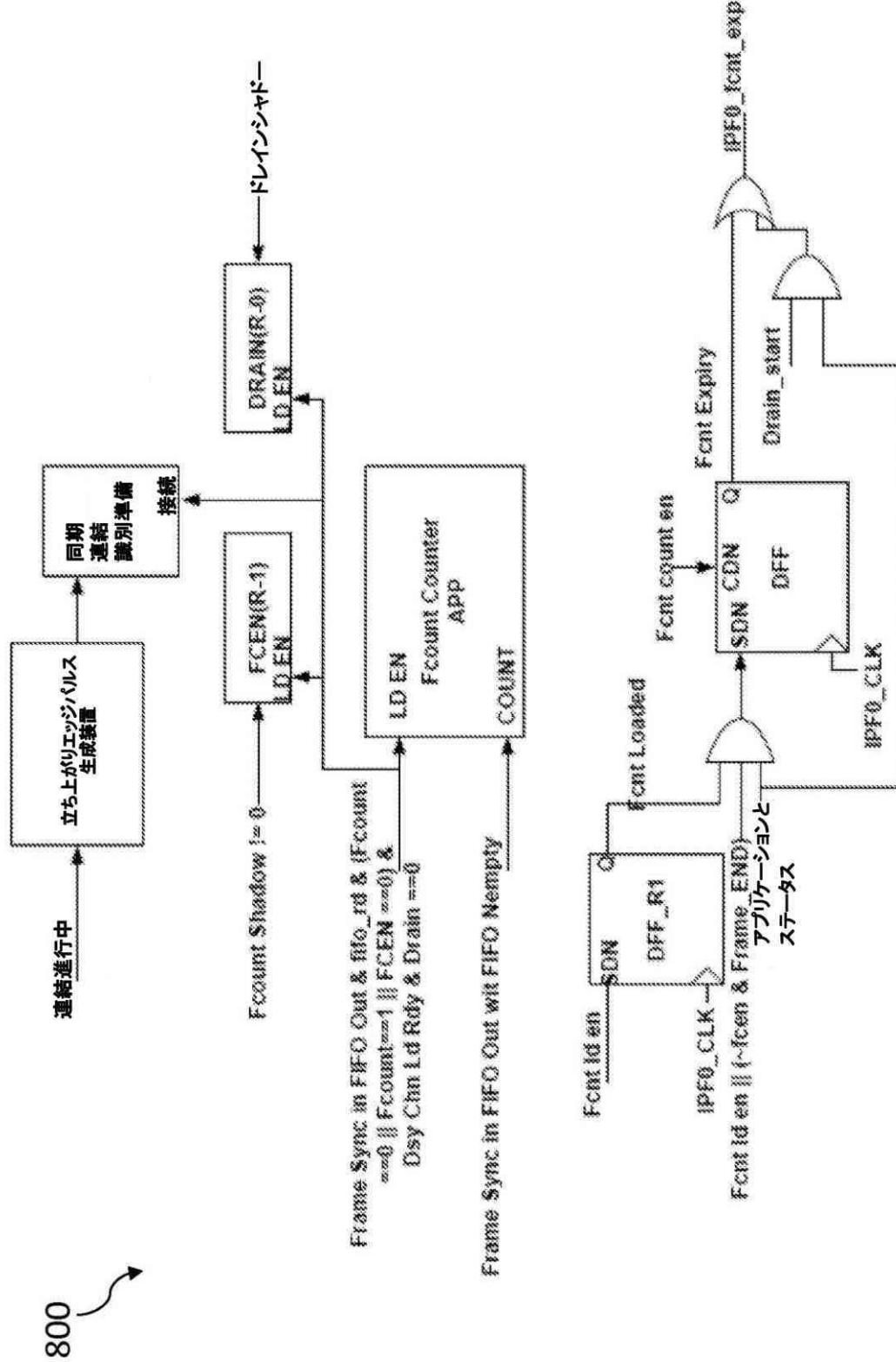


図 7

【 図 8 】



```
Drain_start = (Fcnt==0) & Drain
Frame_END = Frame_Sync in FIFO & FIFO_rd
```

8

【図9】

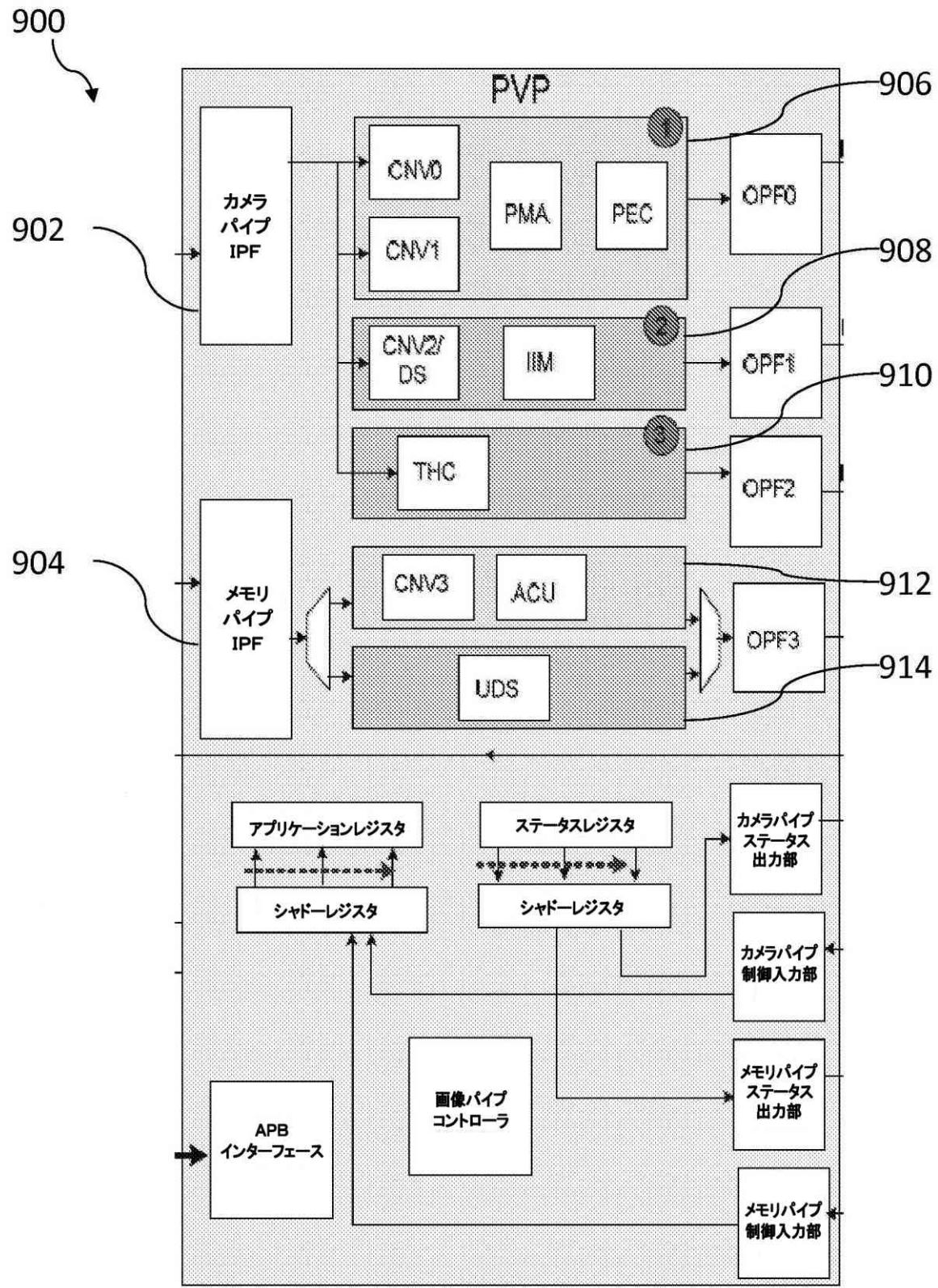
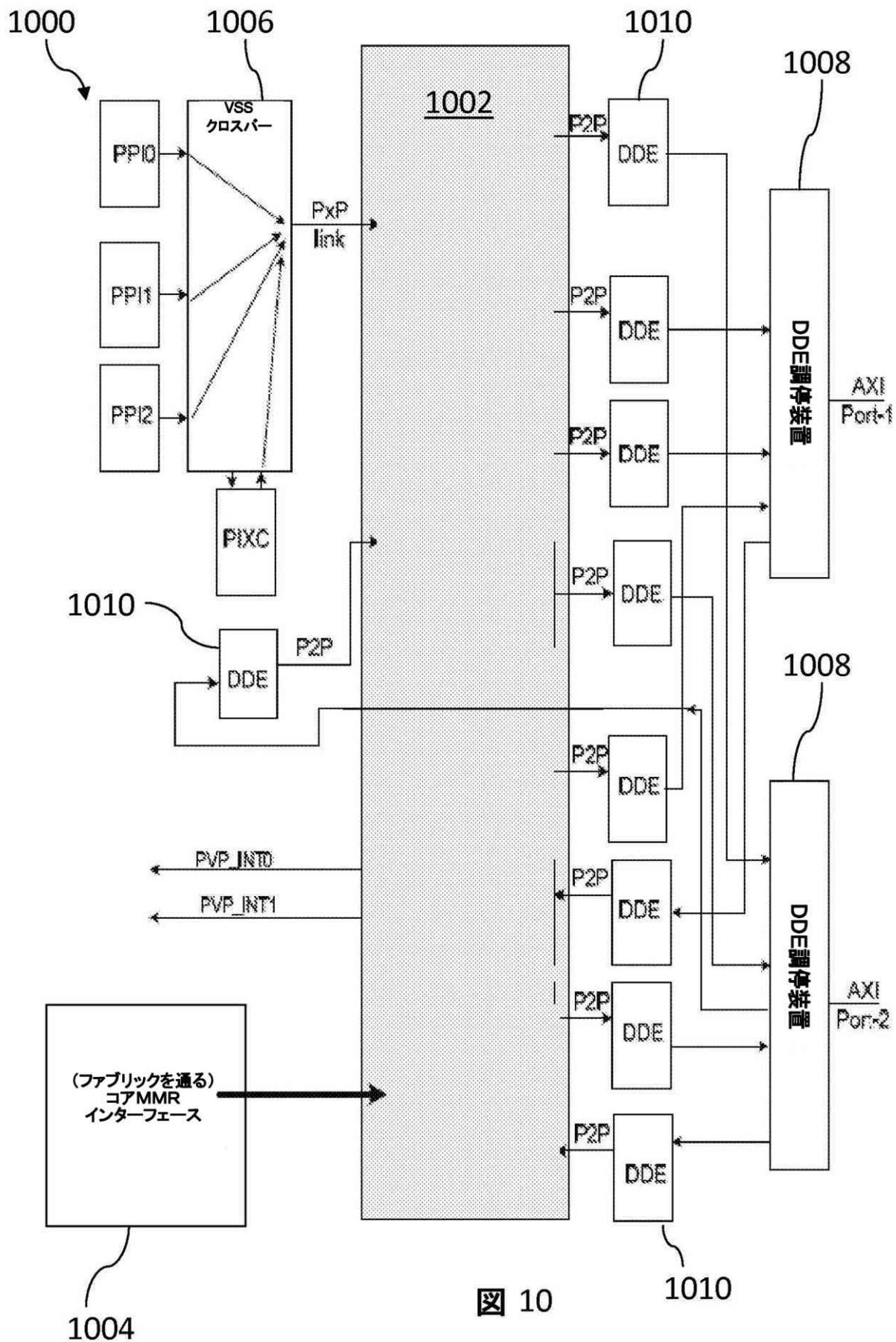


図9

【 図 1 0 】



10

## 【国際調査報告】

## INTERNATIONAL SEARCH REPORT

International application No  
PCT/US2012/060159

A. CLASSIFICATION OF SUBJECT MATTER  
INV. G06T1/20  
ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
G06T

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal, WPI Data, INSPEC

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JULIEN A. VIJVERBERG ; PETER H. N. DE WITH: "Two-dimensional systolic-array architecture for pixel-level vision tasks", PROCEEDINGS OF SPIE, vol. 772408, 4 May 2010 (2010-05-04), pages 772408_1-772408_7, XP002690234, page 772408_4, paragraph 3; figure 2(a) ----- -/-	1-80

Further documents are listed in the continuation of Box C.

See patent family annex.

## \* Special categories of cited documents :

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier application or patent but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

Date of mailing of the international search report

15 January 2013

24/01/2013

Name and mailing address of the ISA/  
European Patent Office, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040,  
Fax: (+31-70) 340-3016

Authorized officer

Pierfederici, A

1

## INTERNATIONAL SEARCH REPORT

International application No
PCT/US2012/060159

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	ADARIO A M S ET AL: "Dynamically Reconfigurable Architecture for Image Processor Applications", DESIGN AUTOMATION, 1999. 36TH ANNUAL CONFERENCE ON NEW ORLEANS, LA, USA 21-25 JUNE 1999, PISCATAWAY, NJ, USA, IEEE, 21 June 1999 (1999-06-21), pages 623-628, XP010762390, page 625, right-hand column, last paragraph - page 626, left-hand column, paragraph 1; figure 4 -----	1-80
A	HAYAT L ET AL: "A dynamically reconfigurable parallel pipelined system for real-time image processing applications", 19910101, 1 January 1991 (1991-01-01), pages 6/1-6/4, XP006522958, the whole document -----	1-80
A	HAYAT L ET AL: "An efficient multidimensional/multidirectional parallel pipelined architecture for image processing", DIGITAL PROCESSING OF SIGNALS IN COMMUNICATIONS, 1991, SIXTH INTERNATIONAL CONFERENCE ON. LOUGHBOROUGH, UK, LONDON, IEE, UK, 1 January 1991 (1991-01-01), pages 105-110, XP006515835, the whole document -----	1-80
A	WO 2008/027567 A2 (BRIGHTSCALE INC [US]; STEFAN GHEORGHE [US]; TOMESCU DAN [CA]) 6 March 2008 (2008-03-06) page 5, line 8 - page 7, line 16 -----	1-80
A	US 2008/059764 A1 (STEFAN GHEORGHE [US]) 6 March 2008 (2008-03-06) column 5, paragraph 2 column 7, paragraph 6 - column 8, paragraph 3 -----	1-80
A	US 5 798 770 A (BALDWIN DAVID ROBERT [GB]) 25 August 1998 (1998-08-25) column 7, paragraph 6 - column 8, paragraph 3 -----	1-80

**INTERNATIONAL SEARCH REPORT**

Information on patent family members

International application No

PCT/US2012/060159

Patent document cited in search report		Publication date		Patent family member(s)		Publication date
WO 2008027567	A2	06-03-2008	US WO	2008059764 A1 2008027567 A2		06-03-2008 06-03-2008
US 2008059764	A1	06-03-2008	US WO	2008059764 A1 2008027567 A2		06-03-2008 06-03-2008
US 5798770	A	25-08-1998		NONE		

## フロントページの続き

(81)指定国 AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA,RW,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MK,MT,NL,NO,PL,PT,RO,R,S,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CZ,DE,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,LA,LK,LR,LS,LT,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SC,SD,SE,SG,SK,SL,SM,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC

(72)発明者 マイヤー - パンサック , ミヒヤエル

ドイツ連邦共和国 エーゲンブルク 85235、ラートハウスシュトラーセ 17

(72)発明者 クスタッシャー , ベノ

ドイツ連邦共和国 ミュンヘン 81373、ファーバーシュトラーセ 13 / 90

(72)発明者 カザイール , スリージス

インド共和国 バンガロール 560016、オールド マドラス ロード、アールエムズィー - インフィニティー , タワー ディー、6ス フロア、シー / オー アナログ デバイシズ

(72)発明者 ムスサミー , ゴクル

インド共和国 タミルナードゥ 638002、ムーラパラヤム、アショク ナガール 356

(72)発明者 ブッシー , ロバート

アメリカ合衆国 マサチューセッツ州 02052、メドフィールド、オノンダガ レーン 12

(72)発明者 カラナム , ゴパール グドゥール

インド共和国 バンガロール 560098、ラジャラジエシュワリ ナーガ、1スト メイン ロード、ビーイーエムエル 4ス ステージ、166

(72)発明者 サンジーヴ , プラヴィーン

インド共和国 ケーララ 695008、トリヴァンドラム、スラージ ニヴァス ティーシー 42 / 1138 ヴァラッカドヴ ピーオー

(72)発明者 ラーナー , ボリス

アメリカ合衆国 マサチューセッツ州 02067、シャロン、リチャーズ アヴェニュー 62

F ターム(参考) 5B057 CA08 CA12 CA16 CB08 CB12 CB16 CH05 CH11 CH14