

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5428404号  
(P5428404)

(45) 発行日 平成26年2月26日 (2014. 2. 26)

(24) 登録日 平成25年12月13日 (2013. 12. 13)

|                          |              |         |  |
|--------------------------|--------------|---------|--|
| (51) Int. Cl.            | F I          |         |  |
| HO 1 L 21/336 (2006. 01) | HO 1 L 29/78 | 6 2 1   |  |
| HO 1 L 29/786 (2006. 01) | HO 1 L 29/78 | 6 1 9 A |  |
| HO 1 L 51/50 (2006. 01)  | HO 5 B 33/14 | A       |  |

請求項の数 6 (全 19 頁)

|           |                               |           |   |
|-----------|-------------------------------|-----------|---|
| (21) 出願番号 | 特願2009-54624 (P2009-54624)    | (73) 特許権者 | 000001443                               |
| (22) 出願日  | 平成21年3月9日 (2009. 3. 9)        |           | カシオ計算機株式会社                              |
| (65) 公開番号 | 特開2010-212328 (P2010-212328A) |           | 東京都渋谷区本町1丁目6番2号                         |
| (43) 公開日  | 平成22年9月24日 (2010. 9. 24)      | (74) 代理人  | 110001254                               |
| 審査請求日     | 平成23年9月30日 (2011. 9. 30)      |           | 特許業務法人光陽国際特許事務所                         |
|           |                               | (74) 代理人  | 100090033                               |
|           |                               |           | 弁理士 荒船 博司                               |
|           |                               | (74) 代理人  | 100093045                               |
|           |                               |           | 弁理士 荒船 良男                               |
|           |                               | (72) 発明者  | 山本 和人                                   |
|           |                               |           | 東京都八王子市石川町2951番地5 カシオ計算機株式会社 八王子技術センター内 |
|           |                               | 審査官       | 大橋 達也                                   |

最終頁に続く

(54) 【発明の名称】 薄膜トランジスタ及び薄膜トランジスタの製造方法

(57) 【特許請求の範囲】

【請求項1】

基板の上面側にシリコンを含む半導体層を形成する半導体層形成工程と、  
前記半導体層をパターニングして島状の形状を有する半導体膜を形成する半導体膜形成工程と、

前記基板上における前記半導体膜の側面に接して該半導体膜を覆う金属膜を成膜する金属膜成膜工程と、

前記金属膜をパターニングして、前記半導体膜上に電極層を形成し、該電極層より前記半導体膜の端部を突出させる電極層形成工程と、

前記電極層及び前記半導体膜を覆う第一絶縁膜を成膜するオーバーコート工程と、

前記第一絶縁膜の、前記電極層から突出した前記半導体膜の端部の側面と前記第一絶縁膜との境界部分の一部に対応する箇所を開口部を形成して、前記半導体膜の端部の一部を露出させる露出工程と、

露出された前記半導体膜の端部の一部を、前記開口部を介してエッチングして取り除く端部除去工程と、

を備えることを特徴とする薄膜トランジスタの製造方法。

【請求項2】

前記露出工程は、前記半導体膜の端部における、前記金属膜成膜工程において前記半導体膜が前記金属膜の成膜時に該金属膜と接触して、前記半導体膜の側面に沿って形成された導電性化合物に変質した領域の一部を露出させ、

10

20

前記端部除去工程は、前記半導体膜の前記導電性化合物に変質した領域の一部を取り除くことを特徴とする請求項 1 に記載の薄膜トランジスタの製造方法。

【請求項 3】

前記半導体層形成工程は、前記半導体層上に保護絶縁膜を形成する工程を含み、

前記半導体膜形成工程の後に、前記保護絶縁膜をパターニングして、前記半導体層におけるチャンネルとなる領域を覆う保護膜を形成する保護膜形成工程を備え、

前記半導体膜形成工程は、前記保護膜が形成された前記半導体層上に、不純物半導体層を成膜し、前記不純物半導体層をパターニングして、前記保護膜を挟んで対向する一対の不純物半導体膜を形成する不純物半導体膜形成工程を含み、

前記金属膜成膜工程は、前記金属膜を前記不純物半導体膜と前記保護膜と前記半導体膜の側面に接して該半導体膜を覆うように成膜する工程を含み、

前記電極層形成工程は、前記金属膜をパターニングして、前記一対の不純物半導体膜上にソース電極及びドレイン電極を形成する工程を含むことを特徴とする請求項 2 に記載の薄膜トランジスタの製造方法。

【請求項 4】

前記半導体層形成工程の前に、前記基板の上面にゲート電極及び下層電極を形成するゲート電極形成工程を備え、

前記半導体層形成工程は、前記基板の上面に、前記ゲート電極形成工程により形成された前記ゲート電極及び前記下層電極を覆って第二絶縁膜を成膜する工程と、該第二絶縁膜上に前記半導体層を形成する工程と、を含み、

前記半導体膜形成工程の後に、端子パッド部において、前記第二絶縁膜をエッチングして、前記下層電極を露出させる電極露出工程を備え、

前記金属膜成膜工程は、前記金属膜を前記第二絶縁膜上及び前記露出された下層電極上に成膜する工程を含み、

前記電極層形成工程は、前記端子パッド部において、前記電極層の形成と同時に、前記露出された下層電極上の前記金属膜をパターニングして、前記露出された下層電極上に上層電極を形成する工程を含み、

前記オーバーコート工程は、前記第一絶縁膜を前記上層電極も覆うように成膜し、

前記露出工程は、前記端子パッド部において、前記開口部の形成と同時に、前記上層電極上の前記第一絶縁膜をエッチングして、該上層電極の少なくとも一部を露出させる工程を含むことを特徴とする請求項 3 に記載の薄膜トランジスタの製造方法。

【請求項 5】

基板の上面側に島状に形成されたシリコンを含む半導体膜と、

金属膜からなり、前記半導体膜の上部に、該半導体膜の端部を突出させた形状に形成された電極層と、

前記電極層及び前記半導体膜を覆う第一絶縁膜と、

前記第一絶縁膜上に形成された隔壁と、

を備え、

前記半導体膜は、前記端部において、該半導体膜の一部が取り除かれた切り欠き部を有し、該切り欠き部において、前記電極層をなす前記金属膜の形成時に前記半導体膜が前記金属膜と接触して、前記半導体膜の側面に沿って形成された導電性化合物に変質した領域が分断され、

前記第一絶縁膜は、前記切り欠き部に対応する位置に形成された開口部を有し、

前記開口部に、前記隔壁を形成する材料が充填されていることを特徴とする薄膜トランジスタ。

【請求項 6】

前記半導体膜のチャンネルとなる領域の上に形成された、保護絶縁膜からなる保護膜と、

前記半導体膜上に、前記保護膜を挟んで対向する位置に形成された一対の不純物半導体膜と、

を備え、

10

20

30

40

50

前記電極層は、前記一对の不純物半導体膜上に形成されて、ソース電極及びドレイン電極をなし、

前記第一絶縁膜は、前記ソース電極及びドレイン電極と前記不純物半導体膜と前記保護膜と前記半導体膜を覆っていることを特徴とする請求項5に記載の薄膜トランジスタ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、薄膜トランジスタ及び薄膜トランジスタの製造方法に関する。

【背景技術】

【0002】

アモルファスシリコン等の半導体薄膜をチャンネル層とする薄膜トランジスタ(TFT)を表示デバイスの画素回路などに利用する際に必要となる特性として、リーク電流の低さが挙げられる。TFTのリーク電流が高いとTFTのオン/オフ比が低下してしまうことによるコントラスト低下などのために、表示画質が悪化してしまうことがある。

そこで、リーク電流が回りこむ経路となるチャンネル保護膜の端面に切欠部を形成することにより、リーク経路を長くするようにして、リーク電流を軽減する手法が知られている(例えば、特許文献1参照。 )。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2000-214485号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、上記特許文献1の場合、リーク電流を軽減することによる画質の改善を図ってはいるが、リーク電流の経路を遮断しているわけではないので、根本的な解決には至っていない。

また、チャンネル保護膜の下層のチャンネル層において半導体薄膜が露出した部分が、トランジスタ製造工程で導電性化合物(例えば、シリサイド)に変質してしまうこともあり、その部分を流れるリーク電流は無視できないほどの悪影響を及ぼすことがある。

【0005】

そこで、本発明の課題は、より一層のリーク電流の低減を図ることである。

【課題を解決するための手段】

【0006】

以上の課題を解決するため、本発明の一の態様は、薄膜トランジスタの製造方法であって、

基板の上面側にシリコンを含む半導体層を形成する半導体層形成工程と、

前記半導体層をパターニングして島状の形状を有する半導体膜を形成する半導体膜形成工程と、

前記基板上における前記半導体膜の側面に接して該半導体膜を覆う金属膜を成膜する金属膜成膜工程と、

前記金属膜をパターニングして、前記半導体膜上に電極層を形成し、該電極層より前記半導体膜の端部を突出させる電極層形成工程と、

前記電極層及び前記半導体膜を覆う第一絶縁膜を成膜するオーバーコート工程と、

前記第一絶縁膜の、前記電極層から突出した前記半導体膜の端部の側面と前記第一絶縁膜との境界部分の一部に対応する箇所に開口部を形成して、前記半導体膜の端部の一部を露出させる露出工程と、

露出された前記半導体膜の端部の一部を、前記開口部を介してエッチングして取り除く端部除去工程と、

を備えることを特徴としている。

10

20

30

40

50

好ましくは、前記露出工程は、前記半導体膜の端部における、前記金属膜成膜工程において前記半導体膜が前記金属膜の成膜時に該金属膜と接触して、前記半導体膜の側面に沿って形成された導電性化合物に変質した領域の一部を露出させ、

前記端部除去工程は、前記半導体膜の前記導電性化合物に変質した領域の一部を取り除く。

また、好ましくは、前記半導体層形成工程は、前記半導体層上に保護絶縁膜を形成する工程を含み、

前記半導体膜形成工程の後に、前記保護絶縁膜をパターニングして、前記半導体層におけるチャンネルとなる領域を覆う保護膜を形成する保護膜形成工程を備え、

前記半導体膜形成工程は、前記保護膜が形成された前記半導体層上に、不純物半導体層を成膜し、前記不純物半導体層をパターニングして、前記保護膜を挟んで対向する一对の不純物半導体膜を形成する不純物半導体膜形成工程を含み、

前記金属膜成膜工程は、前記金属膜を前記不純物半導体膜と前記保護膜と前記半導体膜の側面に接して該半導体膜を覆うように成膜する工程を含み、

前記電極層形成工程は、前記金属膜をパターニングして、前記一对の不純物半導体膜上にソース電極及びドレイン電極を形成する工程を含む。

また、好ましくは、前記半導体層形成工程の前に、前記基板の上面にゲート電極及び下層電極を形成するゲート電極形成工程を備え、

前記半導体層形成工程は、前記基板の上面に、前記ゲート電極形成工程により形成された前記ゲート電極及び前記下層電極を覆って第二絶縁膜を成膜する工程と、該第二絶縁膜上に前記半導体層を形成する工程と、を含み、

前記半導体膜形成工程の後に、端子パッド部において、前記第二絶縁膜をエッチングして、前記下層電極を露出させる電極露出工程を備え、

前記金属膜成膜工程は、前記金属膜を前記第二絶縁膜上及び前記露出された下層電極上に成膜する工程を含み、

前記電極層形成工程は、前記端子パッド部において、前記電極層の形成と同時に、前記露出された下層電極上の前記金属膜をパターニングして、前記露出された下層電極上に上層電極を形成する工程を含み、

前記オーバーコート工程は、前記第一絶縁膜を前記上層電極も覆うように成膜し、

前記露出工程は、前記端子パッド部において、前記開口部の形成と同時に、前記上層電極上の前記第一絶縁膜をエッチングして、該上層電極の少なくとも一部を露出させる工程を含む。

そして、この薄膜トランジスタの製造方法によって薄膜トランジスタ製造される。

【0007】

また、本発明の他の態様は、薄膜トランジスタであって、

基板の上面側に島状に形成されたシリコンを含む半導体膜と、

金属膜からなり、前記半導体膜の上部に、該半導体膜の端部を突出させた形状に形成された電極層と、

前記電極層及び前記半導体膜を覆う第一絶縁膜と、

前記第一絶縁膜上に形成された隔壁と、

を備え、

前記半導体膜は、前記端部において、該半導体膜の一部が取り除かれた切り欠き部を有し、該切り欠き部において、前記電極層をなす前記金属膜の形成時に前記半導体膜が前記金属膜と接触して、前記半導体膜の側面に沿って形成された導電性化合物に変質した領域が分断され、

前記第一絶縁膜は、前記切り欠き部に対応する位置に形成された開口部を有し、

前記開口部に、前記隔壁を形成する材料が充填されていることを特徴としている。

また、好ましくは、前記半導体膜のチャンネルとなる領域の上に形成された、保護絶縁膜からなる保護膜と、

前記半導体膜上に、前記保護膜を挟んで対向する位置に形成された一对の不純物半導体

10

20

30

40

50

膜と、

を備え、

前記電極層は、前記一对の不純物半導体膜上に形成されて、ソース電極及びドレイン電極をなし、

前記第一絶縁膜は、前記ソース電極及びドレイン電極と前記不純物半導体膜と前記保護膜と前記半導体膜を覆っている。

【発明の効果】

【0008】

本発明によれば、薄膜トランジスタにおけるリーク電流の低減を、より一層図ることができる。

10

【図面の簡単な説明】

【0009】

【図1】ELパネルの画素の配置構成を示す平面図である。

【図2】ELパネルの概略構成を示す平面図である。

【図3】ELパネルの1画素に相当する回路を示した回路図である。

【図4】ELパネルの1画素を示した平面図である。

【図5】図4のV-V線に沿った面の矢視断面図である。

【図6】図4のVI-VI線に沿った面の矢視断面図である。

【図7】図4のVII-VII線に沿った面の矢視断面図である。

【図8】薄膜トランジスタの製造過程におけるゲート形成工程を示す説明図である。

20

【図9】薄膜トランジスタの製造過程における三層成膜工程を示す説明図である。

【図10】薄膜トランジスタの製造過程における保護膜形成工程を示す説明図である。

【図11】薄膜トランジスタの製造過程における不純物半導体層成膜工程を示す説明図である。

【図12】薄膜トランジスタの製造過程における半導体膜形成工程を示す説明図である。

【図13】薄膜トランジスタの製造過程における電極露出工程を示す説明図である。

【図14】薄膜トランジスタの製造過程における金属膜成膜工程を示す説明図である。

【図15】薄膜トランジスタの製造過程におけるソース・ドレイン形成工程を示す説明図である。

【図16】薄膜トランジスタの製造過程におけるオーバーコート工程を示す説明図である

30

【図17】薄膜トランジスタの製造過程における露出工程を示す説明図である。

【図18】薄膜トランジスタの製造過程における端部除去工程を示す説明図である。

【発明を実施するための形態】

【0010】

以下に、本発明を実施するための好ましい形態について図面を用いて説明する。但し、以下に述べる実施形態には、本発明を実施するために技術的に好ましい種々の限定が付されているが、発明の範囲を以下の実施形態及び図示例に限定するものではない。

【0011】

図1は、発光装置であるELパネル1における複数の画素Pの配置構成を示す平面図であり、図2は、ELパネル1の概略構成を示す平面図である。

40

【0012】

図1、図2に示すように、ELパネル1には、R(赤)、G(緑)、B(青)をそれぞれ発光する複数の画素Pが所定のパターンでマトリクス状に配置されている。

このELパネル1には、複数の走査線2が行方向に沿って互いに略平行となるよう配列され、複数の信号線3が平面視して走査線2と略直交するよう列方向に沿って互いに略平行となる配列されている。また、隣り合う走査線2の間において電圧供給線4が走査線2に沿って設けられている。そして、これら各走査線2と隣接する二本の信号線3と各電圧供給線4とによって囲われる範囲が、画素Pに相当する。

また、ELパネル1には、走査線2、信号線3、電圧供給線4の上方に覆うように、格

50

子状の隔壁であるバンク 13 が設けられている。このバンク 13 によって囲われてなる略長形状の複数の開口部 13 a が画素 P ごとに形成されており、この開口部 13 a 内に所定のキャリア輸送層（後述する正孔注入層 8 b、発光層 8 c）が設けられて、画素 P の発光領域となる。キャリア輸送層とは、電圧が印加されることによって正孔又は電子を輸送する層である。

なお、複数の走査線 2 の一端部には、それぞれ端子パッド T（図 18 等参照）が設けられている。また、複数の電圧供給線 4 はバンク 13 の外側において、1 本乃至複数本の共通配線によって互いに接続されて、その共通配線は 1 つ乃至複数の端子パッド T と接続されている。

#### 【 0 0 1 3 】

図 3 は、アクティブマトリクス駆動方式で動作する E L パネル 1 の 1 画素に相当する回路を示した回路図である。

#### 【 0 0 1 4 】

図 3 に示すように、E L パネル 1 には、走査線 2 と、走査線 2 と交差する信号線 3 と、走査線 2 に沿う電圧供給線 4 とが設けられており、この E L パネル 1 の 1 画素 P につき、薄膜トランジスタであるスイッチトランジスタ 5 と、薄膜トランジスタである駆動トランジスタ 6 と、キャパシタ 7 と、E L 素子 8 とが設けられている。

#### 【 0 0 1 5 】

各画素 P においては、スイッチトランジスタ 5 のゲートが走査線 2 に接続され、スイッチトランジスタ 5 のドレインとソースのうち的一方が信号線 3 に接続され、スイッチトランジスタ 5 のドレインとソースのうち他方がキャパシタ 7 の一方の電極及び駆動トランジスタ 6 のゲートに接続されている。駆動トランジスタ 6 のソースとドレインのうち一方が電圧供給線 4 に接続され、駆動トランジスタ 6 のソースとドレインのうち他方がキャパシタ 7 の他方の電極及び E L 素子 8 のアノードに接続されている。なお、全ての画素 P の E L 素子 8 のカソードは、一定電圧  $V_{com}$  に保たれている（例えば、接地されている）。

#### 【 0 0 1 6 】

また、この E L パネル 1 の周囲において各走査線 2 が走査ドライバに接続され、各電圧供給線 4 が一定電圧源又は適宜電圧信号を出力するドライバに接続され、各信号線 3 がデータドライバに接続され、これらドライバによって E L パネル 1 がアクティブマトリクス駆動方式で駆動される。電圧供給線 4 には、一定電圧源又はドライバによって所定の電力が供給される。

#### 【 0 0 1 7 】

次に、E L パネル 1 と、その画素 P の回路構造について、図 4 ~ 図 6 を用いて説明する。ここで、図 4 は、E L パネル 1 の 1 画素 P に相当する平面図であり、図 5 は、図 4 の V - V 線に沿った面の矢視断面図、図 6 は、図 4 の VI - VI 線に沿った面の矢視断面図であり、図 7 は図 4 の VII - VII 線に沿った面の矢視断面図である。なお、図 4 においては、電極及び配線を主に示す。

#### 【 0 0 1 8 】

図 4 に示すように、スイッチトランジスタ 5 及び駆動トランジスタ 6 は、信号線 3 に沿うように配列され、スイッチトランジスタ 5 の近傍にキャパシタ 7 が配置され、駆動トランジスタ 6 の近傍に E L 素子 8 が配置されている。また、走査線 2 と電圧供給線 4 の間に、スイッチトランジスタ 5、駆動トランジスタ 6、キャパシタ 7 及び E L 素子 8 が配置されている。

#### 【 0 0 1 9 】

図 4 ~ 図 6 に示すように、基板 10 上の一面にゲート絶縁膜となる第二絶縁膜 11 が成膜されており、その第二絶縁膜 11 の上に第一絶縁膜 12 が成膜されている。信号線 3 は第二絶縁膜 11 と基板 10 との間に形成され、走査線 2 及び電圧供給線 4 は第二絶縁膜 11 と第一絶縁膜 12 との間に形成されている。

#### 【 0 0 2 0 】

10

20

30

40

50

また、図4、図6に示すように、スイッチトランジスタ5は、逆スタガ構造の薄膜トランジスタである。このスイッチトランジスタ5は、ゲート電極5a、半導体膜5b、チャンネル保護膜5d、不純物半導体膜5f、5g、ドレイン電極5h、ソース電極5i等を有するものである。

#### 【0021】

ゲート電極5aは、基板10と第二絶縁膜11の間に形成されている。このゲート電極5aは、例えば、Cr膜、Al膜、Cr/Al積層膜、AlTi合金膜又はAlTiNd合金膜からなる。また、ゲート電極5aの上に絶縁性の第二絶縁膜11が成膜されており、その第二絶縁膜11によってゲート電極5aが被覆されている。

第二絶縁膜11は、例えば、光透過性を有し、シリコン窒化物又はシリコン酸化物からなる。この第二絶縁膜11上であってゲート電極5aに対応する位置に真性半導体膜5bが形成されており、半導体膜5bが第二絶縁膜11を挟んでゲート電極5aと相対している。

半導体膜5bは、例えば、アモルファスシリコン又は多結晶シリコンからなり、この半導体膜5bにチャンネルが形成される。また、半導体膜5bの中央部上には、絶縁性のチャンネル保護膜5dが形成されている。このチャンネル保護膜5dは、例えば、シリコン窒化物又はシリコン酸化物からなる。

また、半導体膜5bの一端部の上には、不純物半導体膜5fが一部チャンネル保護膜5dに重なるようにして形成されており、半導体膜5bの他端部の上には、不純物半導体膜5gが一部チャンネル保護膜5dに重なるようにして形成されている。そして、不純物半導体膜5f、5gはそれぞれ半導体膜5bの両端側に互いに離間して形成されている。なお、不純物半導体膜5f、5gはn型半導体であるが、これに限らず、p型半導体であってもよい。

不純物半導体膜5fの上には、ドレイン電極5hが形成されている。不純物半導体膜5gの上には、ソース電極5iが形成されている。ドレイン電極5h、ソース電極5iは、例えば、Cr膜、Al膜、Cr/Al積層膜、AlTi合金膜又はAlTiNd合金膜からなる。

チャンネル保護膜5d、ドレイン電極5h及びソース電極5iの上には、保護膜となる絶縁性の第一絶縁膜12が成膜され、チャンネル保護膜5d、ドレイン電極5h及びソース電極5iが第一絶縁膜12によって被覆されている。そして、スイッチトランジスタ5は、第一絶縁膜12によって覆われるようになっている。第一絶縁膜12は、例えば、厚さが100nm~200nm窒化シリコン又は酸化シリコンからなる。

#### 【0022】

また、図4、図5に示すように、駆動トランジスタ6は、逆スタガ構造の薄膜トランジスタである。この駆動トランジスタ6は、ゲート電極6a、半導体膜6b、チャンネル保護膜6d、不純物半導体膜6f、6g、ドレイン電極6h、ソース電極6i等を有するものである。

#### 【0023】

ゲート電極6aは、例えば、Cr膜、Al膜、Cr/Al積層膜、AlTi合金膜又はAlTiNd合金膜からなり、ゲート電極5aと同様に基板10と第二絶縁膜11の間に形成されている。そして、ゲート電極6aは、例えば、シリコン窒化物又はシリコン酸化物からなる第二絶縁膜11によって被覆されている。

この第二絶縁膜11の上であって、ゲート電極6aに対応する位置に、チャンネルが形成される半導体膜6bが、例えば、アモルファスシリコン又は多結晶シリコンにより形成されている。この半導体膜6bは第二絶縁膜11を挟んでゲート電極6aと相対している。

半導体膜6bの中央部上には、絶縁性のチャンネル保護膜6dが形成されている。このチャンネル保護膜6dは、例えば、シリコン窒化物又はシリコン酸化物からなる。

また、半導体膜6bの一端部の上には、不純物半導体膜6fが一部チャンネル保護膜6dに重なるようにして形成されており、半導体膜6bの他端部の上には、不純物半導体膜6gが一部チャンネル保護膜6dに重なるようにして形成されている。そして、不純物半導体

10

20

30

40

50

膜 6 f , 6 g はそれぞれ半導体膜 6 b の両端側に互いに離間して形成されている。なお、不純物半導体膜 6 f , 6 g は n 型半導体であるが、これに限らず、p 型半導体であってもよい。

不純物半導体膜 6 f の上には、ドレイン電極 6 h が形成されている。不純物半導体膜 6 g の上には、ソース電極 6 i が形成されている。ドレイン電極 6 h , ソース電極 6 i は、例えば、Cr 膜、Al 膜、Cr / Al 積層膜、AlTi 合金膜又は AlTiNd 合金膜からなる。

チャネル保護膜 6 d、ドレイン電極 6 h 及びソース電極 6 i の上には、絶縁性の第一絶縁膜 1 2 が成膜され、チャネル保護膜 6 d、ドレイン電極 6 h 及びソース電極 6 i が第二絶縁膜 1 2 によって被覆されている。

10

#### 【 0 0 2 4 】

キャパシタ 7 は、駆動トランジスタ 6 のゲート電極 6 a とソース電極 6 i との間に接続されており、図 4、図 6 に示すように、基板 1 0 と第二絶縁膜 1 1 との間に一方の電極 7 a が形成され、第二絶縁膜 1 1 と第一絶縁膜 1 2 との間に他方の電極 7 b が形成され、電極 7 a と電極 7 b が誘電体である第二絶縁膜 1 1 を挟んで相対している。

#### 【 0 0 2 5 】

なお、信号線 3、キャパシタ 7 の電極 7 a、スイッチトランジスタ 5 のゲート電極 5 a 及び駆動トランジスタ 6 のゲート電極 6 a は、基板 1 0 に一面に成膜された導電性の金属膜をフォトリソグラフィ法及びエッチング法等によって形状加工することで一括して形成されたものである。

20

また、走査線 2、電圧供給線 4、キャパシタ 7 の電極 7 b、スイッチトランジスタ 5 のドレイン電極 5 h、ソース電極 5 i 及び駆動トランジスタ 6 のドレイン電極 6 h、ソース電極 6 i は、第二絶縁膜 1 1 に一面に成膜された導電性の金属膜をフォトリソグラフィ法及びエッチング法等によって形状加工することで形成されたものである。

#### 【 0 0 2 6 】

また、第二絶縁膜 1 1 には、ゲート電極 5 a と走査線 2 とが重なる領域にコンタクトホール 1 1 a が形成され、ドレイン電極 5 h と信号線 3 とが重なる領域にコンタクトホール 1 1 b が形成され、ゲート電極 6 a とソース電極 5 i とが重なる領域にコンタクトホール 1 1 c が形成されており、コンタクトホール 1 1 a ~ 1 1 c 内にコンタクトプラグ 2 0 a ~ 2 0 c がそれぞれ埋め込まれている。コンタクトプラグ 2 0 a によってスイッチトランジスタ 5 のゲート電極 5 a と走査線 2 が電氣的に導通し、コンタクトプラグ 2 0 b によってスイッチトランジスタ 5 のドレイン電極 5 h と信号線 3 が電氣的に導通し、コンタクトプラグ 2 0 c によってスイッチトランジスタ 5 のソース電極 5 i とキャパシタ 7 の電極 7 a が電氣的に導通するとともにスイッチトランジスタ 5 のソース電極 5 i と駆動トランジスタ 6 のゲート電極 6 a が電氣的に導通する。なお、コンタクトプラグ 2 0 a ~ 2 0 c を介することなく、走査線 2 が直接ゲート電極 5 a と接触し、ドレイン電極 5 h が信号線 3 と接触し、ソース電極 5 i がゲート電極 6 a と接触してもよい。

30

また、駆動トランジスタ 6 のゲート電極 6 a がキャパシタ 7 の電極 7 a に一体に連なっており、駆動トランジスタ 6 のドレイン電極 6 h が電圧供給線 4 に一体に連なっており、駆動トランジスタ 6 のソース電極 6 i がキャパシタ 7 の電極 7 b に一体に連なっている。

40

#### 【 0 0 2 7 】

画素電極 8 a は、第二絶縁膜 1 1 を介して基板 1 0 上に設けられており、画素 P ごとに独立して形成されている。この画素電極 8 a は透明電極であって、例えば、錫ドープ酸化インジウム (ITO)、亜鉛ドープ酸化インジウム、酸化インジウム ( $In_2O_3$ )、酸化スズ ( $SnO_2$ )、酸化亜鉛 (ZnO) 又はカドミウム - 錫酸化物 (CTO) からなる。なお、画素電極 8 a は一部、駆動トランジスタ 6 のソース電極 6 i に重なり、画素電極 8 a とソース電極 6 i が接続している。

そして、図 4、図 5 に示すように、第一絶縁膜 1 2 が、走査線 2、信号線 3、電圧供給線 4、スイッチトランジスタ 5、駆動トランジスタ 6、画素電極 8 a の周縁部、キャパシタ 7 の電極 7 b 及び第二絶縁膜 1 1 を覆うように形成されている。第一絶縁膜 1 2 には、

50

各画素電極 8 a の中央部が露出するように開口部 1 2 a が形成されている。そのため、第二絶縁膜 1 2 は平面視して格子状に形成されている。

【 0 0 2 8 】

そして、基板 1 0 の表面に走査線 2、信号線 3、電圧供給線 4、スイッチトランジスタ 5、駆動トランジスタ 6、キャパシタ 7、画素電極 8 a 及び第一絶縁膜 1 2 が形成されるパネルがトランジスタアレイパネルとなっている。

【 0 0 2 9 】

EL素子 8 は、図 4、図 5 に示すように、アノードとなる第一電極としての画素電極 8 a と、画素電極 8 a の上に形成された化合物膜である正孔注入層 8 b と、正孔注入層 8 b の上に形成された化合物膜である発光層 8 c と、発光層 8 c の上に形成された第二電極としての対向電極 8 d とを備えている。対向電極 8 d は全画素 P に共通の単一電極であって、全画素 P に連続して形成されている。

10

【 0 0 3 0 】

正孔注入層 8 b は、例えば、導電性高分子である PEDOT (poly(ethylenedioxy)thiophene; ポリエチレンジオキシチオフェン) 及びドーパントである PSS (polystyrene sulfonate; ポリスチレンスルホン酸) からなる機能層であって、画素電極 8 a から発光層 8 c に向けて正孔を注入するキャリア注入層である。

発光層 8 c は、画素 P 毎に R (赤), G (緑), B (青) のいずれかを発光する材料を含み、例えば、ポリフルオレン系発光材料やポリフェニレンビニレン系発光材料からなり、対向電極 8 d から供給される電子と、正孔注入層 8 b から注入される正孔との再結合に伴い発光する層である。このため、R (赤) を発光する画素 P、G (緑) を発光する画素 P、B (青) を発光する画素 P は互いに発光層 8 c の発光材料が異なる。画素 P の R (赤), G (緑), B (青) のパターンは、デルタ配列であってもよく、また縦方向に同色画素が配列されるストライプパターンであってもよい。

20

【 0 0 3 1 】

対向電極 8 d は、画素電極 8 a よりも仕事関数の低い材料で形成されており、例えば、インジウム、マグネシウム、カルシウム、リチウム、バリウム、希土類金属の少なくとも一種を含む単体又は合金で形成されている。

この対向電極 8 d は全ての画素 P に共通した電極であり、発光層 8 c などの化合物膜とともに後述するバンク 1 3 を被覆している。

30

【 0 0 3 2 】

このように、第一絶縁膜 1 2 及びバンク 1 3 によって発光部位となる発光層 8 c が画素 P ごとに仕切られている。

そして、開口部 1 3 a 内において、キャリア輸送層としての正孔注入層 8 b 及び発光層 8 c が、画素電極 8 a 上に積層されている。

【 0 0 3 3 】

具体的には、バンク 1 3 は、正孔注入層 8 b や発光層 8 c を湿式法により形成するに際して、正孔注入層 8 b や発光層 8 c となる材料が溶媒に溶解または分散された液状体が隣接する画素 P に滲み出ないようにする隔壁として機能する。このバンク 1 3 は、例えば、ポリイミド等の絶縁性の材料から形成されている。

40

例えば、図 5 に示すように、第一絶縁膜 1 2 の上に設けられたバンク 1 3 には、第一絶縁膜 1 2 の開口部 1 2 a より内側に開口部 1 3 a が形成されている。

そして、各開口部 1 3 a に囲まれた各画素電極 8 a 上に、正孔注入層 8 b となる材料が含有される液状体を塗布し、基板 1 0 ごと加熱してその液状体を乾燥させ成膜させた化合物膜が、第 1 のキャリア輸送層である正孔注入層 8 b となる。

さらに、各開口部 1 3 a に囲まれた各正孔注入層 8 b 上に、発光層 8 c となる材料が含有される液状体を塗布し、基板 1 0 ごと加熱してその液状体を乾燥させ成膜させた化合物膜が、第 2 のキャリア輸送層である発光層 8 c となる。

なお、この発光層 8 c とバンク 1 3 を被覆するように対向電極 8 d が設けられている。

図 7 に示すように、第一絶縁膜 1 2 において、スイッチトランジスタ 5 のソース電極 5

50

hとドレイン電極5iとで覆われず、ソース電極5hとドレイン電極5iとが対向する方向と交差する方向に突出した保護膜5dと半導体膜5bの端部と第一絶縁膜12との境界部分の一部に開口部5jが形成されている。そして、この開口部5j内にはバンク13の形成材料が埋め込まれている。同様に、第一絶縁膜12において、スイッチトランジスタ6のソース電極6hとドレイン電極6iとで覆われず、ソース電極6hとドレイン電極6iとが対向する方向と交差する方向に突出した保護膜6dと半導体膜6bの端部と第一絶縁膜12との境界部分の一部に開口部6jが形成され、この開口部5j内にはバンク13の形成材料が充填されている。

#### 【0034】

そして、このELパネル1においては、画素電極8a、基板10及び第二絶縁膜11が透明であり、発光層8cから発した光が画素電極8a、第二絶縁膜11及び基板10を透過して出射する。そのため、基板10の裏面が表示面となる。

なお、基板10側ではなく、反対側が表示面となってもよい。この場合、対向電極8dを透明電極とし、画素電極8aを反射電極として、発光層8cから発した光が対向電極8dを透過して出射する。

#### 【0035】

このELパネル1は、次のように駆動されて発光する。

全ての電圧供給線4に所定レベルの電圧が印加された状態で、走査ドライバによって走査線2に順次電圧が印加されることで、これら走査線2が順次選択される。

各走査線2が選択されている時に、データドライバによって階調に応じたレベルの電圧が全ての信号線3に印加されると、その選択されている走査線2に対応するスイッチトランジスタ5がオンになっていることから、その階調に応じたレベルの電圧が駆動トランジスタ6のゲート電極6aに印加される。

この駆動トランジスタ6のゲート電極6aに印加された電圧に応じて、駆動トランジスタ6のゲート電極6aとソース電極6iとの間の電位差が定まって、駆動トランジスタ6におけるドレイン-ソース電流の大きさが定まり、EL素子8がそのドレイン-ソース電流に応じた明るさで発光する。

その後、その走査線2の選択が解除されると、スイッチトランジスタ5がオフとなるので、駆動トランジスタ6のゲート電極6aに印加された電圧に従った電荷がキャパシタ7に蓄えられ、駆動トランジスタ6のゲート電極6aとソース電極6i間の電位差は保持される。

このため、駆動トランジスタ6は選択時と同じ電流値のドレイン-ソース電流を流し続け、EL素子8の輝度を維持するようになっている。

#### 【0036】

次に、ELパネル1において、駆動素子として用いられているスイッチトランジスタ5、駆動トランジスタ6などの薄膜トランジスタの製造方法について、図8～図18に示す説明図を用いて説明する。

なお、図8から図18は、本発明における薄膜トランジスタの製造過程の一例を示す工程図である。この工程図は、図中平面図のA-A線に沿った断面部分と、図中平面図のB-B線に沿った断面部分と、同時に形成される走査線2と電圧供給線4の端子パッドTの断面部分を示す説明図であり、これらの図を参照して製造方法の概略を説明する。

また、この工程図(図8～図18)で示す薄膜トランジスタは、スイッチトランジスタ5と駆動トランジスタ6とは一部形状が異なるが、スイッチトランジスタ5と駆動トランジスタ6に共通する概念的な薄膜トランジスタとして説明する。

#### 【0037】

まず、基板10上にゲートメタル層をスパッタリングで堆積させ、フォトリソグラフィー法及びエッチング法等によってパターンニングして、図8に示すように、ゲート電極5a(6a)を形成する。また、端子パッドT部分には、ゲート電極5a(6a)とともに、下層電極T1が形成される(ゲート電極形成工程)。

なお、ゲート電極5a(6a)とともに、信号線3、キャパシタ7の電極7aが形成さ

10

20

30

40

50

れている（図 5、図 6 参照）。

【 0 0 3 8 】

次いで、図 9 に示すように、プラズマ CVD によって、窒化シリコン等の第二絶縁膜 1 1、半導体膜 5 b（6 b）となるアモルファスシリコン等の半導体層 9 b、チャネル保護膜と 5 d（6 d）なる窒化シリコン等の保護絶縁膜 9 d を連続して堆積し、三層を成膜する（三層成膜工程）。

【 0 0 3 9 】

次いで、図 10 に示すように、フォトリソグラフィ法及びエッチング法等によって保護絶縁膜 9 d のパターニングを行い、半導体膜 5 b（6 b）におけるチャネルとなる領域を覆うチャネル保護膜 5 d（6 d）を形成する（保護膜形成工程）。

10

【 0 0 4 0 】

次いで、チャネル保護膜 5 d（6 d）が形成された半導体層 9 b 上に、図 11 に示すように、不純物半導体膜 5 f，5 g（6 f，6 g）となる不純物半導体層 9 f を成膜する。

なお、p 型 TFT の場合、p + Si の不純物半導体層 9 f は、SiH<sub>4</sub> ガス中にジボラン等のアクセプター型の不純物を混入させてプラズマ成膜させることで形成する。また、n 型 TFT の場合、n + Si の不純物半導体層 9 f は、SiH<sub>4</sub> ガス中にアルシンやホスフィン等のドナー型の不純物を混入させてプラズマ成膜させることで形成する。

【 0 0 4 1 】

次いで、図 12 に示すように、フォトリソグラフィによって不純物半導体層 9 f 及び半導体層 9 b を連続してパターニングして、不純物半導体膜 5 f，5 g（6 f，6 g）及び島状の半導体膜 5 b（6 b）を形成する（半導体膜形成工程）。

20

なお、不純物半導体膜 5 f，5 g（6 f，6 g）は、半導体膜 5 b（6 b）上であってチャネル保護膜 5 d（6 d）を挟んで対向する配置に形成されている。

【 0 0 4 2 】

次いで、図 13 に示すように、端子パッド T 部分における第二絶縁膜 1 1 をエッチングしてコンタクトホール 1 1 t を形成し、下層電極 T 1 を露出させる（電極露出工程）。

【 0 0 4 3 】

次いで、図 14 に示すように、基板 10 上における不純物半導体膜 5 f，5 g（6 f，6 g）と、チャネル保護膜 5 d（6 d）と、半導体膜 5 b（6 b）と、第二絶縁膜 1 1 とを覆う金属膜 9 h をスパッタリングで成膜する（金属膜成膜工程）。また、端子パッド T 部分において、金属膜 9 h は、コンタクトホール 1 1 t 内の下層電極 T 1 上にも成膜されている。

30

なお、この金属膜成膜工程において、第二絶縁膜 1 1 とチャネル保護膜 5 d（6 d）との間における半導体膜 5 b（6 b）の端面が、スパッタリングによって成膜される金属膜 9 h と接触した部分が導電性を有するように変質してしまい、変質導電部 5 j（6 j）が生成してしまうことがある。例えば、この変質導電部 5 j（6 j）は、半導体膜 5 b（6 b）中のシリコンが、導電性化合物であるシリサイドに変質した部分である。

この導電性化合物への変質について説明する。具体的に、例えば、400 以上でアルミニウムとシリコンを接触させるとシリコン中にアルミニウムが拡散し、共融する性質があることが知られている。そして、金属膜成膜工程において、スパッタリングによって成膜される金属膜 9 h と接触した半導体膜 5 b（6 b）の端面の定常的な温度は最高でも 200 程度であって、400 を越えるような高温にはならないが、ターゲットから飛び出したスパッタ粒子の運動エネルギーは真空蒸着粒子の運動エネルギーと比べて 100 倍以上高くなっているため、半導体膜 5 b（6 b）と衝突した瞬間のスパッタ粒子は極めて高温（例えば、400 以上）であると考えられる。そのため、瞬間的にスパッタ粒子（アルミニウム）がシリコンと反応し、シリサイドなどの導電性化合物を作ってしまう、変質導電部 5 j（6 j）が生成してしまうことがあるものと考えられる。

40

【 0 0 4 4 】

次いで、図 15 に示すように、フォトリソグラフィによって金属膜 9 h をパターニングして、一対の不純物半導体膜 5 f，5 g（6 f，6 g）上にソース電極 5 i（6 i）及

50

びドレイン電極 5 h ( 6 h ) を形成する ( 電極層形成工程 ) 。このとき、図 1 5 に示すように、ソース電極 5 i ( 6 i ) とドレイン電極 5 h ( 6 h ) とが対向する方向と交差する方向において、チャンネル保護膜 5 d ( 6 d ) 及び半導体膜 5 b ( 6 b ) の端部が突出している。また、端子パッド T 部分における金属膜 9 h はパターニングされて、下層電極 T 1 上に上層電極 T 2 が形成される。この下層電極 T 1 と上層電極 T 2 とが端子パッド T となる。

なお、ソース電極 5 i ( 6 i ) 及びドレイン電極 5 h ( 6 h ) とともに、走査線 2、電圧供給線 4、キャパシタ 7 の電極 7 b が形成されるようになっている。また、ソース電極 5 i ( 6 i ) 及びドレイン電極 5 h ( 6 h ) の形成後に、画素電極 8 a が形成されるようになっている。

10

#### 【 0 0 4 5 】

次いで、図 1 6 に示すように、ソース電極 5 i ( 6 i ) 及びドレイン電極 5 h ( 6 h ) と、不純物半導体膜不純物半導体膜 5 f , 5 g ( 6 f , 6 g ) と、チャンネル保護膜 5 d ( 6 d ) と、半導体膜 5 b ( 6 b )、第二絶縁膜 1 1 とを覆う第一絶縁膜 1 2 を成膜する ( オーバーコート工程 ) 。なお、第一絶縁膜 1 2 は、第二絶縁膜 1 1 と同様に、プラズマ CVD によって窒化シリコン等を成膜したものである。

更に、第一絶縁膜 1 2 上にフォトレジスト 1 5 を形成する。このフォトレジスト 1 5 における、ソース電極 5 i ( 6 i ) とドレイン電極 5 h ( 6 h ) とが対向する一方向と交差する方向に突出したチャンネル保護膜 5 d ( 6 d ) と、第一絶縁膜 1 2 との境界部分に対応する箇所に開口部 1 5 j が形成されている。また、フォトレジスト 1 5 における端子パッド T 部分には開口部 1 5 t が形成されている。

20

なお、フォトレジスト 1 5 における画素電極 8 a に対応する部分にも開口部が形成されている。

#### 【 0 0 4 6 】

次いで、図 1 7 に示すように、第一絶縁膜 1 2 における、ソース電極 5 i ( 6 i ) とドレイン電極 5 h ( 6 h ) とで覆われず、ソース電極 5 i ( 6 i ) とドレイン電極 5 h ( 6 h ) とが対向する一方向と交差する方向に突出したチャンネル保護膜 5 d ( 6 d ) と、第一絶縁膜 1 2 との境界部分をドライエッチングによりエッチングして、開口部 1 2 j を形成し、半導体膜 5 b ( 6 b ) の端部に相当する変質導電部 5 j ( 6 j ) の一部を露出させる ( 露出工程 ) 。このとき、端子パッド T 部分においては、上層電極 T 2 上の第一絶縁膜 1 2 を同時にエッチングして開口部 1 2 t を形成し、上層電極 T 2 の一部を露出させる。また、このとき、第一絶縁膜 1 2 における画素電極 8 a に対応する部分も同時にエッチングされて、画素電極 8 a が露出するようになっている。ここで、端子パッド T 部分において上層電極 T 2 上の第一絶縁膜 1 2 をエッチングする工程、及び、第一絶縁膜 1 2 における画素電極 8 a に対応する部分をエッチングする工程は、従来の製造方法においても存在する工程であり、開口部 1 2 j の形成は、これらのエッチング工程と同時に行うことができるため、ここまでの工程数が増加することはない。

30

#### 【 0 0 4 7 】

次いで、図 1 8 に示すように、ドライエッチングの条件を、半導体膜をエッチングする条件に変更して、露出された半導体膜 5 b ( 6 b ) の端部に相当する変質導電部 5 j ( 6 j ) をドライエッチングによりエッチングして取り除く ( 端部除去工程 ) 。なお、上記においては、開口部 1 2 j を形成する露出工程と変質導電部 5 j ( 6 j ) を取り除く ( 端部除去工程 ) とを別工程としたが、例えばドライエッチングの条件設定によって第一絶縁膜 1 2 のエッチングと半導体膜 5 b ( 6 b ) の端部の、変質導電部 5 j ( 6 j ) のエッチングを同時に行うことができる場合には、これらを 1 回の工程で行うようにしてもよい。

40

なお、変質導電部 5 j ( 6 j ) は、その少なくとも一部が取り除かれて、ソース電極 5 i ( 6 i ) とドレイン電極 5 h ( 6 h ) とが対向する一方向に分断されていればよい。そして、変質導電部 5 j ( 6 j ) が分断されたことにより、半導体膜 5 b ( 6 b ) の端面に沿ったソース - ドレイン間のリーク電流経路を遮断するようになっている。

#### 【 0 0 4 8 】

50

こうして、半導体膜 5 b ( 6 b ) の端部が導電性を有するように変質してしまった変質導電部 5 j ( 6 j ) の一部をエッチングにより取り除き、リーク電流経路を遮断することで、一層のリーク電流の低減を図った薄膜トランジスタ ( スイッチトランジスタ 5、駆動トランジスタ 6 ) が製造される。

【 0 0 4 9 】

そして、フォトレジスト 1 5 を除去した後の第一絶縁膜 1 2 上にポリイミド等の感光性樹脂を成膜してバンク 1 3 を形成し、バンク 1 3 の開口部 1 3 a 内における画素電極 8 a 上に正孔注入層 8 b と発光層 8 c とを成膜し、更に、対向電極 8 d を形成することにより E L 素子 8 が構成され、E L パネル 1 が製造される ( 図 5 参照 ) 。

なお、図 7 に示したように、変質導電部 5 j ( 6 j ) の少なくとも一部を取り除くべく、リーク電流経路を遮断するために形成した開口部 1 2 j 内には、バンク 1 3 を構成する部材が充填されるようになっているため、第一絶縁膜 1 2 上にバンク 1 3 が安定して配されている。

【 0 0 5 0 】

このように、E L パネル 1 において、駆動素子として用いられているスイッチトランジスタ 5、駆動トランジスタ 6 などの薄膜トランジスタは、その半導体膜 5 b ( 6 b ) の端部が導電性を有するように変質してしまった変質導電部 5 j ( 6 j ) の一部を取り除くことで、半導体膜 5 b ( 6 b ) の端面に沿ったソース - ドレイン間のリーク電流経路を遮断しているので、より一層のリーク電流の低減が図られている。

そして、リーク電流の低減が図られた薄膜トランジスタを駆動素子 ( スイッチトランジスタ 5、駆動トランジスタ 6 ) としている E L パネル 1 は、表示画質の向上が図られるので、良好な画像表示が可能になる。

【 0 0 5 1 】

また、薄膜トランジスタにリーク電流があったときに、そのリーク電流を無くすことができた場合、E L パネルでも液晶パネルでも、それによる特性改善効果は少なからずあるが、E L パネルの方がリーク電流の低減による表示画質向上の効果は大きいものと考えられる。

これは、液晶パネルの場合、液晶素子そのものが容量性を有しており、階調信号電圧に応じた電荷を、駆動トランジスタを介して保持容量  $C_s$  及び液晶容量  $C_{lc}$  に保持することによって階調制御するため、駆動トランジスタをなす薄膜トランジスタにリーク電流があっても、顕著には影響しない。

これに対し、E L パネルでは、駆動トランジスタのゲートに階調信号電圧を印加することによりソース・ドレイン間に流れる電流を制御することによって階調を制御するため、駆動トランジスタをなす薄膜トランジスタにリーク電流があると、階調制御に顕著に影響が生じる。このように、E L パネルは液晶パネルより、薄膜トランジスタのリーク電流の影響を受け易いのである。

よって、本発明を E L パネルにおいて駆動素子として用いられる薄膜トランジスタに適用することは、表示画質向上のうえで有用であるといえる。

【 0 0 5 2 】

なお、本発明の適用は上述した実施形態に限定されることなく、本発明の趣旨を逸脱しない範囲で適宜変更可能である。

【 符号の説明 】

【 0 0 5 3 】

- 1 E L パネル
- 5 スイッチトランジスタ ( 薄膜トランジスタ )
- 6 駆動トランジスタ ( 薄膜トランジスタ )
- 5 a、6 a ゲート電極
- 5 b、6 b 半導体膜
- 5 d、6 d チャンネル保護膜 ( 保護膜 )
- 5 f、6 f 不純物半導体膜

10

20

30

40

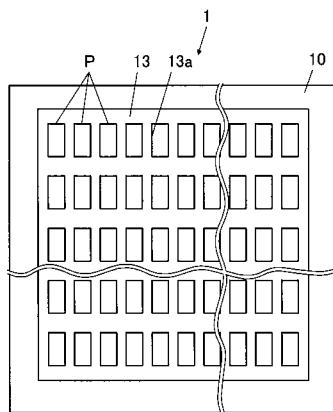
50

- 5 g、6 g 不純物半導体膜
- 5 h、6 h ドレイン電極
- 5 i、6 i ソース電極
- 5 j、6 j 変質導電部
- 8 EL素子
- 9 b 半導体層
- 9 d 保護絶縁膜
- 9 f 不純物半導体層
- 9 h 金属膜
- 10 基板
- 11 第二絶縁膜
- 12 第一絶縁膜
- 12 j コンタクトホール
- 12 t コンタクトホール
- 13 バンク
- 15 フォトレジスト
- 15 j 開口部
- 15 t 開口部
- T 1 下層電極
- T 2 上層電極
- T 端子パッド

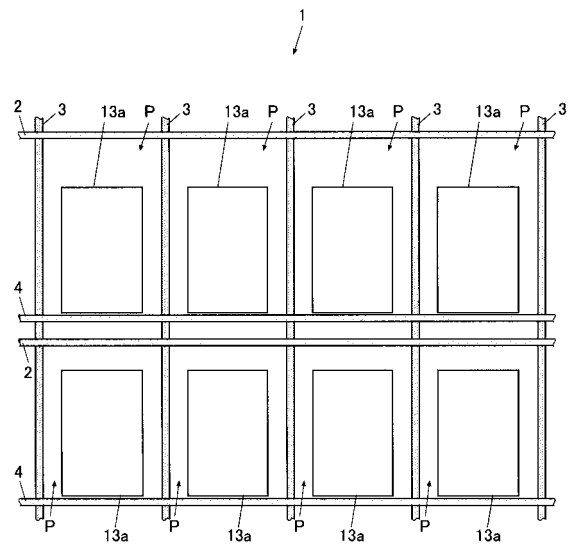
10

20

【図1】

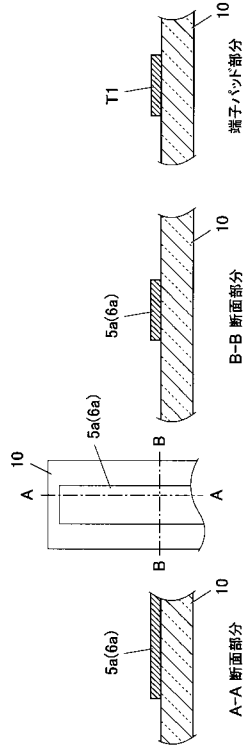


【図2】

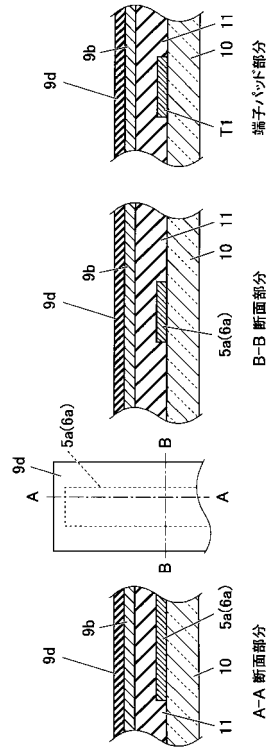




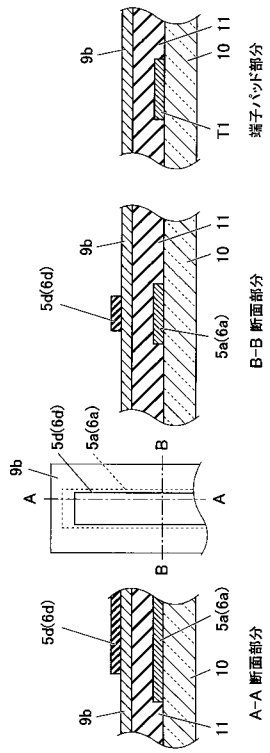
【 図 8 】



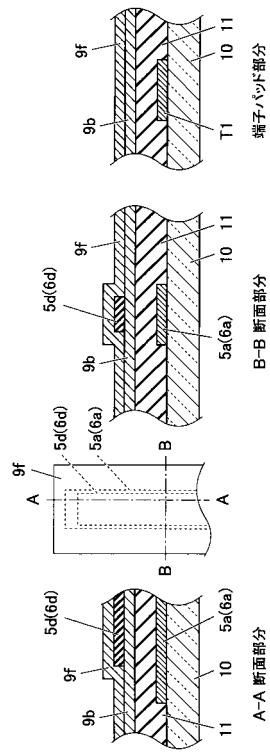
【 図 9 】



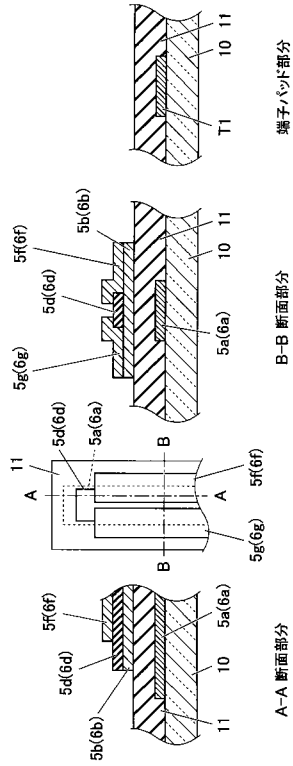
【 図 10 】



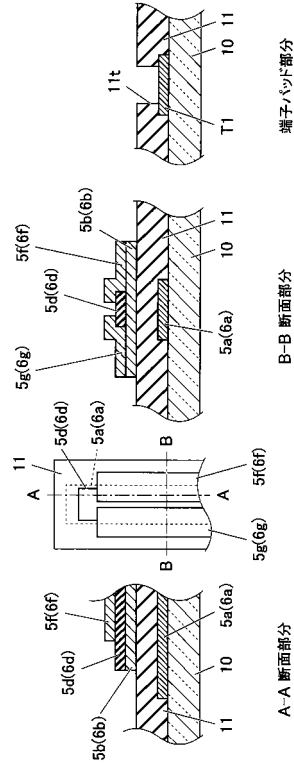
【 図 11 】



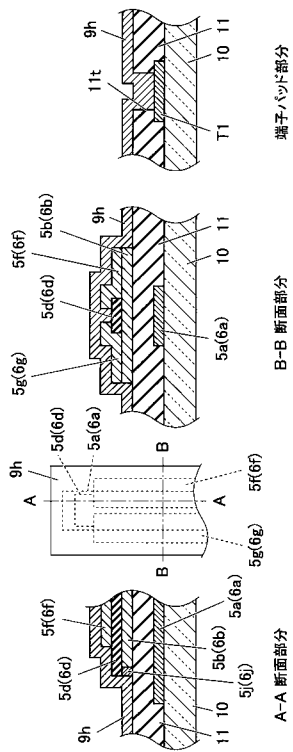
【 図 1 2 】



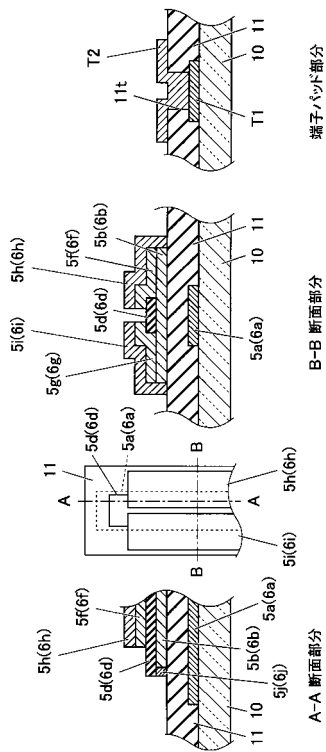
【 図 1 3 】



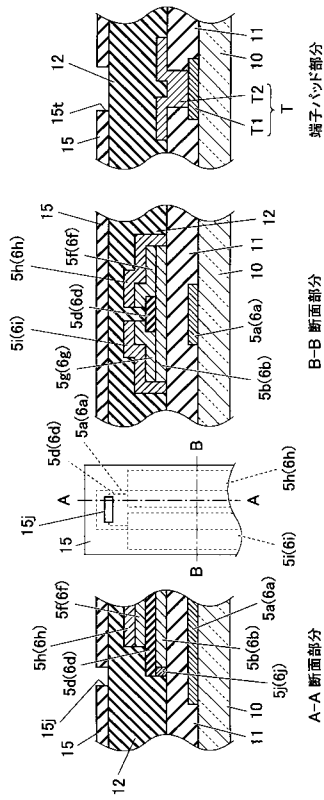
【 図 1 4 】



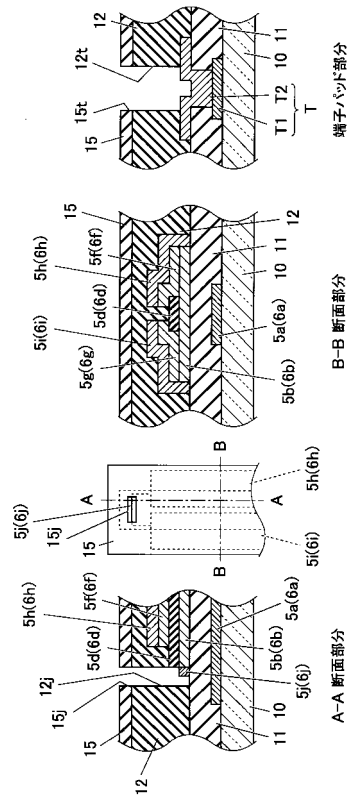
【 図 1 5 】



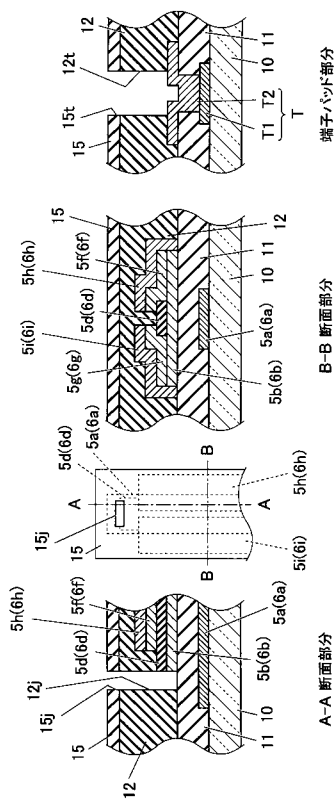
【図 16】



【図 17】



【図 18】



---

フロントページの続き

- (56)参考文献 特開平09 - 326493 (JP, A)  
特開平10 - 135463 (JP, A)  
特開2008 - 235499 (JP, A)  
特開平09 - 283763 (JP, A)  
特開平08 - 064835 (JP, A)  
特開2000 - 214485 (JP, A)  
特開平10 - 270701 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/336  
H01L 29/786  
H01L 51/50