

【公報種別】特許法第17条の2の規定による補正の掲載  
【部門区分】第6部門第3区分  
【発行日】平成23年6月23日(2011.6.23)

【公表番号】特表2010-527476(P2010-527476A)  
【公表日】平成22年8月12日(2010.8.12)  
【年通号数】公開・登録公報2010-032  
【出願番号】特願2010-507476(P2010-507476)  
【国際特許分類】

G 0 6 F 17/50 (2006.01)

【 F I 】

G 0 6 F 17/50 6 6 2 D

G 0 6 F 17/50 6 6 4 R

【手続補正書】

【提出日】平成23年5月9日(2011.5.9)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

設計回路の記述を受け取るステップと、  
設計回路の一部を選択するステップと、  
前記回路の選択された部分を複製するステップと、  
を備え、前記回路の複製部分は、その機能を保存し、そしてデバッグを容易にするか又は複製回路を簡単化するため前記設計回路の選択された部分とは異なるものである、方法。

【請求項2】

前記回路の選択された部分を複製する前記ステップは、前記回路の複製部分からのデータと前記設計回路の記述との相関を容易にするために順次の最適化を禁止することを含む、請求項1に記載の方法。

【請求項3】

前記回路の選択された部分を複製する前記ステップは、ハードウェア置き換えにより一部分作成することを含み、そして前記ハードウェア置き換えは、前記回路の複製部分からのデータを前記設計回路の記述と相関させるためにドキュメント化される、請求項1に記載の方法。

【請求項4】

前記回路の選択された部分を複製する前記ステップは、前記設計回路において非露出である状態へのアクセスを与えるためにアクセス回路を追加することを含む、請求項1に記載の方法。

【請求項5】

前記回路の選択された部分を複製する前記ステップは、前記複製回路の状態を直列にスキューン出力するために制御回路を追加することを含む、請求項1に記載の方法。

【請求項6】

前記設計回路の選択された部分を複製する前記ステップは、機能的に等価な複製回路を前記設計回路において非露出である状態へのアクセスに置き換えることを含む、請求項1に記載の方法。

【請求項7】

前記回路の選択された部分を複製する前記ステップは、前記設計回路の選択された部分

の未知のロジックモジュールを複製するのを省略し、そして前記設計回路の未知のロジックモジュールの出力を前記複製回路内の各位置へ入力として与えることを含む、請求項1に記載の方法。

【請求項 8】

全体的な複製ロジック遅延を考慮するために前記設計回路の未知のロジックモジュールの出力と前記複製回路内の各位置への入力との間に遅延ロジックを更に備えた、請求項7に記載の方法。

【請求項 9】

実行時に、コンピュータが、  
設計回路の記述を受け取ること、  
設計回路の一部を選択すること、及び  
前記回路の選択された部分を複製すること、  
を備え、前記回路の複製部分は、その機能を保存し、そしてデバッグを容易にするか又は複製回路を単純化するため前記設計回路の選択された部分とは異なるものである方法、を遂行させるインストラクションを含むマシン読み取り可能な媒体を備えた装置。

【請求項 10】

設計記憶エレメントを含む回路の記述を受け取るステップと、  
複製記憶エレメントの記述を含む付加的な記述を発生するステップと、  
を備え、前記複製記憶エレメントは、オリジナル記憶回路と、このオリジナル記憶回路において非露出である状態へのアクセスを与えるためのアクセス回路とを含む、方法。

【請求項 11】

前記設計記憶エレメント及び複製記憶エレメントは、各々、専有ロジックモジュールメモリを含む、請求項10に記載の方法。

【請求項 12】

前記設計記憶エレメントは、専有ロジックモジュールメモリを含み、前記複製記憶エレメントは、前記専有ロジックモジュールメモリに機能的に等価な等価メモリ回路を含む、請求項10に記載の方法。

【請求項 13】

前記アクセス回路を通して前記複製記憶エレメントのコンテンツを直列にスキャン出力するための制御回路を更に備えた、請求項10に記載の方法。

【請求項 14】

前記付加的な記述は、前記メモリ及びレジスタ入力信号を記憶すると共にその記憶された信号の少なくとも幾つかをシミュレーションのための入力信号として与えるための入力信号記憶回路の記述を含む、請求項10に記載の方法。

【請求項 15】

実行時に、コンピュータが、  
設計記憶エレメントを含む回路の記述を受け取り、  
複製記憶エレメントの記述を含む付加的な記述をハードウェア置き換えの一部として発生する、  
ようにさせるインストラクションを含むマシン読み取り可能な媒体を備え、前記複製記憶エレメントは、制御回路と共に使用されるオリジナル記憶回路と、該オリジナル記憶回路において非露出である状態へのアクセスを与える信号アクセス回路とを含むものである、装置。

【請求項 16】

設計ロジックへ信号を与えるための幾つかの非記述回路細部を伴う第 1 回路を含む設計モジュールを含む回路の記述を受け取るステップと、

前記設計ロジックの複製である複製ロジックを含む複製モジュールであって、前記第 1 回路を複製することを省略する複製モジュールと、前記第 1 回路の非記述回路から出力信号を受信するための遅延回路と、の記述を含む付加的な記述を発生するステップと、  
を備え、前記遅延回路の出力は、前記複製ロジックにおける対応位置に与えられるように

した、方法。

【請求項 17】

前記設計モジュールは、更に、前記第 1 回路へ信号を与えるための付加的なロジックを含み、そして前記複製モジュールは、前記設計モジュールにおける付加的なロジックの複製である付加的なロジックを含む、請求項 16 に記載の方法。

【請求項 18】

前記複製された付加的なロジックからデータを収集するための制御回路を更に備えた、請求項 16 に記載の方法。

【請求項 19】

前記付加的な記述は、メモリ及びレジスタ入力信号を記憶すると共に、その記憶された信号の少なくとも幾つかをシミュレーションのための入力信号として与えるための入力信号記憶回路の記述を含む、請求項 16 に記載の方法。

【請求項 20】

実行時に、コンピュータが、

設計ロジックへ信号を与えるための幾つかの非記述回路細部を伴う第 1 回路を含む設計モジュールを含む回路の記述を受け取り、

前記設計ロジックの複製である複製ロジックを含む複製モジュールと、前記第 1 回路の非記述回路から出力信号を受信するための遅延回路と、の記述を含む付加的な記述を発生する、

ようにさせるインストラクションを含むマシン読み取り可能な媒体を備え、前記遅延回路の出力は、前記複製ロジックにおける対応位置に与えられるようにした、装置。