【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第６部門第２区分
【発行日】平成18年9月21日(2006.9.21)

【公開番号】特開2000-148037(P2000-148037A)
【公開日】平成12年5月26日(2000.5.26)
【出願番号】特願平11-235768
【国際特許分類】
Ｇ０９Ｆ　9/00　(2006.01)
Ｇ０９Ｆ　9/30　(2006.01)
Ｈ０４Ｎ　5/335　(2006.01)
Ｈ０１Ｌ　29/786　(2006.01)
Ｇ０２Ｆ　1/1368　(2006.01)
Ｇ０２Ｆ　1/1343　(2006.01)
【ＦＩ】
Ｇ０９Ｆ　9/00　３４６Ｄ
Ｇ０９Ｆ　9/30　３３８
Ｈ０４Ｎ　5/335　Ｕ
Ｈ０１Ｌ　29/78　６１２Ａ
Ｇ０２Ｆ　1/1368
Ｇ０２Ｆ　1/1343

【手続補正書】
【提出日】平成18年8月9日(2006.8.9)
【手続補正１】
【補正対象書類名】明細書
【補正対象項目名】特許請求の範囲
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】　コンデンサ又は光電変換素子と該コンデンサ又は光電変換素子に接続された薄膜トランジスタとを有する画素が複数マトリックス状に配列されており、前記コンデンサ又は光電変換素子は第１の電極及び第２の電極を用いて構成されており、前記薄膜トランジスタは第１の主電極及び第２の主電極とこれら２つの主電極間の電気的導通を制御する制御電極とを用いて構成されており、前記画素のそれぞれにおいて前記コンデンサ又は光電変換素子の第１の電極は前記薄膜トランジスタの第１の主電極と接続されており、前記マトリックス状画素配列の１方向に延びたバイアスラインにより１方向の画素配列ごとに各画素のコンデンサ又は光電変換素子の第２の電極どうしが接続されている半導体装置であって、
前記バイアスラインは、バイアス印加のための共通電極ドライバとの接続側と反対の側の端部が、他のバイアスラインの前記共通電極ドライバとの接続側と反対の側の端部と、冗長配線により電気的に接続されている半導体装置。
【請求項２】　前記冗長配線及び前記バイアスラインは金属により形成されている請求項１に記載の半導体装置。
【請求項３】　前記バイアスラインは複数の系統に分割されており、各系統ごとに、前記共通電極ドライバが別々に設けられており且つ前記冗長配線による接続が各系統ごとになされている請求項１に記載の半導体装置。
【請求項４】　前記コンデンサ又は光電変換素子と、前記薄膜トランジスタと、前記マトリックス状画素配列の第１方向の画素配列ごとに各画素の薄膜トランジスタの制御電極どうしを接続する制御電極ラインと、前記バイアスラインと、前記マトリックス状画素

配列の第２方向の画素配列ごとに各画素の薄膜トランジスタの第２の主電極どうしを接続する信号転送ラインと、前記冗長配線は、絶縁基板上に形成されている請求項１に記載の半導体装置。

【請求項５】　コンデンサ又は光電変換素子と該コンデンサ又は光電変換素子に接続された薄膜トランジスタとを有する画素が複数マトリックス状に配列されており、前記コンデンサ又は光電変換素子は第１の電極及び第２の電極を用いて構成されており、前記薄膜トランジスタは第１の主電極及び第２の主電極とこれら２つの主電極間の電気的導通を制御する制御電極とを用いて構成されており、前記画素のそれぞれにおいて前記コンデンサ又は光電変換素子の第１の電極は前記薄膜トランジスタの第１の主電極と接続されており、前記マトリックス状画素配列の第１方向に延びた制御電極ラインにより該第１方向の画素配列ごとに各画素の薄膜トランジスタの制御電極どうしが接続されており、前記マトリックス状画素配列の第２方向に延びたバイアスラインにより該第２方向の画素配列ごとに各画素のコンデンサ又は光電変換素子の第２の電極どうしが接続されている半導体装置を製造する方法であって、

前記バイアスラインと前記制御電極ラインとがショートした場合には、そのショート部分を挟む両側において前記バイアスラインに対しレーザー照射して前記ショート部分を前記バイアスラインの他の部分から電気的に分離することを含む半導体装置の製造方法。

【請求項６】　請求項１に記載の半導体装置を製造する方法であって、

前記画素に欠陥が発生した場合には、当該欠陥画素において薄膜トランジスタに対しレーザー照射して該薄膜トランジスタを前記コンデンサから電気的に分離することを含む半導体装置の製造方法。

【請求項７】　前記冗長配線及び前記バイアスラインをいずれも金属により形成し、前記冗長配線を前記バイアスラインの形成と同時に同一金属を用いて形成することを含む請求項５に記載の半導体装置の製造方法。

【請求項８】　前記制御電極ラインを金属により形成し、前記冗長配線を前記バイアスライン及び前記制御電極ラインの形成と同時に同一金属を用いて形成することを含む請求項７に記載の半導体装置の製造方法。

【請求項９】　前記画素に欠陥が発生した場合には、当該欠陥画素において薄膜トランジスタに対しレーザー照射して該薄膜トランジスタを前記コンデンサから電気的に分離することを含む請求項５に記載の半導体装置の製造方法。

【請求項１０】　前記冗長配線及び前記バイアスラインをいずれも金属により形成し、前記冗長配線を前記バイアスラインの形成と同時に同一金属を用いて形成することを含む請求項６に記載の半導体装置の製造方法。

【請求項１１】　前記制御電極ラインを金属により形成し、前記冗長配線を前記バイアスライン及び前記制御電極ラインの形成と同時に同一金属を用いて形成することを含む請求項１０に記載の半導体装置の製造方法。

【請求項１２】　マトリックス状に配された画素と該画素を行方向及び列方向にそれぞれ接続する配線とを有し、行方向及び列方向の配線のうちの少なくとも一方の配線は各画素へ共通に接続されたバイアスラインであり、該バイアスラインはそれぞれのラインを共通に接続するための配線を少なくとも２系統有する光電変換装置。

【請求項１３】　請求項１２に記載の光電変換装置を製造する方法であって、

前記バイアスラインと該バイアスラインと交差する前記行方向又は列方向のラインとがショートした場合には、そのショート部分を挟む両側において前記バイアスラインに対しレーザー照射して前記ショート部分を前記バイアスラインの他の部分から電気的に分離することを含む光電変換装置の製造方法。

【請求項１４】　請求項１２に記載の光電変換装置を製造する方法であって、

前記画素に欠陥が発生した場合には、当該欠陥画素において該画素中の素子をレーザー照射によって前記バイアスラインから電気的に分離することを含む光電変換装置の製造方法。

【手続補正２】

【補正対象書類名】明細書
【補正対象項目名】００１４
【補正方法】変更
【補正の内容】
【００１４】
【課題を解決するための手段】
本発明の上記目的は、
コンデンサ又は光電変換素子と該コンデンサ又は光電変換素子に接続された薄膜トランジスタとを有する画素が複数マトリックス状に配列されており、前記コンデンサ又は光電変換素子は第１の電極及び第２の電極を用いて構成されており、前記薄膜トランジスタは第１の主電極及び第２の主電極とこれら２つの主電極間の電気的導通を制御する制御電極とを用いて構成されており、前記画素のそれぞれにおいて前記コンデンサ又は光電変換素子の第１の電極は前記薄膜トランジスタの第１の主電極と接続されており、前記マトリックス状画素配列の１方向に延びたバイアスラインにより１方向の画素配列ごとに各画素のコンデンサ又は光電変換素子の第２の電極どうしが接続されている半導体装置であって、
前記バイアスラインは、バイアス印加のための共通電極ドライバとの接続側と反対の側の端部が、他のバイアスラインの前記共通電極ドライバとの接続側と反対の側の端部と、冗長配線により電気的に接続されている半導体装置、
により達成される。
【手続補正３】
【補正対象書類名】明細書
【補正対象項目名】００１５
【補正方法】変更
【補正の内容】
【００１５】
また、本発明の上記目的は、
マトリックス状に配された画素と該画素を行方向及び列方向にそれぞれ接続する配線とを有し、行方向及び列方向の配線のうちの少なくとも一方の配線は各画素へ共通に接続されたバイアスラインであり、該バイアスラインはそれぞれのラインを共通に接続するための配線を少なくとも２系統有する光電変換装置、
により達成される。
【手続補正４】
【補正対象書類名】明細書
【補正対象項目名】００１６
【補正方法】変更
【補正の内容】
【００１６】
また、本発明の上記目的は、
コンデンサ又は光電変換素子と該コンデンサ又は光電変換素子に接続された薄膜トランジスタとを有する画素が複数マトリックス状に配列されており、前記コンデンサ又は光電変換素子は第１の電極及び第２の電極を用いて構成されており、前記薄膜トランジスタは第１の主電極及び第２の主電極とこれら２つの主電極間の電気的導通を制御する制御電極とを用いて構成されており、前記画素のそれぞれにおいて前記コンデンサ又は光電変換素子の第１の電極は前記薄膜トランジスタの第１の主電極と接続されており、前記マトリックス状画素配列の第１方向に延びた制御電極ラインにより該第１方向の画素配列ごとに各画素の薄膜トランジスタの制御電極どうしが接続されており、前記マトリックス状画素配列の第２方向に延びたバイアスラインにより該第２方向の画素配列ごとに各画素のコンデンサ又は光電変換素子の第２の電極どうしが接続されている半導体装置を製造する方法であって、前記バイアスラインと前記制御電極ラインとがショートした場合には、そのショート部分を挟む両側において前記バイアスラインに対しレーザー照射して前記ショート部

分を前記バイアスラインの他の部分から電気的に分離することを含む半導体装置の製造方法、
により達成される。