



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0098371
(43) 공개일자 2008년11월07일

(51) Int. Cl.

H01L 21/336 (2006.01)

(21) 출원번호 10-2008-7019992

(22) 출원일자 2008년08월14일

심사청구일자 없음

번역문제출일자 2008년08월14일

(86) 국제출원번호 PCT/US2006/062298

국제출원일자 2006년12월19일

(87) 국제공개번호 WO 2007/120345

국제공개일자 2007년10월25일

(30) 우선권주장

11/408,812 2006년04월21일 미국(US)

60/765,261 2006년02월03일 미국(US)

(71) 출원인

페어차일드 세미컨덕터 코포레이션

미국 메인 04106 사우스 포틀랜드 러닝 힐 로드 82

(72) 발명자

에디나 요셉 앤드류

미국 펜실베이니아 18707 마운틴 탑 애쉬 레인 114

오광훈

한국 서울특별시 서초구 서초1동 상지 리츠빌 비-301

(뒷면에 계속)

(74) 대리인

오병석

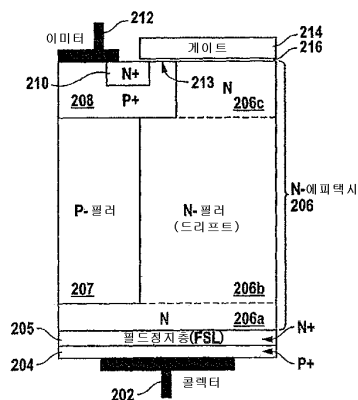
전체 청구항 수 : 총 59 항

(54) 전하 균형 절연 게이트 양극성 트랜지스터

(57) 요약

본 개시의 전하 균형 절연 게이트 양극성 트랜지스터(IGBT)의 요약에 있어서, 상기 IGBT는 콜렉터 영역 위의 제1 실리콘 영역 및 상기 제1 실리콘 영역 위에 번갈아 배열된 제1 및 제2 도전성 타입의 복수의 필러들(pillars)을 포함한다. 상기 IGBT는 각각이 제1 도전성 타입의 상기 필러들 중 하나의 필러의 위에서 연장되고 상기 하나의 필러와 전기적으로 접촉하는 복수의 웰 영역, 및 복수의 게이트 전극 - 상기 복수의 게이트 전극의 각각은, 대응되는 웰 영역의 일부분 위에서 연장됨 - 을 포함한다. 제1 및 제2 도전성 타입의 상기 필러들의 각각의 물리적 치수와, 제1 및 제2 도전성 타입의 상기 필러들의 각각의 전하 캐리어의 도핑 농도는, 제1 도전성의 각각의 필러 내의 순전하(net charge)와 당해 제1 도전성의 필러에 인접한 제2 도전성 타입의 필러 내의 순전하 사이에 전하 불균형을 야기하도록 선택된다.

대표도 - 도2



(72) 발명자

윤종만

한국 서울특별시 용산구 동부이촌동 이촌아파트
110-101

이재길

한국 경기도 부천시 원미구 상동 금강 케이씨씨 아
파트 2128-804

특허청구의 범위

청구항 1

절연 게이트 양극성 트랜지스터(insulated gate bipolar transistor; IGBT)에 있어서,

제1 도전성 타입의 콜렉터 영역;

상기 콜렉터 영역 위에서 연장되는 제2 도전성 타입의 제1 실리콘 영역;

상기 제1 실리콘 영역 위에 번갈아 배열된 제1 및 제2 도전성 타입의 복수의 필러들(pillars) - 제1 도전성 타입의 각각의 필러의 바닥면은 상기 콜렉터 영역의 최상면으로부터 수직 방향으로 이격됨 -;

각각이 제1 도전성 타입의 상기 필러들 중 하나의 필러 위에서 연장되고 상기 하나의 필러와 전기적으로 접촉하는 제1 도전성 타입의 복수의 웰 영역; 및

복수의 게이트 전극 - 상기 복수의 게이트 전극의 각각은, 대응되는 웰 영역의 일부분 위에서 연장되고, 당해 게이트 전극 아래에 놓인 영역으로부터 게이트 유전체층에 의해 절연됨 - 을 포함하되,

제1 및 제2 도전성 타입의 상기 필러들의 각각의 물리적 치수 및 제1 및 제2 도전성 타입의 상기 필러들의 각각의 전하 캐리어의 도핑 농도는, 제1 도전성의 각각의 필러 내의 순전하(net charge)와 당해 제1 도전성의 필러에 인접한 제2 도전성 타입의 필러 내의 순전하 사이에 전하 불균형을 야기하도록 선택되는 절연 게이트 양극성 트랜지스터.

청구항 2

제1항에 있어서,

전하 불균형이 5 내지 25% 범위가 되도록, 제1 도전성 타입의 상기 필러들의 각각이 제2 도전성 타입의 상기 필러들의 각각에 비해 더 높은 순전하를 갖는 절연 게이트 양극성 트랜지스터.

청구항 3

제1항에 있어서,

상기 절연 게이트 양극성 트랜지스터가 오프(off) 상태로 스위칭된 때, 소수 캐리어가 제1 도전성 타입의 상기 필러들을 통해 제거되는 절연 게이트 양극성 트랜지스터.

청구항 4

제1항에 있어서,

상기 제1 실리콘 영역과 상기 콜렉터 영역 사이에서 연장되는 제2 도전성 타입의 필드 정지층(field stop layer)을 더 포함하되,

상기 필드 정지층은, 절연 게이트 양극성 트랜지스터 동작 중에 형성되는 공핍층이 콜렉터 영역으로 전개되는 것을 막는 도핑 농도와 두께를 갖는 절연 게이트 양극성 트랜지스터.

청구항 5

제1항에 있어서,

상기 제1 실리콘 영역과 상기 콜렉터 영역 사이에서 연장되는 제2 도전성 타입의 필드 정지층을 더 포함하되,

상기 필드 정지층은 상기 제1 실리콘 영역의 도핑 농도보다 높은 도핑 농도를 갖는 절연 게이트 양극성 트랜지스터.

청구항 6

제1항에 있어서,

각각의 웰 영역 내에 채널 영역이 형성되도록 각각의 웰 영역 내에 형성된 제2 도전성 타입의 소스 영역을 더 포함하되,

각각의 게이트 전극은 적어도 각각의 웰 영역 내의 상기 채널 영역 위에서 연장되는 절연 게이트 양극성 트랜지스터.

청구항 7

제1항에 있어서,

제1 도전성 타입의 상기 필러들의 각각의 내부의 도핑 농도는, 상기 제1 도전성 타입의 필러들의 각각의 상부를 따라 분포되는 더 높은 도핑 농도로부터 그 바닥을 따라 분포되는 더 낮은 도핑 농도로 점차 변하는 절연 게이트 양극성 트랜지스터.

청구항 8

제1항에 있어서,

제2 도전성 타입의 상기 필러들의 각각의 내부의 도핑 농도는, 상기 제2 도전성 타입의 필러들의 각각의 상부를 따라 분포되는 더 낮은 도핑 농도로부터 그 바닥을 따라 분포되는 더 높은 도핑 농도로 점차 변하는 절연 게이트 양극성 트랜지스터.

청구항 9

제1항에 있어서,

제1 도전성 타입의 상기 필러들은 동심(同心)의 링(ring) 형태를 갖는 절연 게이트 양극성 트랜지스터.

청구항 10

제9항에 있어서,

상기 복수의 게이트 전극은 동심의 링 형태를 갖는 절연 게이트 양극성 트랜지스터.

청구항 11

제9항에 있어서,

상기 복수의 게이트 전극은 줄(stripe) 형태를 갖는 절연 게이트 양극성 트랜지스터.

청구항 12

제1항에 있어서,

제1 도전성 타입의 상기 필러들은 줄 형태를 갖는 절연 게이트 양극성 트랜지스터.

청구항 13

제12항에 있어서,

상기 복수의 게이트 전극은 줄 형태를 갖고, 복수의 상기 줄 형태의 제1 도전성 타입의 필러들에 평행하게 연장되는 절연 게이트 양극성 트랜지스터.

청구항 14

제12항에 있어서,

상기 복수의 게이트 전극은 줄 형태를 갖고, 상기 줄 형태의 제1 도전성 타입의 필러들에 수직으로 연장되는 절연 게이트 양극성 트랜지스터.

청구항 15

절연 게이트 양극성 트랜지스터(IGBT)에 있어서,

제1 도전성 타입의 콜렉터 영역;

상기 콜렉터 영역 위에서 연장되는 제2 도전성 타입의 제1 실리콘 영역;

상기 제1 실리콘 영역 위에 번갈아 배열된 제1 및 제2 도전성 타입의 복수의 필러들 - 제1 도전성 타입의 각각의 필러의 바닥면은 상기 콜렉터 영역의 최상면으로부터 수직 방향으로 이격됨 -;

제1 및 제2 도전성 타입의 상기 복수의 필러들 위에서 연장되고 상기 복수의 필러들과 전기적으로 접촉하는 제1 도전성 타입의 웰 영역; 및

복수의 게이트 트랜치 - 상기 복수의 게이트 트랜치의 각각은, 상기 웰 영역을 통해 연장되고 제2 도전성 타입의 상기 필러들 중 하나의 내부에서 종단되며, 상기 각각의 게이트 트랜치는 게이트 전극을 포함함 - 를 포함하되,

제1 및 제2 도전성 타입의 상기 필러들의 각각의 물리적 치수 및 제1 및 제2 도전성 타입의 상기 필러들의 각각의 전하 캐리어의 도핑 농도는, 제1 도전성의 각각의 필러 내의 순전하와 당해 제1 도전성의 필러에 인접한 제2 도전성 타입의 필러 내의 순전하 사이에 전하 불균형을 야기하도록 선택되는 절연 게이트 양극성 트랜지스터.

청구항 16

제15항에 있어서,

전하 불균형이 5 내지 25% 범위가 되도록, 제1 도전성 타입의 상기 필러들의 각각이 제2 도전성 타입의 상기 필러들의 각각에 비해 더 높은 순전하를 갖는 절연 게이트 양극성 트랜지스터.

청구항 17

제15항에 있어서,

상기 절연 게이트 양극성 트랜지스터가 오프 상태로 스위칭된 때, 소수 캐리어가 제1 도전성 타입의 상기 필러들을 통해 제거되는 절연 게이트 양극성 트랜지스터.

청구항 18

제15항에 있어서,

상기 제1 실리콘 영역과 상기 콜렉터 영역 사이에서 연장되는 제2 도전성 타입의 필드 정지층을 더 포함하되,

상기 필드 정지층은, 절연 게이트 양극성 트랜지스터 동작 중에 형성되는 공핍층이 콜렉터 영역으로 전개되는 것을 막는 도핑 농도와 두께를 갖는 절연 게이트 양극성 트랜지스터.

청구항 19

제15항에 있어서,

상기 제1 실리콘 영역과 상기 콜렉터 영역 사이에서 연장되는 제2 도전성 타입의 필드 정지층을 더 포함하되,

상기 필드 정지층은 상기 제1 실리콘 영역의 도핑 농도보다 높은 도핑 농도를 갖는 절연 게이트 양극성 트랜지스터.

청구항 20

제15항에 있어서,

상기 복수의 게이트 트랜치에 인접하는 상기 웰 영역에 형성된 제2 도전성 타입의 복수의 소스 영역을 더 포함하는 절연 게이트 양극성 트랜지스터.

청구항 21

제15항에 있어서,

제1 도전성 타입의 상기 필러들의 각각의 내부의 도핑 농도는, 상기 제1 도전성 타입의 필러들의 각각의 상부를 따라 분포되는 더 높은 도핑 농도로부터 그 바닥을 따라 분포되는 더 낮은 도핑 농도로 점차 변하는 절연 게이트 양극성 트랜지스터.

청구항 22

제15항에 있어서,

제2 도전성 타입의 상기 필러들의 각각의 내부의 도핑 농도는, 상기 제2 도전성 타입의 필러들의 각각의 상부를 따라 분포되는 더 낮은 도핑 농도로부터 그 바닥을 따라 분포되는 더 높은 도핑 농도로 점차 변하는 절연 게이트 양극성 트랜지스터.

청구항 23

제15항에 있어서,

제1 도전성 타입의 상기 필러들은 동심의 링 형태를 갖는 절연 게이트 양극성 트랜지스터.

청구항 24

제23항에 있어서,

상기 복수의 게이트 전극은 동심의 링 형태를 갖는 절연 게이트 양극성 트랜지스터.

청구항 25

제23항에 있어서,

상기 복수의 게이트 전극은 줄 형태를 갖는 절연 게이트 양극성 트랜지스터.

청구항 26

제15항에 있어서,

제1 도전성 타입의 상기 필러들은 줄 형태를 갖는 절연 게이트 양극성 트랜지스터.

청구항 27

제26항에 있어서,

상기 복수의 게이트 전극은 줄 형태를 갖고, 상기 줄 형태의 제1 도전성 타입의 필러들에 평행하게 연장되는 절연 게이트 양극성 트랜지스터.

청구항 28

제26항에 있어서,

상기 복수의 게이트 전극은 줄 형태를 갖고, 복수의 상기 줄 형태의 제1 도전성 타입의 필러들에 수직으로 연장되는 절연 게이트 양극성 트랜지스터.

청구항 29

절연 게이트 양극성 트랜지스터를 형성하는 방법에 있어서,

제1 도전성 타입의 컬렉터 영역 위에 제2 도전성 타입의 에피택시층을 형성하는 단계;

상기 에피택시층 내에 제1 도전성 타입의 복수의 제1 필러들을 형성하는 단계 - 상기 복수의 제1 필러들을 서로 분리시키는 상기 에피택시층의 부분들이 복수의 제2 필러들을 형성함으로써 도전성 타입이 번갈아 바뀌는 필러들을 형성하며, 상기 복수의 제1 필러들의 각각의 바닥면은 상기 컬렉터 영역의 최상면으로부터 이격됨 -;

상기 에피택시층 내에 제1 도전성 타입의 복수의 웰 영역을 형성하는 단계 - 각각의 웰 영역은 상기 복수의 제1 필러들 중 하나의 필러 위에서 연장되고 상기 하나의 필러와 전기적으로 접촉함 -; 및

복수의 게이트 전극을 형성하는 단계 - 각각의 게이트 전극은 대응되는 웰 영역의 일부분 위에서 연장되고, 게이트 유전체층에 의해 당해 게이트 전극 아래에 놓인 영역으로부터 절연됨 - 를 포함하되,

제1 및 제2 도전성 타입의 상기 필러들의 각각의 물리적 치수 및 제1 및 제2 도전성 타입의 상기 필러들의 각각의 전하 캐리어의 도핑 농도는, 복수의 제1 필러들의 각각의 필러 내의 순전하와 상기 복수의 제2 필러들 중 당해 제1 필러에 인접한 필러 내의 순전하 사이에 전하 불균형을 야기하도록 선택되는 절연 게이트 양극성 트랜지

스터 형성 방법.

청구항 30

제29항에 있어서,

전하 불균형이 5 내지 25% 범위가 되도록, 상기 복수의 제1 필러들의 각각이 상기 복수의 제2 필러들의 각각에 비해 더 높은 순전하를 갖는 절연 게이트 양극성 트랜지스터 형성 방법.

청구항 31

제29항에 있어서,

상기 에피택시층을 형성하기 이전에, 상기 콜렉터 영역 위에 제1 도전성 타입의 필드 정지층을 형성하는 단계를 더 포함하되,

상기 필드 정지층은, 절연 게이트 양극성 트랜지스터 동작 중에 형성되는 공핍층이 콜렉터 영역으로 전개되는 것을 막는 도핑 농도와 두께를 갖는 절연 게이트 양극성 트랜지스터 형성 방법.

청구항 32

제31항에 있어서,

상기 필드 정지층은 에피택시적으로(epitaxially) 형성되는 절연 게이트 양극성 트랜지스터 형성 방법.

청구항 33

제29항에 있어서,

각각의 웰 영역 내에 채널 영역이 형성되도록 각각의 웰 영역 내에 제2 도전성 타입의 소스 영역을 형성하는 단계를 더 포함하되,

각각의 게이트 전극은 적어도 각각의 웰 영역 내의 상기 채널 영역 위에서 연장되는 절연 게이트 양극성 트랜지스터 형성 방법.

청구항 34

제29항에 있어서,

상기 복수의 제1 필러들의 각각의 내부의 도핑 농도는, 상기 복수의 제1 필러들의 각각의 상부를 따라 분포되는 더 높은 도핑 농도로부터 그 바닥을 따라 분포되는 더 낮은 도핑 농도로 점차 변하는 절연 게이트 양극성 트랜지스터 형성 방법.

청구항 35

제29항에 있어서,

상기 복수의 제1 필러들의 각각의 내부의 도핑 농도는, 상기 복수의 제1 필러들의 각각의 상부를 따라 분포되는 더 낮은 도핑 농도로부터 그 바닥을 따라 분포되는 더 높은 도핑 농도로 점차 변하는 절연 게이트 양극성 트랜지스터 형성 방법.

청구항 36

제29항에 있어서,

상기 복수의 제1 필러들은 동심 링으로 형성되는 절연 게이트 양극성 트랜지스터 형성 방법.

청구항 37

제36항에 있어서,

상기 복수의 게이트 전극은 동심 링으로 형성되는 절연 게이트 양극성 트랜지스터 형성 방법.

청구항 38

제36항에 있어서,

상기 복수의 게이트 전극은 줄 형태를 갖는 절연 게이트 양극성 트랜지스터 형성 방법.

청구항 39

제29항에 있어서,

상기 복수의 제1 필러들은 줄 형태를 갖는 절연 게이트 양극성 트랜지스터 형성 방법.

청구항 40

제39항에 있어서,

상기 복수의 게이트 전극은 줄 형태를 갖고 상기 줄 형태의 복수의 제1 필러들에 평행하게 연장되는 절연 게이트 양극성 트랜지스터 형성 방법.

청구항 41

제39항에 있어서,

상기 복수의 게이트 전극은 줄 형태를 갖고 상기 줄 형태의 제1 도전성 타입의 필러들에 수직으로 연장되는 절연 게이트 양극성 트랜지스터 형성 방법.

청구항 42

절연 게이트 양극성 트랜지스터를 형성하는 방법에 있어서,

제1 도전성 타입의 콜렉터 영역 위에 에피택시층을 형성하는 단계 - 제1 실리콘 영역은 제2 도전성 타입을 가짐 -;

상기 에피택시층 내에 제1 도전성 타입의 복수의 제1 필러들을 형성하는 단계 - 상기 복수의 제1 필러들을 서로 분리시키는 상기 에피택시층의 부분들이 복수의 제2 필러들을 형성함으로써 도전성 타입이 번갈아 바뀌는 필러들을 형성하며, 상기 복수의 제1 필러들의 각각의 바닥면은 상기 콜렉터 영역의 최상면으로부터 이격됨 -;

상기 에피택시층 내에 제1 도전성 타입의 웰 영역을 형성하는 단계 - 상기 웰 영역은 상기 복수의 제1 및 제2 필러들 위에서 연장되고 상기 복수의 제1 및 제2 필러들과 전기적으로 접촉함 -;

각각이 상기 웰 영역을 통해 연장되고 상기 복수의 제2 필러들 중 하나의 내부에서 종단되는 복수의 게이트 트랜치를 형성하는 단계; 및

각각의 게이트 트랜치 내에 게이트 전극을 형성하는 단계를 포함하되,

제1 및 제2 도전성 타입의 상기 필러들의 각각의 물리적 치수 및 제1 및 제2 도전성 타입의 상기 필러들의 각각의 전하 캐리어의 도핑 농도는, 복수의 제1 필러들의 각각의 필러 내의 순전하와 상기 복수의 제2 필러들 중 당해 제1 필러에 인접한 필러 내의 순전하 사이에 전하 불균형을 야기하도록 선택되는 절연 게이트 양극성 트랜지스터 형성 방법.

청구항 43

제42항에 있어서,

전하 불균형이 5 내지 25% 범위가 되도록, 상기 복수의 제1 필러들의 각각이 상기 복수의 제2 필러들의 각각에 비해 더 높은 순전하를 갖는 절연 게이트 양극성 트랜지스터 형성 방법.

청구항 44

제42항에 있어서,

상기 에피택시층을 형성하기 이전에, 상기 콜렉터 영역 위에 제1 도전성 타입의 필드 정지층을 형성하는 단계를 더 포함하되,

상기 필드 정지층은, 절연 게이트 양극성 트랜지스터 동작 중에 형성되는 공핍층이 콜렉터 영역으로 전개되는

것을 막는 도핑 농도와 두께를 갖는 절연 게이트 양극성 트랜지스터 형성 방법.

청구항 45

제44항에 있어서,

상기 필드 정지층은 에피택시적으로 형성되는 절연 게이트 양극성 트랜지스터 형성 방법.

청구항 46

제42항에 있어서,

상기 웰 영역 내에 제2 도전성 타입의 소스 영역을 형성하는 단계를 더 포함하는 절연 게이트 양극성 트랜지스터 형성 방법.

청구항 47

제42항에 있어서,

제1 도전성 타입의 상기 필러들의 각각의 내부의 도핑 농도는, 상기 제1 도전성 타입의 필러들의 각각의 상부를 따라 분포되는 더 높은 도핑 농도로부터 그 바닥을 따라 분포되는 더 낮은 도핑 농도로 점차 변하는 절연 게이트 양극성 트랜지스터 형성 방법.

청구항 48

제42항에 있어서,

제1 도전성 타입의 상기 필러들의 각각의 내부의 도핑 농도는, 상기 제1 도전성 타입의 필러들의 각각의 상부를 따라 분포되는 더 높은 도핑 농도로부터 그 바닥을 따라 분포되는 더 낮은 도핑 농도로 점차 변하는 절연 게이트 양극성 트랜지스터 형성 방법.

청구항 49

제42항에 있어서,

상기 복수의 제1 필러들은 동심 링으로 형성되는 절연 게이트 양극성 트랜지스터 형성 방법.

청구항 50

제49항에 있어서,

상기 복수의 게이트 전극은 동심 링으로 형성되는 절연 게이트 양극성 트랜지스터 형성 방법.

청구항 51

제49항에 있어서,

상기 복수의 게이트 전극은 줄 형태를 갖는 절연 게이트 양극성 트랜지스터 형성 방법.

청구항 52

제42항에 있어서,

상기 복수의 제1 필러들은 줄 형태를 갖는 절연 게이트 양극성 트랜지스터 형성 방법.

청구항 53

제52항에 있어서,

상기 복수의 게이트 전극은 줄 형태를 갖고 상기 줄 형태의 복수의 제1 필러들에 평행하게 연장되는 절연 게이트 양극성 트랜지스터 형성 방법.

청구항 54

제52항에 있어서,

상기 복수의 게이트 전극은 줄 형태를 갖고 상기 줄 형태의 제1 도전성 타입의 필러들에 수직으로 연장되는 절연 게이트 양극성 트랜지스터 형성 방법.

청구항 55

절연 게이트 양극성 트랜지스터를 형성하는 방법에 있어서,

제1 도전성 타입의 기판 내에 제1 도전성 타입의 콜렉터 영역을 형성하기 위하여, 상기 기판의 배면(背面)을 따라 제1 도전성 타입의 도펀트를 주입하는 단계; 및

상기 기판 내에 제1 도전성 타입의 복수의 제1 필러들을 형성하는 단계 - 상기 복수의 제1 필러들을 서로 분리시키는 상기 기판의 부분들이 복수의 제2 필러들을 형성함으로써 도전성 타입이 번갈아 바뀌는 필러들을 형성하며, 상기 복수의 제1 필러들의 각각의 바닥면은 상기 콜렉터 영역의 최상면으로부터 이격됨 - 를 포함하되,

제1 및 제2 도전성 타입의 상기 필러들의 각각의 물리적 치수 및 제1 및 제2 도전성 타입의 상기 필러들의 각각의 전하 캐리어의 도핑 농도는, 복수의 제1 필러들의 각각의 필러 내의 순전하와 상기 복수의 제2 필러들 중 당해 제1 필러에 인접한 필러 내의 순전하 사이에 전하 불균형을 야기하도록 선택되는 절연 게이트 양극성 트랜지스터 형성 방법.

청구항 56

제55항에 있어서,

제1 도전성 타입의 상기 도펀트를 주입하기 이전에, 제2 도전성 타입의 필드 정지 영역을 형성하기 위하여 상기 기판의 배면을 따라 제2 도전성 타입의 도펀트를 주입하는 단계를 더 포함하되,

상기 콜렉터 영역은 상기 필드 정지층 내에 형성되고 상기 필드 정지층 내에 수용되는 절연 게이트 양극성 트랜지스터 형성 방법.

청구항 57

절연 게이트 양극성 트랜지스터를 형성하는 방법에 있어서,

기판 위에 에피택시층을 형성하는 단계;

상기 에피택시층의 배면을 노출시키기 위해 상기 기판을 제거하는 단계;

상기 에피택시층 내에 제1 도전성 타입의 콜렉터 영역을 형성하기 위하여 상기 에피택시층의 상기 노출된 배면을 따라 제1 도전성 타입의 도펀트를 주입하는 단계 - 상기 에피택시층은 제2 도전성 타입을 가짐 -; 및

상기 에피택시층 내에 제1 도전성 타입의 복수의 제1 필러들을 형성하는 단계 - 상기 복수의 제1 필러들을 서로 분리시키는 상기 에피택시층의 부분들이 복수의 제2 필러들을 형성함으로써 도전성 타입이 번갈아 바뀌는 필러들을 형성하며, 상기 복수의 제1 필러들의 각각의 바닥면은 상기 콜렉터 영역의 최상면으로부터 이격됨 - 를 포함하되,

제1 및 제2 도전성 타입의 상기 필러들의 각각의 물리적 치수 및 제1 및 제2 도전성 타입의 상기 필러들의 각각의 전하 캐리어의 도핑 농도는, 복수의 제1 필러들의 각각의 필러 내의 순전하와 상기 복수의 제2 필러들 중 당해 제1 필러에 인접한 필러 내의 순전하 사이에 전하 불균형을 야기하도록 선택되는 절연 게이트 양극성 트랜지스터 형성 방법.

청구항 58

제57항에 있어서,

제1 도전성 타입의 상기 도펀트를 주입하기 이전에, 제2 도전성 타입의 필드 정지 영역을 형성하기 위하여 상기 에피택시층의 상기 노출된 배면을 따라 제2 도전성 타입의 도펀트를 주입하는 단계를 더 포함하되,

상기 콜렉터 영역은 상기 필드 정지층 내에 형성되고 상기 필드 정지층 내에 수용되는 절연 게이트 양극성 트랜지스터 형성 방법.

청구항 59

절연 게이트 양극성 트랜지스터를 형성하는 방법에 있어서,

기관 위에 에피택시층을 형성하는 단계;

상기 기관의 배면을 통해 상기 기관을 박층화(thinning down)하는 단계;

상기 박층화된 기관 내에 수용된 제1 도전성 타입의 콜렉터 영역을 형성하기 위하여, 상기 박층화된 기관의 배면을 따라 제1 도전성 타입의 도펀트를 주입하는 단계 - 상기 기관 및 상기 에피택시층은 제2 도전성 타입을 가짐 -; 및

상기 에피택시층 내에 제1 도전성 타입의 복수의 제1 필러들을 형성하는 단계 - 상기 복수의 제1 필러들을 서로 분리시키는 상기 에피택시층의 부분들이 복수의 제2 필러들을 형성함으로써 도전성 타입이 번갈아 바뀌는 필러들을 형성하며, 상기 복수의 제1 필러들의 각각의 바닥면은 상기 콜렉터 영역의 최상면으로부터 이격됨 - 를 포함하되,

제1 및 제2 도전성 타입의 상기 필러들의 각각의 물리적 치수 및 제1 및 제2 도전성 타입의 상기 필러들의 각각의 전하 캐리어의 도핑 농도는, 복수의 제1 필러들의 각각의 필러 내의 순전하와 상기 복수의 제2 필러들 중 당해 제1 필러에 인접한 필러 내의 순전하 사이에 전하 불균형을 야기하도록 선택되는 절연 게이트 양극성 트랜지스터 형성 방법.

명세서

기술분야

<1> [관련 출원의 상호 참조]

<2> 본 출원은 2006년 2월 3일자의 미국 가출원 제60/765,261호를 우선권 주장의 기초로 하며, 상기 가출원의 개시 내용은 그 전체로서 참조에 의해 여하한 목적으로 본 명세서에 편입된다.

<3> 본 발명은 전력 반도체 디바이스에 관한 것이고, 보다 구체적으로는 전하 균형 구조를 포함하는 절연 게이트 양극성 트랜지스터(insulated gate bipolar transistor; IGBT)를 형성하는 구조 및 방법에 관한 것이다.

배경기술

<4> IGBT는 상업적으로 이용가능한 다수의 전력 반도체 디바이스 중 하나이다. 도 1은 기존의 IGBT의 단면도를 도시한다. 고농도로 도핑된 P-타입 콜렉터 영역 104가 콜렉터 전극 102에 전기적으로 접속된다. N-타입 드리프트 영역 106이 콜렉터 영역 104 위에 형성된다. 고농도로 도핑된 P-타입 웰 영역 108이 드리프트 영역 106 내에 형성되고, 고농도로 도핑된 N-타입 소스 영역 110이 P-타입 웰 영역 108 내에 형성된다. 웰 영역 108과 소스 영역 110 모두는 이미터 전극 112에 전기적으로 접속된다. 평면형 게이트 114가 드리프트 영역 106의 상면 위와 웰 영역 108 내의 채널 영역 113 위에서 연장되고 상기 소스 영역 110과 중첩한다. 게이트 114는 그 아래에 놓인 영역들로부터 게이트 유전체층 116에 의해 절연된다.

<5> 도 1과 같은 기존의 IGBT의 서로 경쟁적인 다양한 성능 파라미터들을 최적화하는 것은, P-타입 콜렉터 영역의 고농도 도핑에 대한 요구 및 N-타입 드리프트 영역의 유한한 두께에 대한 요구를 포함하는 다수의 인자들에 의해 제한된다. 이러한 인자들은 다양한 트레이드-오프(trade-off) 성능 향상을 제한한다. 따라서, 트레이드-오프 성능 파라미터들의 개선을 가능하게 하면서 상기 파라미터들이 보다 잘 제어될 수 있는 개선된 IGBT가 요구된다.

발명의 상세한 설명

<6> 본 발명의 일 실시예에 의하면, 절연 게이트 양극성 트랜지스터(IGBT)가 제1 도전성 타입의 콜렉터 영역, 및 상기 콜렉터 영역 위에서 연장되는 제2 도전성 타입의 제1 실리콘 영역을 포함한다. 제1 및 제2 도전성 타입의 복수의 필러들(pillars)이 상기 제1 실리콘 영역 위에 번갈아 배열된다. 제1 도전성 타입의 각각의 필러의 바닥면은 상기 콜렉터 영역의 최상면으로부터 수직 방향으로 이격된다. 상기 IGBT는, 각각이 제1 도전성 타입의 상기 필러들 중 하나의 필러 위에서 연장되고 상기 하나의 필러와 전기적으로 접촉하는 제1 도전성 타입의 복수의 웰 영역, 및 복수의 게이트 전극 - 상기 복수의 게이트 전극의 각각은, 대응되는 웰 영역의 일부분 위에서

연장됨 - 을 더 포함한다. 각각의 게이트 전극은 당해 게이트 전극 아래에 놓인 영역으로부터 게이트 유전체층에 의해 절연된다. 제1 및 제2 도전성 타입의 상기 필러들의 각각의 물리적 치수 및 제1 및 제2 도전성 타입의 상기 필러들의 각각의 전하 캐리어의 도핑 농도는, 제1 도전성의 각각의 필러 내의 순전하(net charge)와 당해 제1 도전성의 필러에 인접한 제2 도전성 타입의 필러 내의 순전하 사이에 전하 불균형을 야기하도록 선택된다.

<7> 본 발명의 다른 실시예에 의하면, IGBT가 제1 도전성 타입의 콜렉터 영역, 및 상기 콜렉터 영역 위에서 연장되는 제2 도전성 타입의 제1 실리콘 영역을 포함한다. 제1 및 제2 도전성 타입의 복수의 필러들이 상기 제1 실리콘 영역 위에 번갈아 배열된다. 제1 도전성 타입의 각각의 필러의 바닥면은 상기 콜렉터 영역의 최상면으로부터 수직 방향으로 이격된다. 제1 도전성 타입의 웰 영역이 제1 및 제2 도전성 타입의 상기 복수의 필러들 위에서 연장되고 상기 복수의 필러들과 전기적으로 접촉한다. 상기 IGBT는 복수의 게이트 트랜치를 더 포함하되, 상기 복수의 게이트 트랜치의 각각은, 상기 웰 영역을 통해 연장되고 제2 도전성 타입의 상기 필러들 중 하나의 내부에서 종단되며, 상기 각각의 게이트 트랜치는 게이트 전극을 포함한다. 제1 및 제2 도전성 타입의 상기 필러들의 각각의 물리적 치수 및 제1 및 제2 도전성 타입의 상기 필러들의 각각의 전하 캐리어의 도핑 농도는, 제1 도전성의 각각의 필러 내의 순전하와 당해 제1 도전성의 필러에 인접한 제2 도전성 타입의 상기 필러 내의 순전하 사이에 전하 불균형을 야기하도록 선택된다.

<8> 본 발명의 또 다른 실시예에 의하면, IGBT가 다음과 같이 형성된다. 에피택시층이 제1 도전성 타입의 콜렉터 영역 위에 형성되며, 상기 에피택시층은 제2 도전성 타입을 갖는다. 상기 에피택시층 내에 제1 도전성 타입의 복수의 제1 필러들이 형성되어, 상기 복수의 제1 필러들을 서로 분리시키는 상기 에피택시층의 부분들이 복수의 제2 필러들을 형성함으로써 도전성 타입이 번갈아 바뀌는 필러들이 형성되고, 상기 복수의 제1 필러들의 각각의 바닥면은 상기 콜렉터 영역의 최상면으로부터 이격된다. 상기 에피택시층 내에 제1 도전성 타입의 복수의 웰 영역이 형성되어, 각각의 웰 영역이 상기 복수의 제1 필러들 중 하나의 필러 위에서 연장되고 상기 하나의 필러와 전기적으로 접촉한다. 복수의 게이트 전극이 형성되며, 각각의 게이트 전극은 대응되는 웰 영역의 일부분 위에서 연장되고, 게이트 유전체층에 의해 당해 게이트 전극 아래에 놓인 영역으로부터 절연된다. 제1 및 제2 도전성 타입의 상기 필러들의 각각의 물리적 치수 및 제1 및 제2 도전성 타입의 상기 필러들의 각각의 전하 캐리어의 도핑 농도는, 복수의 제1 필러들의 각각의 필러 내의 순전하와 상기 복수의 제2 필러들 중 당해 제1 필러에 인접한 필러 내의 순전하 사이에 전하 불균형을 야기하도록 선택된다.

<9> 본 발명의 다른 실시예에 의하면, IGBT가 다음과 같이 형성된다. 제1 도전성 타입의 콜렉터 영역 위에 에피택시층이 형성되고, 제1 실리콘 영역은 제2 도전성 타입을 갖는다. 상기 에피택시층 내에 제1 도전성 타입의 복수의 제1 필러들이 형성되어, 상기 복수의 제1 필러들을 서로 분리시키는 상기 에피택시층의 부분들이 복수의 제2 필러들을 형성함으로써 도전성 타입이 번갈아 바뀌는 필러들이 형성되고, 상기 복수의 제1 필러들의 각각의 바닥면은 상기 콜렉터 영역의 최상면으로부터 이격된다. 상기 에피택시층 내에 제1 도전성 타입의 웰 영역이 형성되어, 상기 웰 영역은 상기 복수의 제1 및 제2 필러들 위에서 연장되고 상기 복수의 제1 및 제2 필러들과 전기적으로 접촉한다. 각각이 상기 웰 영역을 통해 연장되고 상기 복수의 제2 필러들 중 하나의 내부에서 종단되는 복수의 게이트 트랜치가 형성된다. 각각의 게이트 트랜치 내에 게이트 전극이 형성된다. 제1 및 제2 도전성 타입의 상기 필러들의 각각의 물리적 치수 및 제1 및 제2 도전성 타입의 상기 필러들의 각각의 전하 캐리어의 도핑 농도는, 복수의 제1 필러들의 각각의 필러 내의 순전하와 상기 복수의 제2 필러들 중 당해 제1 필러에 인접한 필러 내의 순전하 사이에 전하 불균형을 야기하도록 선택된다.

<10> 본 발명의 다른 실시예에 의하면, IGBT가 다음과 같이 형성된다. 제1 도전성 타입의 기판 내에 제1 도전성 타입의 콜렉터 영역을 형성하기 위하여, 상기 기판의 배면(背面)을 따라 제1 도전성 타입의 도펀트가 주입된다. 상기 기판 내에 제1 도전성 타입의 복수의 제1 필러들이 형성되어, 상기 복수의 제1 필러들을 서로 분리시키는 상기 기판의 부분들이 복수의 제2 필러들을 형성함으로써 도전성 타입이 번갈아 바뀌는 필러들을 형성하며, 상기 복수의 제1 필러들의 각각의 바닥면은 상기 콜렉터 영역의 최상면으로부터 이격된다. 제1 및 제2 도전성 타입의 상기 필러들의 각각의 물리적 치수 및 제1 및 제2 도전성 타입의 상기 필러들의 각각의 전하 캐리어의 도핑 농도는, 복수의 제1 필러들의 각각의 필러 내의 순전하와 상기 복수의 제2 필러들 중 당해 제1 필러에 인접한 필러 내의 순전하 사이에 전하 불균형을 야기하도록 선택된다.

<11> 본 발명의 다른 실시예에 의하면, IGBT가 다음과 같이 형성된다. 기판 위에 에피택시층이 형성된다. 상기 에피택시층의 배면을 노출시키기 위해 상기 기판이 완전히 제거된다. 상기 에피택시층 내에 제1 도전성 타입의 콜렉터 영역을 형성하기 위하여 상기 에피택시층의 상기 노출된 배면을 따라 제1 도전성 타입의 도펀트가 주입된다. 상기 에피택시층 내에 제1 도전성 타입의 복수의 제1 필러들이 형성되어, 상기 복수의 제1 필러들을 서로 분리시키는 상기 에피택시층의 부분들이 복수의 제2 필러들을 형성함으로써 도전성 타입이 번갈아 바뀌는 필

러들을 형성하고, 상기 복수의 제1 필러들의 각각의 바닥면은 상기 콜렉터 영역의 최상면으로부터 이격된다. 제1 및 제2 도전성 타입의 상기 필러들의 각각의 물리적 치수 및 제1 및 제2 도전성 타입의 상기 필러들의 각각의 전하 캐리어의 도핑 농도는, 복수의 제1 필러들의 각각의 필러 내의 순전하와 상기 복수의 제2 필러들 중 당해 제1 필러에 인접한 필러 내의 순전하 사이에 전하 불균형을 야기하도록 선택된다.

<12> 본 발명의 다른 실시예에 의하면, IGBT가 다음과 같이 형성된다. 기판 위에 에피택시층이 형성된다. 상기 기판이 그 배면을 통해 박층화(thinning down)되고, 상기 박층화된 기판 내에 수용된 제1 도전성 타입의 콜렉터 영역을 형성하기 위하여, 상기 박층화된 기판의 배면을 따라 제1 도전성 타입의 도펀트가 주입된다. 상기 기판 및 상기 에피택시층은 제2 도전성 타입을 갖는다. 상기 에피택시층 내에 제1 도전성 타입의 복수의 제1 필러들이 형성되어, 상기 복수의 제1 필러들을 서로 분리시키는 상기 에피택시층의 부분들이 복수의 제2 필러들을 형성함으로써 도전성 타입이 번갈아 바뀌는 필러들을 형성하며, 상기 복수의 제1 필러들의 각각의 바닥면은 상기 콜렉터 영역의 최상면으로부터 이격된다. 제1 및 제2 도전성 타입의 상기 필러들의 각각의 물리적 치수 및 제1 및 제2 도전성 타입의 상기 필러들의 각각의 전하 캐리어의 도핑 농도는, 복수의 제1 필러들의 각각의 필러 내의 순전하와 상기 복수의 제2 필러들 중 당해 제1 필러에 인접한 필러 내의 순전하 사이에 전하 불균형을 야기하도록 선택된다.

<13> 본 발명의 본질 및 이점은 이하의 상세한 설명 및 첨부된 도면으로부터 보다 잘 이해될 수 있다.

실시예

<23> 도 2는 본 발명의 일 실시예에 의한, 서로 경쟁적인 다양한 성능 파라미터들이 개선될 수 있는 향상된 초접합 IGBT의 단면도이다. 고농도로 도핑된 P-타입 콜렉터 영역 204가 콜렉터 전극 202에 전기적으로 접속된다. N-타입 필드 정지층(field stop layer; FSL) 205가 콜렉터 영역 204 위에서 연장되고, N-타입 영역 206a가 FSL 205 위에서 연장된다. 번갈아 배치된 P-필러들(pillars) 207과 N-필러들 206b를 포함하는 전하 균형 영역이, N-타입 영역 206a 위에서 연장된다. 다른 실시예에서는, 상기 전하 균형 영역의 영역 207은, 영역 207의 수직 경계면과 바닥 경계면을 따라 연장되는 P-타입 실리콘 라이너(liner)를 포함하며, 영역 207의 나머지 부분은 N-타입 또는 진성 실리콘(intrinsic silicon)이다.

<24> 고농도로 도핑된 P-타입 웰 영역 208이 P-필러 207 위에서 연장되고, 고농도로 도핑된 N-타입 소스 영역 210이 웰 영역 208 내에 형성된다. 웰 영역 208과 소스 영역 210 모두는 이미터 전극 212에 전기적으로 접속된다. 평면형 게이트 214가 N-타입 영역 206c의 상면 위와 웰 영역 208 내의 채널 영역 213 위에서 연장되고, 소스 영역 210과 중첩한다. 게이트 214는 게이트 유전체층 216에 의해 상기 게이트 214 아래에 놓인 실리콘 영역들로부터 절연된다.

<25> 도 1의 기존의 IGBT 구조에 있어서, 높은 차단 전압(blocking voltage)을 견디기 위해 드리프트 영역 106의 두께가 두꺼워진다. 높은 역 바이어스 전압 하에서는 드리프트 영역 106 내의 전계가 삼각형으로 분포되고, 피크(peak) 전계가 웰 영역 108과 드리프트 영역 106 사이의 접합부에서 발생된다. 도 2에서, 번갈아 배치된 P-필러들 207 및 N-필러들 206b를 포함하는 전계 균형 구조물을 도입함으로써, 전계가 사다리꼴로 분포되고 피크 전계가 억제된다. 따라서, 드리프트 영역의 동일한 도핑 농도에 대하여 현저히 더 높은 항복 전압(breakdown voltage)이 달성된다. 또는, 동일한 항복 전압에 대하여, 드리프트 영역의 도핑 농도 증가 및 두께 감소 중 어느 하나 또는 모두가 이루어질 수 있고, 이로써 IGBT의 콜렉터-이미터 간 온-상태 전압 V_{ce} (포화)이 개선된다.

<26> 나아가 P-타입 필러 207이, 저장된 정공 캐리어에 대한 콜렉터로서 기능함으로써, 트랜지스터 스위칭 속도를 개선한다는 점에서 유리하다. 또한, 상기 전하-균형 구조는 상기 IGBT의 정공 전류 성분(hole current component) 및 전자 전류 성분(electron current component)을 P-필러 및 N-필러 간에 각각 분배한다. 이는 트랜지스터에 래치-업(latch-up)이 일어나지 않도록 하고, 또한 열이 실리콘 내에 보다 균일하게 분산되는 것을 돕는다.

<27> 또한, 필드 정지층 205는 공핍층이 콜렉터 영역 204로 전개되는 것을 막는다. 다른 실시예에서, N-타입 영역 206a가 P-타입 콜렉터 영역 204와 직접 접촉하도록 N-타입 필드 정지층 205가 제거된다. 이 다른 실시예에서는, N-타입 영역 206a가 버퍼층으로서 기능하며, 공핍층이 콜렉터 영역 204로 전개되는 것을 막도록 당해 버퍼층의 도핑 농도 및 두께 중 어느 하나 또는 모두가 조정된다.

<28> 도 2의 초접합 IGBT는 다수의 방법으로 제조될 수 있다. 일 실시예에서, 에피택시층 206 내에 깊은 트렌치를 형성하고, SEG와 같은 기술을 이용하여 상기 트렌치를 P-타입 실리콘 물질로 채움으로써 P-필러가 형성된다. 또는, 에피택시층 206 내로의 초고에너지 주입 또는 다양한 에너지의 다중 주입을 이용하여 P-타입 필러가 형성

될 수 있다. 또한, 본 내용에 비추어, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 다른 처리들을 시사받을 수 있을 것이다. 다른 처리 실시예에서는, 깊은 트렌치 형성 이후에, 기존의 기술을 이용하여 트렌치 측벽과 바닥을 P-타입 실리콘으로 덮은 후, N-타입 또는 진성 실리콘으로 상기 트렌치를 채운다.

<29> 도 3은, 정공 캐리어와 실리콘 표면으로부터의 거리의 관계를 그래프로 나타내는 시뮬레이션 결과를 도시한다. 실질적으로 100 μ m의 동일한 웨이퍼 두께에 대하여, P-필러의 중심을 따라 분포된 정공 캐리어 밀도(도 3에서 $x=15\mu$ m로 표시됨) 및 N-필러의 중심을 따라 분포된 정공 캐리어 밀도(도 3에서 $x=0\mu$ m로 표시됨)가, 80 μ m의 P-필러 깊이(도 3에서, $t_{\text{필러}}=80\mu$ m로 표시됨) 및 65 μ m의 P-필러 깊이(도 3에서 $t_{\text{필러}}=65\mu$ m로 표시됨)의 두 가지 경우에 대하여 그래프로 도시되어 있다. 정공 캐리어들의 대부분이 N-필러가 아닌 P-필러를 통해 흐른다는 것을 알 수 있다.

<30> 도 4는, 기존의 IGBT와, 90 μ m 및 100 μ m의 웨이퍼 두께를 갖는 두 가지 경우의 초접합 IGBT(도 2와 유사한 구조를 가짐)에 대하여, 턴-오프(turn-off) 에너지(Eoff)와 콜렉터-이미터 간 온-상태 전압 Vce(포화)의 관계를 그래프로 나타내는 시뮬레이션 결과를 도시한다. 도시된 바로부터 알 수 있듯이, 기존의 IGBT에 비해 초접합 IGBT에서 Vce(포화)/Eoff 간의 트레이드-오프(trade-off)가 현저히 개선된다.

<31> 상기 번갈아 배치된 필러 구조와 관련된 항복 전압 개선을 얻기 위해서는, N-필러 및 P-필러 모두가 완전히 공핍될 필요가 있다. 당해 공핍 영역에서 공간 전하(space charge)의 중성 상태가 유지될 필요가 있고, 이에 따라 P-타입 필러 내의 음전하와 N-타입 필러(드리프트 영역) 내의 양전하 사이에 전하 균형이 요구된다. 이는, N-타입 필러와 P-타입 필러의 도핑 및 물리적 특성을 신중하게 처리할 것을 요구한다. 그러나, 이하에 보다 충분히 기재된 바와 같이, 본 발명에 따른 초접합 IGBT는, 완벽한 전하 균형이 아닌 인접한 N 및 P 필러들 사이에 미리 정해진 양의 전하 불균형을 도입함으로써 다수의 트레이드-오프 성능들을 향상시키도록 설계된다.

<32> 본 개시로부터 알 수 있듯이, P-필러 내에 더 많은 전하가 존재할 수 있도록 하는 5-20% 범위의 전하 불균형은 다양한 트레이드-오프 성능들을 향상시킬 수 있도록 한다. 일 실시예에서는, N-필러 내의 순전하(net charge)가 $5 \times 10^{10} \text{ a/cm}^3$ 내지 $1 \times 10^{12} \text{ a/cm}^3$ 범위가 되도록 하는 도핑 농도를 갖는 보다 얇은 에피택시층 206이 이용되는 한편, P-필러의 도핑 농도는 P-필러 내의 순전하가 N-필러보다 실질적으로 5-20% 더 크도록 설정된다. 줄(stripe) 형태의 설계에서, 각각의 N 및 P 필러 내의 순전하의 근사치는, 필러의 도핑 농도와 필러의 폭의 곱에 의해 개략적으로 구해질 수 있다(N 및 P 필러의 줄이 서로 동일한 깊이와 길이를 갖는다고 가정함).

<33> 도 5 내지 18에 도시된 시뮬레이션 결과에 나타난 바와 같이, 상기 번갈아 배치된 필러들과 초접합 구조물 내의 순전하를 최적화함으로써, 다양한 트레이드-오프 성능들이 제어되고 개선될 수 있다. 도 5와 6은, BVces 및 Vce(포화)의 전하 불균형에 대한 감도를 각각, 다양한 온도에서 $1 \times 10^{12} \text{ a/cm}^3$ 의 N-필러 전하에 대하여 나타낸 시뮬레이션 결과를 도시한다. 도 5와 6의 가로축을 따라 표시된 전하 불균형은, N-필러에 대한 P-필러의 전하량을 증가시키거나 감소시킴으로써 획득된다. 본 발명에 의하면, N 및 P 필러들은 보다 낮은 전하(예를 들면, $1 \times 10^{12} \text{ a/cm}^3$ 보다 적거나 이와 같음)가 이용될 수 있도록 조정되고, 이는 Vce(포화) 및 BVces의 전하 불균형에 대한 감도를 극적으로 감소시킨다.

<34> 도 7과 8은, 단락 회로 저항 시간(short circuit withstand time; SCWT)의 전하 불균형에 대한 감도를 각각, $1 \times 10^{12} \text{ a/cm}^3$ 의 N-필러 전하와 1V 및 1.7V의 Vce(포화)에 대하여 나타낸 시뮬레이션 결과를 도시한다. 도 9는, $1 \times 10^{12} \text{ a/cm}^3$ 의 동일한 N-필러 전하에 대하여 턴-오프(turn-off) 에너지 Eoff의 감도를 나타낸 시뮬레이션 결과를 도시한다. 도 10과 11은, $1 \times 10^{12} \text{ a/cm}^3$ 의 동일한 N-필러 및 P-필러 전하(즉, 전하 균형 구조)에 대한 Vce(포화)와 Eoff의 트레이드-오프의 관계 및 Vce(포화)와 SCWT 트레이드-오프의 관계를 도시한다. 이 도면들로부터 알 수 있듯이, 125 $^{\circ}$ C에서 1.2V보다 낮은 Vce(포화)에서의 20 μ J/A의 Eoff, 및 전하 불균형이 일어나지 않는 10 μ sec보다 긴 SCWT가 성취될 수 있다.

<35> P-필러 207이 정공 전류에 대한 싱크(sink)로서 기능하므로 상기 SCWT 성능이 개선된다. 이에 따라 상기 정공 전류는, 도 1의 기존 IGBT에서처럼 소스 영역 110 아래에서보다는, P-필러 207을 따라서 흐르기 쉽다. 이는 도 2의 초접합 IGBT가 SCWT 동안 NPN 래치-업에 영향을 받지 않도록 한다. 또한 이러한 전류 흐름은, 도 1의 기존 IGBT에서처럼 SCWT 동안 더욱 균일하며 국부화되지 않은 자기 발열(self heating)을 이끌어낸다. 나아가, 이는 도 2의 초접합 IGBT가 더욱 높은 PNP 이득으로 동작되도록 하고, 또한 정방향 접합에서 열적으로 발생된 누설 전류로 인해 PNP가 온(on) 상태가 되는 것에 따른 실패를 감소시킨다. 이는, 소수 캐리어 수명(minority

carrier lifetime)의 온도 계수(temperature coefficient)가 양(positive)이므로 드리프트 영역에서의 온도 상승에 따라 상기 소수 캐리어 수명이 증가하기 때문에, 기존의 IGBT의 단점이 되었다. 정방향 접합에서의 응집된 고온으로부터 열적으로 발생된 누설, 및 열적으로 증가된 PNP 이득은 PNP가 보다 빨리 온(on) 상태가 되도록 한다.

<36> 도 2의 초접합 IGBT의 다른 중요한 특징은, 게이트 저항 R_g 를 변화시킴으로써 턴-오프 di/dt 가 게이트 제어되는 턴-오프처럼 빠른 펀치-쓰루(quick punch through; QPT)를 용이하게 형성한다는 점이다. 도 12A 및 12B의 타이밍도(초접합 IGBT에 대한 시뮬레이션 결과임)에 도시된 바와 같이, 상기 QPT는 전류가 하강하기 시작할 때 유효 게이트 바이어스가 상기 IGBT의 문턱 전압 V_{th} 이상이 되도록 셀의 설계 내용(예를 들면, 게이트 구조 및 PNP 이득)에 따라 형성된다. 상기 QPT는 2004년 12월 14일자로 등록되고 공동으로 양도된 미국 특허 제 6,831,329호에 더욱 상세히 기재되어 있으며, 상기 미국 특허는 그 전체로서 참조에 의해 본 명세서에 편입된다.

<37> 도 13과 14는, 두 개의 R_g 값에 대하여, $1 \times 10^{12} \text{ a/cm}^3$ 의 동일한 N-필러 전하 및 P-필러 전하에 대한 V_{ce} (포화)와 di/dt 의 트레이드-오프의 관계 및 V_{ce} (포화)와 dv/dt 의 트레이드-오프의 관계를 각각 도시한다. 도 15, 16, 17 및 18은, $1 \times 10^{12} \text{ a/cm}^3$ 와 동일한 N-필러 전하와 두 개의 R_g 값에 대한, E_{off} , 피크 V_{ce} , di/dt 및 dv/dt 의 전하 불균형에 대한 감도를 각각 도시한다. 도 10과 13으로부터 알 수 있듯이, 턴-오프 di/dt 를 늦추는 것은 E_{off} 를 증가시키지만, 이는 EMI 성능을 위해 E_{off} 를 용통성 있게 트레이드-오프할 수 있도록 한다. 상기 초접합 IGBT의 dv/dt 는 소수 캐리어의 빠른 3-D 스위프-아웃(sweep out)으로 인해 높은 값을 갖는다. QPT를 갖는 상기 초접합 IGBT는 전압이 상승하는 동안 최소의 턴-오프 손실을 갖는다. 또한, 상기 dv/dt 는 도 14에 도시된 바와 같이 R_g 를 이용하여 어느 정도 제어될 수 있다.

<38> 기존의 IGBT에서의 턴-오프 손실의 대부분은, 상기 전압이 상승하는 동안 주입된 캐리어의 느린 스위프-아웃과, 상기 전압이 버스 전압에 도달한 이후, 공핍되지 않은 나머지 드리프트 및 버퍼 영역 중 어느 하나 또는 모두에서의 캐리어들의 소수 캐리어 재결합을 그 원인으로 한다. 상기 전류 강하 di/dt 가 게이트 방전에 의해 제어되고 기존의 IGBT보다 현저히 느리기 때문에, E_{off} 는 거의 완전히 상기 전류 강하로부터 발생된다. 실질적으로, 상기 초접합 IGBT의 턴-오프 손실의 대부분은 전류 강하에 기인하며, 상기 전류 강하는 di/dt 를 R_g 를 이용하여 조정함으로써 제어될 수 있다.

<39> 도 19 내지 22는 본 발명의 실시예들에 의한 다양한 초접합 IGBT의 단면도 및 그에 대응되는 도핑 프로파일(doping profile)을 도시한다. 도 19A는 최초 웨이퍼가 P+ 기판 1904인 실시예를 도시하며, 상기 P+ 기판 1904 위에 N-에피택시 버퍼층 1905가 형성된다. 버퍼층 1905보다 낮은 도핑 농도의 상부 N-에피택시층 1906이 버퍼층 1905 위에 형성된다. 나머지 영역들 및 층들은 다수의 공지 기술 중 하나를 이용하여 형성된다. 예를 들면, P-타입 도펀트를 상기 상부 N-에피택시층 1906 내로 주입(고에너지를 이용함)하거나, 상기 상부 N-에피택시층 1906 내에 트랜치를 형성하고 상기 트랜치를 P-타입 실리콘으로 채움으로써, P-필러 1907이 형성될 수 있다. 또 다른 실시예에서는, 상기 상부 N-에피택시층 1906 대신 N-에피택시의 다층이 형성되고, 각각의 N-에피택시층을 형성한 후 P-필러 1907의 대응되는 부분을 형성하기 위해 P-타입 주입이 수행된다. 본체 영역 1908과 소스 영역 1910이 공지된 기술을 이용하여 형성된다. 도 19B는, 도 19A의 구조물의 N-필러의 중심을 통과하는 수직선을 따라 분포된 예시적인 도핑 농도(상부 도면)와, P-필러의 중심을 통과하는 수직선을 따라 분포된 예시적인 도핑 농도(하부 도면)를 도시한다.

<40> 도 20A에서, 영역 2006으로 도시된 하나 또는 다수의 N-에피택시층이 기판 위에 형성되고, 상기 하나 또는 다수의 에피택시층을 남겨두면서 상기 기판이 완전히 제거된다. 상기 에피택시층의 배면(背面)으로 P-타입 도펀트가 주입되어 콜렉터 영역 2004가 형성된다. 다른 실시예에서, N-에피택시층을 포함하지 않는 N-타입 기판이 이용되고, 상기 콜렉터 영역은 기판의 배면으로 도펀트를 주입함으로써 형성된다. P-필러 2007, 본체 영역 2008 및 소스 영역 2010이, 도 19A와 관련하여 기재된 다수의 기술들 중 어느 하나를 이용하여 형성된다. 도 20B는, N-필러의 중심을 통과하는 수직선을 따라 분포된 예시적인 도핑 농도(좌상부 도면)와, P-필러의 중심을 통과하는 수직선을 따라 분포된 예시적인 도핑 농도(우상부 도면)를 도시한다. 도 20B의 하부 도면은, 상기 N-타입 기판 또는 에피택시층(들)로부터 콜렉터 영역 2004까지 그리고 상기 콜렉터 영역 2004를 통과하는 전이 영역 내의 도핑 프로파일의 확장도를 도시한다.

<41> 도 21A는, N-타입 필드 정지 영역이 상기 구조에 병합된다는 점을 제외하고는 도 20A와 유사한 단면도이다. 일 실시예에서, 하나 또는 다수의 N-에피택시층이 기판 위에 형성되고, 상기 하나 또는 다수의 에피택시층을 남겨두면서 상기 기판이 완전히 제거된다. 상기 에피택시층의 배면으로 N-타입 도펀트가 주입되어 N-타입 필드 정

지 영역이 형성된 후, 상기 필드 정지 영역의 배면으로 P-타입 도펀트 주입이 수행되어 상기 필드 정지 영역 내에 콜렉터 영역이 형성된다. 다른 실시예에서는, N-에피택시층을 포함하지 않는 N-타입 기판이 이용된다. P-필러 2107, 본체 영역 2108 및 소스 영역 2110은 도 19A와 관련하여 기재된 다수의 기술들 중 어느 하나를 이용하여 형성된다. 도 21B는, N-필러의 중심을 통과하는 수직선을 따라 분포된 예시적인 도핑 농도(좌상부 도면)와, P-필러의 중심을 통과하는 수직선을 따라 분포된 예시적인 도핑 농도(우상부 도면)를 도시한다. 도 21B의 하부 도면은, 상기 필드 정지 영역 및 콜렉터 영역을 통한 도핑 프로파일의 확장도를 도시한다.

<42> 도 22A에서, 영역 2206으로 도시된 N-에피택시층(또는 다수의 N-에피택시층)이 N-타입 기판 위에 형성되고, 원하는 두께의 더 얇은 기판층이 남도록 상기 기판의 미리 정해진 두께 부분이 상기 기판의 배면에서 제거된다. 상기 기판은 N-에피택시층보다 낮은 저항을 갖는다. 상기 기판의 배면으로 P-타입 도펀트를 주입함으로써 콜렉터 영역이 형성되면서, 상기 기판의 나머지 부분은 사실상 필드 정지 영역을 형성한다. P-필러 2207, 본체 영역 2208 및 소스 영역 2210은 도 19A와 관련하여 기재된 다수의 기술들 중 어느 하나를 이용하여 형성된다. 도 22B는, N-필러의 중심을 통과하는 수직선을 따라 분포된 예시적인 도핑 농도(좌상부 도면)와, P-필러의 중심을 통과하는 수직선을 따라 분포된 예시적인 도핑 농도(우상부 도면)를 도시한다. 도 22B의 하부 도면은, 상기 필드 정지 영역 및 콜렉터 영역을 통한 도핑 프로파일의 확장도를 도시한다.

<43> 본 발명의 다른 실시예에서, 상기 P-필러 내의 도핑 농도는, 상기 P-필러의 최상부를 따라 분포되는 더 높은 도핑 농도로부터, 상기 P-필러의 바닥을 따라 분포되는 더 낮은 도핑 농도로 점차 변하고, 상기 N-필러 내의 도핑 농도는 실질적으로 균일하다. 또 다른 실시예에서, 상기 N-필러 내의 도핑 농도는 상기 N-필러의 바닥을 따라 분포되는 더 높은 도핑 농도로부터, 상기 N-필러의 최상부를 따라 분포되는 더 낮은 도핑 농도로 점차 변하고, 상기 P-필러 내의 도핑 농도는 실질적으로 균일하다.

<44> 도 23은 본 발명의 일 실시예에 의한 트랜치 게이트 초집합 IGBT의 단면도를 도시한다. 게이트 구조물과 그 주위 영역을 제외하고 도 23의 트랜치 게이트는 도 2의 평면형 게이트 IGBT와 구조적으로 유사하므로, 도 2의 평면형 게이트 IGBT와 그 변형에 및 대체적 실시예들과 관련하여 상기 기재된 것과 동일한 특징과 이점 중 상당수가 도 23의 트랜치 게이트 IGBT를 이용하여 실현될 수 있다. 도 23에서, 고농도로 도핑된 P-타입 콜렉터 영역 2304가 콜렉터 전극 2302에 전기적으로 접속된다. N-타입 필드 정지층(field stop layer; FSL) 2305가 콜렉터 영역 2304 위에서 연장되고, N-타입 영역 2306a가 FSL 2305 위에서 연장된다. 변갈아 배치된 P-필러들 2307 및 N-필러들 2306b를 포함하는 전하 균형 영역이 N-타입 영역 2306a 위에서 연장된다. 다른 실시예에서, 상기 전하 균형 영역의 영역 2307은, 영역 2307의 수직 경계면과 바닥 경계면을 따라 연장되는 P-타입 실리콘 라이너(liner)를 포함하며, 영역 2307의 나머지 부분은 N-타입 또는 진성 실리콘이다.

<45> 고농도로 도핑된 P-타입 웰 영역 2308이 상기 전하 균형 구조물 위에서 연장되고, 게이트 트랜치가 상기 웰 영역 2308을 통해 연장되고 N-필러 2306b 내에서 중단된다. 고농도로 도핑된 N-타입 소스 영역 2310이 웰 영역 2308 내에 상기 게이트 트랜치의 각측에 위치된다. 웰 영역 2308과 소스 영역 2310은 이미터 전극 2312에 전기적으로 접속된다. 게이트 유전체 2316이 상기 트랜치의 측벽을 덮고, 게이트 2314(예를 들면, 폴리실리콘을 포함함)가 상기 트랜치를 채운다. 상기 트랜치 내에서 게이트 2314에 리세스가 형성되고, 유전체층이 리세스(recessed) 게이트 위에서 상기 트랜치를 채운다. 이미터 도전체(예를 들면, 금속을 포함함)가 소스 영역, 본체 영역 및 트랜치 게이트 위에서 연장될 수 있다. 또한, 도 2의 상기 평면형 게이트 IGBT와 관련하여 상기 논의된 것과 동일한 고려 사항들 중 상당수가 도 23의 상기 게이트 트랜치 IGBT에 적용된다.

<46> 도 2의 상기 평면형 게이트 IGBT와 도 23의 상기 트랜치 게이트 IGBT 및 그 변형체들은, 다수의 서로 다른 방법들로 레이아웃(layout)이 정해질 수 있다. 두 가지의 예시적인 레이아웃 설계가 도 24와 25에 도시된다. 도 24는 동심(同心)형 게이트를 포함하는 동심형 필러 설계를 도시한다. 도시된 바와 같이, 다이의 중심으로부터 시작되고 서로 동일하게 이격된, 점차 커지는 사각형 링의 P-필러들 2407(무늬 없는 검정색의 링)이 형성된다. 사각형의 게이트 링 2414(빛금이 그려진 링)가 모든 두 개의 인접한 P-필러 링들 사이에 형성된다. 도시된 바와 같이, 전하 균형을 위하여 게이트는 가장 안쪽의 P-필러 링에 의해 둘러싸인 영역의 내부, 즉, 안쪽의 처음 두 개의 P-필러 링들 사이에는 형성되지 않는다. 또한, 소스 및 본체 영역들(도시되지 않음)이 링의 형태를 갖지만, 래치-업을 방지하기 위하여 상기 소스 영역은 불연속적인 링, 또는 불연속적인 채널 영역을 수반한 연속적인 링 중 어느 하나일 필요가 있다.

<47> 게이트 링 2414는 P-필러 링 2407 위에서 연장되지 않는 것으로 도시되어 있지만, 다른 실시예에서는 상기 게이트 링이 P-필러 링과 중첩된다. 또한, 상기 동심형 P-필러 링 2407과 게이트 링 2414는 사각형인 것으로 도시되었지만, 직사각형, 다각형, 육각형, 원형, 또는 다른 기하학적 형태일 수 있다. 일 실시예에서는, 상기 동심

형 P-필러 링 위에서 수직 또는 수평으로 연장되는 줄(stripe) 형태의 게이트가 동심형 게이트 링 대신 이용된다. 그러한 실시예는, 상기 게이트가 상기 동심형 게이트 링의 설계에서와 같이 P-타입 필러들에 적절하게 정렬되도록 요구되지 않는다는 점에서 유리하다. 또한 이러한 실시예는 피크 SCWT를 증가시킨다.

<48> 도 25는 줄 형태의 게이트와 줄 형태 필러의 설계를 도시한다. 도시된 바와 같이, 서로 동일하게 이격된 줄 형태의 P-필러 2507(무너 없는 검정색의 줄)이 다이의 길이 방향으로 연장되면서, 줄 형태의 게이트 2514(빛금색이 그려진 영역들)가 모든 두 개의 인접한 P-필러의 줄들의 사이에서 연장된다. 또한, 소스 및 본체 영역들(도시되지 않음)이 줄 형태를 갖는다. 또한 도 25는 다이의 우측 및 좌측을 따라 위치된 종단 영역의 일부분을 도시하는데, 상기 종단 영역의 일부분은 수직으로 연장되는 P-필러들 2507을 포함한다. 이러한 수직으로 연장되는 P-필러들은, 활성 영역과 종단 영역 사이의 전이 영역 내의 전하 균형을 유지하기 위하여, 상기 활성 영역 내의 수평으로 연장되는 P-필러들로부터 적절하게 이격된다.

<49> 게이트의 줄 2514는 P-필러의 줄 2507 위에서 연장되지 않는 것으로 도시되어 있지만, 다른 실시예에서는 상기 게이트의 줄이 상기 P-필러의 줄과 중첩한다. 또한, P-필러 2507에 평행하게 연장되는 게이트의 줄 2514가 도시되어 있지만, 다른 실시예에서는 상기 게이트의 줄이 상기 P-필러의 줄에 수직으로 연장된다. 그러한 실시예는, 서로 평행하게 연장되는 게이트 및 P-필러의 줄을 포함하는 실시예에서 요구되는 바와 같이 상기 게이트가 상기 P-필러에 적절하게 정렬될 것이 요구되지 않는다는 점에서 유리하다. 또한 당해 실시예는 피크 SCWT를 증가시킨다.

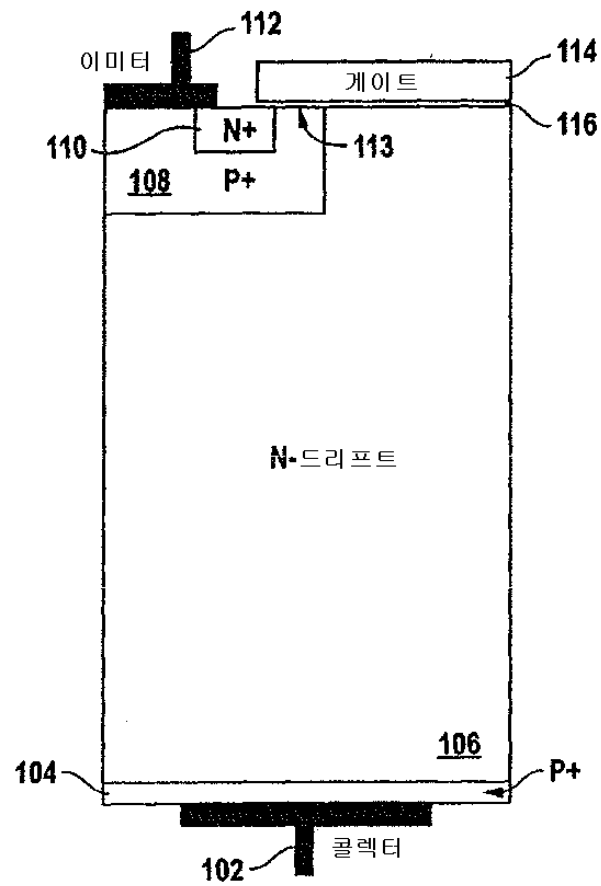
<50> 본 발명은 그 예시적인 실시예들과 관련하여 구체적으로 도시되고 기재되었지만, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면, 본 발명의 정수(精髓) 및 범위로부터 벗어나지 않으면서 그 형태 및 세부 사항에 있어서 다양한 변경이 이루어질 수 있다는 점을 이해할 것이다. 다양한 치수, 도핑 농도 및 서로 다른 반도체층 또는 절연층들을 설명하기 위해 본 명세서에서 제공된 모든 물질 타입들은 단지 설명을 위한 것이고, 본 발명을 한정하도록 의도된 것이 아니다. 예를 들면, 본 명세서에 기재된 실시예들의 다양한 실리콘 영역들의 도핑 극성은, 특정 실시예의 다른 극성 타입의 디바이스를 획득하기 위해 반전될 수 있다. 따라서, 이들 및 다른 이유로, 상기 기재가 본 발명의 범위를 제한하도록 해석되어선 안되고, 본 발명의 범위는 첨부된 청구항들에 의해 정의된다.

도면의 간단한 설명

- <14> 도 1은, 기존의 평면형 게이트 IGBT의 단면도를 도시한다.
- <15> 도 2는, 본 발명의 일 실시예에 의한 평면형 게이트 초접합 IGBT의 단면도를 도시한다.
- <16> 도 3은, 본 발명의 일 실시예에 의한, 도 2의 초접합 IGBT에 대하여 정공 캐리어 농도와 실리콘 표면으로부터의 거리의 관계를 그래프로 나타낸 시뮬레이션 결과를 도시한다.
- <17> 도 4는, 기존의 IGBT 및 도 2와 유사한 구조를 갖는 두 가지 경우의 초접합 IGBT에 대하여, 턴-오프 에너지(E_{off})와 콜렉터-이미터 간 온 상태 전압 V_{ce}(포화)의 관계를 그래프로 나타낸 시뮬레이션 결과를 도시한다.
- <18> 도 5 내지 18은, 본 발명의 예시적인 실시예들에 대하여, 전하 불균형 및 다양한 트레이드-오프 성능에 대한 다양한 파라미터의 감도(sensitivity)를 나타내는 시뮬레이션 결과이다.
- <19> 도 19 내지 22는, 본 발명의 실시예들에 의한, 다양한 초접합 IGBT의 단면도 및 그에 대응되는 도핑 프로파일(doping profile)을 도시한다.
- <20> 도 23은, 본 발명의 일 실시예에 의한 트랜치 게이트 초접합 IGBT의 단면도를 도시한다.
- <21> 도 24는, 본 발명의 일 실시예에 의한 동심(同心)형 초접합 IGBT 설계에 대한 단순화된 레이아웃 평면도를 도시한다.
- <22> 도 25는, 본 발명의 일 실시예에 의한 줄(stripe) 형태의 초접합 IGBT 설계에 대한 단순화된 레이아웃 평면도를 도시한다.

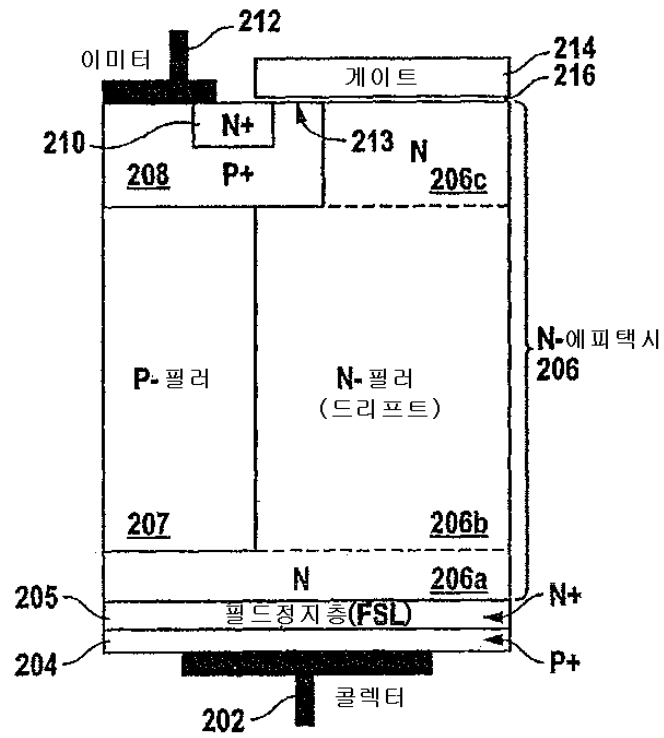
도면

도면1

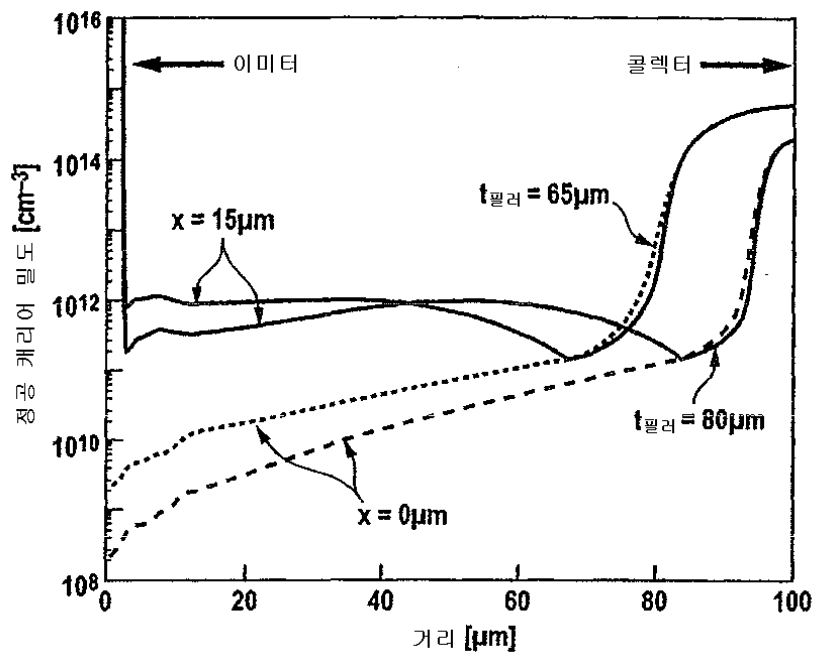


(종래기술)

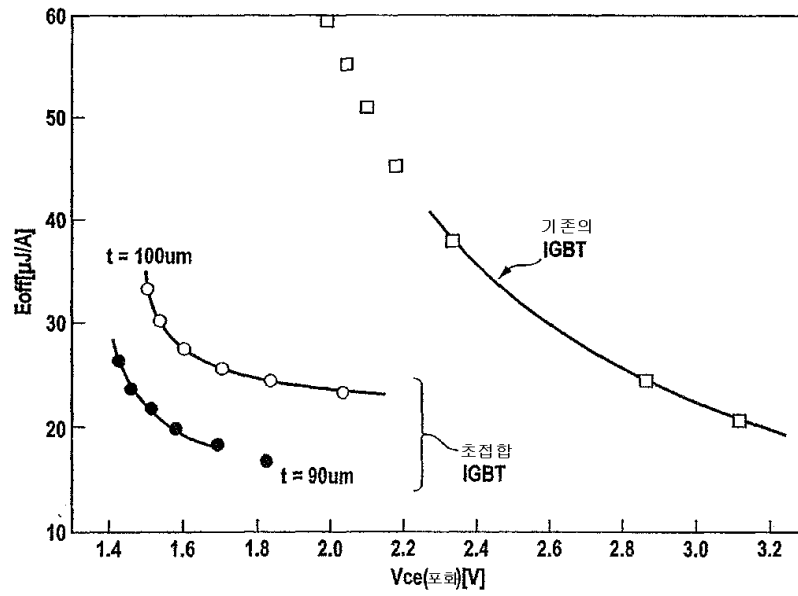
도면2



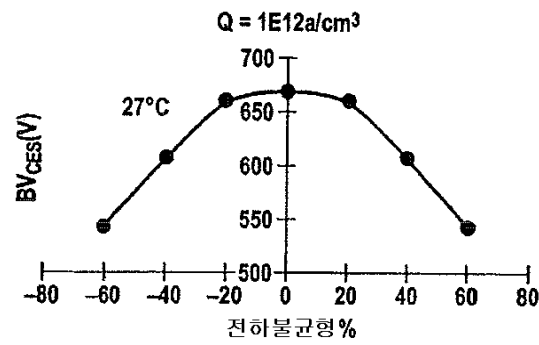
도면3



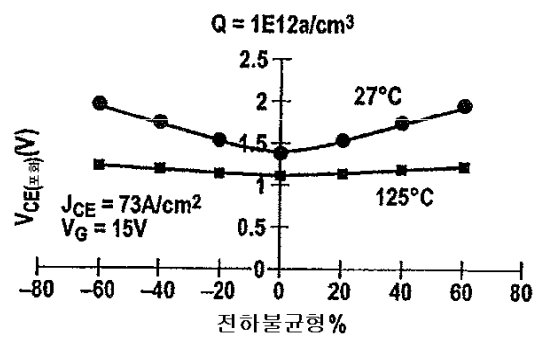
도면4



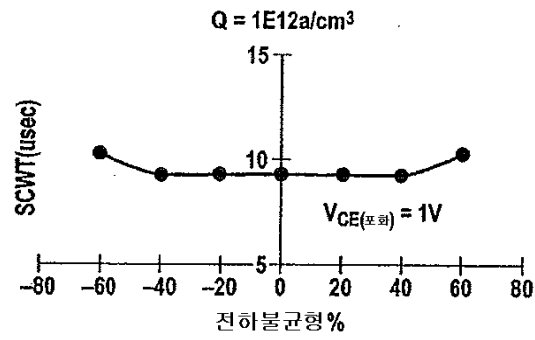
도면5



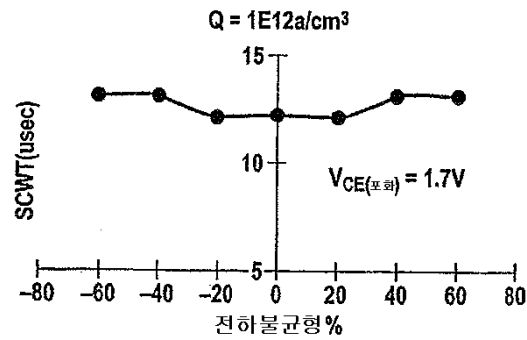
도면6



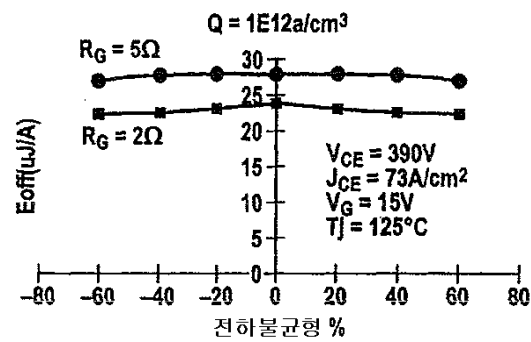
도면7



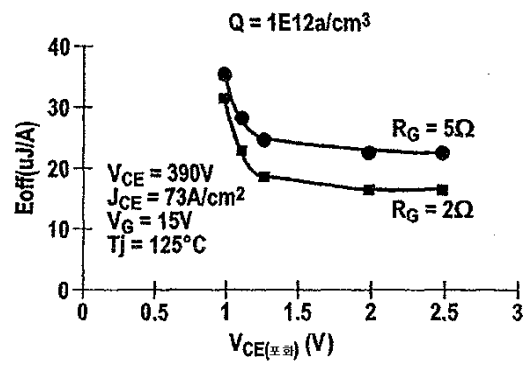
도면8



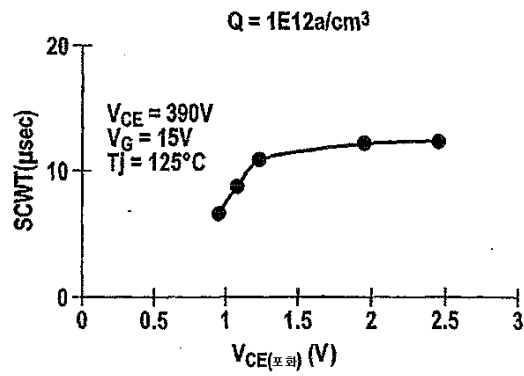
도면9



도면10

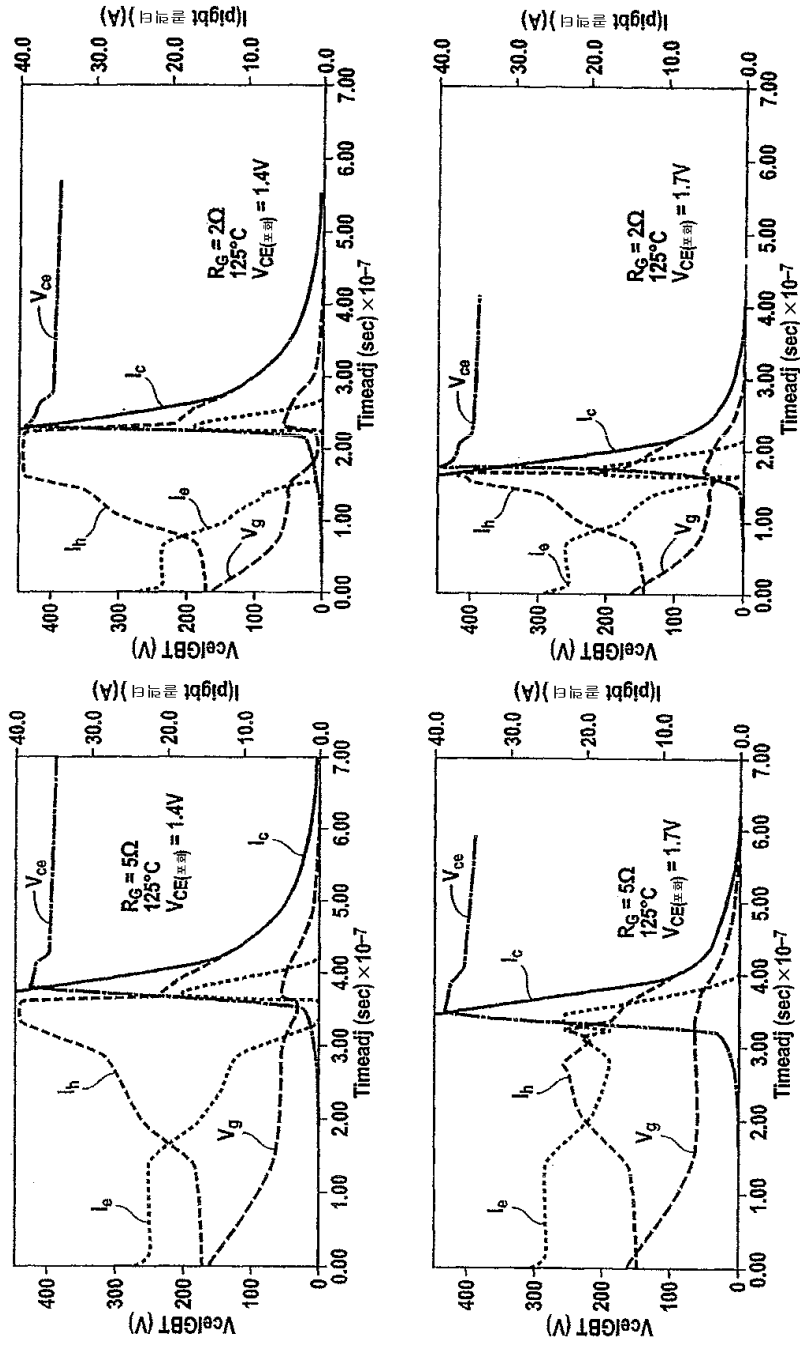


도면11

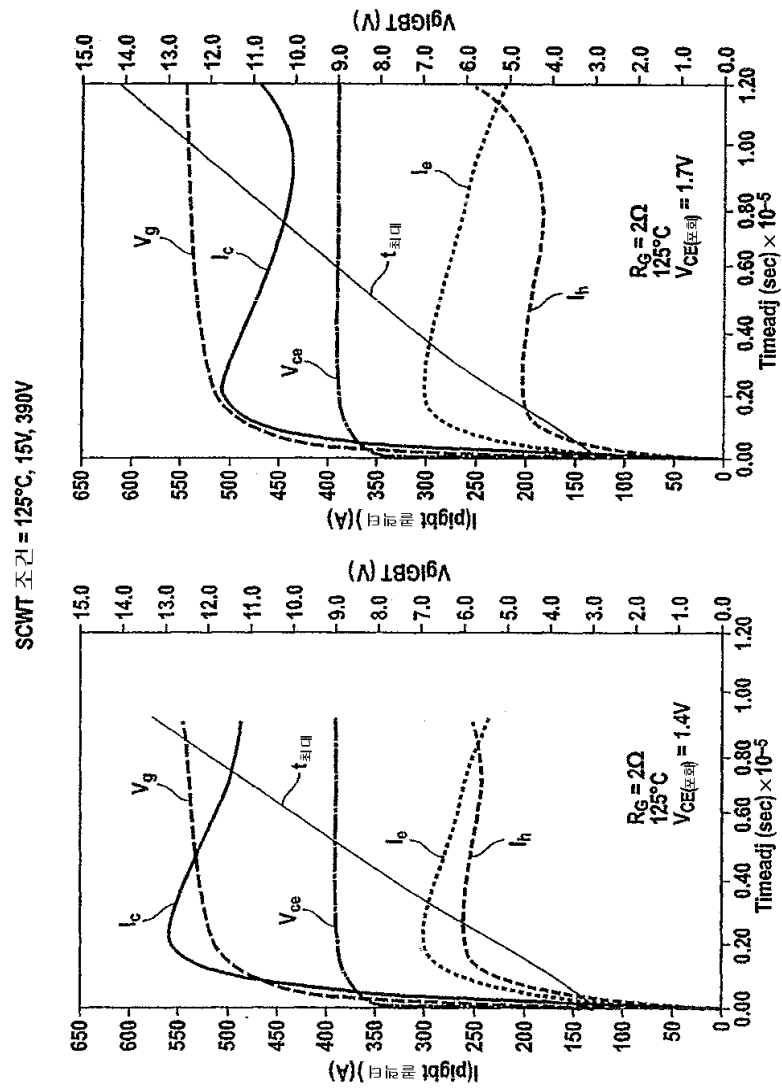


도면12A

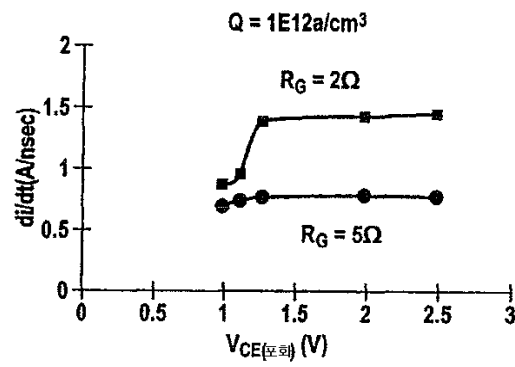
탐-오프 조건 = 125°C, 15V, 390V



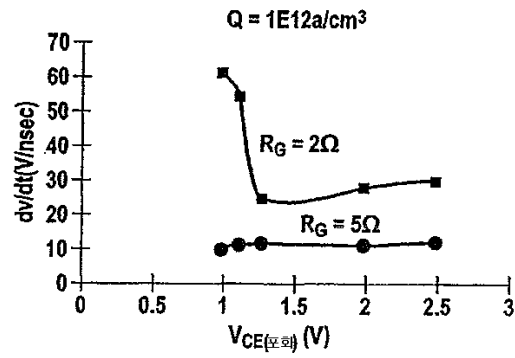
도면12B



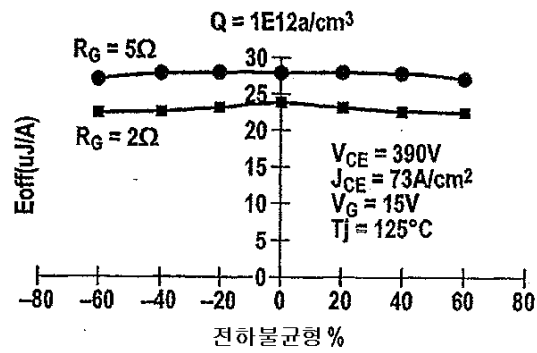
도면13



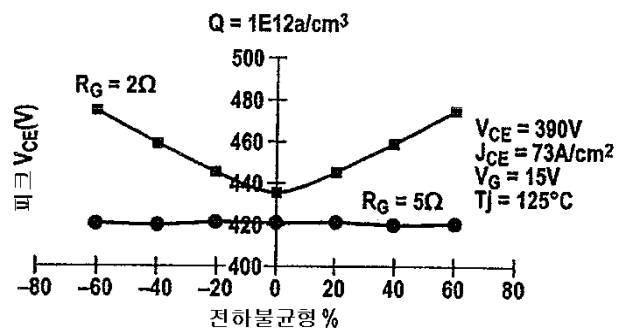
도면14



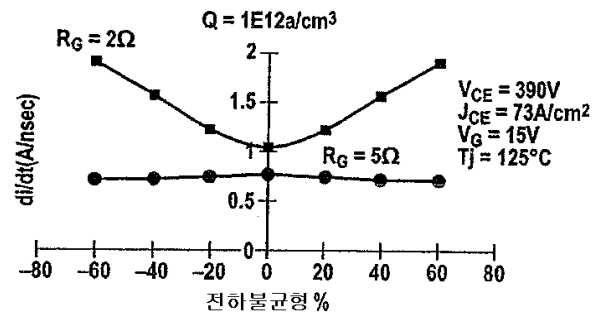
도면15



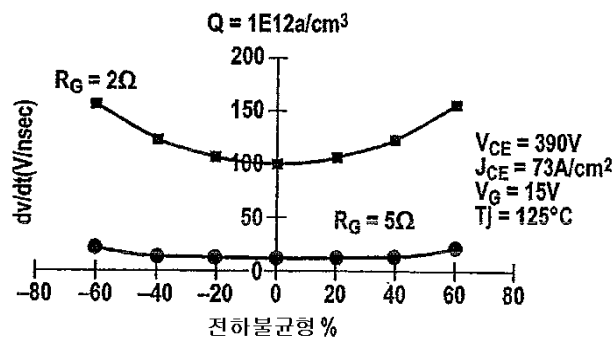
도면16



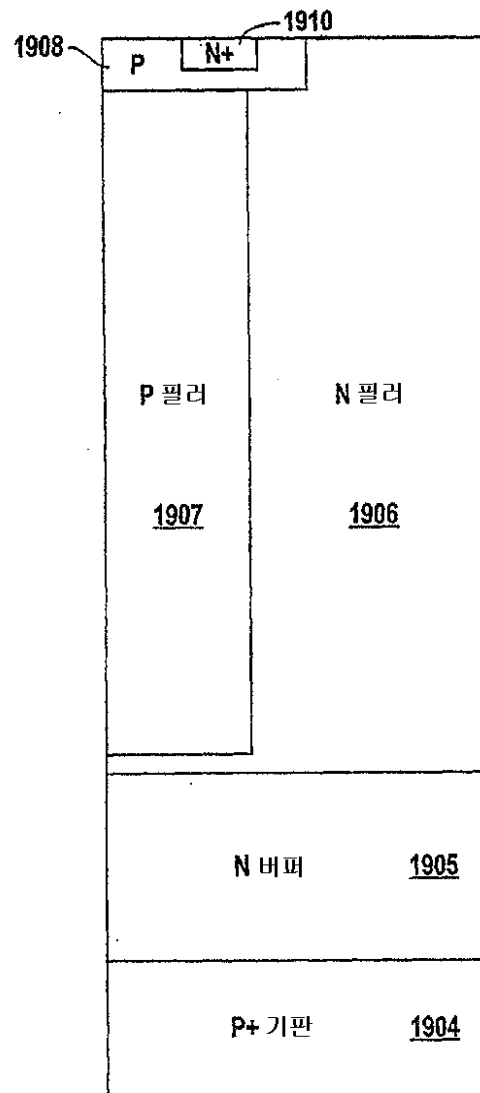
도면17



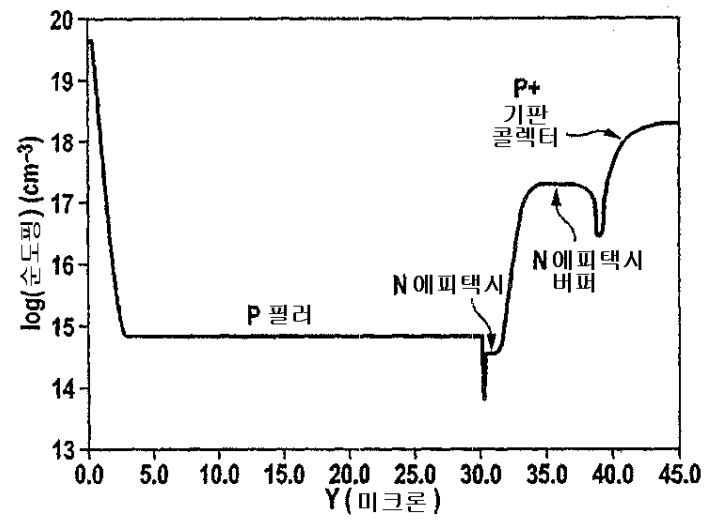
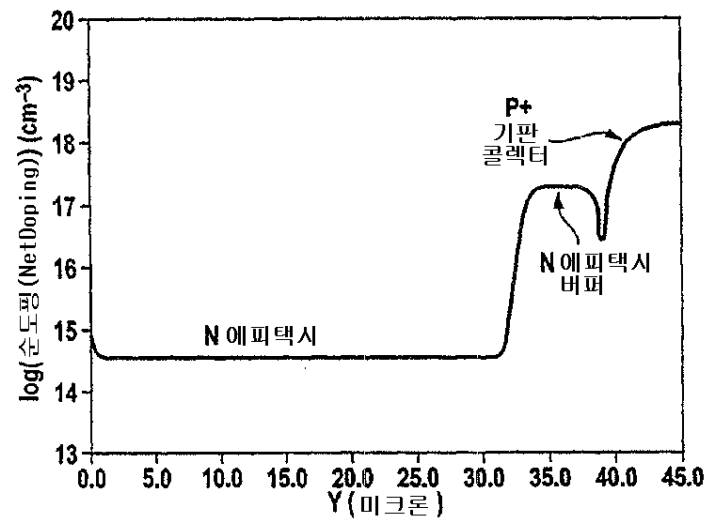
도면18



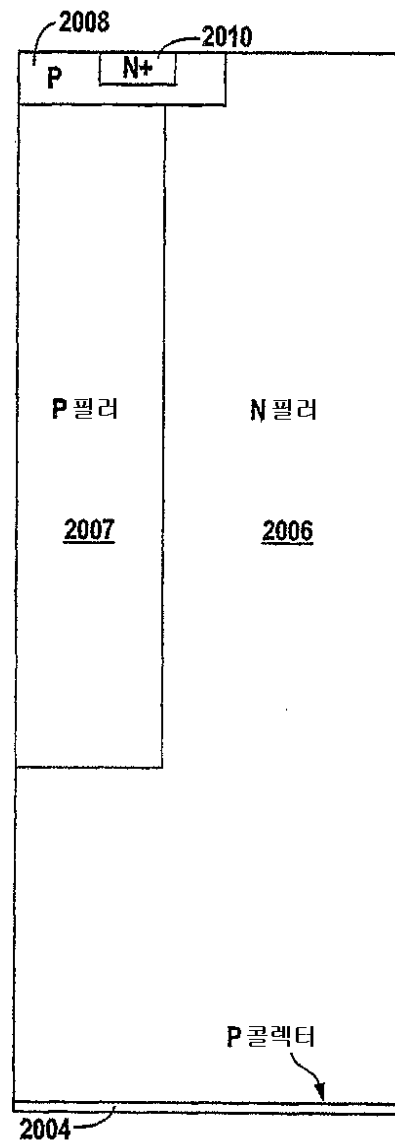
도면19A



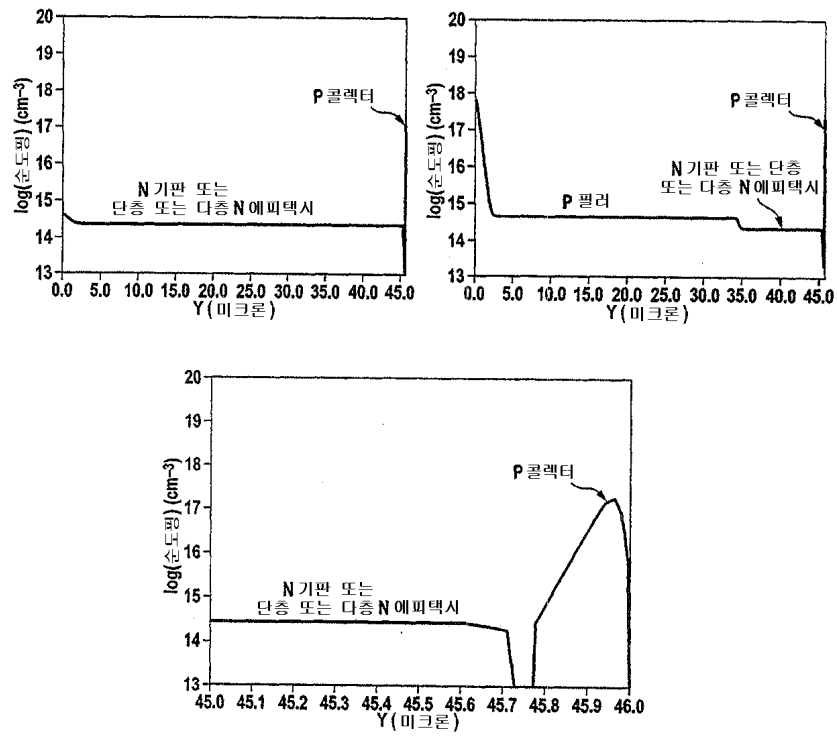
도면19B



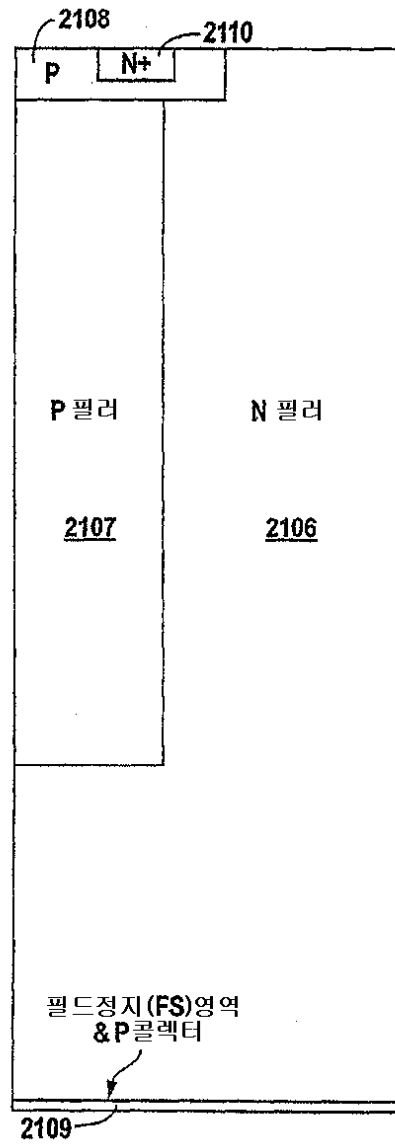
도면20A



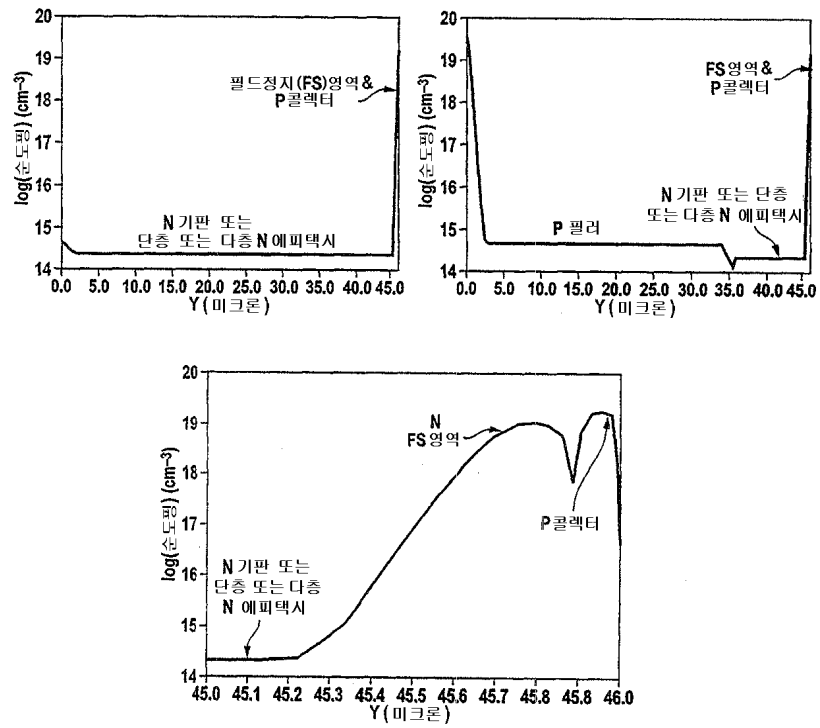
도면20B



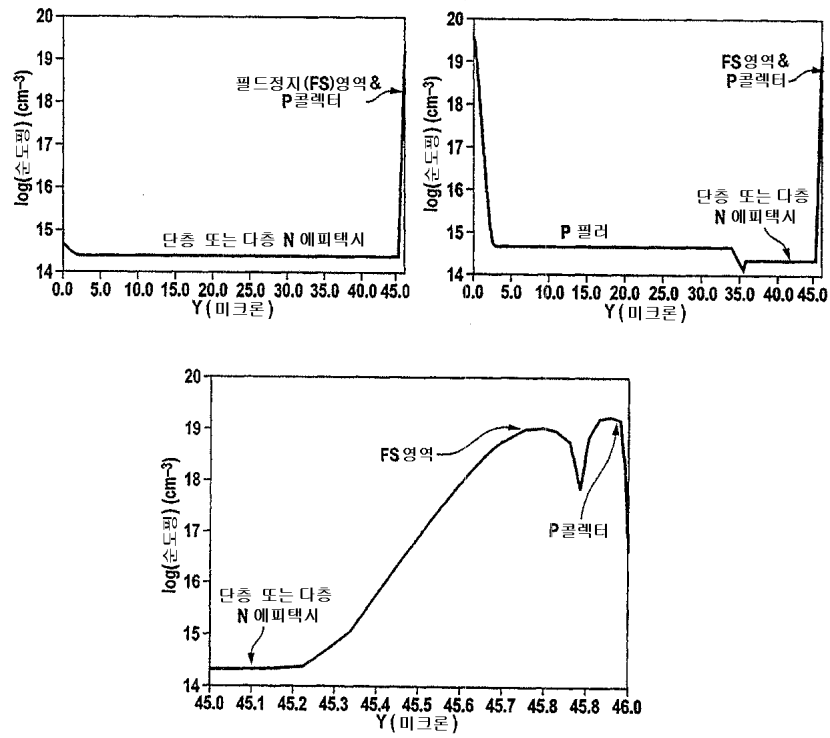
도면21A



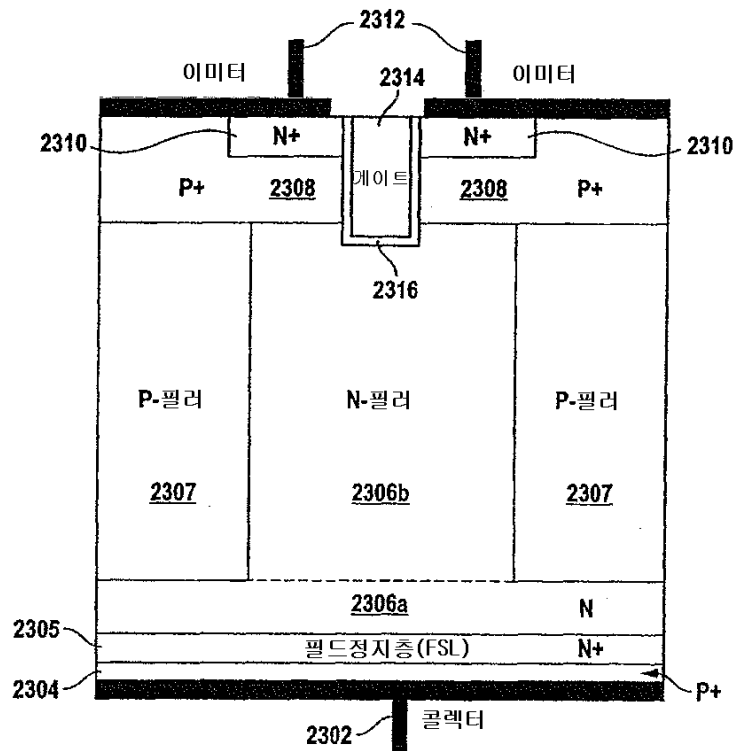
도면21B



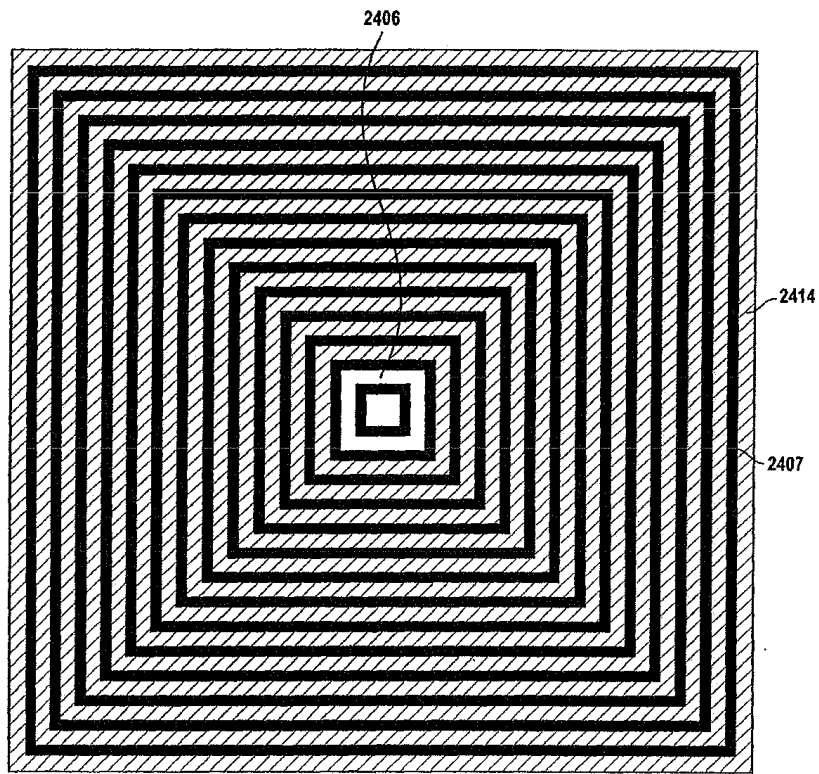
도면22B



도면23



도면24



도면25

