



(12)发明专利申请

(10)申请公布号 CN 109148301 A

(43)申请公布日 2019.01.04

(21)申请号 201810632850.1

H01L 29/06(2006.01)

(22)申请日 2018.06.19

H01L 29/08(2006.01)

(30)优先权数据

15/626,278 2017.06.19 US

(71)申请人 恩智浦有限公司

地址 荷兰埃因霍温高科技园区60邮编:
5656AG

(72)发明人 迪米塔尔·米尔科夫·多切夫
阿诺德·贝内迪克斯·范德瓦尔
马尔腾·雅各布斯·斯万内堡

(74)专利代理机构 中科专利商标代理有限责任
公司 11021

代理人 倪斌

(51)Int.Cl.

H01L 21/336(2006.01)

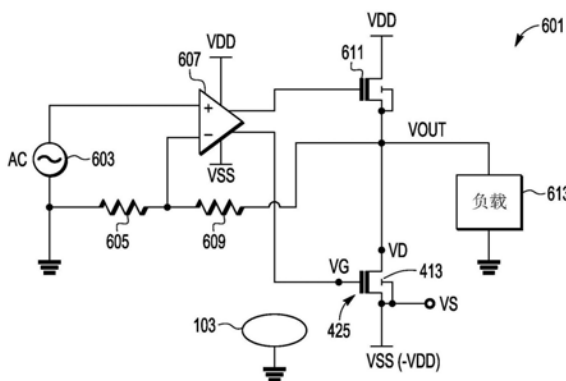
权利要求书2页 说明书8页 附图6页

(54)发明名称

具有直埋P型区的延伸漏极NMOS晶体管

(57)摘要

本文中描述一种由绝缘体上半导体(SOI)晶片形成的N型延伸漏极晶体管。所述晶体管具有直埋P型区,所述直埋P型区通过在所述晶体管的漂移区正下方的位置处将P型掺杂剂选择性注入于所述晶片的半导体层中来形成。所述晶体管还包括位于P阱区中的源极以及漏极。所述直埋P型区与所述P阱区电气接触。所述N型漂移区、所述源极以及所述漏极同样位于由介电隔离包围的所述半导体层的一部分中。位于所述半导体层的所述部分下方的直埋介电层将所述半导体层的所述部分与位于所述直埋介电层下方的半导体衬底电隔离。



1. 一种制造晶体管的方法,其特征在于,包括:

在晶片的半导体层中形成晶体管的源极区和漏极区,所述半导体层位于所述晶片的直埋介电层上方,所述直埋介电层位于所述晶片的半导体衬底上方,其中所述半导体层的第一厚度为2微米或更小,其中所述源极区和所述漏极区各自具有N型净掺杂分布,其中所述源极区形成于所述半导体层的P型阱区中;

在所述半导体层中形成具有N型净掺杂分布的所述晶体管的N型漂移区,其中在所述晶体管的导电状态期间,在所述漏极区与所述源极区之间形成通过所述N型漂移区的电流路径;

形成介电隔离结构,所述N型漂移区包括位于所述介电隔离结构正下方的一部分;

在所述半导体层上方形成所述晶体管的栅极结构;

将P型掺杂剂离子选择性地注入到所述晶片中从而在所述半导体层中形成直埋P型区,所述直埋P型区具有P型净掺杂分布,其中所述直埋P型区位于所述晶体管的所述N型漂移区的至少一部分的正下方,所述直埋P型区与所述P型阱区电气接触;

其中所述漏极区、所述源极区以及所述N型漂移区位于所述晶片的第一区域中,其中所述第一区域的所述半导体层由介电隔离横向地包围;

其中所述直埋介电层将所述第一区域的所述半导体层与所述半导体衬底电隔离。

2. 根据权利要求1所述的方法,其特征在于,所述直埋P型区与所述直埋介电层的上表面接触。

3. 根据权利要求1所述的方法,其特征在于,所述选择性注入包括注入剂量介于 1×10^{12} 到 $1 \times 10^{13} \text{cm}^{-2}$ 范围内的P型掺杂剂离子。

4. 根据权利要求1所述的方法,其特征在于,所述直埋介电层延伸到所述晶片的第二区域,所述第二区域包括P型晶体管,其中所述选择性注入不包括将P型掺杂剂离子注入到所述第二区域中。

5. 根据权利要求1所述的方法,其特征在于,所述直埋介电层延伸到所述晶片的第二区域,所述第二区域包括N型晶体管,其中所述选择性注入不包括将P型掺杂剂离子注入所述第二区域中。

6. 根据权利要求1所述的方法,其特征在于,所述介电隔离包括包围所述晶片的所述区域的内侧,其中所述直埋P型区与所述内侧横向分隔达至少第一距离。

7. 根据权利要求1所述的方法,其特征在于,所述半导体层包括N型阱,所述漏极区位于所述N型阱中,所述N型漂移区的第一部分位于所述N型阱的第一侧且所述N型漂移区的第二部分位于所述N型阱的相对侧,所述直埋P型区位于所述第一部分、所述N型阱以及所述第二部分的正下方。

8. 根据权利要求1所述的方法,其特征在于,所述半导体层包括第二P型阱,第二源极区位于所述第二P型阱,其中,在所述晶体管的导电状态期间,在所述漏极区与所述第二源极区之间形成电流路径,其中,所述直埋P型区与所述第二P型阱电气接触。

9. 根据权利要求1所述的方法,其特征在于,进一步包括:

将所述晶片分成多个,其中多个集成电路管芯中的一个管芯包括所述晶体管。

10. 一种用于操作实施于管芯中的延伸漏极晶体管的方法,其特征在于,所述管芯具有半导体层、半导体衬底以及位于所述半导体层与所述半导体衬底之间的直埋介电层,所述

半导体层具有2微米或更小的第一厚度,所述半导体层包括位于所述管芯的第一区域中的一部分且由介电隔离横向地包围,位于所述第一区域中的所述半导体层的所述部分包括源极区、漏极区、N型漂移区以及直埋P型区,其中所述直埋介电层将位于所述第一区域中的所述半导体层的所述部分与所述半导体衬底电隔离,其中,所述方法包括:

将第一电压施加到所述半导体衬底;

将第二电压施加到所述源极区同时施加所述第一电压,其中所述第一电压大于所述第二电压;

其中所述直埋P型区位于在所述N型漂移区正下方以及所述直埋介电层的正上方,所述源极区位于所述半导体层的所述部分中的P型阱,所述直埋P型区与所述P型阱区电气接触。

具有直埋P型区的延伸漏极NMOS晶体管

技术领域

[0001] 本发明大体涉及晶体管且更具体地说涉及一种具有直埋P型区的N型延伸漏极晶体管。

背景技术

[0002] 一种延伸漏极晶体管(例如横向扩散的MOSFET (LDMOS))大体上包括通过漂移区来与沟道区电间隔开的漏极区。当在导电状态下时,电荷载流子从源极流动通过沟道区、通过漂移区到达漏极区。延伸漏极晶体管通常用于高频和/或高压应用中,例如用于大功率RF放大器、电源开关以及电力供应器。在一些实施例中,N型延伸漏极晶体管可实施于形成于直埋介电层上方的P型epi主体区中。

发明内容

[0003] 根据本发明的第一方面,提供一种制造晶体管的方法,包括:

[0004] 在晶片的半导体层中形成晶体管的源极区和漏极区,所述半导体层位于所述晶片的直埋介电层上方,所述直埋介电层位于所述晶片的半导体衬底上方,其中所述半导体层的第一厚度为2微米或更小,其中所述源极区和所述漏极区各自具有N型净掺杂分布,其中所述源极区形成于所述半导体层的P型阱区中;

[0005] 在所述半导体层中形成具有N型净掺杂分布的所述晶体管的N型漂移区,其中在所述晶体管的导电状态期间,在所述漏极区与所述源极区之间形成通过所述N型漂移区的电流路径;

[0006] 形成介电隔离结构,所述N型漂移区包括位于所述介电隔离结构正下方的一部分;

[0007] 在所述半导体层上方形成所述晶体管的栅极结构;

[0008] 将P型掺杂剂离子选择性地注入到所述晶片中从而在所述半导体层中形成直埋P型区,所述直埋P型区具有P型净掺杂分布,其中所述直埋P型区位于所述晶体管的所述N型漂移区的至少一部分的正下方,所述直埋P型区与所述P型阱区电气接触;

[0009] 其中所述漏极区、所述源极区以及所述N型漂移区位于所述晶片的第一区域中,其中所述第一区域的所述半导体层由介电隔离横向地包围;

[0010] 其中所述直埋介电层将所述第一区域的所述半导体层与所述半导体衬底电隔离。

[0011] 在一个或多个实施例中,所述直埋P型区与所述直埋介电层的上表面接触。

[0012] 在一个或多个实施例中,所述选择性注入包括注入剂量介于 1×10^{12} 到 $1 \times 10^{13} \text{cm}^{-2}$ 范围内的P型掺杂剂离子。

[0013] 在一个或多个实施例中,所述直埋介电层延伸到所述晶片的第二区域,所述第二区域包括P型晶体管,其中所述选择性注入不包括将P型掺杂剂离子注入到所述第二区域中。

[0014] 在一个或多个实施例中,所述直埋介电层延伸到所述晶片的第二区域,所述第二区域包括N型晶体管,其中所述选择性注入不包括将P型掺杂剂离子注入到所述第二区域中。

[0015] 在一个或多个实施例中,所述介电隔离包括包围所述晶片的所述区域的内侧,其中所述直埋P型区与所述内侧横向分隔达至少第一距离。

[0016] 在一个或多个实施例中,所述第一距离为1微米或更大。

[0017] 在一个或多个实施例中,所述半导体层包括N型阱,所述漏极区位于所述N型阱中,所述N型漂移区的第一部分位于所述N型阱的第一侧且所述N型漂移区的第二部分位于所述N型阱的相对侧,所述直埋P型区位于所述第一部分、所述N型阱以及所述第二部分的正下方。

[0018] 在一个或多个实施例中,所述直埋P型区不与所述第一部分、所述N型阱以及所述第二部分电气接触。

[0019] 在一个或多个实施例中,所述半导体层包括第二P型阱,第二源极区位于所述第二P型阱,其中,在所述晶体管的导电状态期间,在所述漏极区与所述第二源极区之间形成电流路径,其中,所述直埋P型区与所述第二P型阱电气接触。

[0020] 在一个或多个实施例中,所述直埋P型区具有介于0.1到0.5 μm 范围内的厚度。

[0021] 在一个或多个实施例中,所述直埋介电层具有第二厚度,所述第一厚度是所述第二厚度的5倍大或小。

[0022] 在一个或多个实施例中,所述方法进一步包括:

[0023] 将所述晶片分成多个,其中多个集成电路管芯中的一个管芯包括所述晶体管。

[0024] 在一个或多个实施例中,所述直埋P型区位于所述漏极区的至少一部分的正下方。

[0025] 根据本发明的第二方面,提供一种用于操作实施于管芯中的延伸漏极晶体管的方法,所述管芯具有半导体层、半导体衬底以及位于所述半导体层与所述半导体衬底之间的直埋介电层,所述半导体层具有2微米或更小的第一厚度,所述半导体层包括位于所述管芯的第一区域中的一部分且由介电隔离横向地包围,位于所述第一区域中的所述半导体层的所述部分包括源极区、漏极区、N型漂移区以及直埋P型区,其中所述直埋介电层将位于所述第一区域中的所述半导体层的所述部分与所述半导体衬底电隔离,所述方法包括:

[0026] 将第一电压施加到所述半导体衬底;

[0027] 将第二电压施加到所述源极区同时施加所述第一电压,其中所述第一电压大于所述第二电压;

[0028] 其中所述直埋P型区位于在所述N型漂移区正下方以及所述直埋介电层的正上方,所述源极区位于所述半导体层的所述部分中的P型阱,所述直埋P型区与所述P型阱区电气接触。

[0029] 在一个或多个实施例中,所述第一电压介于大于所述第二电压10到200伏特范围内。

[0030] 在一个或多个实施例中,当所述第一电压为处于介于大于所述第二电压的10到200伏特范围内的电压时,所述N型漂移区完全地耗尽。

[0031] 在一个或多个实施例中,所述延伸漏极晶体管实施于电力供应电路中,所述方法进一步包括在耦合到所述漏极区的所述电力供应电路的输出处提供负电压。

[0032] 在一个或多个实施例中,所述电力供应电路包括与所述延伸漏极晶体管串联的第二延伸漏极晶体管,其中所述第二延伸漏极晶体管实施于所述管芯的第二区域中,所述介电隔离横向地位于所述第一区域与所述第二区域之间。

[0033] 在一个或多个实施例中,所述直埋介电层具有第二厚度,所述第一厚度在大于或小于所述第二厚度5倍的范围内。

[0034] 本发明的这些和其它方面将根据下文中所描述的实施例显而易见,且参考这些实施例予以阐明。

附图说明

[0035] 通过参考附图,可以更好地理解本发明,并且使得本领域的技术人员清楚本发明的多个目的、特征和优点。

[0036] 图1到图4是在制造根据本发明的一个实施例的晶体管的各个阶段期间晶片的部分剖面侧视图。

[0037] 图5是在制造根据本发明的一个实施例的晶体管期间晶片的部分俯视图。

[0038] 图6是实施根据本发明的一个实施例的晶体管的电路的电路图。

[0039] 除非另外指出,否则在不同附图中使用相同附图标号指示相同的物件。图式不一定按比例绘制。

具体实施方式

[0040] 下文阐述用于执行本发明的模式的详细描述。描述旨在说明本发明且不应被视为限制性的。

[0041] 本文中描述一种由绝缘体上半导体(SOI)晶片形成的N型延伸漏极晶体管。晶体管具有直埋P型区,所述直埋P型区通过在晶体管的漂移区的正下方位置处将P型掺杂剂注入于晶片的半导体层中而形成。晶体管还包括位于P阱区的源极以及漏极。直埋P型区与P阱区电气接触。N型漂移区、源极以及漏极同样位于由介电隔离横向地包围的半导体层的一部分中。半导体层具有2微米或更小的厚度。

[0042] 在一个实施例中,直埋P型区具有在充足浓度下的净导电性P型掺杂剂来确保当衬底在比晶体管的源极更高电压处偏压时在反向漏极偏压下充分的漂移区耗乏。直埋P型区具有充足掺杂以提供额外机制用于从抵抗更高衬底偏压电压的底部耗乏N型漂移区。在一些实施例中,提供足够掺杂的直埋P型区允许在当衬底电压高于源电压时在其中晶体管主体厚度(半导体层的厚度)相对较薄(例如,相较于直埋介电层的厚度)的这类条件下完全地耗尽漂移区。在一个实施例中,半导体层具有第一厚度且位于具有第二厚度的SOI晶片的直埋介电层上方。第一厚度在大于或小于第二厚度5倍范围内。

[0043] 图1是在制造根据本发明的一个实施例的N型延伸漏极晶体管的阶段期间晶片101的部分截面侧视图。晶片101包括具有专有晶体取向(例如<100>)的单结晶半导体材料(例如硅)的衬底103。在图1中,仅示出衬底103的顶部部分。直埋介电层105(例如氧化物)位于衬底103上。半导体层107位于层105上方。在一个实施例中,层107是单晶半导体材料(例如硅),其通过智能切割工艺(例如,来自另一晶片中的转移单晶硅)形成。然而,在其它实施例中,层107可通过不同工艺形成(例如外延生长)。在一个实施例中,在此阶段处,层107的净P型掺杂浓度是 $1 \times 10^{15} \text{cm}^{-3}$ 。然而,层107可由不同材料制成和/或在其它实施例中具有不同掺杂分布。

[0044] 在一些实施例中,层105的厚度介于0.3到3微米的范围内,且层107的厚度介于0.1

到2微米的范围内。在一个特定实例中,层105为1.0微米厚,且层107为1.4微米厚。在一些实施例中,层107的厚度介于比层105的厚度大或小5倍的范围内。然而,在其它实施例中,层105和107可以为其它厚度。在其它实施例中,层107可由多个层的半导体材料制成。

[0045] 在一些实施例中,当层107具有净P型掺杂浓度时,将N型掺杂剂(例如磷)注入层107中来为层107提供净N型掺杂分布。在一个实施例中,以介于 1×10^{12} 到 $1 \times 10^{13} \text{cm}^{-2}$ 范围内的剂量和介于90到130KeV范围内的能量来注入N型掺杂剂。注入之后,将晶片退火来活化掺杂剂。

[0046] 隔离结构109、111、113和115形成于层107的上部部分处。在一个实施例中,结构109、111、113和115由氧化物制成且通过LOCOS工艺形成。然而,在其它实施例中,这些隔离结构可通过其它工艺形成和/或由其它介电材料制成。在一个实例中,隔离结构可通过在层107中形成沟槽且利用介电材料填充沟槽来形成。在示出的实施例中,介电结构109、111、113和115是单独结构。然而,在其它实施例中,这些结构可以物理方式在一或多个位置处接合。举例来说,结构111和113可以是“圆环形”隔离结构的一部分。

[0047] P阱区117和118通过一或多个P型掺杂剂注入形成。以介于 1×10^{12} 到 $1 \times 10^{13} \text{cm}^{-2}$ 范围内的剂量和以介于150到250KeV范围内的能量的最初选择性硼注入物通过晶片101上的图案化掩模(未示出)中的开口将掺杂剂注入到所有P阱区117和118中。第二更高浓度的P型掺杂剂分别地形成P阱区117和118的深注入区121和122。在一个实施例中,以更高剂量和更低能量添加这些额外注入物用于提高鲁棒性。在其它实施例中,P阱区117和118可通过其它工艺形成,包括不同数目个注入步骤,和/或以不同能量和/或不同剂量注入。

[0048] N阱区119是通过以介于 1×10^{12} 到 $1 \times 10^{13} \text{cm}^{-2}$ 范围内的剂量和介于400到500KeV范围内的能量将N型掺杂剂(例如,磷、砷)通过形成于晶片101上的图案化掩模(未示出)选择性注入来形成。然而,在其它实施例中,N阱区119可以其它剂量和/或其它能量形成。在一个实施例中,将形成P阱区117和118的离子注入比形成N阱区119的离子更深。用于形成图1的区的注入步骤可按任何次序执行。

[0049] 图2是处于其制造期间的后续阶段的晶片101的部分截面侧视图。N型漂移区201、203和205是通过将N型离子掺杂剂选择性注入到层107中来形成。在一个实施例中,以介于200到250keV范围内的能量和介于 5×10^{11} 到 $5 \times 10^{12} \text{cm}^{-2}$ 范围内的剂量将N型离子(例如,磷、砷)注入到层107中,但在其它实施例中可以其它能量和/或其它剂量注入。在示出的实施例中,单独N型漂移区201和205由N型漂移区203形成来将晶体管接通状态阻力降到最低。然而,在其它实施例中,不存在区201和205。在示出的实施例中,区203具有包围N阱区119的椭圆圆环形状。然而,在其它实施例中,图2中的区203的每一侧可为物理上单独的区。

[0050] 在一些实施例中,形成漂移区201、203和205之后,制成浅P型掺杂剂离子注入物(未示出)来调节晶片101上的随后形成的晶体管的电压阈值。

[0051] 图3示出注入P型掺杂剂离子(例如硼)以形成直埋P型区301之后的部分剖面侧视图。在一个实施例中,以介于550到650keV范围内的能量和以介于 1×10^{12} 到 $1 \times 10^{13} \text{cm}^{-2}$ 范围内的剂量注入P型离子,但在其它实施例中可以其它能量和/或其它剂量注入。在一些实施例中,注入能量可取决于层107的厚度。注入之后,通过将晶片101退火来活化掺杂剂。

[0052] 在示出的实施例中,区301从直埋介电层105的顶表面延伸到P阱区117和118的底部,到其中区301与区117和118电气接触。由于N阱区119和漂移区203并非与区117和118同

样深,所以在示出的实施例中直埋P型区301并不接触N阱区119或漂移区203。在一个实施例中,区301具有介于.1到.5微米范围内的厚度(例如,.4微米),但在其它实施例中可具有其它厚度。在一个实施例中,区301的厚度介于.1到.3的层107的厚度范围内,但在其它实施例中可具有其它比率。

[0053] 图4是形成栅极403和407之后晶片101的部分剖面侧视图。在一个实施例中,栅极403和407是通过在晶片101上方形成多晶硅或其它栅极材料层且接着利用光微影工艺对多晶硅层进行图案化来形成。形成栅极材料层之前,将层107氧化来形成利用栅极材料层图案化的氧化物层来形成栅极介电质401和405。在一个实施例中,介电质401和405具有介于5到10nm范围内的厚度,但在其它实施例中可具有其它厚度。在其它实施例中,栅极介电层可由沉积工艺形成,其中栅极介电质材料层沉积于晶片101上。

[0054] 形成栅极403和407之后,侧壁间隔件409和411分别地形成于栅极403和407的侧壁上。在一个实施例中,侧壁间隔件409和411由氮化物制成且通过对形成于晶片101上的氮化物层进行各向异性蚀刻来形成。

[0055] 形成间隔件409和411之后,源极区415和419以及漏极区417通过将N型掺杂剂离子注入于晶片101中,随后将晶片101退火来形成。在一个实施例中,区415、419和417通过以介于 5×10^{14} 到 $5 \times 10^{15} \text{cm}^{-2}$ 范围内的剂量和以介于20到60KeV范围内的能量将N型掺杂剂离子选择性注入到晶片101中来形成,但在其它实施例中可由其它剂量和其它能量形成。

[0056] 在示出的实施例中,通过图案化掩模(未示出)来选择性注入P型掺杂剂离子(例如,硼)以形成分别地邻近于源极区415和419的主体接触区413和421。硅化物结构(未示出)形成于晶片101上来与两个相邻源极区和主体接触区电气接触来在操作期间以相同位势偏压主体接触区和源极区。然而,在其它实施例中,主体接触区413和421可与源极区415和419分开定位且可经与源极区不同的电压偏压。

[0057] 图4中示出两个晶体管425和427。晶体管425包括栅极403、源极区415、主体接触区413、漏极区417以及漂移区201和203。晶体管427包括栅极407、源极区419、主体接触区421、漏极区417以及漂移区205和203。直埋P型区301充当两个晶体管的减小表面场(RESURF)区。在其它实施例中,图4中将仅示出一个晶体管,其中栅极403和407、主体接触区413和421、源极区415和419以及P阱区117和118以物理方式连接到N阱119的每一侧上的其对应的结构和区。

[0058] 图4的阶段之后,硅化物结构形成于源极区、漏极区、主体接触区以及栅极上来将所述区和结构电耦合。互连结构形成于晶片101上方用于将硅化物结构电互连到形成于晶片101上的其它装置,互连到形成于晶片101上的外部连接器,例如接合垫(未示出)。在一些实施例中,导电场板(未示出)可能位于晶片101的顶表面上方(处于图4中所示出的阶段),在具有位于漂移区201、203和205的正上方的至少部分的互连层中。在一些实施例中,场板用以通过在操作期间耗乏N型漂移区形成顶部来提供RESURF效应。在一些实施例中,可将这些场板电系结到源极区415和419。

[0059] 形成互连层之后,将晶片101单分成多个管芯,其中每一管芯包括类似于图4中所示出的那些晶体管。将管芯封装于半导体封装(例如,有引线、无引线、BGA、QFN、QFP或晶片级封装)中。尽管未示出或描述,但制造如上文所描述的管芯可包括多种其它工艺,例如清洁工艺。

[0060] 图5示出具有三个有源区域503、505和507的晶片101的部分俯视图。多个P型延伸漏极晶体管(由符号511表示)形成于区域503中。延伸漏极N型晶体管(包括晶体管425和427)形成于区域505中。区域507包括多个CMOS晶体管(由符号515表示)。隔离结构501横向地包围每一有源区域503、505和507且包括有源区域的开口。在一个实施例中,隔离结构501至少从层107的顶表面延伸到直埋介电层105。在一个实施例中,结构501由氧化物制成且通过移除选择性位置处的层107的部分且利用氧化物部分或完全填充来形成。在其它实施例中,结构501可通过其它工艺(例如,LOCOS)制得。在示出的实施例中,每一区域由单个连续隔离结构(501)横向地包围来提供介电隔离。然而,在其它实施例中,有源区域可使用多个介电结构通过介电隔离横向地包围。

[0061] 如图5中所示出,直埋P型区301(在注入且活化时)并不延伸到介电结构501的内侧。如图5中所示出,横向间隙509存在于结构501的内侧与区301的外部范围之间。在一个实施例中,活化之后,此横向间隙为至少.1微米(例如,.3微米),但在其它实施例中取决于制造公差可为其它值。在一个实施例中,使横向间隙在区301的边缘与包围区域505的结构501的内侧之间可提供在操作期间不会将P型掺杂剂注入或以其它方式驱动到隔离结构501中来对隔离结构不当充电的工艺。然而,在其它实施例中,区301延伸到介电质结构501的内侧。

[0062] 如图5中所示出,不会将形成区301的P型掺杂剂注入到区域503和507中。利用注入工艺来注入P型离子以形成区301允许能够将此相对重掺杂的P型离子选择性应用于区域505中而不影响晶片101的其它区域(503、507)。如果用于区301的P型掺杂浓度外延生长或层注入于层107中,那么层107的其它N型区(203、119、415、419)将要求较重反向掺杂。

[0063] 返回参看图4,区301一直在N漂移区203和N阱区119正下方延伸。然而,在其它实施例中,区301将不延伸到N阱区119的正下方。同样在一些实施例中,区301将仅部分地在N漂移区203下方延伸。

[0064] 图6是利用晶体管611和425来将正或负电压提供到负载613的电路601的电路图。电路601是能够在操作期间在高达VDD或低到VSS(示出的实施例中的-VDD)的电压(VOUT)下提供电力到负载(LOAD)613的对称电力供应器。在示出的实施例中,电路601包括AC源极603、电阻器605和609、放大器607、延伸漏极晶体管611以及延伸漏极晶体管425。放大器607提供差分输出。AC源极603将AC电压提供到放大器607的非反相输入。放大器607的反相输入接收基于由通过电阻器605和609形成的分压器降低的VOUT的反馈信号。基于AC源极603的电压和VOUT的电压,放大器607将控制信号提供到晶体管611的栅极以及将互补控制信号提供到晶体管425的栅极。晶体管611的源极和晶体管425的漏极耦合在一起以提供基于放大器607的输出的电压而介于VDD与VSS(示出的实施例中的-VDD)之间变化的VOUT。在示出的实施例中,反馈信号使得VOUT追踪AC源极603的电压。在操作期间,放大器607的互补输出的电压可以在VSS到VDD范围内变化。因此,晶体管425上的栅极电压可具有相同电压范围。

[0065] 由于主体接触413系结到源极区415,因此晶体管425的主体的电压(V_B)在源极区415的电压(V_S) (示出的实施例中是-VDD)下偏压。在示出的实施例中,晶体管425的管芯的衬底103系结到地面。因此,在操作期间,源电压在衬底下方的电压下偏压。在一些实施例中,取决于电路的设计,VSS可设置为地面下方的电压(例如,0到-200V)。在一些实施例中,衬底103的电压可偏压到地面上方的电压且 V_S 可在地面处。在示出的实施例中,在操作期

间,持续地将VSS电压施加到晶体管425的源极区且持续地将接地电压施加到衬底103。在其它实施例中,在电路操作期间,可在不同时间将不同电压施加到源极或衬底。

[0066] 在一个实施例中,电路601将介于VDD与VSS之间的交变电压提供到可以是(例如)用于扬声器或天线的放大器的输出滤波器的外部负载613。然而,在其它实施例中,电路601可用于其它应用(例如,通信系统、工业控制系统、汽车、RF应用)。使用延伸漏极晶体管611和425允许VOUT具有较宽电压摆幅(例如,400伏特)和/或具有高电流容量。在一个实施例中,晶体管611位于通过介电隔离结构501与区域505隔离的管芯的另一区域(例如区域503包括类似于晶体管425的N型延伸漏极晶体管的实施例中的区域503),且放大器607位于管芯的区域507中(参看图5)。不过在其它实施例中,装置可实施于单独管芯上。在其它实施例中,晶体管425可实施于其它类型的电路中(例如,实施于用于通信系统的功率放大器电路中)。在其它实施例中,晶体管427可与晶体管425同时实施。

[0067] 在一些实施例中,实施于SOI衬底(衬底103和层105)上的延伸漏极晶体管(425)可有利地实现具有锁定抗扰性的能够高侧操作(高于衬底电压的源电压)以及低侧操作(低于衬底电压的源电压)的半导体装置。这类特性可适用于故障安全电路,例如在汽车应用和/或电感加载驱动器中。

[0068] 在一些实施例中,在2微米或更小的半导体层中形成晶体管可能形成晶体管而不需利用深隔离沟槽来实现隔离晶体管有源区域(例如,503、505、507)。因此,可通过有成本效益方式形成能够进行低侧操作的高电压晶体管。另外,在一些实施例中,具有2微米或更小的半导体层107可允许晶体管形成于晶片上而不必在半导体层107上另外外延生长半导体材料,因而降低处理成本和复杂度。

[0069] 利用相对于直埋介电层(105)的厚度相对较薄的半导体层(107)(例如,其中层107的厚度与层105的厚度的比率是5倍或更小)可实现具有所需 $R_{on} \cdot A$ 特征的高电压晶体管,其中利用双重RESUR效应。“ R_{on} ”是导电状态下的导通电阻,且A是有源晶体管表面积。

[0070] 在一些延伸漏极晶体管中,利用双重RESUR效应来通过导电场板(在图4的视角下位于晶片101上方但图4中未示出)从顶部或通过延长栅极结构(403和407)从顶部以及通过来自偏压衬底(103)/SOI衬底的直埋介电层(105)的电容从底部耗乏N型漂移区(例如,201、203、205以及充当漂移区的区301与漂移区203之间的层107的一部分)。然而,当衬底(103)在高于源极区(415)的电压下偏压时,来自衬底的底部电容/直埋介电层电容的底部RESURF效应可能不存在。因此,断开状态崩溃电压(BV_{dsOFF})随着源电压下降低于衬底电压而减小。在形成晶体管的半导体层(107)相较于直埋介电层(105)的厚度相对较薄(例如,所述厚度的5倍或更小)时,这尤其难以解决。

[0071] 在一些实施例中,当衬底电压高于源电压(VS)时,形成于相对重掺杂(例如,剂量介于 1×10^{12} 到 $1 \times 10^{13} \text{cm}^{-2}$ 的范围内或在一些实施例中更高)的直埋P型区(301)与N型漂移区(201、203和205以及层107的一部分)之间的p-n结提供额外底侧RESURF机制用于从底部耗乏N型漂移区(201、203、205以及层107的一部分)。由于区301电连接到P阱区(117),因此在操作期间,即使源电压低于衬底电压,只要提供底部RESURF机制,区301在与源极区415相同电压下偏压。此外,在一些实施例中,提供相对重掺杂直埋P型区(301)可使得N型漂移区201、203、205以及层107的一部分更加重掺杂,其减小漂移区阻力且提高晶体管的 $R_{on} \cdot A$ 特征。在一些实施例中,在源极电压低于衬底电压超过50伏特时,添加相对重掺杂直埋P型区

可提高无这类区的晶体管上方的 BV_{dsOFF} 超过30%。在一些实施例中,直埋P型区301经充分掺杂(例如,介于 1×10^{12} 到 $1 \times 10^{13} \text{cm}^{-2}$ 的范围内或在一些实施例中更高的剂量)使得N型漂移区201、203、205以及层107的一部分在电压梯度变得足够高来出现界面崩溃之前完全地耗尽。

[0072] 如本文中所使用,当一个物体在另一物体“正上方”时,其包括在垂直且从衬底的主要作用侧朝外延伸的直线下高于另一物体的一部分的部分。举例来说,参看图4,主体接触区413在区121的正上方但不在N型漂移区203的正上方。栅极403在N型漂移区201的正上方但不在区413的正上方。当一个物体在另一物体的“正下方”时,其包括在垂直且从衬底的主要作用侧朝外延伸的直线下另一物体的一部分下方的部分。在图4的实施例中,N型漂移区201在栅极403的正下方,但不在栅极407的正下方。

[0073] 在一个实施例中,一种制造晶体管的方法包括在晶片的半导体层中形成晶体管的源极区和漏极区。半导体层位于晶片的直埋介电层上方,而直埋介电层位于晶片的半导体衬底上方。半导体层具有2微米或更小的第一厚度。源极区和漏极区各自具有N型净掺杂分布。源极区形成于半导体层的P型阱区中。所述方法包括在半导体层中形成具有N型净掺杂分布的晶体管的N型漂移区。在晶体管的导电状态期间,电流路径通过N型漂移区形成于漏极区与源极区之间。所述方法包括形成介电隔离结构。N型漂移区包括位于介电隔离结构正下方的部分。所述方法包括在半导体层上方形成晶体管的栅极结构以及将P型掺杂剂离子选择性注入到晶片中来在半导体层中形成直埋P型区。直埋P型区具有P型净掺杂分布。直埋P型区位于晶体管的N型漂移区的至少一部分的正下方。直埋P型区与P型阱区电气接触。漏极区、源极区以及N型漂移区位于晶片的第一区域中,其中第一区域的半导体层由介电隔离横向地包围。直埋介电层将第一区域的半导体层与半导体衬底电隔离。

[0074] 另一实施例包括一种用于操作实施于管芯中的延伸漏极晶体管的方法。管芯包括半导体层、半导体衬底以及位于半导体层与半导体衬底之间的直埋介电层。半导体层具有2微米或更小的第一厚度。半导体层包括位于管芯的第一区域中的一部分且由介电隔离横向地包围。位于第一区域中的半导体层的部分包括源极区、漏极区、N型漂移区以及直埋P型区。直埋介电层将位于第一区域中的半导体层的部分与半导体衬底电隔离。所述方法包括将第一电压施加到半导体衬底以及将第二电压施加到源极区同时施加第一电压。第一电压大于第二电压。直埋P型区位于N型漂移区的正下方以及直埋介电层的正上方。源极区位于半导体层的部分中的P型阱中,直埋P型区与P型阱区电气接触。

[0075] 虽然已经示出和描述本发明的具体实施例,但本领域的技术人员将认识到,基于本文中的教导,可在不脱离本发明和其更广泛方面的情况下做出另外改变和修改,且因此,所附权利要求书意图将在本发明的真实精神和范围内的所有此类改变和修改涵盖在其范围内。

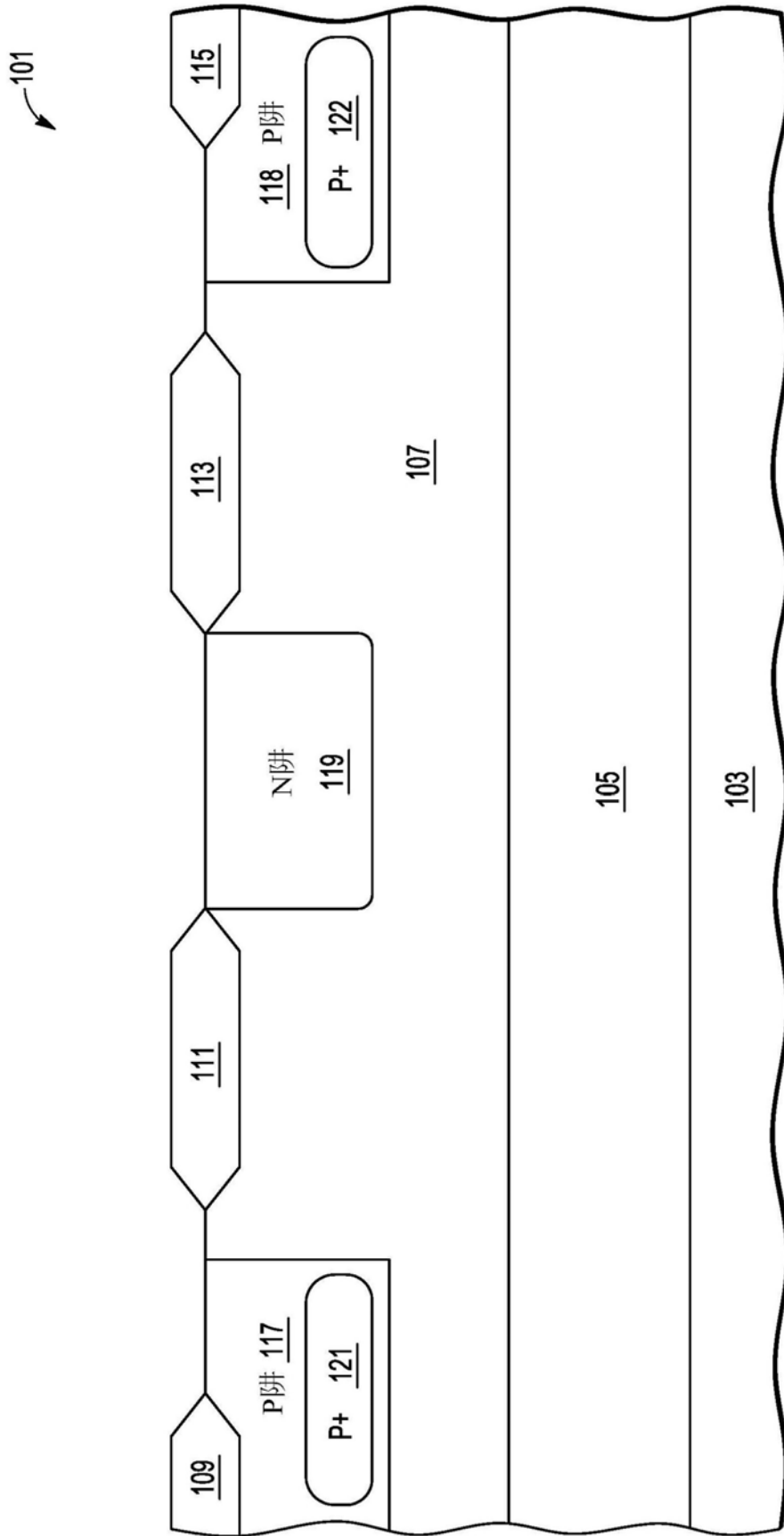


图1

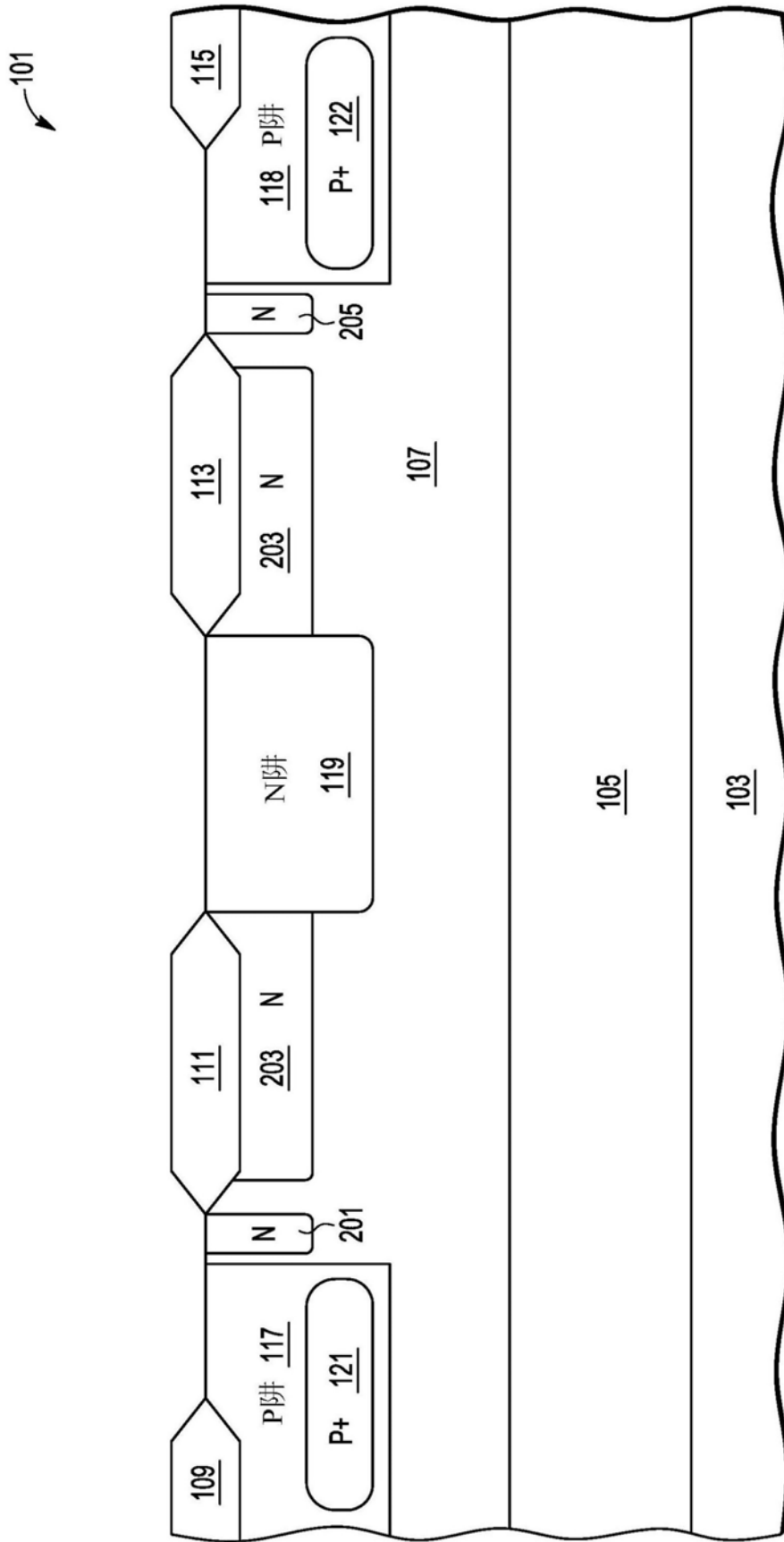


图2

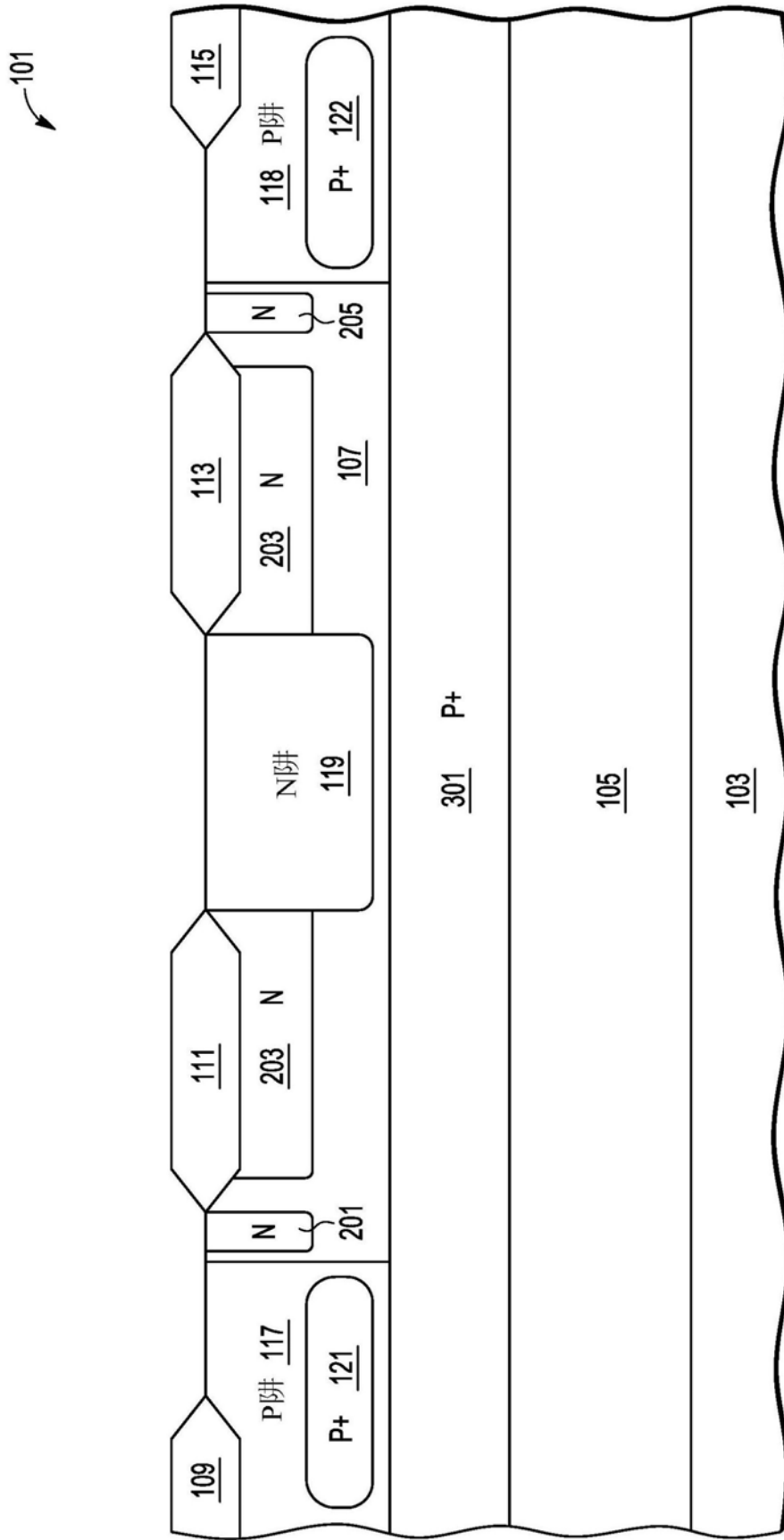


图3

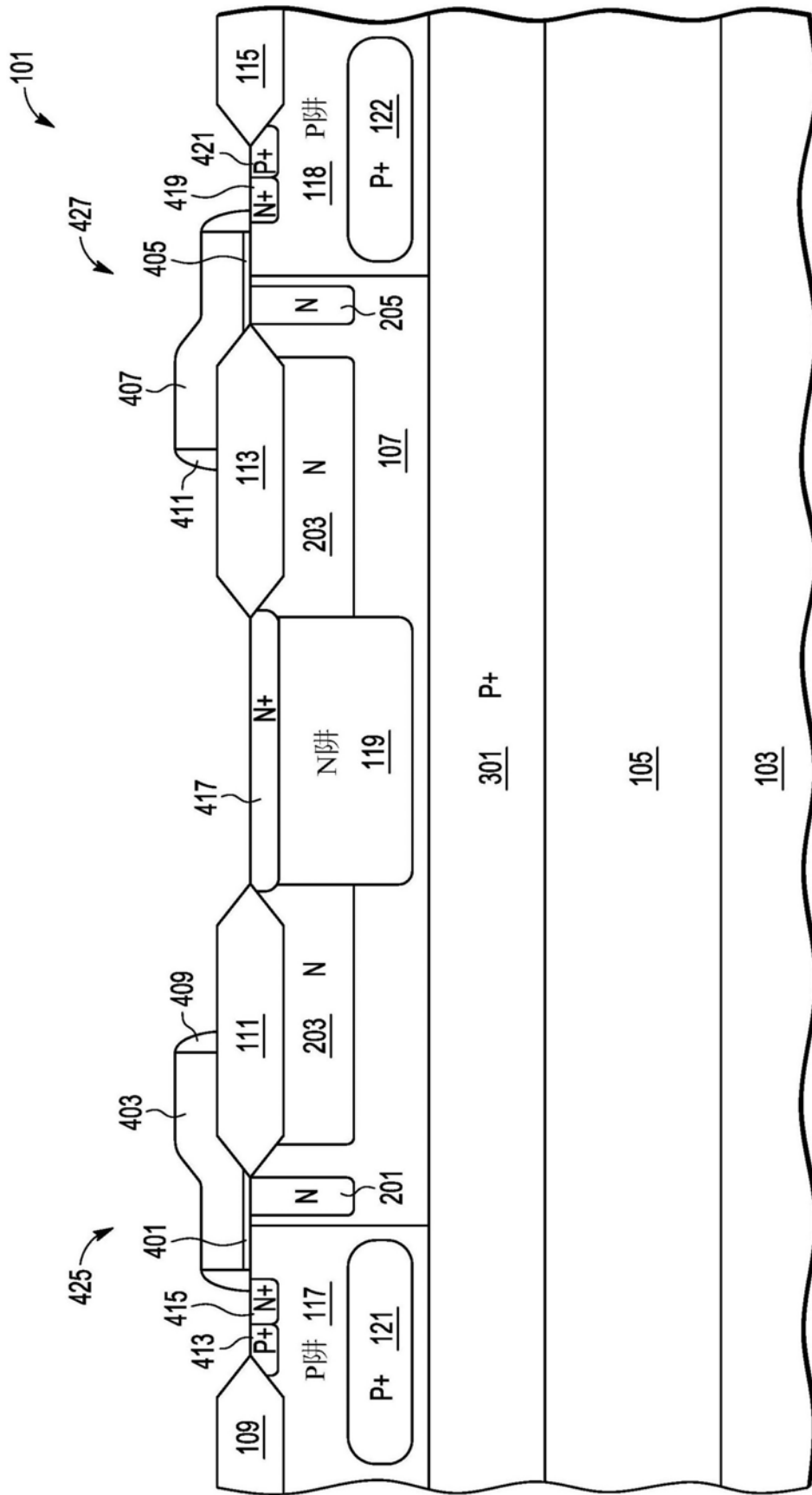


图4

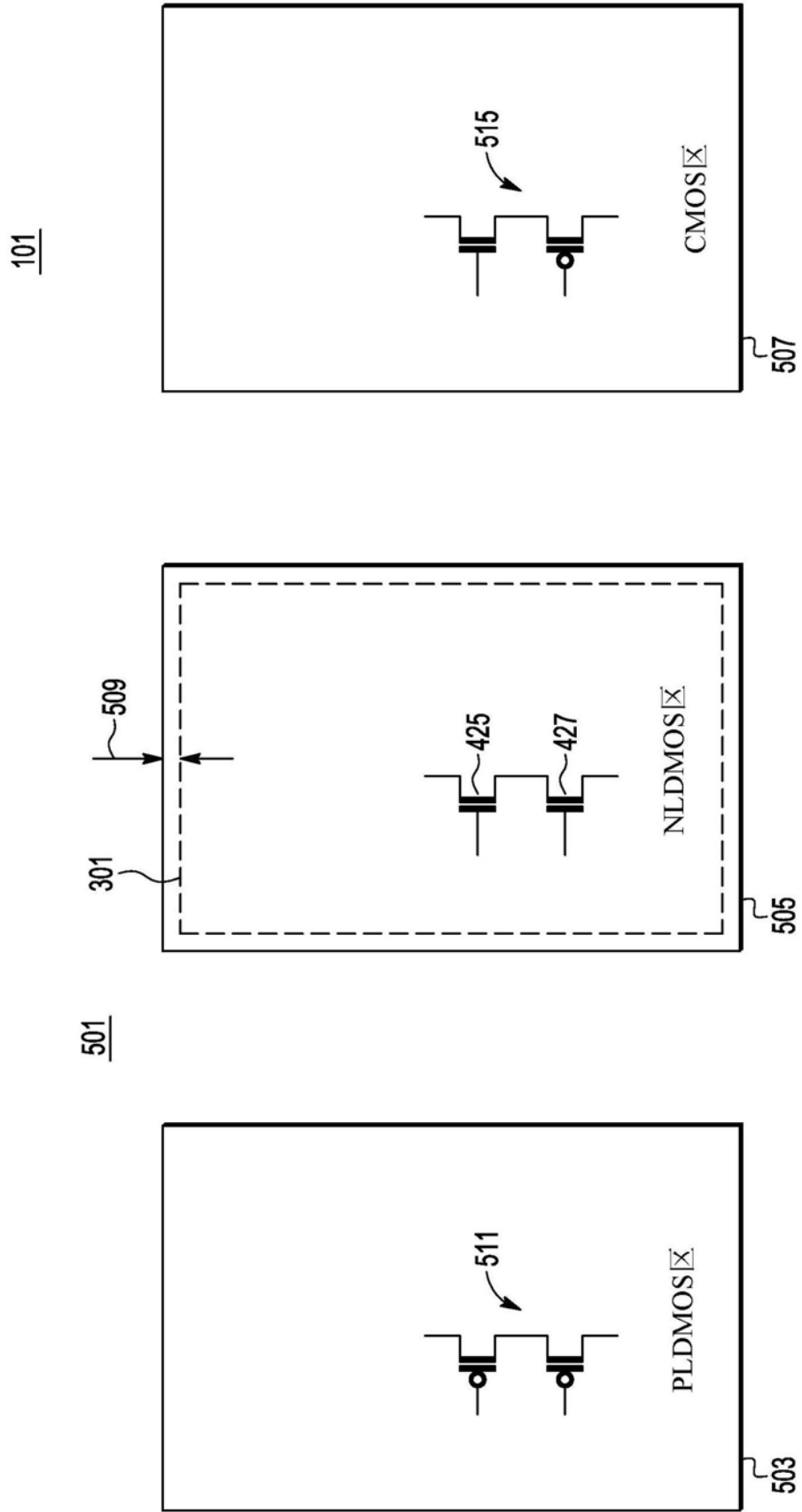


图5

