

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第5858952号  
(P5858952)

(45) 発行日 平成28年2月10日(2016.2.10)

(24) 登録日 平成27年12月25日(2015.12.25)

(51) Int.CI.

H01L 21/66 (2006.01)

F 1

H01L 21/66

B

請求項の数 14 (全 13 頁)

(21) 出願番号 特願2013-105985 (P2013-105985)  
 (22) 出願日 平成25年5月20日 (2013.5.20)  
 (65) 公開番号 特開2014-229651 (P2014-229651A)  
 (43) 公開日 平成26年12月8日 (2014.12.8)  
 審査請求日 平成27年5月13日 (2015.5.13)

(73) 特許権者 000006013  
 三菱電機株式会社  
 東京都千代田区丸の内二丁目7番3号  
 (74) 代理人 110001195  
 特許業務法人深見特許事務所  
 (72) 発明者 秋山 肇  
 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内  
 (72) 発明者 岡田 章  
 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内  
 (72) 発明者 山下 欽也  
 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

最終頁に続く

(54) 【発明の名称】半導体装置の製造方法

## (57) 【特許請求の範囲】

## 【請求項 1】

主表面を有する半導体基板を用意する工程と、  
 前記半導体基板の前記主表面上に、複数の電極パッドを形成する工程と、  
 複数の前記電極パッドを露出し、他の領域を覆う保護膜を形成する工程と、  
 露出した前記電極パッドにコンタクトプローブを接触させることによって、電気的特性  
 を評価する工程と  
 を備え、

前記電気的特性を評価する工程では、複数の前記電極パッドのうちの一の電極パッドに  
 対して、複数のコンタクトプローブを接触させることによって前記電気的特性が評価され  
 、

前記保護膜を形成する工程では、前記一の電極パッドに対して、複数の前記コンタクト  
 プローブのうち、少なくとも一のコンタクトプローブと他のコンタクトプローブのそれ  
 ぞれが接触する箇所を露出する態様で、前記保護膜に複数の開口部が形成され、前記保護膜  
 の表面に突起部が形成される、半導体装置の製造方法。

## 【請求項 2】

前記保護膜を形成する工程は、一の層と他の層を含む絶縁性の複数の層を積層する工程  
 を含む、請求項 1 記載の半導体装置の製造方法。

## 【請求項 3】

前記保護膜を形成する工程では、前記一の層と前記他の層とは異なる材料によって形成

される、請求項 2 記載の半導体装置の製造方法。

【請求項 4】

前記保護膜を形成する工程では、前記他の層は、複数の前記開口部の配置関係に基づき、前記一の層を部分的に覆うように形成される、請求項 2 または 3 に記載の半導体装置の製造方法。

【請求項 5】

前記保護膜を形成する工程では、前記他の層は、複数の前記開口部のそれぞれの開口端の部分と、複数の前記開口部のうち互いに隣り合う一の開口部と他の開口部との間の部分に形成される、請求項 4 記載の半導体装置の製造方法。

【請求項 6】

前記保護膜を形成する工程では、前記突起部は、複数の前記開口部のそれを取り囲むように形成される、請求項 1 ~ 5 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 7】

前記保護膜を形成する工程では、前記突起部は、平面視的に前記一の電極パッドを取り囲むように形成される、請求項 1 ~ 5 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 8】

前記保護膜を形成する工程では、前記突起部は、前記半導体装置を取り囲むように形成される、請求項 1 ~ 5 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 9】

前記半導体基板の前記主表面に半導体素子を形成する工程と、

前記半導体素子が形成された領域を取り囲むように、耐圧を保持する終端構造を形成する工程と  
を含み、

前記保護膜を形成する工程では、前記他の層は、前記終端構造が形成された領域に形成される、請求項 2 ~ 8 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 10】

前記半導体基板の前記主表面に半導体素子を形成する工程と、

前記半導体素子が形成された領域を取り囲むように、耐圧を保持する終端構造を形成する工程と

を含み、

前記保護膜を形成する工程では、前記突起部は、前記終端構造が形成された領域と前記半導体素子が形成された領域との境界に形成される、請求項 1 ~ 8 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 11】

前記保護膜を形成する工程では、前記保護膜は、フォトレジストおよびカプトン（登録商標）のいずれかによって形成される、請求項 1 ~ 10 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 12】

前記保護膜を形成する工程では、前記保護膜は前記カプトンから形成され、前記カプトンは接着層を有するシート材とされた、請求項 1 ~ 1 記載の半導体装置の製造方法。

【請求項 13】

前記保護膜を形成する工程では、前記突起部はフォトレジストによって形成される、請求項 1 ~ 8、10 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 14】

前記電気的特性を評価する工程では、前記半導体基板の状態で行われる、請求項 1 ~ 1  
3 のいずれか 1 項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置の製造方法に関し、特に、電気的特性を評価する工程を備えた半導

10

20

30

40

50

体装置の製造方法に関するものである。

【背景技術】

【0002】

半導体装置の製造においては、半導体基板上に形成される半導体素子の電気的特性が測定される。この電気的特性は、ウェハの状態で評価されたり、チップの状態で評価されることになる。このとき、ウェハまたはチップ（被測定物）は、まず、真空吸着等によって、被測定物の接地面をチャックステージの表面に接触させた状態でチャックステージに固定される。

【0003】

次に、被測定物に対して電気的な入出力を行うために、コンタクトプローブを被測定物の所定の電極に接触させる。半導体装置として、電力用の半導体装置（パワーデバイス）の電気的特性を評価する場合には、コンタクトプローブとしては、大電流、高電圧をもつて電気的特性を評価する要求等に応えるために、従来から、多ピン（複数のピン）のコンタクトプローブが用いられている。

10

【0004】

このような状況のもと、被測定物の電気的特性の評価中に、部分放電現象が、たとえば、コンタクトプローブと被測定物との間に生じ、これによって、被測定部が部分的に破壊されてしまう等の不具合が発生することが知られている。部分放電が生じた被測定物が良品として、その後の工程に送られた場合、その部分放電が生じた被測定物を抽出することは非常に困難である。

20

【0005】

このため、あらかじめ、部分放電を抑制する措置を施すことが重要であり、種々の提案がなされている。たとえば、特許文献1では、絶縁性の液体に浸漬させた状態で被測定物の電気的特性を評価する手法が提案されている。また、特許文献2では、被測定物を不活性ガスの雰囲気中に配置させた状態で電気的測定を行う手法が提案されている。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2003-130889号公報

【特許文献2】特開平10-96746号公報

30

【発明の概要】

【発明が解決しようとする課題】

【0007】

しかしながら、従来の手法では次のような問題点が想定される。まず、被測定物を絶縁性の液体に浸漬させる手法では、コンタクトプローブとして比較的高価なコンタクトプローブが必要される。また、絶縁性の液体中において電気的特性を評価するため、評価に時間を要することになる。このため、生産コストを抑えるのを阻害する要因の一つになると考えられる。

【0008】

さらに、被測定物が、ウェハテストまたはチップテストにおける半導体素子の場合には、電気的特性の評価が終了した後に、絶縁性の液体を半導体素子から完全に取り除く必要もあり、一連の評価が煩雑になって、容易に適用することができないことが考えられる。

40

【0009】

一方、被測定物を不活性ガス中に配置させる手法では、評価装置の構成が複雑であり、また、電気的特性の評価に時間要することになる。このため、この手法も、生産コストを抑えるのを阻害する要因の一つになるとされる。

【0010】

本発明は、上記想定される問題点を解決するためになされたものであり、その目的は、生産コストを抑えながら被測定物の電気的特性の評価を容易に行うことができる半導体装置の製造方法を提供することである。

50

**【課題を解決するための手段】****【0011】**

本発明に係る半導体装置の製造方法は、以下の工程を備えている。主表面を有する半導体基板を用意する。半導体基板の主表面上に、複数の電極パッドを形成する。複数の電極パッドを露出し、他の領域を覆う保護膜を形成する。露出した電極パッドにコンタクトプローブを接触させることによって、電気的特性を評価する。電気的特性を評価する工程では、複数の電極パッドのうちの一の電極パッドに対して、複数のコンタクトプローブを接触させることによって電気的特性が評価される。保護膜を形成する工程では、一の電極パッドに対して、複数のコンタクトプローブのうち、少なくとも一のコンタクトプローブと他のコンタクトプローブのそれぞれが接触する箇所を露出する態様で、保護膜に複数の開口部が形成され、保護膜の表面に突起部が形成される。

10

**【発明の効果】****【0012】**

本発明に係る半導体装置の製造方法によれば、一の電極パッドに対して、少なくとも一のコンタクトプローブと他のコンタクトプローブのそれぞれが接触する箇所を露出する態様で複数の開口部を有する保護膜が形成され、その保護膜の表面に突起部が形成される。その個々の開口部を介して一のコンタクトプローブと他のコンタクトプローブのそれぞれを一の電極パッドに接触させて電気的特性が評価される。これにより、複雑な半導体評価装置を用いることなく、生産コストの上昇を抑えながら、半導体の電気的特性の評価を容易に行うことができる。

20

**【図面の簡単な説明】****【0013】**

【図1】本発明の各実施の形態に係る半導体装置の製造方法のフローチャートを示す図である。

【図2】本発明の実施の形態1に係る半導体装置の製造方法の一工程を示す、保護膜を形成する前の半導体装置の平面図である。

【図3】同実施の形態において、図2に示す工程の後に行われる工程を示す、保護膜が形成された半導体装置の平面図である。

【図4】同実施の形態において、図3に示す断面線IV-IVにおける断面図である。

【図5】同実施の形態において、図3に示す工程の後に行われる工程を示す、半導体評価装置の構造を模式的に示す図である。

30

【図6】同実施の形態において、第1変形例に係る半導体装置の製造方法の一工程を示す、保護膜が形成された半導体装置の平面図である。

【図7】同実施の形態において、図6に示す断面線VII-VIIにおける断面図である。

【図8】同実施の形態において、第2変形例に係る半導体装置の製造方法の一工程を示す、保護膜が形成された半導体装置の平面図である。

【図9】同実施の形態において、図8に示す断面線IX-IXにおける断面図である。

【図10】本発明の実施の形態2に係る半導体装置の製造方法の一工程を示す、保護膜が形成された半導体装置の平面図である。

40

【図11】同実施の形態において、図10に示す断面線XI-XIにおける断面図である。

【図12】同実施の形態において、変形例に係る半導体装置の製造方法の一工程を示す、保護膜が形成された半導体装置の平面図である。

【図13】同実施の形態において、他の変形例に係る半導体装置の製造方法の一工程を示す、保護膜が形成された半導体装置の平面図である。

**【発明を実施するための形態】****【0014】**

はじめに、半導体装置の製造方法の概要について説明する。図1に示すように、まず、ステップS1では、製造ラインに半導体ウェハが投入される。次に、ステップS2では、

50

導電膜の形成工程、写真製版処理工程、エッチング処理工程、イオン注入工程、熱処理工程等の、所定の半導体素子等を形成するための前工程処理が施される。

【0015】

次に、ステップS3では、配線パターンを形成するためのメタル後工程処理が施される。たとえば、1層目のメタルを成膜した後、写真製版処理とエッチング処理を施すことによって、1層目の配線が形成される。以下、半導体装置に応じて、2層目の配線等が形成される。

【0016】

次に、ステップS4では、電気的特性評価を行う前の処理として、保護膜形成工程処理が施される。この処理では、保護膜となる絶縁性膜が形成された後、写真製版処理とエッチング処理を施すことにより、電極パッドを露出する開口パターンを有する保護膜が形成される。次に、ステップS5では、半導体装置に対して電気的なテスト（電気的特性評価）が行われる。電気的特性評価は、露出した電極パッドにコンタクトプローブを接触させることによって行われる。

10

【0017】

テスト工程が完了した後、良品と判定された半導体ウェハ（半導体チップ）について、必要な後工程処理（図示せず）を施すことによって半導体装置として完成する。なお、テスト工程が完了した後、保護膜は除去または剥離されるか、放電防止効果を維持するためにそのまま残されることになる。

【0018】

20

以下、主として保護膜形成工程処理とテスト工程について、具体的に説明する。

実施の形態1

ステップS1～ステップS3（図1参照）を経た半導体ウェハに形成された、保護膜が形成される前の半導体装置の平面概略構造の一例を図2に示す。図2に示すように、半導体装置1は、素子領域15と終端領域14とに分けられる。素子領域15には、たとえばIGBT（Insulated Gate Bipolar Transistor）等のパワー半導体素子が形成されている。終端領域14は、耐圧を保持するために、一つの半導体装置1の外周部分に配置され、この場合には、素子領域15を取り囲むように形成されている。

【0019】

素子領域15の表面には、外部との電気的な入出力を行うための電極パッドが形成されており、この場合には、エミッタ電極11が形成されている。また、素子領域15の裏面にも、外部との電気的な入出力を行うための電極パッド（図示せず）が形成されており、この場合、コレクタ電極が形成されている。さらに、素子領域15の表面には、ゲート電極12が形成されている。

30

【0020】

次に、ステップS4において、保護膜が形成される。保護膜となる膜は絶縁性膜である。この絶縁性膜は、電気的特性を評価する際に、熱的、化学的に安定であり、絶縁性能に優れた材料によって形成されることが好ましい。具体的には、フォトレジスト、絶縁性を有したシート（たとえば、ポリイミド、カプトン（登録商標）、ポリヘニルシリセスキオキサン、ポリビニルシリセスキオキサン）等であるが、これらに限られるものではない。なお、カプトンを適用する場合には、接着層を有するシート材が好ましい。

40

【0021】

保護膜が形成された半導体装置の一例を図3および図4に示す。図3および図4に示すように、この半導体装置1の保護膜16では、一つのエミッタ電極11に対して、複数の箇所を露出する開口部17が形成されている。

【0022】

IGBT等のパワー半導体素子では、大電流および高電圧を印加することによって電気的特性の評価が行われることになる。大電流を印加する場合に、1本のコンタクトプローブにその大電流が集中すると、電流密度が極端に高くなつて熱が発生する。そこで、複数のコンタクトプローブを一つの電極パッドに接触させることによって、1本のコンタクト

50

プローブに流れる電流密度を下げる、発熱を抑える対策が講じられる。

【0023】

本半導体装置では、一つのエミッタ電極11に対して、3本のコンタクトプローブを接觸させることを想定して、その3本のコンタクトプローブのそれぞれに対応するように、保護膜16に3つの開口部17が形成されている。

【0024】

次に、半導体装置の電気的特性を評価する半導体評価装置の概略について説明する。図5に示すように、縦型構造の半導体装置1を評価する半導体評価装置5では、複数のコンタクトプローブ10とチャックステージ3が設けられている。複数のコンタクトプローブ10は、半導体装置1に電気的に接続される一方の電極として、半導体装置1の表面に形成された電極パッドに接觸することになる。チャックステージ3は、半導体装置1に電気的に接続される他方の電極として、半導体装置1の裏面(接地面)に接觸することになる。

【0025】

コンタクトプローブ10は、絶縁性基体7に接続されている。絶縁性基体7には接続部8aが取り付けられており、コンタクトプローブ10は、接続部8aを介して信号線6を通じて、評価制御部4に電気的に接続されている。一方、チャックステージ3の側面には接続部8bが取り付けられており、チャックステージ3の表面は、接続部8bを介して信号線6を通じて評価制御部4に電気的に接続されている。

【0026】

なお、上記のように、コンタクトプローブ10は、大電流を印加することを想定して複数個設置されている。そして、それぞれのコンタクトプローブ10に加わる電流密度が略一致するように、接続部8aと接続部8bとの距離が、どのコンタクトプローブ10を介しても略同じ距離になる位置に、接続部8aと接続部8bとが配置されている。

【0027】

また、各コンタクトプローブ10と接続部8aとの間は、たとえば、絶縁性基体7上に設けた金属板(図示せず)によって電気的に接続されている。コンタクトプローブ10、絶縁性基体7および接続部8aにより構成されるプローブ基体2は、移動アーム9によって任意の方向へ移動可能とされる。

【0028】

また、プローブ基体2を移動させるのではなく、半導体装置1、すなわち、チャックステージ3を移動させるようにしてもよい。チャックステージ3は、半導体装置1の接地面を接觸させて固定する台座であり、固定の手段として、たとえば、真空吸着の機能を有する。なお、半導体装置1を保持手段としては、真空吸着に限られるものではなく、たとえば、静電吸着等でもよい。

【0029】

耐圧評価等の所定の電気的特性の評価が完了した後、絶縁性の保護膜は除去または剥離等される。保護膜がフォトレジストの場合には、アッシング工程によって分解、除去し、必要に応じて洗浄が施される。保護膜がシートの場合、基本的にはシートは剥離除去されるが、シートを剥離せずに実装工程に進めて、放電防止効果を維持させるようにしてもよい。シートの場合、接着層を有したシート材を用いれば、着脱が容易である。なお、保護膜を複数の層で構成する場合、フォトレジストとシートを組み合わせて用いてもよい。保護膜が除去等された半導体装置(半導体ウェハ)は、後の工程の処理が施されて、半導体装置として完成する。

【0030】

上述した半導体装置の製造方法によれば、電気的特性を評価する際に、あらかじめ、絶縁性の保護膜16が形成され、その保護膜16に、複数のコンタクトプローブのそれぞれに対応するように、複数の開口部17が形成される。これにより、個々のコンタクトプローブ10の近傍において部分放電が発生した場合に、その部分放電が半導体装置へ影響を及ぼすのを効果的に抑制することができる。

10

20

30

40

50

## 【0031】

また、隣り合う一方のコンタクトプローブ10と他方のコンタクトプローブとの間に部分放電が発生した場合にも、その部分放電が半導体装置へ影響を及ぼすのを効果的に抑制することができる。しかも、そのような絶縁性の保護膜をフォトレジストやシート等によって形成することができ、複雑な半導体評価装置を適用することなく、生産コストの上昇を抑えながら、部分放電による影響を抑制することができる。

## 【0032】

なお、上述した半導体装置の製造方法では、一つのエミッタ電極11に対し3本のコンタクトプローブを接触させるために、保護膜16には3つの開口部17が形成される場合について説明した。開口部の数としては、これに限られるものではなく、電極パッド（エミッタ電極11）の大きさ、印加する電流、コンタクトプローブの本数等に応じて、適切な数の開口部が形成されることが好ましい。

10

## 【0033】

## 第1変形例

上述した半導体装置の製造方法では、保護膜として単層の絶縁性膜が形成される場合について説明した。ここでは、保護膜として、絶縁性膜を積層させた保護膜が形成される場合の一例について説明する。

## 【0034】

ステップS4（図1参照）において保護膜が形成された半導体装置の一例を図6および図7に示す。図6および図7に示すように、保護膜16として、第1保護膜16aと第2保護膜16bが積層されている。その保護膜16には、一つのエミッタ電極11に対して、3本のコンタクトプローブを接触させることを想定して、その3本のコンタクトプローブのそれぞれに対応するように、保護膜16に3つの開口部17が形成されている。なお、これ以外の構成については、図3等に示される半導体装置の製造方法と同様なので、同一部材には同一符号を付し、必要である場合を除き、その説明を繰り返さないこととする。

20

## 【0035】

積層される保護膜の材料としては、いずれも同じ材料でもよいし、互いに異なる材料でもよい。たとえば、第1保護膜16a（1層目）をシートとし、第2保護膜16b（2層目）をフォトレジストとし、電気的特性を評価した後に第1保護膜16aを残して第2保護膜16bのみを除去し、後の工程の処理を施すようにしてもよい。これは、後の工程において電極パッドにワイヤボンドを行うときは、より大きな開口部が必要とされるためである。

30

## 【0036】

第1変形例に係る半導体装置の製造方法によれば、保護膜16として、二層の第1保護膜16aと第2保護膜16bが形成され、その二層の保護膜16に、複数のコンタクトプローブのそれぞれに対応するように、保護膜16に対応する本数の開口部17が形成される。これにより、個々のコンタクトプローブ10の近傍において部分放電が発生した場合や、隣り合う一方のコンタクトプローブ10と他方のコンタクトプローブとの間に部分放電が発生した場合に、その部分放電が半導体装置へ影響を及ぼすのをさらに効果的に抑制することができる。しかも、そのような保護膜をフォトレジストやシート等によって形成することができ、生産コストの上昇を抑えながら、部分放電による影響を抑制することができる。

40

## 【0037】

なお、第1変形例に係る半導体装置の製造方法では、保護膜16に3つの開口部17が形成される場合について説明したが、開口部の数としては、これに限られるものではなく、電極パッド（エミッタ電極11）の大きさ、印加する電流、コンタクトプローブの本数等に応じて、適切な数の開口部が形成されることが好ましい。また、積層する保護膜16の層の数として二層の保護膜16を例に挙げて説明したが、層の数も二層に限られるものではない。

50

## 【0038】

## 第2変形例

ここでは、保護膜として、絶縁性膜を積層させた保護膜が形成される場合の他の例について説明する。

## 【0039】

ステップS4(図1参照)において保護膜が形成された半導体装置の一例を図8および図9に示す。図8および図9に示すように、保護膜16として、第1保護膜16aと第2保護膜16bが積層されている。その保護膜16には、一つのエミッタ電極11に対して、3本のコンタクトプローブを接触させることを想定して、その3本のコンタクトプローブのそれぞれに対応するように、保護膜16に3つの開口部17が形成されている。

10

## 【0040】

第2変形例では、特に、第1保護膜16aの上に第2保護膜16bを積層させる領域が、一部に領域に限定されている。なお、これ以外の構成については、図3等に示される半導体装置の製造方法と同様なので、同一部材には同一符号を付し必要である場合を除き、その説明を繰り返さないこととする。

## 【0041】

第2変形例に係る半導体装置の製造方法によれば、第1変形例の場合と同様に、保護膜16として、二層の第1保護膜16aと第2保護膜16bが形成され、その二層の保護膜16に、複数のコンタクトプローブのそれぞれに対応するように、保護膜16に対応する本数の開口部17が形成される。これにより、個々のコンタクトプローブ10の近傍において部分放電が発生した場合や、隣り合う一方のコンタクトプローブ10と他方のコンタクトプローブとの間に部分放電が発生した場合に、その部分放電が半導体装置へ影響を及ぼすのをさらに効果的に抑制することができる。しかも、そのような保護膜をフォトレジストやシート等によって形成することができ、生産コストの上昇を抑えながら、部分放電による影響を抑制することができる。

20

## 【0042】

さらに、第2変形例に係る半導体装置の製造方法では、第2保護膜16bが一部の領域に限定されて形成される。ここで、第2保護膜16bが一部の領域に限定されることの効果について、第2保護膜16bとして、フォトレジストが形成される場合について説明する。

30

## 【0043】

積層される第2保護膜16bがフォトレジストの場合、フォトレジストの第2保護膜16bは、電気的特性が評価された後にアッシング工程において分解され、除去されることになる。このときに発生する、主にフォトレジストに起因したゴミまたは異物が、半導体装置(半導体ウェハ)の表面に付着するおそれがあり、半導体装置の歩留まりを下げる要因の一つになることがある。

## 【0044】

このような異物等の付着を低減するには、分解されて除去されるフォトレジストを必要最小限にすることが望ましく、そのためには、放電を抑制したり放電を防止する効果を発揮する領域に限定して、第2保護膜を形成することが望ましい。この放電を抑制したり、放電を防止する効果を発揮する領域とは、図8に示される開口部の周辺領域の他に、たとえば、複数の電極パッド間、電極パッドの周囲、終端領域近傍等がある。

40

## 【0045】

また、第2変形例に係る半導体装置の製造方法では、保護膜16に3つの開口部17が形成される場合について説明したが、第1変形例等と同様に、開口部の数としては、これに限られるものではなく、電極パッド(エミッタ電極11)の大きさ、印加する電流、コンタクトプローブの本数等に応じて、適切な数の開口部が形成されることが好ましい。また、積層する保護膜16の層の数として二層の保護膜16を例に挙げて説明したが、層の数も二層に限られるものではない。

## 【0046】

50

なお、部分放電が発生する箇所としては、コンタクトプローブが接触する電極パッドが配置された、半導体装置の中央付近だけでなく、終端領域が形成された、半導体装置の外周部分においても、部分放電が頻繁に発生することが知られている。このため、さらに、終端領域とその近傍の領域に、第2保護膜を追加的に形成するようにしてもよい。

#### 【0047】

以上、説明したように、第1変形例および第2変形例を含む実施の形態1に係る半導体装置の製造方法では、半導体装置の電気的特性を評価する際ににおいて、半導体装置の表面に形成された電極パッドの近傍に、電極パッドに接触する個々のコンタクトプローブに対応した開口部を有する、絶縁性の保護膜を形成することで、部分放電の発生を効果的に抑制することができる。また、保護膜を積層化することによって、部分放電の発生をさらに抑制することができる。さらに、保護膜として、フォトレジストを形成することで、通常の工程内での処理が可能となり、生産コストの上昇を抑えることができる。

10

#### 【0048】

##### 実施の形態2

ここでは、絶縁性の突起部を備えた保護膜が形成される、半導体装置の製造方法の一例について説明する。

#### 【0049】

ステップS1～ステップS3（図1参照）を経た半導体ウェハに対して、ステップS4において、保護膜が形成される。保護膜が形成された半導体装置の一例を図10および図11に示す。図10および図11に示すように、半導体装置1の保護膜16では、一つのエミッタ電極11に対して、複数の箇所を露出する開口部17が形成されている。その開口部17のそれぞれを取り囲むように、保護膜16の表面には絶縁性の突起部16cが形成されている。なお、これ以外の構成については、図3等に示す半導体装置の製造方法と同様なので、同一部材には同一符号を付し、必要である場合を除き、その説明を繰り返さないこととする。

20

#### 【0050】

ステップS4において、突起部16cをフォトレジストによって形成する場合には、一般的な写真製版処理を施すことによって、容易に形成することができる。また、保護膜16と突起部16cとの双方をフォトレジストによって形成する場合には、両者を写真製版処理によって容易に形成することができ、しかも、保護膜16の厚みと突起部16cの厚み（高さ）を、ほぼ同程度の厚み（高さ）にすることができる。こうして、突起部16cを有する保護膜16が形成された後、半導体評価装置によって電気的特性の評価（ステップS5）が行われることになる。

30

#### 【0051】

上述した半導体装置の製造方法によれば、電気的特性を評価する際に、開口部17を取り囲むように表面に突起部16cを有する保護膜16が形成される。これにより、露出した電極パッド（エミッタ電極11）間の沿面距離を確保することができ、個々のコンタクトプローブ近傍において発生する部分放電や、コンタクトプローブ間に発生する部分放電を、さらに効果的に抑制することができる。

40

#### 【0052】

なお、上述した半導体装置の製造方法では、1つの開口部17に対して、2つ（2重）の突起部16cを設けた場合について説明した。突起部16cの数としては、これに限られるものではなく、半導体装置に応じて、突起部16cの数を増減させてもよい。また、突起部16cの幅を適切な幅に設定してよい。

#### 【0053】

##### 変形例

上述した半導体装置の製造方法では、保護膜として、個々の開口部を取り囲む突起部を有する保護膜が形成される場合について説明した。ここでは、複数の開口部を取り囲む突起部を有する保護膜が形成される場合について説明する。

#### 【0054】

50

ステップ S 4 (図 1 参照)において保護膜が形成された半導体装置の一例を図 12 に示す。図 12 に示すように、個々の開口部 17 を取り囲む突起部 16c に加えて、複数 (3 つ) の開口部 17 を取り囲む突起部 16c を有する保護膜 16 が形成されている。なお、これ以外の構成については、図 3 等に示される半導体装置の製造方法と同様なので、同一部材には同一符号を付し、必要である場合を除き、その説明を繰り返さないことにとする。

#### 【0055】

すでに述べたように、部分放電は、半導体装置における終端領域 14 が形成された外周部の近傍においても頻繁に発生することが知られている。変形例に係る半導体装置の製造方法によれば、複数の開口部 17 を取り囲むように突起部 16c を形成することで、終端領域 14 と開口部 17 (電極パッド)との沿面距離をより長くすることができる。これにより、終端領域 14 における部分放電を効果的に抑制することができる。

10

#### 【0056】

なお、変形例に係る半導体装置の製造方法では、エミッタ電極を露出する開口部に対応するように突起部を形成させた場合について説明したが、突起部の形成態様としては、これに限られるものではなく、放電の発生しやすい終端領域やその近傍に、重点的に、複数の突起部を形成することが好ましい。たとえば、図 13 に示すように、終端領域 14 と素子領域 15 との境界に沿って突起部 16c を形成するようにしてもよく、また、たとえば、半導体ウェハにおける、互いに隣り合う半導体装置 (半導体チップ) において、そのような突起部を互いに連結させるようにしてもよい。

#### 【0057】

20

以上、説明したように、変形例を含む実施の形態 2 に係る半導体装置の製造方法では、保護膜の表面に絶縁性の突起部が形成される。これにより、部分放電の発生の可能性が高い部位からの沿面距離を増加させることができて、部分放電を抑制する効果を向上させることができる。

#### 【0058】

なお、上述した各実施の形態では、半導体装置に形成される半導体素子として、IGBT を例に挙げて説明した。半導体素子としては、大電流および高電圧を印加することによって電気的特性が評価されるパワーデバイス (半導体素子) であれば、IGBT に限られるものではない。また、半導体装置として、縦方向に電流と電圧を印加する半導体装置についても適用することが可能である。

30

#### 【0059】

今回開示された実施の形態は例示であってこれに制限されるものではない。本発明は上記で説明した範囲ではなく、特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲でのすべての変更が含まれることが意図される。

#### 【産業上の利用可能性】

#### 【0060】

本発明は、電力用の半導体素子を有する半導体装置の製造方法に有効に利用される。

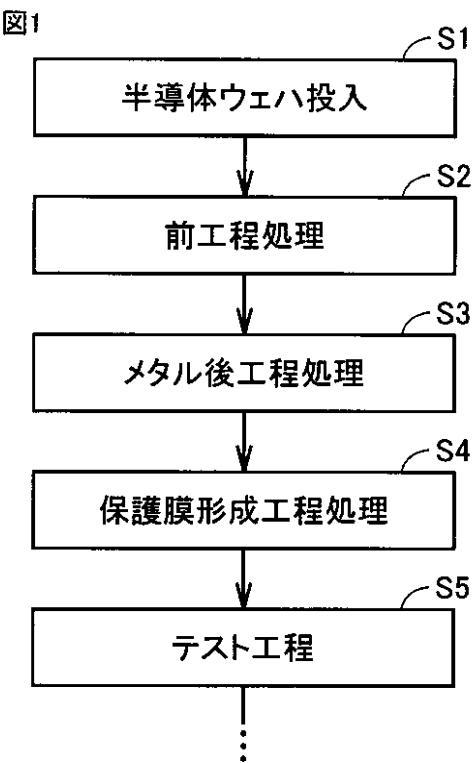
#### 【符号の説明】

#### 【0061】

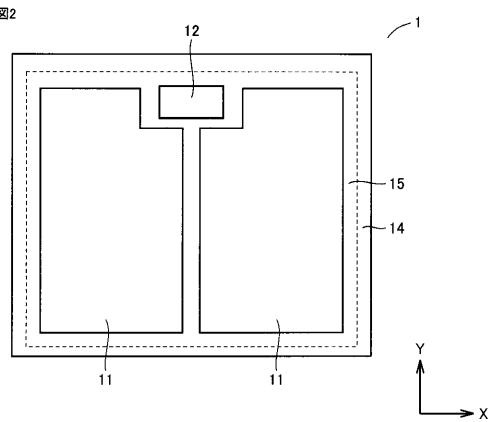
1 半導体装置、2 プローブ基体、3 チャックステージ、4 評価制御部、5 半導体評価装置、6 信号線、7 絶縁性基体、8a、8b 接続部、9 移動アーム、10 コンタクトプローブ、11 エミッタ電極、12 ゲート電極、13 コレクタ電極、14 終端領域、15 素子領域、16 保護膜、16a 第1保護膜、16b 第2保護膜、16c 突起部、17 開口部。

40

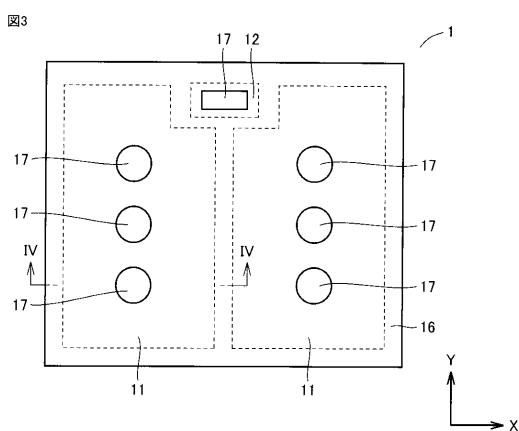
【図1】



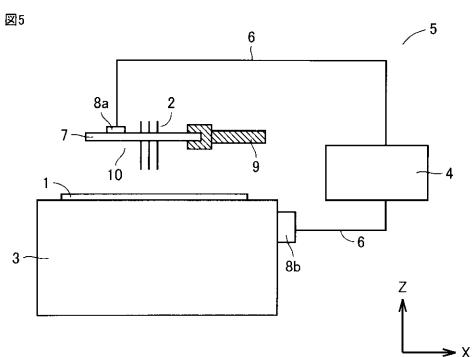
【図2】



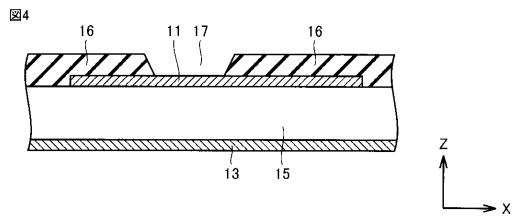
【図3】



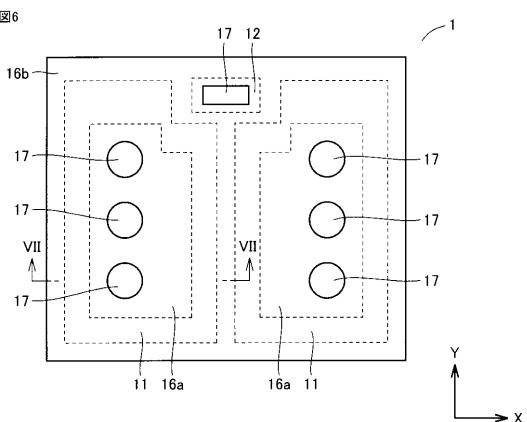
【図5】



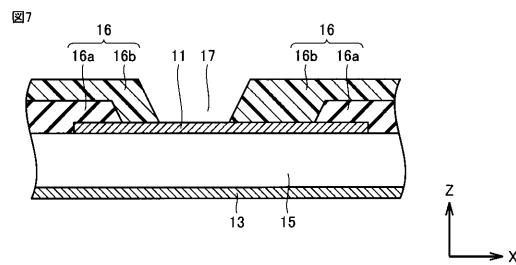
【図4】



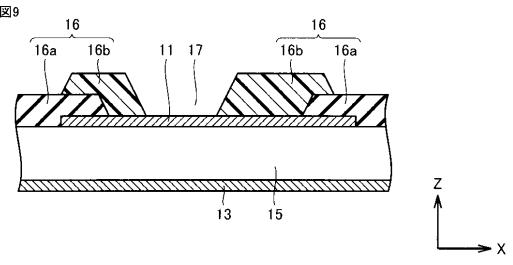
【図6】



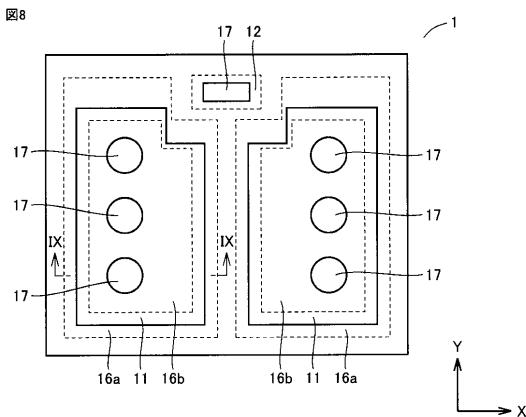
【図7】



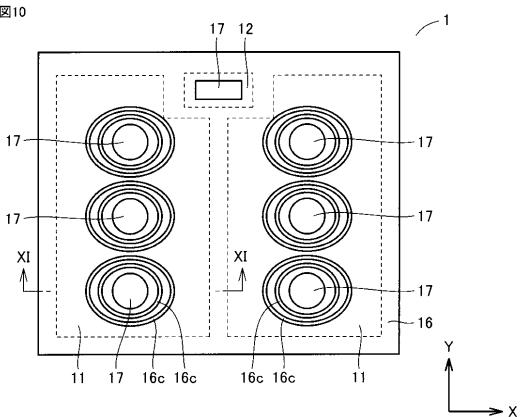
【図9】



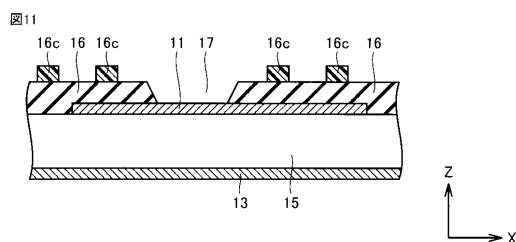
【図8】



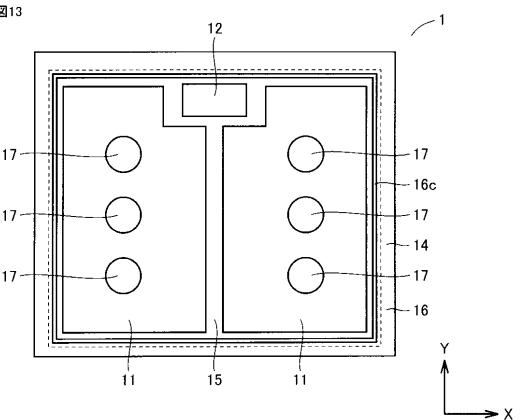
【図10】



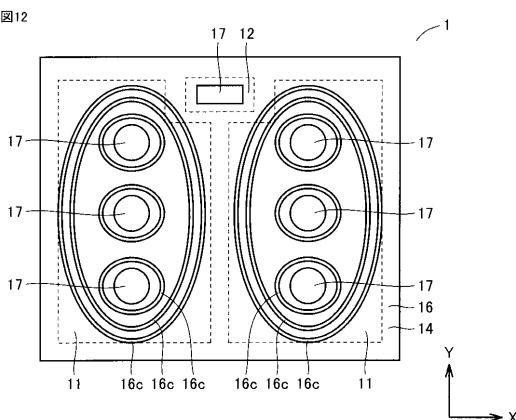
【図11】



【図13】



【図12】



---

フロントページの続き

審査官 高須甲斐

(56)参考文献 特開昭59-003943(JP,A)  
特開2011-003911(JP,A)  
特開2000-183282(JP,A)  
特開平09-159725(JP,A)  
特開2012-247196(JP,A)  
特開2010-010306(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/66