

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 10 月 27 日(27.10.2016)



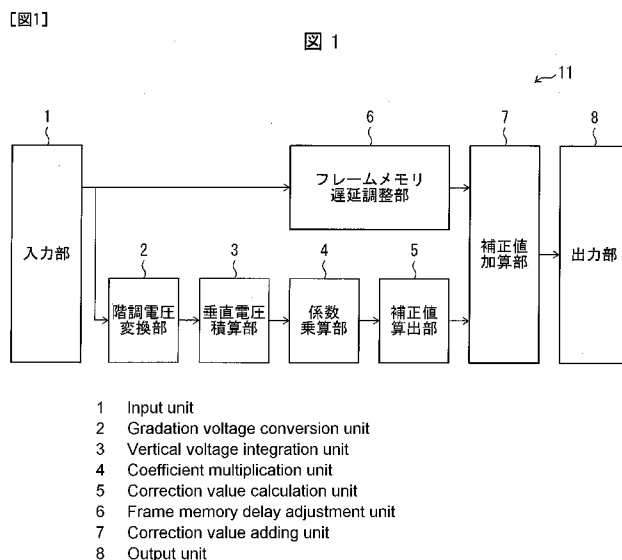
(10) 国際公開番号

WO 2016/171069 A1

- (51) 国際特許分類:
G09G 3/36 (2006.01) G09G 3/20 (2006.01)
G02F 1/133 (2006.01)
- (21) 国際出願番号: PCT/JP2016/062023
- (22) 国際出願日: 2016 年 4 月 14 日(14.04.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-089827 2015 年 4 月 24 日(24.04.2015) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5908522 大阪府堺市堺区匠町 1 番地 Osaka (JP).
- (72) 発明者: 森 智彦(MORI, Tomohiko). 富沢 一成(TOMIZAWA, Kazunari).
- (74) 代理人: 特許業務法人HARAKENZO WORLD PATENT & TRADEMARK; 〒5300041 大阪府大阪市北区天神橋 2 丁目北 2 番 6 号 大和南森町ビル Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーロパ (AM, AZ, BY, KG, KZ, RU, TJ, TM), ユーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: DISPLAY CONTROL DEVICE, LIQUID CRYSTAL DISPLAY DEVICE, DISPLAY CONTROL PROGRAM, AND RECORDING MEDIUM

(54) 発明の名称: 表示制御装置、液晶表示装置、表示制御プログラム及び記録媒体



(57) Abstract: This display device includes a correction circuit (11) for integrating voltage values corresponding to input gradations applied to two display pixels on the same gate line over a period of 0.5 frames or more, adds the difference in integration values obtained to each of the voltage values corresponding to the input gradations, and forms the voltage values obtained into output gradations provided to the two display pixels for the current frame. Thus, when 1 dot horizontal striped display is carried out with double source drive, ghosting does not arise.

(57) 要約: 本発明の表示制御装置は、同一のゲートライン上の 2 つの表示画素に印加される入力階調に対応する電圧値をそれぞれ 0.5 フレーム以上の期間積算して得られた積算値の差分を入力階調に対応する電圧値のそれぞれに加算し、得られた電圧値を、上記 2 つの表示画素に与える現フレームの出力階調とする補正回路 (11) を含む。これにより、ダブルソース駆動時に、1 dot 横ストライプ表示を行った際に、転写が発生しない。

明 細 書

発明の名称：

表示制御装置、液晶表示装置、表示制御プログラム及び記録媒体

技術分野

[0001] 本発明は、ダブルソース駆動方式の液晶表示装置の表示を制御する表示制御装置、液晶表示装置、表示制御プログラム及び記録媒体に関する。

背景技術

[0002] 近年、液晶表示装置を始めとする表示装置では、表示パネルの大型化および高精細化が加速している。このような表示装置では、短時間にて画素への画像データの書き込みを行う高速駆動が必要となる。この高速駆動に有効な表示装置としては、例えば、特許文献1に開示されている、いわゆるダブルソース駆動方式のものが知られている。

先行技術文献

特許文献

[0003] 特許文献1：国際公開特許公報「WO2010/108314号公報（2012年8月16日国際公開）」

発明の概要

発明が解決しようとする課題

[0004] ところで、ダブルソース駆動方式の液晶表示装置において、図13の（a）に示すように、入力画像として1dot横ストライプを表示させたとき、図13の（b）に示すように、1dot横ストライプの表示画像の上下に縦シャドー（転写）が発生する。

[0005] この理由は、ダブルソース駆動の画素構造に因るところが大きい。すなわち、ダブルソース駆動の画素構造は、図14に示すように、一つの画素に対して2本のソースラインS1、S2のソース電圧が印加される構造となっている。このため、両側のソースラインの間に寄生容量が生じ、この寄生容量（電圧）が画素に印加する電圧（VLCD（n））に影響を与えてしまう。

つまり、図 15 に示すように、画素の両端にあるソース電圧 S_1 、 S_2 の極性に偏りが発生し、その電圧変動がソース配線と画素の寄生容量を介して、画素に印加される電圧 ($V_{LCD}(n)$) を変動させてしまうため、表示したい階調からずれが生じて横線となって表示され、上述のような転写が発生する。

[0006] 本発明は、上記の課題に鑑みなされたものであって、その目的は、液晶表示装置等のダブルソース駆動時に、転写が発生しない表示制御装置を提供することにある。

課題を解決するための手段

[0007] 上記の課題を解決するために、本発明の一態様に係る表示制御装置は、複数のゲートラインと複数のソースラインとが交差する部分のそれぞれに対応して表示画素が配置されるとともに、上記表示画素の両側に上記ソースラインが配置された構造の液晶表示装置の表示を制御する表示制御装置であって、上記表示画素の両側に配置されたソースラインにそれぞれ印加される入力階調に対応する電圧値を 0.5 フレーム以上の期間積算し、得られた 2 つの積算値の差分を、入力階調に対応する電圧値に加算し、得られた電圧値を、当該表示画素に与える現フレームの出力階調とする補正回路を含んでいることを特徴としている。

発明の効果

[0008] 本発明の一態様によれば、転写（縦シャドー）の発生を抑制し、表示品位を向上させることができるという効果を奏する。

図面の簡単な説明

[0009] [図1]本発明の実施形態 1 に係る画像信号処理回路のブロック図である。

[図2]階調電圧変換用のルックアップテーブルの一例を示す図である。

[図3]本発明の実施形態 1 に係る液晶表示装置の構成を示すブロック図である。

[図4]図 3 に示す液晶表示装置に表示するカラーパターンの一例を示す図である。

[図5]図4に示すキラーパターンを表示した場合の実際の表示例を示す図である。

[図6]図5に示す表示例における転写発生の原因を説明するための図である。

[図7]図5に示す表示例における転写発生の原因を説明するための図である。

[図8]図1に示す画像信号処理回路を用いた転写の補正を説明するための図である。

[図9]本発明の実施形態2に係る画像信号処理回路のブロック図である。

[図10]図9に示す画像信号処理回路を用いた転写の補正を説明するための図である。

[図11]キラーパターンの他の例を示す図である。

[図12]図11に示すキラーパターンを表示した場合の転写の補正を説明するための図である。

[図13](a)は、表示すべきキラーパターンを示し、(b)は、実際に(a)にしめすキラーパターンを表示した場合に生じる転写を示す図である。

[図14]ダブルソース駆動の画素構造を示す回路図である。

[図15]図14に示す回路において転写が生じる原理を説明する波形図である。

発明を実施するための形態

[0010] 〔実施形態1〕

本発明の実施の形態について説明すれば以下の通りである。

[0011] 本実施形態では、本発明の表示制御装置を液晶表示装置の表示制御に適用した例について説明する。

[0012] (液晶表示装置の概要)

図3は、液晶表示装置100の概略構成を示すブロック図である。液晶表示装置100は、図3に示すように、複数のゲートラインG1、G2、G3、G4と複数のソースラインS1、S2、S3、S4、S5、S6、S7、S8とが交差する部分のそれぞれに対応してスイッチング素子21、画素電極22及び画素容量23を含む画素(表示画素)20(A1～A4、B1～

B 4, C 1 ~ C 4, D 1 ~ D 4) が配置された表示部 1 0 1 と、上記ソースライン S 1, S 2, S 3, S 4, S 5, S 6, S 7, S 8 にソース信号を供給するソースドライバ 1 0 2 と、上記ゲートライン G 1, G 2, G 3, G 4 にゲート信号を供給するゲートドライバ 1 0 3 と、上記画素容量 2 3 に接続された保持容量配線 C S に C S 電圧 (V s c) を供給する C S ドライバ 1 0 4 と、を含んでいる。

[0013] なお、液晶表示装置 1 0 0 はさらに図示しないバックライトや光学フィルム等を含んでいる。

[0014] また、液晶表示装置 1 0 0 には、当該液晶表示装置 1 0 0 の表示制御を行う表示制御装置 1 0 5 を備えている。この表示制御装置 1 0 5 の詳細については後述する。

[0015] ここで、液晶表示装置 1 0 0 では、走査信号線の延伸方向を行方向あるいは横方向、データ信号線の延伸方向を列方向あるいは縦方向と記載する。従って、図 3 に示す表示部 1 0 1 において、1 行目は、画素 2 0 A 1, 2 0 A 2, 2 0 A 3, 2 0 A 4, 2 行目は、画素 2 0 B 1, 2 0 B 2, 2 0 B 3, 2 0 B 4, 3 行目は、画素 2 0 C 1, 2 0 C 2, 2 0 C 3, 2 0 C 4, 4 行目は、画素 2 0 D 1, 2 0 D 2, 2 0 D 3, 2 0 D 4, となっている。従って、表示部 1 0 1 の 1 列目は、画素 2 0 A 1, 2 0 B 1, 2 0 C 1, 2 0 D 1, 2 列目は、画素 2 0 A 2, 2 0 B 2, 2 0 C 2, 2 0 D 2, 3 列目は、画素 2 0 A 3, 2 0 B 3, 2 0 C 3, 2 0 D 3, 4 列目は、画素 2 0 A 4, 2 0 B 4, 2 0 C 4, 2 0 D 4, となっている。

[0016] また、液晶表示装置 1 0 0 は、いわゆるダブルソース構造であり、1 画素列あたり 2 本のデータ信号線が設けられる。具体的には、1 画素列内において、奇数番目の画素はこれら 2 本のソースラインの一方にスイッチング素子を介して接続され、偶数番目の画素はこれら 2 本のソースラインの他方にスイッチング素子を介して接続される。つまり、ダブルソース構造では、1 つの画素が 2 つのソースラインに挟まれ、且つ上下 2 ラインが同一のゲートラインで駆動される構造であるため、ソース信号も 2 ライン分同時に伝送し、

2ライン同時にスイッチングし、表示データを書き込むようになっている。

[0017] 図3に示す例では、列方向に連続して並ぶ画素20A1および画素20B1について、画素20A1はスイッチング素子21を介してソースラインS1に接続され、画素20B1は、スイッチング素子21を介してソースラインS2に接続される。

[0018] また、列方向に連続して並ぶ画素20A2および画素20B2について、画素20A1と行方向に隣接する画素20A2は、スイッチング素子21を介してソースラインS4に接続され、画素20B1と行方向に隣接する画素20B2は、スイッチング素子21を介してソースラインS3に接続される。ここでは、ソースラインS2およびS3が隣接する。また、ダブルソース構造ではゲートラインを隣り合う2本ずつ選択する2ライン同時選択が行われる。例えば、ゲートラインG1・G2の同時選択とゲートラインG3・G4の同時選択とが順次行われる。

[0019] 従って、上記液晶表示装置100は、複数のゲートライン（G1，G2，G3，G4，・・・）と複数のソースライン（S1，S2，S3，S4，・・・）とが交差する部分のそれぞれに対応して表示画素（20A1，20A2，20A3，20A4，・・・）が配置されるとともに、上記表示画素（20A1，20B1）は2つのソースライン（S1，S2）に挟まれ、且つ上下2つの表示画素（20A1，20B1）がそれぞれ異なるソースライン（S1，S2）に接続され、当該上下2つの表示画素（20A1，20B1）が同一のゲートライン（G1，G2）で駆動される液晶表示装置である。

[0020] ダブルソース構造の液晶表示装置100によれば、例えば、走査信号線が3240本以上で対角が60インチ以上の場合やリフレッシュレートが120Hzの場合において、ソース両側入力駆動を行ってもシングルソース構造では充電率が足りないことが多いが、ダブルソース構造であれば、充電率を高めることができるというメリットを有する。

[0021] しかしながら、ダブルソース構造の液晶表示装置100では、キラーパターンを表示した場合に、縦シャドウ（転写）が生じ、表示品位を下げている

。以下では、転写が生じる原理及びその解決策について説明する。

[0022] (転写発生原理)

図4の(a)は、液晶表示装置100の表示部101に表示させる入力画像データを示し、(b)は、同図の(a)に示す入力画像データの領域A(キラーパターン)を示し、(c)は、同図の(a)に示す入力画像データの領域Bを示している。ここで、入力画像データは256階調とする。

[0023] 領域Aは、 $(R, G, B) = (255, 255, 255)$ 、 $(R, G, B) = (0, 0, 0)$ の1dot横ストライプパターン(キラーパターン)を示している。

[0024] 一方、領域Bは、 $(R, G, B) = (64, 64, 64)$ の中間調のベタパターンを示している。

[0025] 図5の(a)は、図4の(a)に示す入力画像データを実際に表示したときの、表示例を示し、(b)は、同図の(a)の表示例の領域Cを示し、(c)は、同図の(a)にしめす領域Dを示している。

[0026] すなわち、図4の(a)に示す入力画像データ(領域A, B)を上記液晶表示装置100の表示部101に表示させれば、図5の(a)に示すように、領域A(キラーパターン)の上側の領域C、下側の領域Dが領域Bよりも明るくなる。

[0027] 領域Cは、本来であれば、領域Bと同じく、 $(R, G, B) = (64, 64, 64)$ の中間調のベタパターンとなるが、下側ラインが暗く、上側ラインが明るくなっている。

[0028] 一方、領域Dも、本来であれば、領域Bと同じく、 $(R, G, B) = (64, 64, 64)$ の中間調のベタパターンとなるが、上側ラインが暗く、下側ラインが明るくなっている。

[0029] 上記領域C, Dを縦シャドー(転写)と称する。転写の発生原因を図6及び図7を参照しながら以下に説明する。

[0030] 図6の(a)は、1フレームのソース電圧及び液晶電圧の波形図を示し、(b)は、同図の(a)に示す波形図に対応する現フレームにおける各画素

に印加される電圧の極性を示、(c)は、同図の(a)に示す波形図に対応する次フレームにおける各画素に印加される電圧の極性を示す図である。

[0031] 図7の(a)は、図6の(a)の波形図の次フレームのソース電圧及び液晶電圧の波形図を示し、(b)は、図6の(a)に示す波形図に対応する現フレームにおける各画素に印加される電圧の極性を示し、(c)は、図6の(a)に示す波形図に対応する次フレームにおける各画素に印加される電圧の極性を示す図である。

[0032] すなわち、現フレームでは、図6の(a)に示すように、領域C、Dの書き込み時はソースラインS1、S2の電圧が均等であるが、領域Aでは電圧に偏りがある。その電圧変動がソースラインS1、S2と画素の寄生容量を介して液晶にかかる電圧を変動させる。図6の(a)ではプラス方向に電圧が偏っているため、領域Cのプラス画素(ソースラインS1により電圧が印加された画素)は明るく、マイナス画素(ソースラインS2により電圧が印加された画素)は暗くなる。

[0033] 次フレームでは、図7の(a)に示すように、領域Dでは書き込み後、次のフレームでは極性が反転するため、電圧の偏りがマイナス方向に変化する。そのため領域Dのプラス画素(ソースラインS2により電圧が印加された画素)は暗く、マイナス画素(ソースラインS1により電圧が印加された画素)は明るくなる。領域Cとは逆の見え方になる。

[0034] このようにして、ダブルソース構造の液晶表示装置100では、キラーパターン(領域A)を表示した場合に、当該領域Aの列方向上下に転写(領域C、D)が生じる。

[0035] そこで、本発明では、画素の両端のソースライン上にかかる電圧値を1フレーム期間積分し、その積算値によって補正量を調整することで転写の発生を抑制している。具体的には、以下に示す補正回路によって、転写の発生を抑制している。

[0036] (補正回路)

図1は、本実施形態に係る補正回路11の概略構成ブロック図である。な

お、補正回路 11 は、上記液晶表示装置 100 に備えられた表示制御装置 105 内に設けられている。

[0037] 補正回路 11 は、同一のゲートライン (G1, G2) 上の表示画素 (20A1, 20B1) にソースライン (S1, S2) から印加される入力階調に対応する電圧値をそれぞれ 1 フレーム期間積算し、得られた積算値の差分を、入力階調に対応する電圧値それぞれに加算して得られた電圧値を、上記 2 つの表示画素 (20A1, 20B1) に与える現フレームの出力階調とする。

[0038] 本実施形態では、上記補正回路 11 は、同一のゲートライン G1, G2 上の表示画素 (20A1, 20B1) に上記ソースライン S1, S2 から印加される前フレームの入力階調に対応する電圧値をそれぞれ 1 フレーム期間積算し、得られた積算値の差分を、1 フレーム期間遅延させた前フレームの入力階調に対応する電圧値それぞれに加算して得られた電圧値を、上記 2 つの表示画素 (20A1, 20B1) に与える現フレームの出力階調とする。

[0039] 具体的には、以下のような構成となる。

[0040] 補正回路 11 は、図 1 に示すように、入力部 1、階調電圧変換部 2、垂直電圧積算部 (積算部) 3、係数乗算部 (差分演算部) 4、補正值算出部 (差分演算部) 5、フレームメモリ遅延調整部 6、補正值加算部 (加算部) 7、出力部 8 を含んでいる。

[0041] 入力部 1 は、液晶表示装置 100 において表示する画像の画像データが入力され、後段の階調電圧変換部 2 及びフレームメモリ遅延調整部 6 に出力する。

[0042] 階調電圧変換部 2 は、入力部 1 から入力された画像データ (入力階調) を電圧に変換し、後段の垂直電圧積算部 3 に出力する。階調電圧変換部 2 では、例えば図 2 に示すような LUT (ルックアップテーブル) を用いて入力階調を電圧に変換する。ここで、図 2 に示す LUT では、Vcom を基準、VL 側の電圧をマイナス、VH 側の電圧をプラスとしている。

[0043] 垂直電圧積算部 3 は、同じゲートライン上のソースライン S1, S2 上の

電圧値を1フレーム期間、すなわちゲート信号の立ち上がりから、次のゲート信号の立ち上がりまでの期間、積算し、積算値を後段の係数乗算部4に出力する。例えば、図6の(a)に示すソースラインS1, S2のソース電圧を積算する。ここで、領域C, Dでは、ソース電圧がプラスマイナス均等なため0となるが、領域Aはソース電圧に偏りがあるため0とならない。

[0044] 係数乗算部4は、垂直電圧積算部3から得られたソースラインS1の積算値 $\Delta V_{s_{ou1}}$ 、ソースラインS2の積算値 $\Delta V_{s_{ou2}}$ 、それぞれに係数を乗算して、ソースラインS1, S2間の電圧変動値（電圧シフト量 ΔV （差分））を算出し、この電圧シフト量 ΔV を後段の補正值算出部5に出力する。ここで、積算の電圧値から、2つ（ソースラインS1, S2）の寄生容量（ $C_{s_{ou1}}$ 、 $C_{s_{ou2}}$ ）を介して電圧変動が発生するため、積算の電圧値と画素全体の容量（ ΣC ）、寄生容量（ $C_{s_{ou1}}$ 、 $C_{s_{ou2}}$ ）から画素の電圧変動値（電圧シフト量 ΔV （差分））を求める。具体的には、以下の式（1）にて電圧シフト量 ΔV を算出する。係数 $\alpha = C_{s_{ou1}} / \Sigma C$ 、 $\beta = C_{s_{ou2}} / \Sigma C$ とする。

[0045] $\Delta V = \alpha \cdot \Delta V_{s_{ou1}} - \beta \cdot \Delta V_{s_{ou2}} \cdots (1)$

補正值算出部5は、係数乗算部4からの電圧シフト量 ΔV と表示画素の階調から補正值（補正階調）を算出し、後段の補正值加算部7に出力する。補正量は、具体的には、以下の式（2）により求める。ここで、 D_{in} ：入力階調、 ΔV ：電圧シフト量、 ΔD ：補正階調（補正值）、 $V(D_{in})$ ：階調 $\Rightarrow$ 電圧関数、 $inv V(D_{in})$ ：電圧 $\Rightarrow$ 階調関数

$$\Delta D = inv V(V(D_{in}) + \Delta V) \cdots (2)$$

なお、実際のLSIでは、上記補正值算出部5における演算は回路規模が大きいため、2次元LUT $F(D_{in}, \Delta V)$ を用いて演算を簡略化するのが好ましい。

[0046] フレームメモリ遅延調整部6は、入力部1に入力された画像データが補正值加算部7に入力されるのを1フレーム遅延させるようになっている。これにより、補正対象となるフレームと、補正值を求めるためのフレームとを同じにできるため、動画などのようにフレーム毎に表示画像が変化する場合に

有効である。

[0047] 補正值加算部 7 は、フレームメモリ遅延調整部 6 によって 1 フレーム遅延された表示画像の階調に、補正值算出部 5 の補正值（補正階調）を加算することによって補正後の出力階調を算出し、出力部 8 に出力する。なお、補正值算出部 5 によって算出される補正值は、正の数の場合だけでなく、負の数の場合もある。例えば図 5 の（a）に示す表示画像において、明るくなる画素は補正值が負の数になり、暗くなる画素は補正值が正の数になる。

[0048] 出力部 8 は、補正值加算部 7 からの補正された出力階調をソースドライバ 102 に送る。

[0049] 以上のことから、本実施形態の補正回路 11 は、同一のゲートライン（G1，G2）上の上下 2 つの表示画素（20A1，20B1）にソースラインからそれぞれ印加される前フレームの入力階調を電圧値に変換する階調電圧変換部 2 と、上記階調電圧変換部 2 によって変換された 2 つの電圧値をそれぞれ 1 フレーム期間積算する垂直電圧積算部 3 と、上記垂直電圧積算部 3 によって積算された 2 つの積算値の差分を求める差分演算部（係数乗算部 4、補正值算出部 5）と、上記差分演算部（係数乗算部 4、補正值算出部 5）によって求められた差分を、フレームメモリに格納された前フレームの入力階調に対応する電圧値それぞれに加算する補正值加算部 7 と、を含み、上記補正值加算部 7 によって加算された電圧値を、上記 2 つの表示画素（20A1，20B1）に与える現フレームの出力階調とすることで、キラーパターンを表示する際に、転写の発生を抑制できる。

[0050] （転写抑制）

図 8 は、補正前後のソースライン S1，S2 のソース電圧及び液晶電圧の波形図を示している。

[0051] 補正回路 11 は、図 8 の（a）に示す補正前のソースライン S1，S2 のソース電圧を 1 フレーム期間積算して得られた積算値から輝度が変化を打ち消す補正值を求めて、当該補正值を 1 フレーム遅延させた入力データに加算して出力階調を決定している。これにより、図 8 の（b）に示す補正後のソ

ースラインS 1, S 2のソース電圧(図中の実線)を得る。図8の(b)の波形図の破線は、補正前のソースラインS 1, S 2のソース電圧及び液晶電圧を示す。

[0052] 以上のように、補正回路11にて補正された出力階調により画像を表示することで、図4の(a)に示すようなキラーパターンを表示する際、表示された画像における転写の発生を抑制できる。つまり、本実施形態に係る表示制御装置105の補正回路11により、1dot横ストライプ等のキラーパターン表示を行った際に、転写が発生しない表示品位の高い液晶表示装置を提供することができる。

[0053] なお、本実施形態では、フレームメモリ(図示せず)を利用して、1フレーム遅延させた入力データを、当該入力データから求められた補正值により補正する例について説明したが、以下の実施形態2では、フレームメモリを利用せず、入力データを補正值により補正する例について説明する。

[0054] [実施形態2]

本発明の他の実施形態について説明すれば、以下のとおりである。なお、説明の便宜上、前記実施形態にて説明した部材と同じ機能を有する部材については、同じ符号を付記し、その説明を省略する。

[0055] (補正回路)

図9は、本実施形態に係る補正回路12の概略構成ブロック図である。

[0056] 補正回路12は、図9に示すように、入力部1、階調電圧変換部2、垂直電圧積算部3、係数乗算部4、補正值算出部5、補正值加算部7、出力部8を含んでいる。前記実施形態1に記載の補正回路11と相違するのは、フレームメモリ遅延調整部6を含んでいない点だけであり、その他の構成は同じである。

[0057] すなわち、上記補正回路12は、同一のゲートライン(G 1, G 2)上の表示画素(20A 1, 20B 1)にソースラインS 1, S 2から印加される前フレームの入力階調に対応する電圧値をそれぞれ1フレーム期間積算し、得られた積算値の差分を、現フレームの入力階調に対応する電圧値それぞれ

に加算して得られた電圧値を、上記2つの表示画素（20A1，20B1）に与える現フレームの出力階調とする。具体的には、以下のようになる。

[0058] 上記補正回路12は、同一のゲートライン（G1，G2）上の上下2つの表示画素（20A1，20B1）にソースラインからそれぞれ印加される前フレームの入力階調を電圧値に変換する階調電圧変換部2と、上記階調電圧変換部2によって変換された2つの電圧値をそれぞれ1フレーム期間積算する垂直電圧積算部3と、上記垂直電圧積算部3によって積算された2つの積算値の差分を求める係数乗算部4及び補正值算出部5と、上記係数乗算部4及び補正值算出部5によって求められた差分を、現フレームの入力階調に対応する電圧値それぞれに加算する補正值加算部7と、を含み、上記補正值加算部7によって加算された電圧値を、上記2つの表示画素（20A1，20B1）に与える現フレームの出力階調とすることで、キラーパターンを表示する際に、転写の発生を抑制できる。

[0059] 本実施形態では、図4の（a）に示す表示画像が静止画像である場合を想定した補正回路12について説明する。

[0060] （転写抑制（1））

図10は、補正前後のソースラインS1，S2のソース電圧及び液晶電圧の波形図を示している。但し、図8の場合とは、現フレームのソース電圧は、前フレームのソース電圧を1フレーム期間積算した積算値から得られた補正值を用いて補正する点で異なる。

[0061] つまり、図4の（a）に示す表示画像の静止画のパターンが入力された場合、前フレームのデータは現フレームと同じ画像となる。さらに極性がフレーム反転の場合、電圧の積算値の符号が逆となるだけで絶対値は同じになる。そのため、前フレームの積算値の逆符号を用いて補正量を演算することで補正值が求められる。

[0062] 従って、補正回路12において、補正值算出部5は、上記のように、前フレームの積算値の逆符号を用いて補正量を演算することで補正值を求め、補正值加算部7は、現フレームの表示データに、補正值算出部5で求めた補正

値を加算することで、出力階調を得る。

[0063] このように、補正回路 1 2 では、フレーム遅延の必要が無いため、フレームメモリ、フレームメモリ遅延調整部 6 は不要となる。

[0064] (転写抑制 (2))

ここで、図 9 に示す補正回路 1 2 によって、補正が正しく行えないキラパターンについて説明する。

[0065] 図 1 1 は、キラパターンを示す図である。このキラパターンは、図 4 の (a) と同じキラパターンであるが、横スクロールする点で異なる。

[0066] 図 1 2 は、図 1 1 に示すキラパターンにおける、ソースライン S 1, S 2 のソース電圧及び液晶電圧の波形図を示している。

[0067] 図 1 2 に示す波形図から、図 1 1 の (a) に示す領域 E, F は、前のフレームはソースライン方向にすべて領域 B であるが、現フレームでは途中領域 A になるので、前フレームと現フレームのデータが異なるため、補正が正しくできない。

[0068] 但し、このようなキラパターンの発生は限られるため、フレームメモリを削減するメリットを優先して、補正回路 1 2 を用いるのが好ましい。

[0069] 以上、本実施形態においても、前記実施形態 1 と同様に、本実施形態に係る表示制御装置 1 0 5 の補正回路 1 2 により、1 dot 横ストライプ等のキラパターン表示を行った際に、転写が発生しない表示品位の高い液晶表示装置を提供することができる。

[0070] なお、前記の各実施形態では、表示画素 (2 0 A 1) の両側に配置されたソースライン (S 1, S 2) にそれぞれ印加される入力階調に対応する電圧値を積算する期間を 1 フレームとして説明しているが、これに限定されるものではなく、積算期間は 0. 5 フレーム以上であればよい。つまり、上記電圧値を積算する期間は、表示画素への影響を低減できる期間であればよい。なお、積算期間が 0. 5 フレームよりも小さいと、得られる積算量では補正が十分に行うことができない。

[0071] [まとめ]

本発明の態様１に係る表示制御装置は、複数のゲートライン（ G_1 , G_2 , G_3 , G_4 , ...）と複数のソースライン（ S_1 , S_2 , S_3 , S_4 , ...）とが交差する部分のそれぞれに対応して表示画素（ $20A_1$, $20A_2$, $20A_3$, $20A_4$, ...）が配置されるとともに、上記表示画素（ $20A_1$ ）の両側に上記ソースライン（ S_1 , S_2 ）が配置された構造の液晶表示装置１００の表示を制御する表示制御装置１０５であって、上記表示画素（ $20A_1$ ）の両側に配置されたソースライン（ S_1 , S_2 ）にそれぞれ印加される入力階調に対応する電圧値を、０．５フレーム以上の期間積算し、得られた２つの積算値の差分を、上記入力階調に対応する電圧値に加算し、得られた電圧値を、当該表示画素に与える現フレームの出力階調とする補正回路（１１, １２）を含んでいることを特徴としている。

[0072] 一般に、表示画素の両側にソースラインが配されている場合、当該表示画素は、両側に配されたソースラインの影響を受ける。このため、上記構成のように、表示画素（ $20A_1$ ）の両側に配置されたソースライン（ S_1 , S_2 ）にそれぞれ印加される入力階調に対応する電圧値を、０．５フレーム以上の期間積算し、得られた２つの積算値の差分は、当該表示画素が受けるソースラインの影響（輝度の変化）を打ち消す補正值となる。この補正值を、入力階調に対応する電圧値に加算し、得られた電圧値を、当該表示画素に与える現フレームの出力階調とする。これにより、表示画素にかかる電圧の変動が低減するため、表示したい階調からのずれが生じ難くなる。

[0073] 従って、２つのソースラインに挟まれた表示画素がソースラインの影響による転写（縦シャドウ）の発生を抑制し、表示品位を向上させることができる。

[0074] 本発明の態様２に係る表示制御装置は、複数のゲートライン（ G_1 , G_2 , G_3 , G_4 , ...）と複数のソースライン（ S_1 , S_2 , S_3 , S_4 , ...）とが交差する部分のそれぞれに対応して表示画素（ $20A_1$, $20A_2$, $20A_3$, $20A_4$, ...）が配置されるとともに、上記表示画素（ $20A_1$, $20B_1$ ）は２つのソースライン（ S_1 , S_2 ）に挟まれ、且

つ上下2つの表示画素（20A1, 20B1）がそれぞれ異なるソースライン（S1, S2）に接続され、当該上下2つの表示画素（20A1, 20B1）が同一のゲートライン（G1, G2）で駆動される液晶表示装置100の表示制御装置105であって、同一のゲートライン（G1, G2）上の表示画素（20A1, 20B1）にソースライン（S1, S2）から印加される入力階調に対応する電圧値をそれぞれ0.5フレーム以上（1フレーム期間）積算し、得られた積算値の差分を、入力階調に対応する電圧値にそれぞれ加算して得られた電圧値を上記2つの表示画素に与える現フレームの出力階調とする補正回路（11, 12）を含んでいることを特徴としている。

[0075] 上記構成によれば、同一のゲートライン上の2つの表示画素に印加される入力階調に対応する電圧値をそれぞれ1フレーム期間積算し、得られた積算値の差分は、2つの表示画素の両側にあるソースラインに印加される極性の偏りに起因する電圧変動分に相当する。この差分を、入力階調に対応する電圧値それぞれに加算して得られた電圧値を、上記2つの表示画素に与える現フレームの出力階調とすることで、2つの表示画素にかかる電圧の変動が低減するので、表示したい階調からのずれが生じ難くなる。

[0076] 従って、2つのソースラインに挟まれた上下2つの表示画素が同一のゲートラインで駆動する所謂ダブルソース駆動時に電圧変動に起因する階調ずれによる転写（縦シャドー）の発生を抑制し、表示品位を向上させることができる。

[0077] 本発明の態様3に係る表示制御装置は、上記態様2において、上記補正回路（11）は、上記表示画素（20A1, 20B1）の両側に配置されたソースライン（S1, S2）にそれぞれ印加される入力階調に対応する電圧値を積算する期間が1フレームであるとき、同一のゲートライン（G1, G2）上の表示画素（20A1, 20B1）に上記ソースライン（S1, S2）から印加される前フレームの入力階調に対応する電圧値をそれぞれ1フレーム期間積算し、得られた積算値の差分を、1フレーム期間遅延させた前フレームの入力階調に対応する電圧値それぞれに加算して得られた電圧値を、上

記2つの表示画素（20A1，20B1）に与える現フレームの出力階調としてもよい。

[0078] 上記構成によれば、現フレームの出力階調は、前フレームの入力階調による電圧変動（1フレーム期間積算値の差分）を前フレームの入力階調に加算して得られたものであるため、表示画像を正しく補正することができる。特に、動画のようにフレーム毎に画像が変化する場合に正しく補正することができるため、補正による表示品位の低下を招かない。

[0079] 但し、前フレームの入力階調を1フレーム期間遅延させるために、フレームメモリが必要になる。具体的な表示制御装置は、以下のようになる。

[0080] 本発明の態様4に係る表示制御装置は、上記態様3において、上記補正回路（11）は、同一のゲートライン（G1，G2）上の上下2つの表示画素（20A1，20B1）にソースラインからそれぞれ印加される前フレームの入力階調を電圧値に変換する階調電圧変換部2と、上記階調電圧変換部2によって変換された2つの電圧値をそれぞれ1フレーム期間積算する積算部（垂直電圧積算部3）と、上記積算部（垂直電圧積算部3）によって積算された2つの積算値の差分を求める差分演算部（係数乗算部4、補正值算出部5）と、上記差分演算部（係数乗算部4、補正值算出部5）によって求められた差分を、フレームメモリに格納された前フレームの入力階調に対応する電圧値それぞれに加算する加算部（補正值加算部7）と、を含み、上記加算部（補正值加算部7）によって加算された電圧値を、上記2つの表示画素（20A1，20B1）に与える現フレームの出力階調とするのが好ましい。

[0081] 本発明の態様5に係る表示制御装置は、上記態様2において、上記補正回路（12）は、上記表示画素（20A1，20B1）の両側に配置されたソースライン（S1，S2）にそれぞれ印加される入力階調に対応する電圧値を積算する期間が1フレームであるとき、同一のゲートライン（G1，G2）上の表示画素（20A1，20B1）にソースラインから印加される前フレームの入力階調に対応する電圧値をそれぞれ1フレーム期間積算し、得られた積算値の差分を、現フレームの入力階調に対応する電圧値それぞれに加

算して得られた電圧値を、上記2つの表示画素（20A1，20B1）に与える現フレームの出力階調としてもよい。

[0082] 上記の構成によれば、現フレームの出力階調は、前フレームの入力階調による電圧変動（1フレーム期間積算値の差分）を現フレームの入力階調に加算して得られたものであるため、前フレームを1フレーム期間遅延させるためのフレームメモリを設ける必要がない。

[0083] 特に、静止画のようにフレーム間で変化のすくない画像であれば、上記構成により、表示画像を正しく補正することができる。

[0084] 本発明の態様6に係る表示制御装置は、上記態様5において、上記補正回路（12）は、同一のゲートライン（G1，G2）上の上下2つの表示画素（20A1，20B1）にソースラインからそれぞれ印加される前フレームの入力階調を電圧値に変換する階調電圧変換部2と、上記階調電圧変換部2によって変換された2つの電圧値をそれぞれ1フレーム期間積算する積算部（垂直電圧積算部3）と、上記積算部（垂直電圧積算部3）によって積算された2つの積算値の差分を求める差分演算部（係数乗算部4、補正值算出部5）と、上記差分演算部（係数乗算部4、補正值算出部5）によって求められた差分を、現フレームの入力階調に対応する電圧値それぞれに加算する加算部（補正值加算部7）と、を含み、上記加算部（補正值加算部7）によって加算された電圧値を、上記2つの表示画素（20A1，20B1）に与える現フレームの出力階調とするのが好ましい。

[0085] 本発明の態様7に係る液晶表示装置は、上記態様1～6の何れか1態様に記載の表示制御装置を備えていてもよい。

[0086] 上記構成によれば、液晶表示装置の表示品位を向上させることができる。

[0087] 本発明の各態様に係る表示制御装置は、コンピュータによって実現してもよく、この場合には、コンピュータを上記表示制御装置が備える補正回路として動作させることにより上記表示制御装置をコンピュータにて実現させる表示制御装置の表示制御プログラム、およびそれを記録したコンピュータ読み取り可能な記録媒体も、本発明の範疇に入る。

[0088] 本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。さらに、各実施形態にそれぞれ開示された技術的手段を組み合わせることにより、新しい技術的特徴を形成することができる。

産業上の利用可能性

[0089] 本発明は、ダブルソース駆動方式の液晶表示装置に好適に利用することができる。

符号の説明

- [0090] 1 入力部
- 2 階調電圧変換部
 - 3 垂直電圧積算部（積算部）
 - 4 係数乗算部（差分演算部）
 - 5 補正值算出部（差分演算部）
 - 6 フレームメモリ遅延調整部
 - 7 補正值加算部（加算部）
 - 8 出力部
- 11、12 補正回路
 - 20 画素（表示画素）
 - 20A1～20A4 画素（表示画素）
 - 20B1～20B4 画素（表示画素）
 - 20C1～20C4 画素（表示画素）
 - 20D1～20D4 画素（表示画素）
 - 21 スイッチング素子
 - 22 画素電極
 - 23 画素容量
- 100 液晶表示装置
 - 101 表示部

1 0 2 ソースドライバ

1 0 3 ゲートドライバ

1 0 4 C S ドライバ

1 0 5 表示制御装置

A ~ F 領域

C S 保持容量配線

G 1 ~ G 4 ゲートライン

S 1 ~ S 8 ソースライン

請求の範囲

【請求項1】 複数のゲートラインと複数のソースラインとが交差する部分のそれぞれに対応して表示画素が配置されるとともに、上記表示画素の両側に上記ソースラインが配置された構造の液晶表示装置の表示を制御する表示制御装置であって、

上記表示画素の両側に配置されたソースラインにそれぞれ印加される入力階調に対応する電圧値を0.5フレーム以上の期間積算し、得られた2つの積算値の差分を、入力階調に対応する電圧値に加算し、得られた電圧値を、当該表示画素に与える現フレームの出力階調とする補正回路を含んでいることを特徴とする表示制御装置。

【請求項2】 複数のゲートラインと複数のソースラインとが交差する部分のそれぞれに対応して表示画素が配置されるとともに、上記表示画素は2つのソースラインに挟まれ、且つ上下2つの表示画素がそれぞれ異なるソースラインに接続され、当該上下2つの表示画素が同一のゲートラインで駆動される液晶表示装置の表示を制御する表示制御装置であって、

上記同一のゲートライン上の上下2つの表示画素にソースラインからそれぞれ印加される入力階調に対応する電圧値をそれぞれ0.5フレーム以上の期間積算し、得られた2つの積算値の差分を、入力階調に対応する電圧値のそれぞれに加算して得られた電圧値を、上記2つの表示画素に与える現フレームのそれぞれの出力階調とする補正回路を含んでいることを特徴とする表示制御装置。

【請求項3】 上記補正回路は、

上記表示画素の両側に配置されたソースラインにそれぞれ印加される入力階調に対応する電圧値を積算する期間が1フレームであるとき、

同一のゲートライン上の上下2つの表示画素にソースラインからそれぞれ印加される前フレームの入力階調に対応する電圧値をそれぞれ

1 フレーム期間積算し、得られた2つの積算値の差分を、1 フレーム期間遅延させた前フレームの入力階調に対応する電圧値のそれぞれに加算して得られた電圧値を、上記2つの表示画素に与える現フレームのそれぞれの出力階調とすることを特徴とする請求項2に記載の表示制御装置。

[請求項4]

上記補正回路は、

同一のゲートライン上の上下2つの表示画素にソースラインからそれぞれ印加される前フレームの入力階調を電圧値に変換する階調電圧変換部と、

上記階調電圧変換部によって変換された2つの電圧値をそれぞれ1 フレーム期間積算する積算部と、

上記積算部によって積算された2つの積算値の差分を求める差分演算部と、

上記差分演算部によって求められた差分を、フレームメモリに格納された前フレームの入力階調に対応する電圧値のそれぞれに加算する加算部と、

を含み、上記加算部によって加算された電圧値を、上記2つの表示画素に与える現フレームのそれぞれの出力階調とすることを特徴とする請求項3に記載の表示制御装置。

[請求項5]

上記補正回路は、

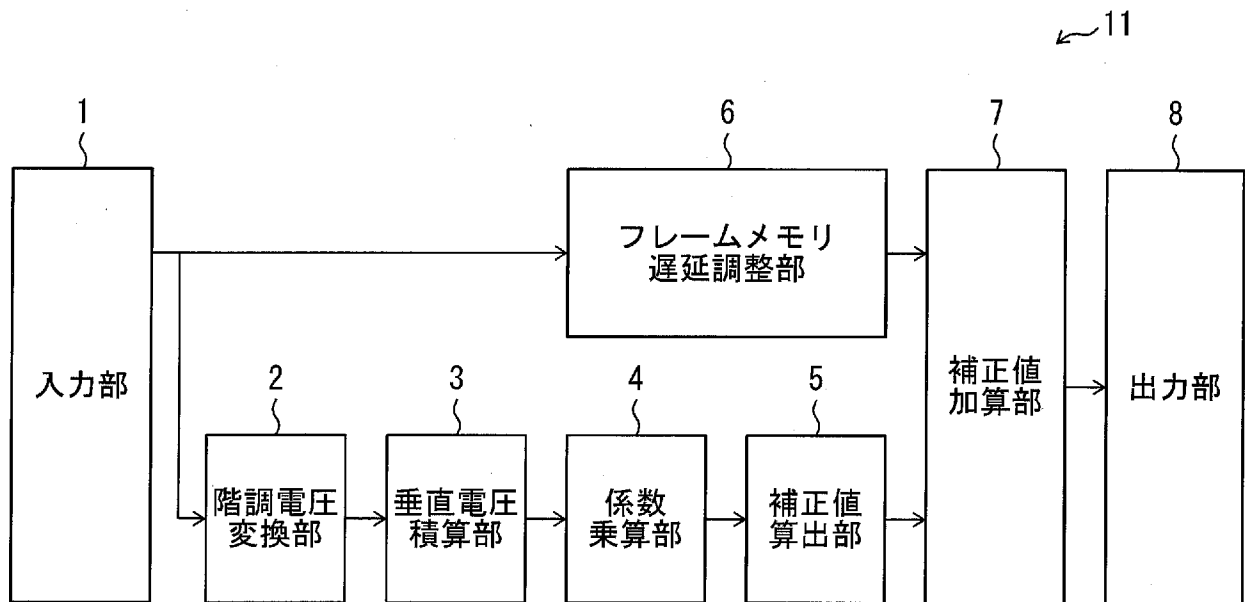
上記表示画素の両側に配置されたソースラインにそれぞれ印加される入力階調に対応する電圧値を積算する期間が1 フレームであるとき、

同一のゲートライン上の表示画素に印加される前フレームの入力階調に対応する電圧値をそれぞれ1 フレーム期間積算し、得られた積算値の差分を、現フレームの入力階調に対応する電圧値のそれぞれに加算して得られた電圧値を、上記2つの表示画素に与える現フレームの出力階調とすることを特徴とする請求項2に記載の表示制御装置。

- [請求項6] 上記補正回路は、
- 同一のゲートライン上の上下2つの表示画素にソースラインからそれぞれ印加される前フレームの入力階調を電圧値に変換する階調電圧変換部と、
- 上記階調電圧変換部によって変換された2つの電圧値をそれぞれ1フレーム期間積算する積算部と、
- 上記積算部によって積算された2つの積算値の差分を求める差分演算部と、
- 上記差分演算部によって求められた差分を、現フレームの入力階調に対応する電圧値のそれぞれに加算する加算部と、
- を含み、上記加算部によって加算された電圧値を、上記2つの表示画素に与える現フレームの出力階調とすることを特徴とする請求項5に記載の表示制御装置。
- [請求項7] 請求項1～6の何れか1項に記載の表示制御装置を備えた液晶表示装置。
- [請求項8] 請求項1～6の何れか1項に記載の表示制御装置としてコンピュータを機能させるための表示制御プログラムであって、上記補正回路としてコンピュータを機能させるための表示制御プログラム。
- [請求項9] 請求8に記載の表示制御プログラムを記録したコンピュータ読み取り可能な記録媒体。

[図1]

図 1



[図2]

図 2

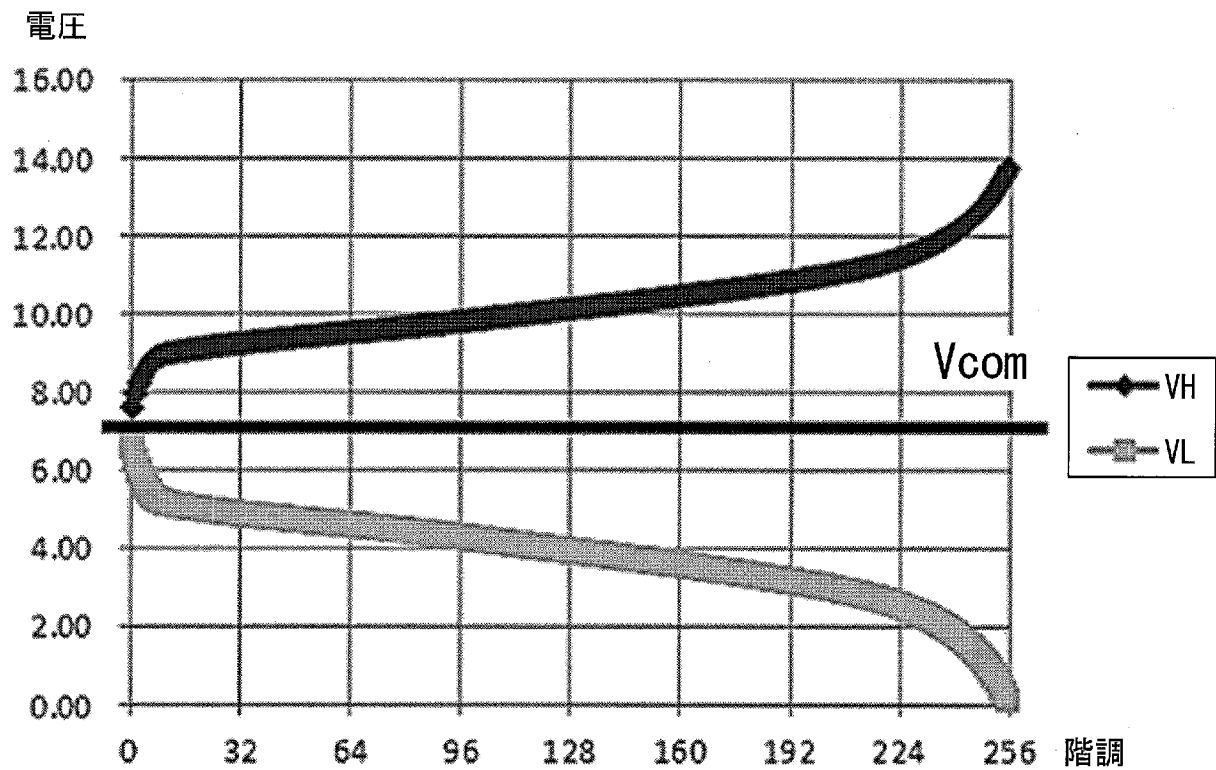
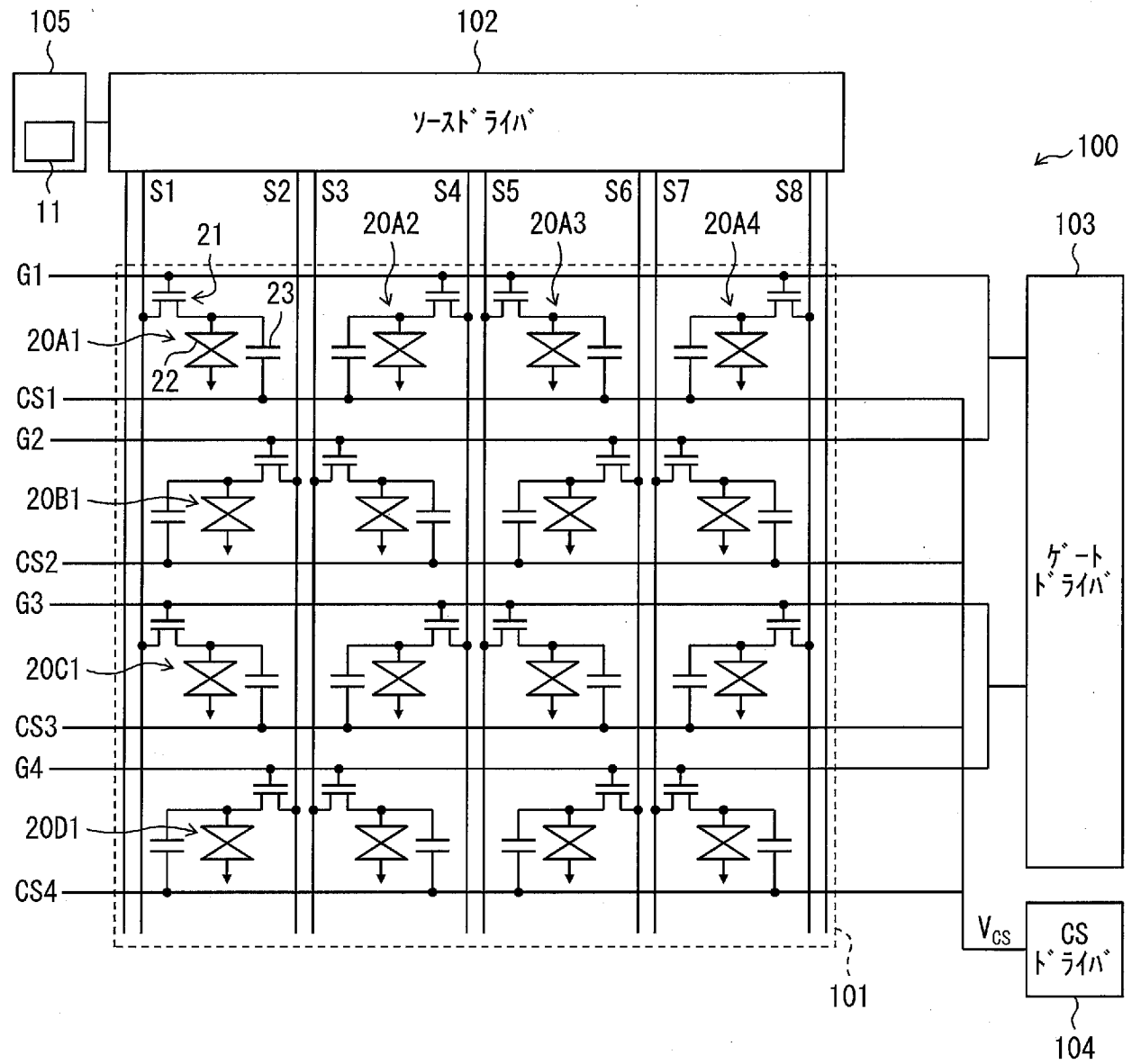
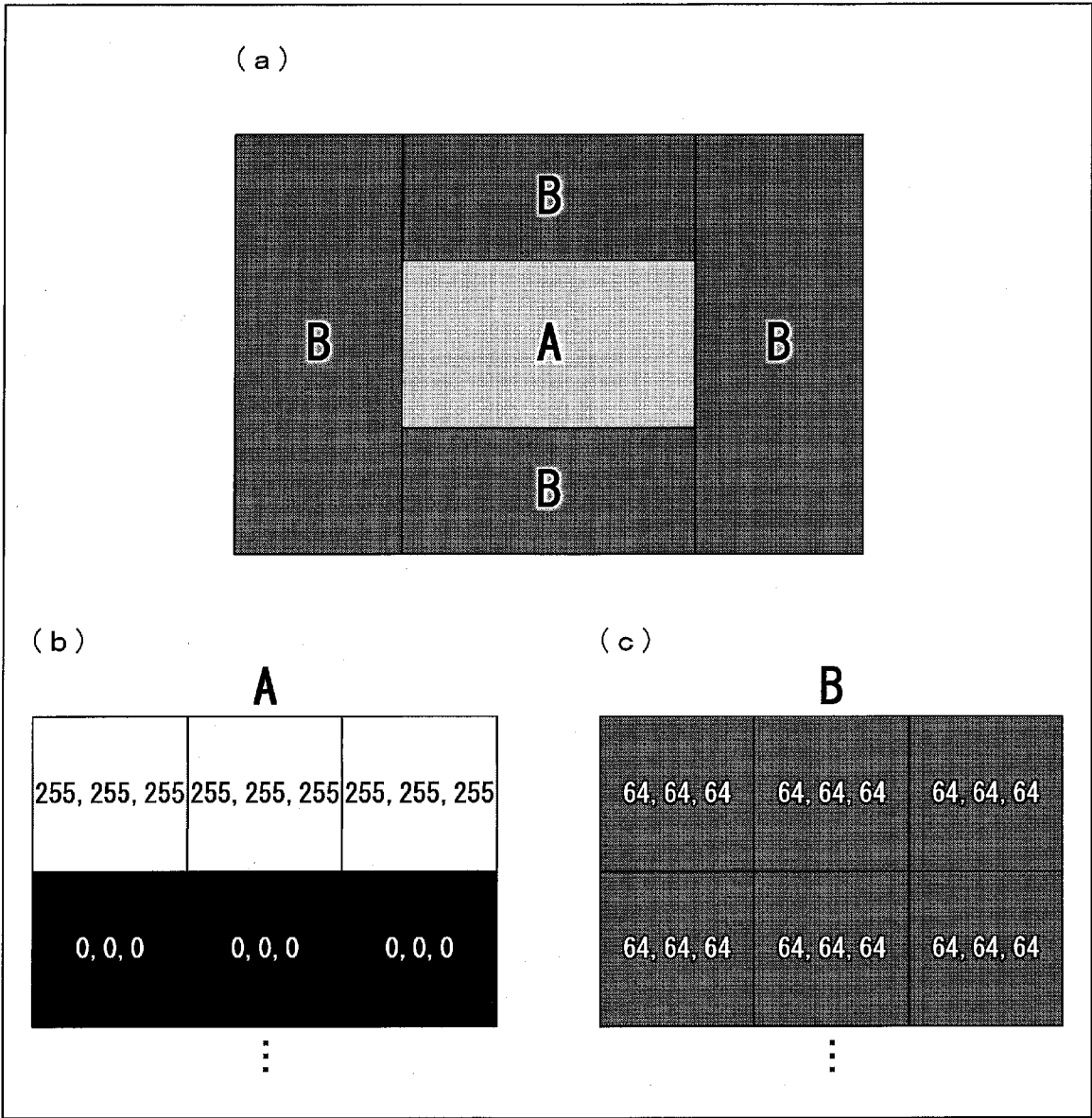


図 3



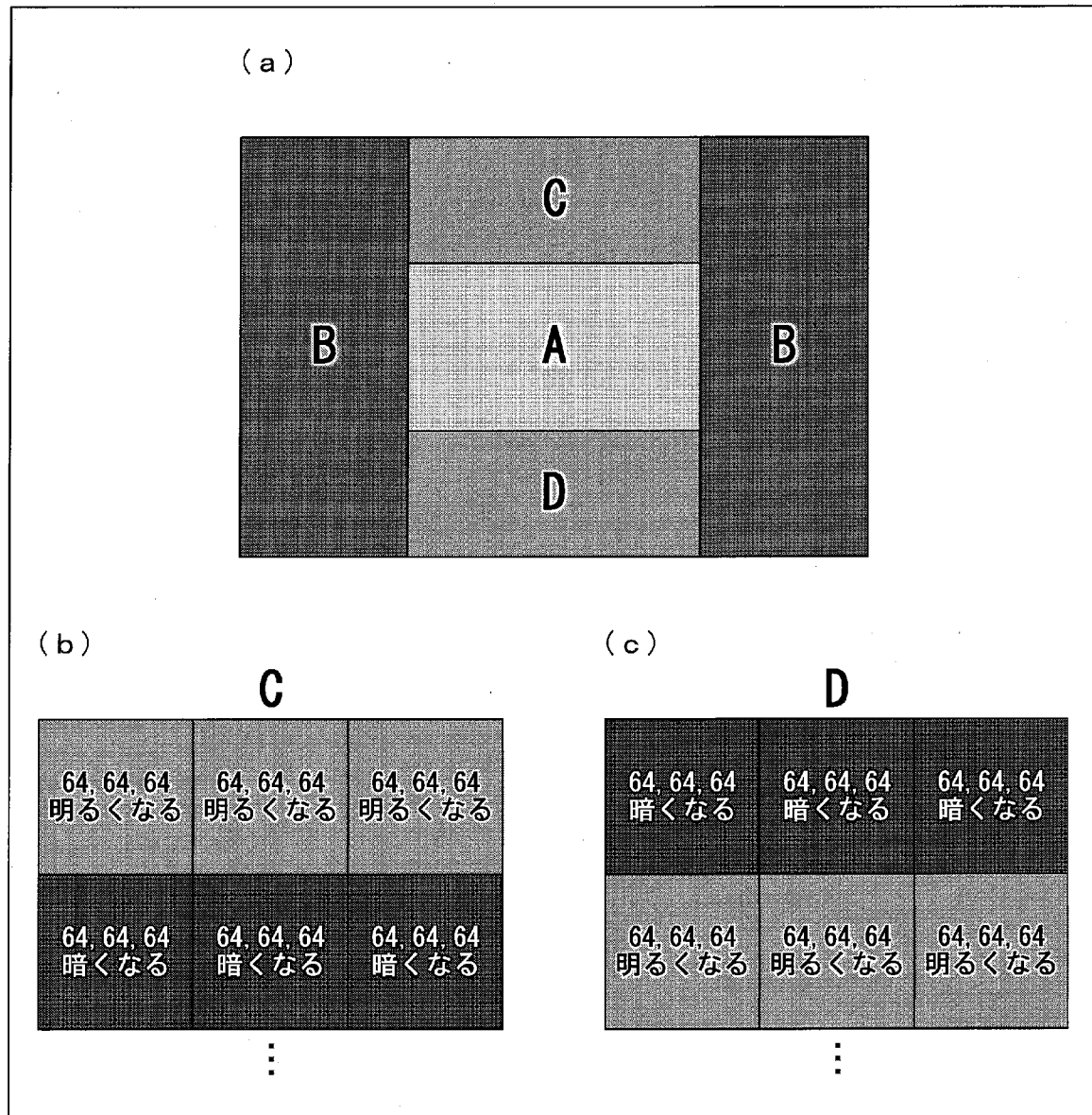
[図4]

図 4



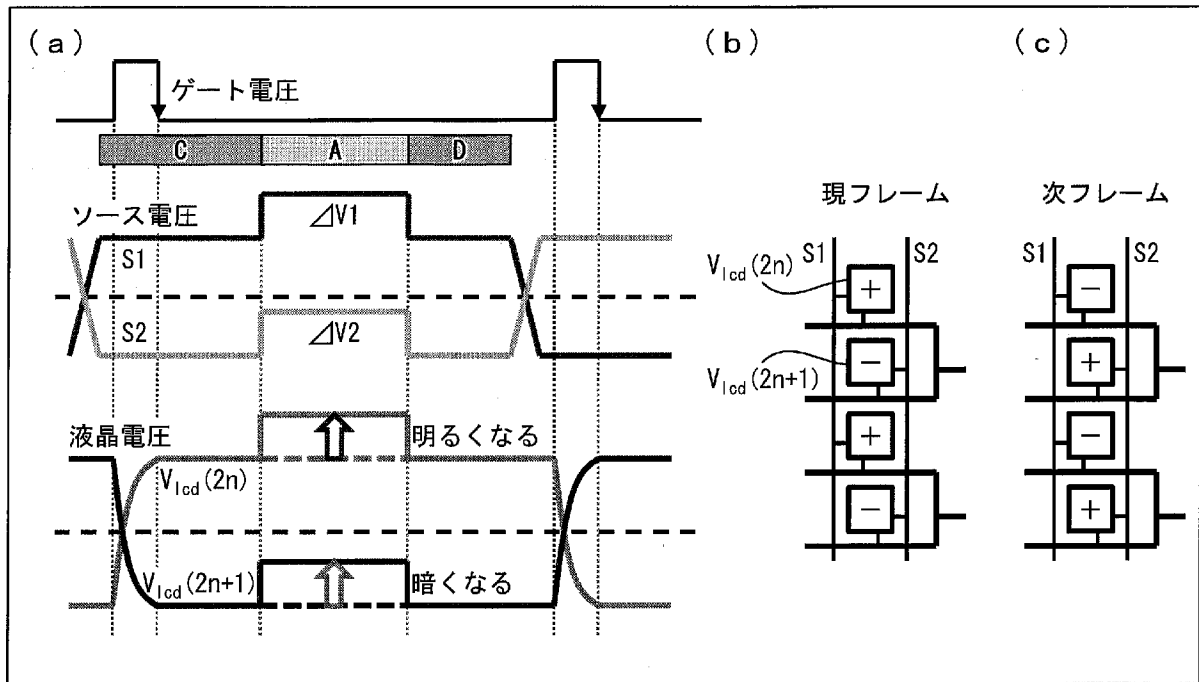
[図5]

図 5



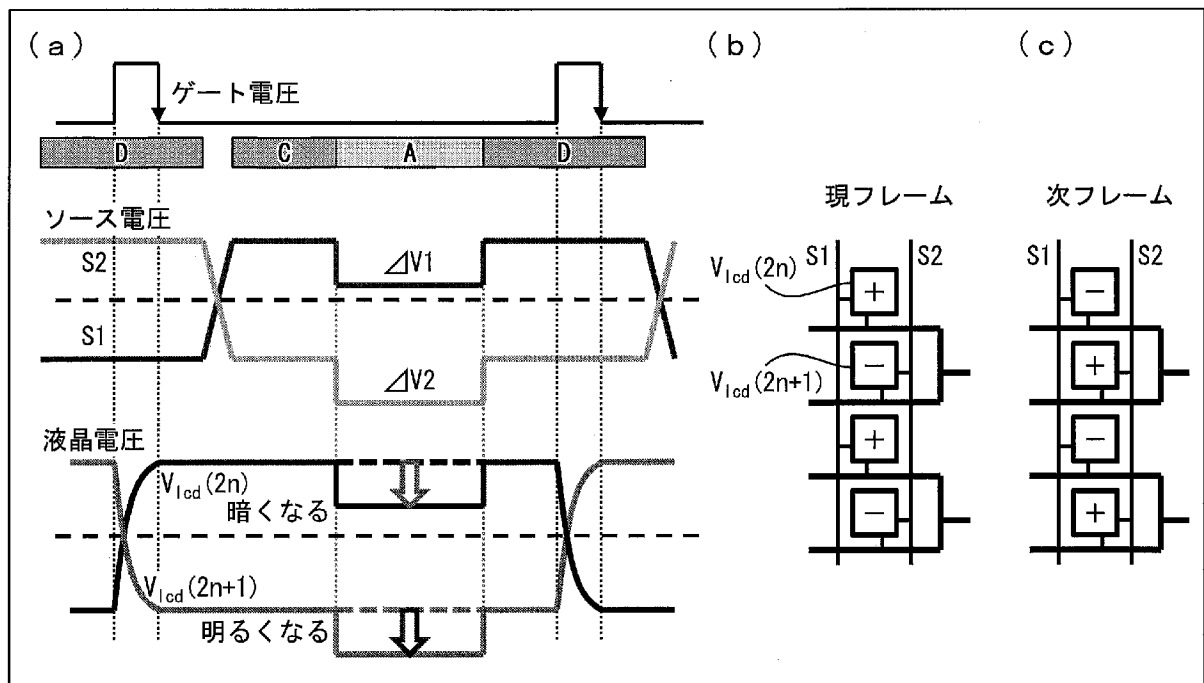
[図6]

図 6



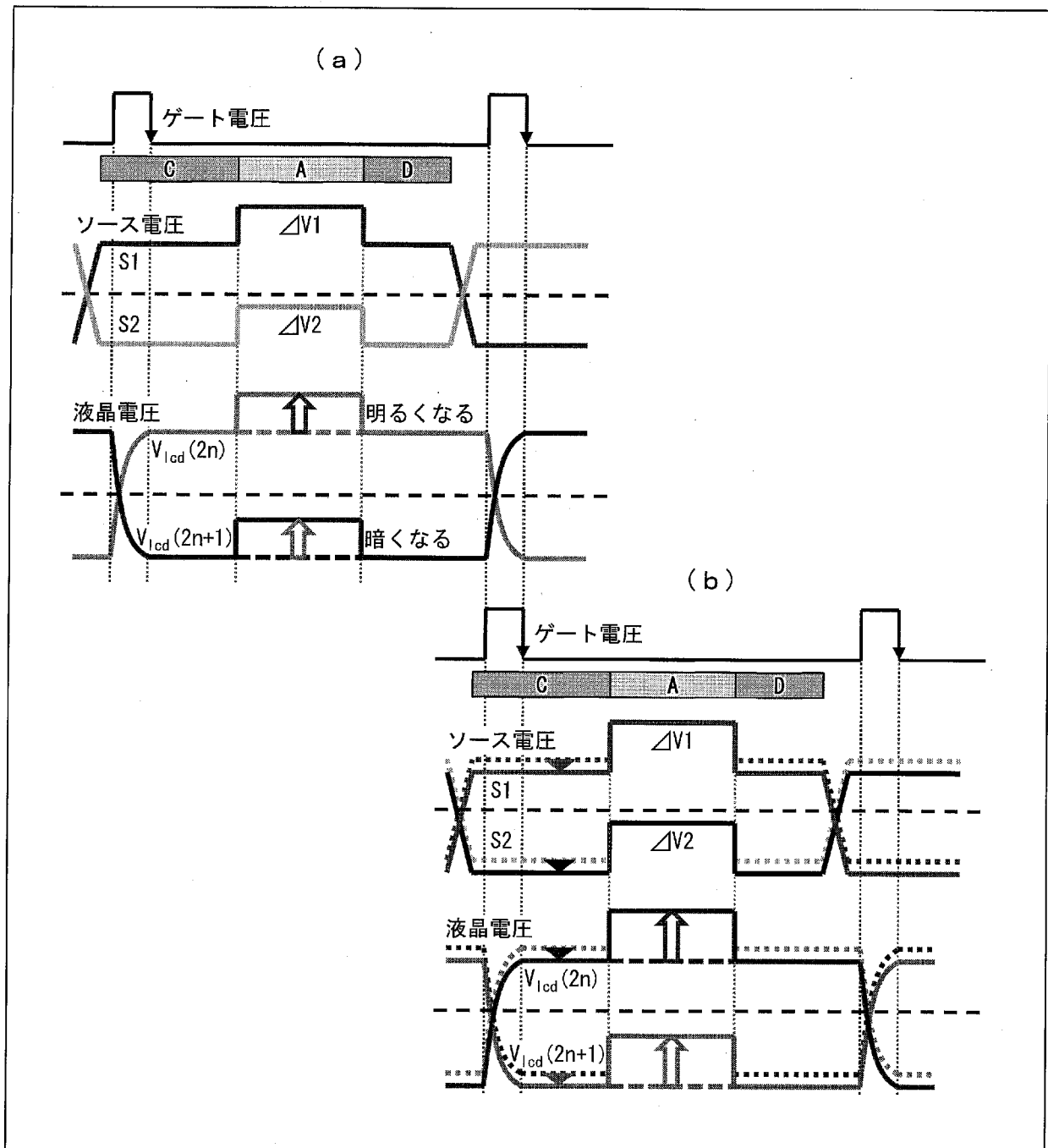
[図7]

図 7



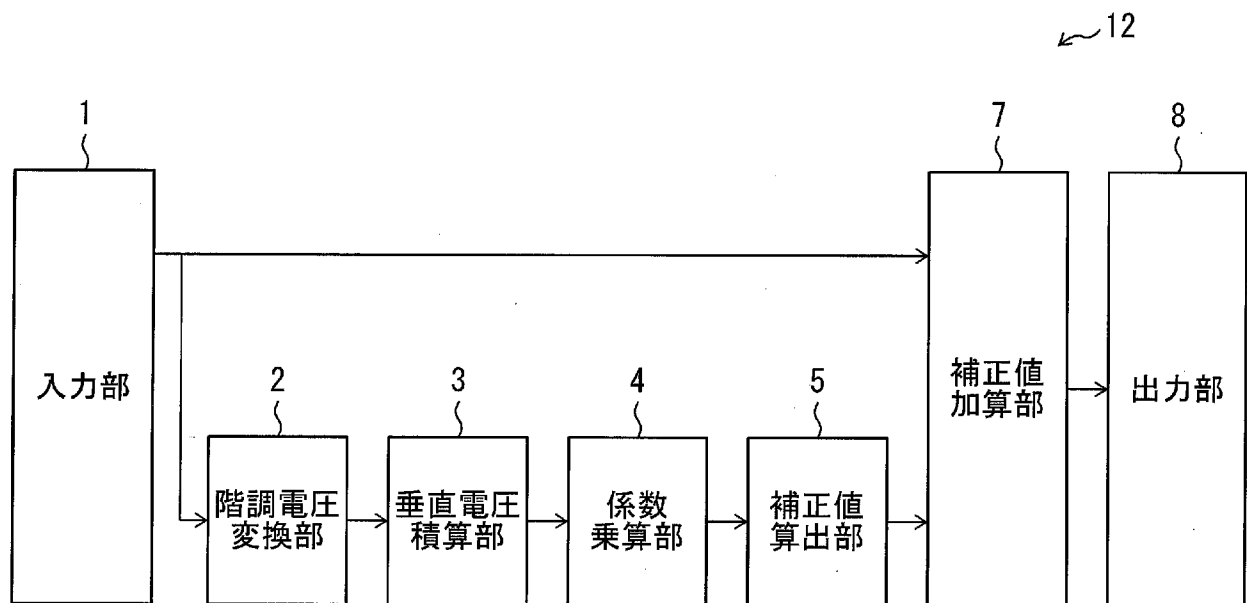
[図8]

図 8



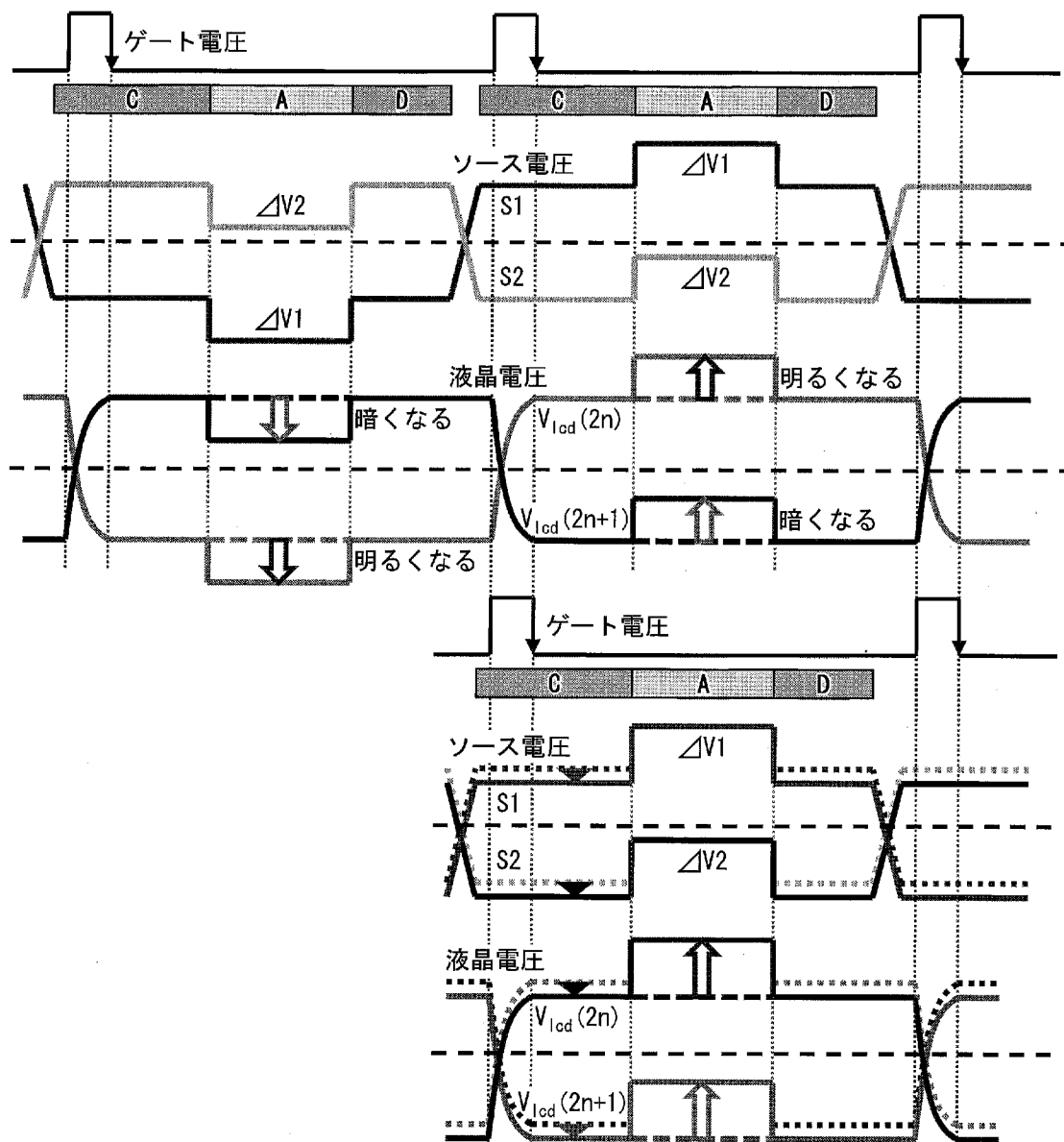
[図9]

図 9



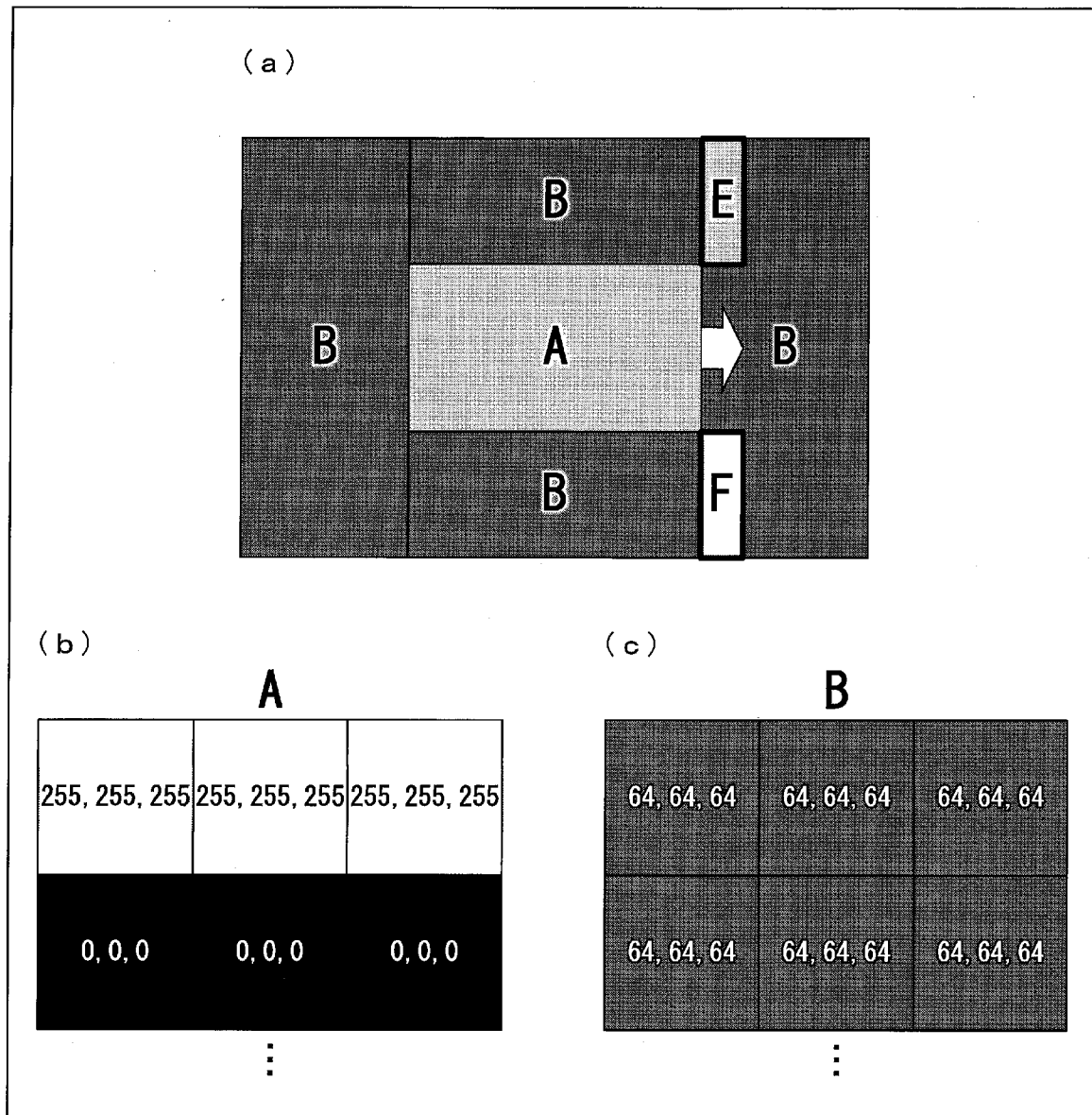
[図10]

図 10



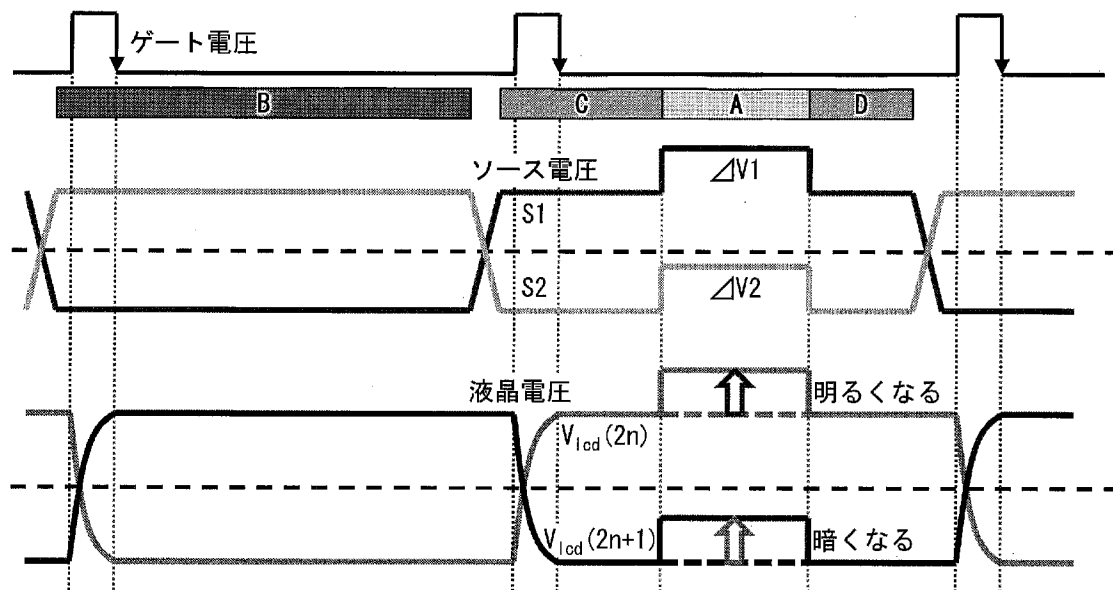
[図11]

図 11



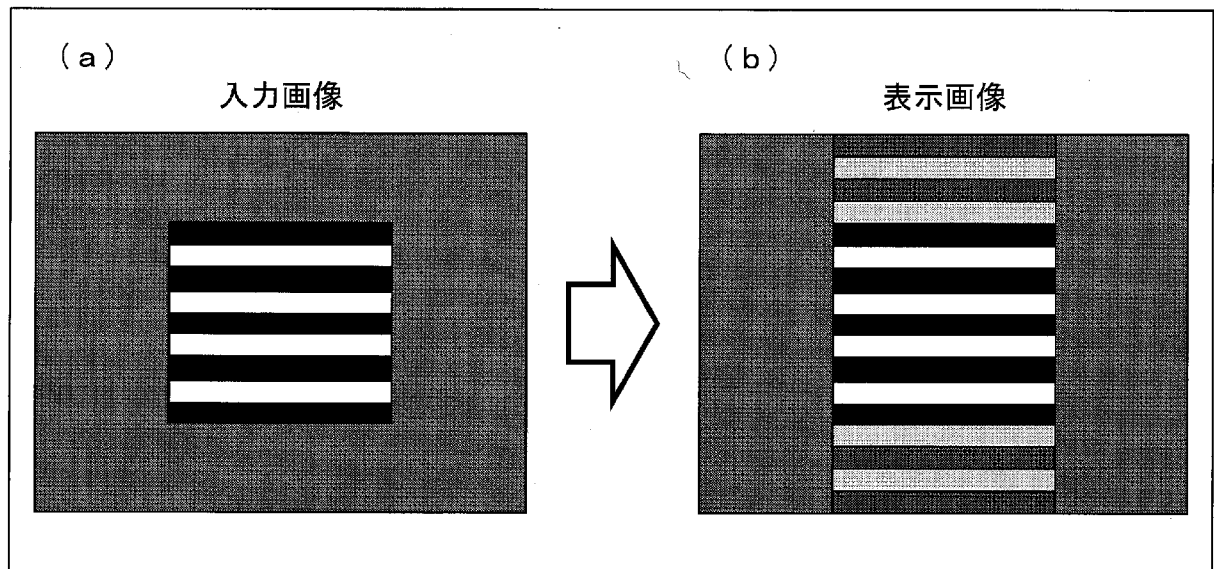
[図12]

図 12



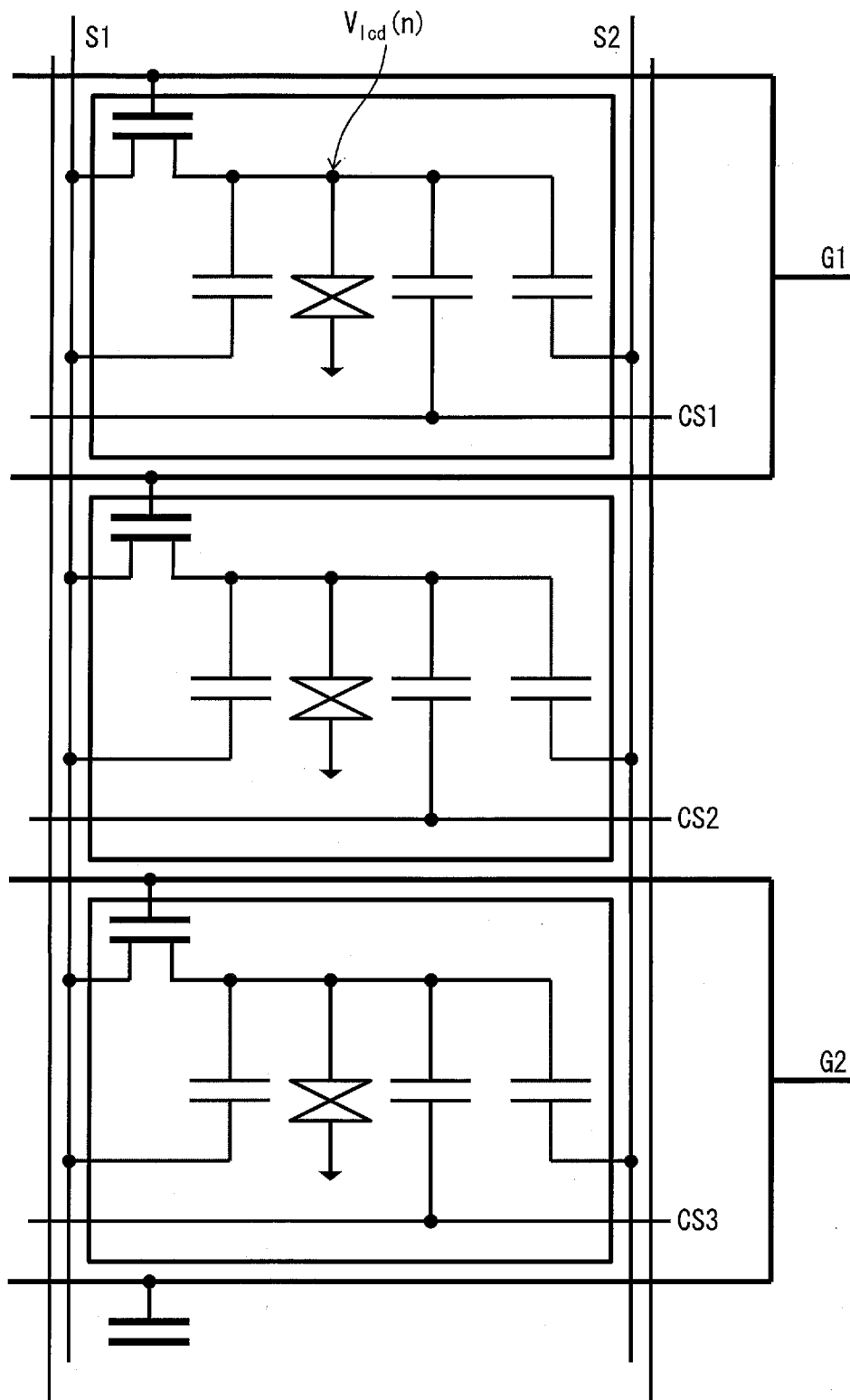
[図13]

図 13



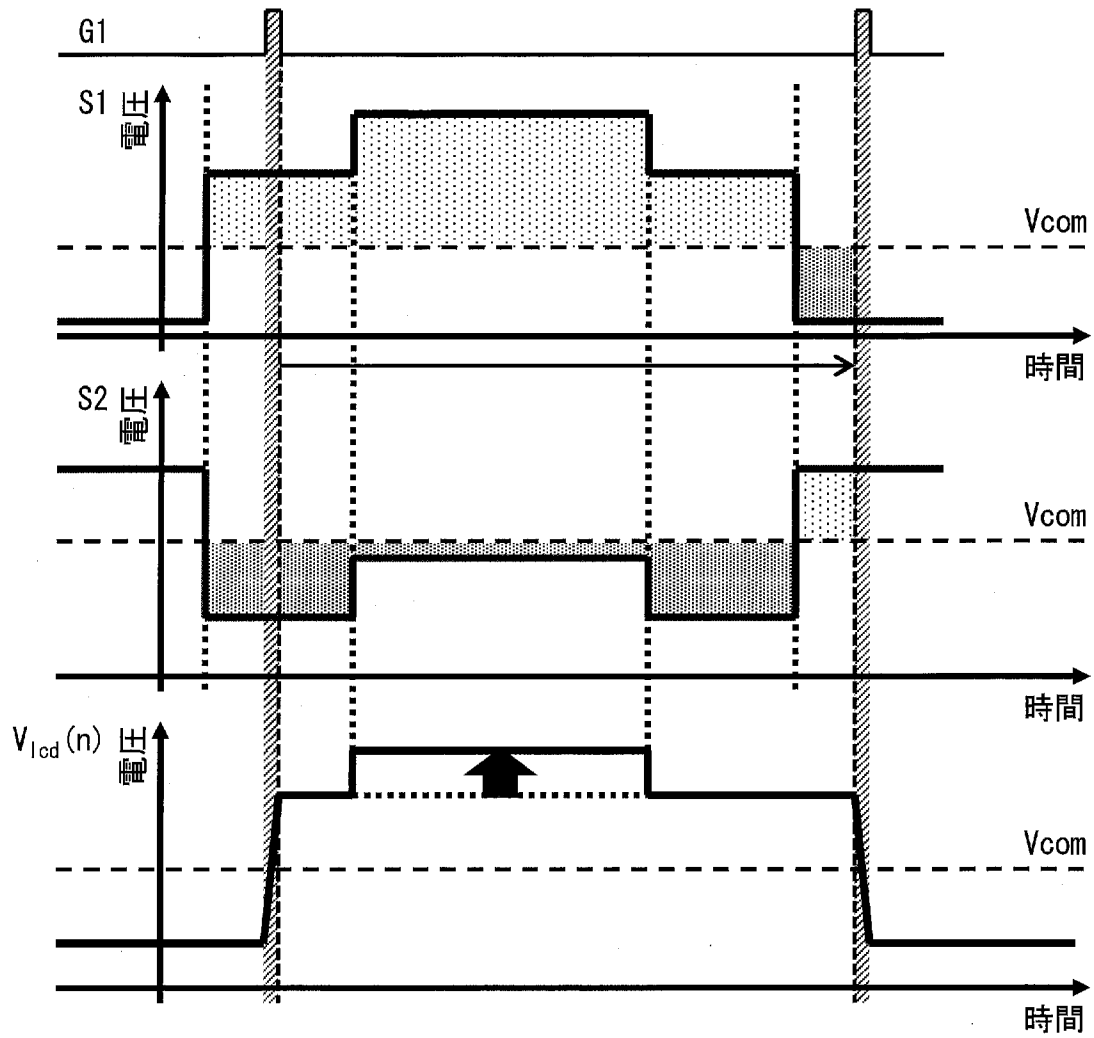
[図14]

図 14



[図15]

図 15



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/062023

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/36, G02F1/133, G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2014-178362 A (Seiko Epson Corp.), 25 September 2014 (25.09.2014), paragraphs [0025] to [0027], [0039], [0045] to [0063]; fig. 4 to 5, 8 & US 2014/0267452 A1 paragraphs [0054] to [0061], [0090], [0106] to [0145]; fig. 4 to 5, 8	1, 7-9 2, 5-6 3-4
Y A	WO 2012/111553 A1 (Sharp Corp.), 23 August 2012 (23.08.2012), paragraph [0040]; fig. 2 & US 2013/0321384 A1 paragraph [0053]; fig. 2	2, 5-6 3-4

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
04 July 2016 (04.07.16)

Date of mailing of the international search report
12 July 2016 (12.07.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/062023

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2010/079641 A1 (Sharp Corp.), 15 July 2010 (15.07.2010), entire text; all drawings & US 2011/0242148 A1 entire text; all drawings	1-9
A	JP 2013-134400 A (Seiko Epson Corp.), 08 July 2013 (08.07.2013), entire text; all drawings & US 2013/0162698 A1 entire text; all drawings	1-9

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. G09G3/36, G02F1/133, G09G3/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	J P 2014-178362 A（セイコーエプソン株式会社） 2014.09.25, 段落 [0025]-[0027], [0039], [0045]-[0063], 図4-5, 8 & US 2014/0267452 A1, 段落 [0054]-[0061], [0090], [0106]-[0145], 図4-5, 8	1, 7-9 2, 5-6 3-4
Y A	W O 2012/111553 A1（シャープ株式会社） 2012.08.23, 段落 [0040], 図2 & US 2013/0321384 A1, 段落 [0053], 図2	2, 5-6 3-4

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

04.07.2016

国際調査報告の発送日

12.07.2016

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

西島 篤宏

2G

6201

電話番号 03-3581-1101 内線 3226

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2010/079641 A1 (シャープ株式会社) 2010.07.15, 全文, 全図 & US 2011/0242148 A1, 全文, 全図	1-9
A	J P 2013-134400 A (セイコーエプソン株式会社) 2013.07.08, 全文, 全図 & US 2013/0162698 A1, 全文, 全図	1-9