



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년10월31일
(11) 등록번호 10-1670691
(24) 등록일자 2016년10월25일

(51) 국제특허분류(Int. Cl.)

H01L 29/786 (2006.01)

(21) 출원번호 10-2009-0069323

(22) 출원일자 2009년07월29일

심사청구일자 2014년06월11일

(65) 공개번호 10-2010-0014141

(43) 공개일자 2010년02월10일

(30) 우선권주장

JP-P-2008-197147 2008년07월31일 일본(JP)

(56) 선행기술조사문헌

JP2006165531 A*

JP2007123861 A*

JP2007157916 A*

KR100175410 B1

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

가부시키가이샤 한도오파이 에네루기 켄큐쇼

일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자

야마자키 순페이

일본, 가나가와켄 243-0036, 아쓰기시, 하세 398

가부시키가이샤 한도오파이 에네루기 켄큐쇼 내

미야이리 히데카즈

일본, 가나가와켄 243-0036, 아쓰기시, 하세 398

가부시키가이샤 한도오파이 에네루기 켄큐쇼 내

(뒷면에 계속)

(74) 대리인

장훈

전체 청구항 수 : 총 12 항

심사관 : 설관식

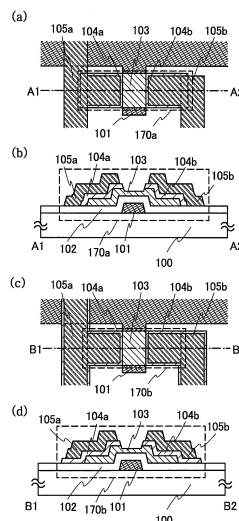
(54) 발명의 명칭 반도체 장치 및 반도체 장치의 제작 방법

(57) 요약

전기 특성 및 신뢰성이 높은 박막 트랜지스터를 갖는 반도체 장치, 및 상기 반도체 장치를 높은 양산성으로 제작하는 방법을 제안하는 것을 과제로 한다.

반도체층으로서 In, Ga, 및 Zn를 포함하는 산화물 반도체막을 사용하고, 반도체층과 소스 전극층 및 드레인 전극층 사이에 버퍼층이 형성된 역 스택거형(보텀 게이트 구조)의 박막 트랜지스터를 포함하는 것을 요지로 한다. 소스 전극층 및 드레인 전극층과 반도체층 사이에 반도체층보다 캐리어 농도가 높은 버퍼층을 의도적으로 형성함으로써, 옴릭(ohmic)성의 콘택트를 형성한다.

대표도 - 도1



(72) 발명자

미야나가 아키히루

일본, 가나가와켄 243-0036, 아쓰기시, 하세 398
가부시키키가이샤 한도오파이 에네루기 켄큐쇼 내

아키토모 켄고

일본, 가나가와켄 243-0036, 아쓰기시, 하세 398
가부시키키가이샤 한도오파이 에네루기 켄큐쇼 내

시라이시 코지로

일본, 가나가와켄 243-0036, 아쓰기시, 하세 398
가부시키키가이샤 한도오파이 에네루기 켄큐쇼 내

명세서

청구범위

청구항 1

박막 트랜지스터를 포함하는 반도체 장치에 있어서,

상기 박막 트랜지스터는,

게이트 전극층과;

상기 게이트 전극층 위의 게이트 절연층과;

상기 게이트 절연층 위의 반도체층과;

상기 반도체층 위의 제 1 n형 도전형을 갖는 버퍼층 및 제 2 n형 도전형을 갖는 버퍼층과;

상기 제 1 n형 도전형을 갖는 버퍼층 위의 소스 전극층, 및 상기 제 2 n형 도전형을 갖는 버퍼층 위의 드레인 전극층을 포함하고,

상기 반도체층, 상기 제 1 n형 도전형을 갖는 버퍼층, 및 상기 제 2 n형 도전형을 갖는 버퍼층은 각각 인듐(In), 갈륨(Ga), 및 아연(Zn)을 함유하는 산화물 반도체를 포함하고,

상기 제 1 n형 도전형을 갖는 버퍼층 및 상기 제 2 n형 도전형을 갖는 버퍼층은 각각 상기 반도체층보다 높은 캐리어 농도를 갖고,

상기 제 1 n형 도전형을 갖는 버퍼층 및 상기 제 2 n형 도전형을 갖는 버퍼층 각각은 마그네슘, 알루미늄, 및 티타늄으로 구성된 그룹으로부터 선택된 하나를 포함하는, 반도체 장치.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

박막 트랜지스터를 포함하는 반도체 장치에 있어서,

상기 박막 트랜지스터는,

게이트 전극층과;

상기 게이트 전극층 위의 게이트 절연층과;

상기 게이트 절연층 위의 반도체층과;

상기 반도체층 위의 제 1 n형 도전형을 갖는 버퍼층 및 제 2 n형 도전형을 갖는 버퍼층과;

상기 제 1 n형 도전형을 갖는 버퍼층 위의 소스 전극층, 및 상기 제 2 n형 도전형을 갖는 버퍼층 위의

드레인 전극층을 포함하고,

상기 반도체층, 상기 제 1 n형 도전형을 갖는 버퍼층, 및 상기 제 2 n형 도전형을 갖는 버퍼층은 각각 인듐, 갈륨, 및 아연을 함유하는 산화물 반도체를 포함하고,

상기 제 1 n형 도전형을 갖는 버퍼층과 상기 제 2 n형 도전형을 갖는 버퍼층 사이에 있는 상기 반도체층의 영역은 상기 제 1 n형 도전형을 갖는 버퍼층 아래의 상기 반도체층의 영역 및 상기 제 2 n형 도전형을 갖는 버퍼층 아래의 상기 반도체층의 영역보다 얇고,

상기 제 1 n형 도전형을 갖는 버퍼층 및 상기 제 2 n형 도전형을 갖는 버퍼층은 각각 상기 반도체층보다 높은 캐리어 농도를 갖고,

상기 제 1 n형 도전형을 갖는 버퍼층 및 상기 제 2 n형 도전형을 갖는 버퍼층 각각은 마그네슘, 알루미늄, 및 티타늄으로 구성된 그룹으로부터 선택된 하나를 포함하는, 반도체 장치.

청구항 8

삭제

청구항 9

제 1 항 또는 제 7 항에 있어서,

상기 반도체층의 캐리어 농도는 1×10^{17} atoms/cm³ 미만, 상기 제 1 n형 도전형을 갖는 버퍼층 및 상기 제 2 n형 도전형을 갖는 버퍼층 각각의 캐리어 농도는 1×10^{18} atoms/cm³ 이상인, 반도체 장치.

청구항 10

제 1 항 또는 제 7 항에 있어서,

상기 박막 트랜지스터는 상기 반도체층의 캐리어 농도보다 높고 상기 제 1 n형 도전형을 갖는 버퍼층 및 상기 제 2 n형 도전형을 갖는 버퍼층 각각의 캐리어 농도보다 낮은 캐리어 농도를 각각 갖는 제 3 버퍼층 및 제 4 버퍼층을 더 포함하고,

상기 제 3 버퍼층은 상기 반도체층과 상기 제 1 n형 도전형을 갖는 버퍼층 사이에 제공되고, 상기 제 4 버퍼층은 상기 반도체층과 상기 제 2 n형 도전형을 갖는 버퍼층 사이에 제공되는, 반도체 장치.

청구항 11

제 1 항 또는 제 7 항에 있어서,

상기 소스 전극층 및 드레인 전극층은 티타늄을 포함하는, 반도체 장치.

청구항 12

제 1 항 또는 제 7 항에 있어서,

상기 소스 전극층 및 상기 드레인 전극층 위에 절연층을 더 포함하고,

상기 절연층은 상기 소스 전극층의 상면, 상기 드레인 전극층의 상면, 및 상기 소스 전극층과 상기 드레인 전극층 사이의 상기 반도체층의 영역과 접하는, 반도체 장치.

청구항 13

반도체 장치의 제작 방법에 있어서,

기판 위에 게이트 전극층을 형성하는 단계와;

상기 게이트 전극층 위에 게이트 절연층을 형성하는 단계와;

상기 게이트 절연층 위에 반도체층을 형성하는 단계와;

상기 반도체층 위에 제 1 n형 도전형을 갖는 버퍼층 및 제 2 n형 도전형을 갖는 버퍼층을 형성하는 단

계와;

상기 제 1 n형 도전형을 갖는 버퍼층 위에 소스 전극층을, 상기 제 2 n형 도전형을 갖는 버퍼층 위에 드레인 전극층을 형성하는 단계를 포함하고,

상기 반도체층, 상기 제 1 n형 도전형을 갖는 버퍼층, 및 상기 제 2 n형 도전형을 갖는 버퍼층은 각각 인듐, 갈륨, 및 아연을 함유하는 산화물 반도체를 사용하여 형성되고,

상기 제 1 n형 도전형을 갖는 버퍼층 및 상기 제 2 n형 도전형을 갖는 버퍼층은 각각 상기 반도체층보다 높은 캐리어 농도를 갖고,

상기 제 1 n형 도전형을 갖는 버퍼층 및 상기 제 2 n형 도전형을 갖는 버퍼층 각각은 마그네슘, 알루미늄, 및 티타늄으로 구성된 그룹으로부터 선택된 하나를 포함하는, 반도체 장치의 제작 방법.

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

반도체 장치의 제작 방법에 있어서,

기판 위에 게이트 전극층을 형성하는 단계와;

상기 게이트 전극층 위에 게이트 절연층을 형성하는 단계와;

상기 게이트 절연층 위에 반도체층을 형성하는 단계와;

상기 반도체층 위에 제 1 n형 도전형을 갖는 버퍼층 및 제 2 n형 도전형을 갖는 버퍼층을 형성하는 단계와;

상기 제 1 n형 도전형을 갖는 버퍼층 위에 소스 전극층을, 상기 제 2 n형 도전형을 갖는 버퍼층 위에 드레인 전극층을 형성하는 단계를 포함하고,

상기 반도체층, 상기 제 1 n형 도전형을 갖는 버퍼층, 및 상기 제 2 n형 도전형을 갖는 버퍼층은 각각 인듐, 갈륨, 및 아연을 함유하는 산화물 반도체를 사용하여 형성되고,

상기 제 1 n형 도전형을 갖는 버퍼층 및 상기 제 2 n형 도전형을 갖는 버퍼층은 각각 상기 반도체층보다 높은 캐리어 농도를 갖고,

상기 게이트 절연층, 상기 반도체층, 상기 제 1 n형 도전형을 갖는 버퍼층, 상기 제 2 n형 도전형을 갖는 버퍼층, 및 상기 소스 전극층 및 드레인 전극층은 대기에 노출시키지 않고 연속적으로 형성되고,

상기 제 1 n형 도전형을 갖는 버퍼층 및 상기 제 2 n형 도전형을 갖는 버퍼층 각각은 마그네슘, 알루미늄, 및 티타늄으로 구성된 그룹으로부터 선택된 하나를 포함하는, 반도체 장치의 제작 방법.

청구항 20

제 13 항 또는 제 19 항에 있어서,

상기 게이트 절연층, 상기 반도체층, 상기 제 1 n형 도전형을 갖는 버퍼층, 상기 제 2 n형 도전형을 갖는 버퍼층, 및 상기 소스 전극층 및 드레인 전극층은, 스퍼터링법으로 형성되는, 반도체 장치의 제작 방법.

청구항 21

제 20 항에 있어서,

상기 게이트 절연층 및 상기 반도체층은 산소 분위기하에서 형성되는, 반도체 장치의 제작 방법.

청구항 22

제 20 항에 있어서,

상기 제 1 n형 도전형을 갖는 버퍼층 및 상기 제 2 n형 도전형을 갖는 버퍼층은 희 가스 분위기하에서 형성되는, 반도체 장치의 제작 방법.

청구항 23

제 13 항 또는 제 19 항에 있어서,

상기 반도체층의 캐리어 농도는 1×10^{17} atoms/cm³ 미만, 상기 제 1 n형 도전형을 갖는 버퍼층 및 상기 제 2 n형 도전형을 갖는 버퍼층 각각의 캐리어 농도는 1×10^{18} atoms/cm³ 이상인, 반도체 장치의 제작 방법.

청구항 24

삭제

발명의 설명

발명의 상세한 설명

기술 분야

[0001] 본 발명은, 채널 형성 영역에 산화물 반도체막을 사용한 박막 트랜지스터(이하, TFT라고 함)로 구성된 회로를 갖는 반도체 장치 및 그 제작 방법에 관한 것이다. 예를 들어, 액정 표시 패널로 대표되는 전기 광학 장치나 유기 발광 소자를 갖는 발광 표시 장치를 부품으로서 탑재한 전자 기기에 관한 것이다.

[0002] 또한, 본 명세서 중에 있어서 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리키고, 전기 광학 장치, 반도체 회로 및 전자 기기는 모두 반도체 장치이다.

배경 기술

[0003] 최근, 매트릭스 형상으로 배치된 표시 화소마다 TFT로 이루어지는 스위칭 소자를 형성한 액티브 매트릭스형의 표시 장치(액정 표시 장치나 발광 표시 장치나 전기 영동(電氣泳動)식 표시 장치)가 활발히 개발되고 있다. 액티브 매트릭스형의 표시 장치는, 화소(또는, 1 도트(dot))마다 스위칭 소자가 형성되어 있고, 단순 매트릭스 방식에 비하여 화소 밀도가 높아진 경우에 저전압 구동할 수 있으므로 유리하다.

[0004] 또한, 채널 형성 영역에 산화물 반도체막을 사용하여 박막 트랜지스터(TFT) 등을 제작하고, 전자 디바이스나 광 디바이스에 응용하는 기술이 주목을 받고 있다. 예를 들어, 산화물 반도체막으로서 산화 아연(ZnO)을 사용하는 TFT나, InGaO₃(ZnO)_m를 사용하는 TFT를 들 수 있다. 이들 산화물 반도체막을 사용한 TFT를, 투광성을 갖는 기판 위에 형성하고, 화상 표시 장치의 스위칭 소자 등에 사용하는 기술이 특허 문헌 1 및 특허 문헌 2에서 개시되어 있다.

[0005] [특허문헌 1] 특개 2007-123861호 공보

[0006] [특허문헌 2] 특개 2007-96055호 공보

발명의 내용

해결 하고자하는 과제

- [0007] 채널 형성 영역에 산화물 반도체막을 사용하는 박막 트랜지스터에는, 동작 속도가 빠른 것, 제작 공정이 비교적으로 간단한 것, 또 충분한 신뢰성이 요구되고 있다.
- [0008] 박막 트랜지스터를 형성하는 데에 있어서, 소스 전극 및 드레인 전극은 저저항의 금속 재료를 사용한다. 특히, 대면적의 표시를 행하는 표시 장치를 제작할 때, 배선의 저항에 의한 신호의 지연 문제가 현저해진다. 따라서, 배선이나 전극의 재료로서는, 전기 저항 값이 낮은 금속 재료를 사용하는 것이 바람직하다. 전기 저항 값이 낮은 금속 재료로 이루어지는 소스 전극 및 드레인 전극과, 산화물 반도체막이 직접 접하는 박막 트랜지스터 구조로 하면, 콘택트 저항이 높아질 우려가 있다. 콘택트 저항이 높아지는 원인은, 소스 전극 및 드레인 전극과 산화물 반도체막의 접촉면에서 쇼트키(Schottky) 접합이 형성되는 것이 요인의 하나로 생각된다.
- [0009] 또한, 소스 전극 및 드레인 전극과, 산화물 반도체막이 직접 접하는 부분에는 용량이 형성되고, 주파수 특성(f 특성이라고 불림)이 낮아짐으로써, 박막 트랜지스터의 고속 동작을 막을 우려가 있다.
- [0010] 인듐(In), 갈륨(Ga), 및 아연(Zn)을 포함하는 산화물 반도체막을 사용하는 박막 트랜지스터에 있어서, 소스 전극 또는 드레인 전극의 콘택트 저항을 저감한 박막 트랜지스터 및 그 제작 방법을 제공하는 것을 과제의 하나로 한다.
- [0011] 또한, In, Ga, 및 Zn를 포함하는 산화물 반도체막을 사용하는 박막 트랜지스터의 동작 특성이나 신뢰성을 향상시키는 것도 과제의 하나로 한다.
- [0012] 또한, In, Ga, 및 Zn를 포함하는 산화물 반도체막을 사용하는 박막 트랜지스터의 전기 특성의 변동을 저감하는 것도 과제의 하나로 한다. 특히, 액정 표시 장치에 있어서는, 개개의 소자간에서의 변동이 큰 경우, 그 TFT 특성의 변동에 기인하는 표시 얼룩이 발생할 우려가 있다.
- [0013] 또한, 발광 소자를 갖는 표시 장치에 있어서도, 화소 전극에 일정한 전류가 흐르도록 배치된 TFT(구동 회로 또는 화소에 배치되는 발광 소자에 전류를 공급하는 TFT)의 온 전류(I_{on})의 변동이 큰 경우, 표시 화면에 있어서 휘도의 변동이 생길 우려가 있다.
- [0014] 이상, 본 발명은, 상기 과제의 적어도 하나를 해결하는 것을 목적으로 한다.

과제 해결수단

- [0015] 본 발명의 일 형태는, 반도체층으로서 In, Ga, 및 Zn를 포함하는 산화물 반도체막을 사용하고, 반도체층과 소스 전극층 및 드레인 전극층 사이에 버퍼층이 형성된 역 스테거형(보텀 게이트 구조)의 박막 트랜지스터를 포함하는 것을 요지로 한다.
- [0016] 본 명세서에 있어서, In, Ga, 및 Zn를 포함하는 산화물 반도체막을 사용하여 형성된 반도체층을 「IGZO 반도체층」이라고도 기재한다.
- [0017] 소스 전극층과 IGZO 반도체층은 오믹성의 콘택트가 필요하고, 또한 그 콘택트 저항은 극력 저감하는 것이 바람직하다. 마찬가지로 드레인 전극층과 IGZO 반도체층은 오믹성의 콘택트가 필요하고, 또한 그 콘택트 저항은 극력 저감하는 것이 바람직하다.
- [0018] 그래서, 소스 전극층 및 드레인 전극층과 IGZO 반도체층 사이에, IGZO 반도체층보다 캐리어 농도가 높은 버퍼층을 의도적으로 형성함으로써 오믹성의 콘택트를 형성한다.
- [0019] 버퍼층으로서, n형 도전형을 갖는 In, Ga, 및 Zn를 포함하는 산화물 반도체막을 사용한다. 버퍼층에 n형을 부여하는 불순물 원소를 포함시켜도 좋다. 불순물 원소로서, 예를 들어, 마그네슘, 알루미늄, 티타늄, 철, 주석, 칼슘, 게르마늄, 스칸듐, 이트륨, 지르코늄, 하프늄, 붕소, 탈륨, 납 등을 사용할 수 있다. 마그네슘, 알루미늄, 티타늄 등을 버퍼층에 포함시키면, 산소의 블로킹 효과 등이 있고, 성막 후의 가열 처리 등에 의하여 반도체층의 산소 농도를 최적의 범위 내로 유지할 수 있다.
- [0020] 버퍼층은, n^+ 층으로서 기능하고, 드레인 영역 또는 소스 영역이라고도 부를 수 있다.
- [0021] 박막 트랜지스터의 전기 특성의 편차를 저감하기 위해서는, IGZO 반도체층은 아모퍼스 상태인 것이 바

람직하다.

[0022] 본 발명의 반도체 장치의 일 형태는, 게이트 전극층과, 게이트 전극층 위에 게이트 절연층과, 게이트 절연층 위에 반도체층과, 반도체층 위에 제 1 n형 도전형을 갖는 버퍼층 및 제 2 n형 도전형을 갖는 버퍼층과, 제 1 n형 도전형을 갖는 버퍼층 위에 소스 전극층 및 제 2 n형 도전형을 갖는 버퍼층 위의 드레인 전극층을 포함하는 박막 트랜지스터를 갖는다. 또한, 반도체층 및 제 1 n형 도전형을 갖는 버퍼층, 제 2 n형 도전형을 갖는 버퍼층은 각각 In, Ga, 및 Zn를 포함하는 산화물 반도체를 포함한다. 제 1 n형 도전형을 갖는 버퍼층 및 제 2 n형 도전형을 갖는 버퍼층의 캐리어 농도는 각각 반도체층의 캐리어 농도보다 높다. 또한, 반도체층과 소스 전극층은 제 1 n형 도전형을 갖는 버퍼층을 사이에 두고 서로 전기적으로 접속되고, 반도체층과 드레인 전극층은 제 2 n형 도전형을 갖는 버퍼층을 사이에 두고 서로 전기적으로 접속된다.

[0023] 본 발명의 반도체 장치의 일 형태는, 게이트 전극층과, 게이트 전극층 위에 게이트 절연층과, 게이트 절연층 위에 반도체층과, 반도체층 위에 제 1 n형 도전형을 갖는 버퍼층 및 제 2 n형 도전형을 갖는 버퍼층과, 제 1 n형 도전형을 갖는 버퍼층 위에 소스 전극층 및 제 2 n형 도전형을 갖는 버퍼층 위의 드레인 전극층을 포함하는 박막 트랜지스터를 갖는다. 반도체층, 제 1 n형 도전형을 갖는 버퍼층, 및 제 2 n형 도전형을 갖는 버퍼층은 In, Ga, 및 Zn를 포함한다. 제 1 n형 도전형을 갖는 버퍼층과 제 2 n형 도전형을 갖는 버퍼층 사이에 있는 반도체층 영역은 제 1 n형 도전형을 갖는 버퍼층 밑의 반도체 영역 및 제 2 n형 도전형을 갖는 버퍼층 밑의 반도체 영역보다 얇다. 제 1 n형 도전형을 갖는 버퍼층 및 제 2 n형 도전형을 갖는 버퍼층의 캐리어 농도는 각각 반도체층의 캐리어 농도보다 높다. 또한, 반도체층과 소스 전극층은 제 1 n형 도전형을 갖는 버퍼층을 사이에 두고, 서로 전기적으로 접속되고, 반도체층과 드레인 전극층과는 제 2 n형 도전형을 갖는 버퍼층을 사이에 두고 전기적으로 접속된다.

[0024] 상기 구성에 있어서, 반도체층의 캐리어 농도보다 높고, 제 1 n형 도전형을 갖는 버퍼층, 제 2 n형 도전형을 갖는 버퍼층 각각의 캐리어 농도보다 낮은 캐리어 농도를 각각 갖는 제 3 버퍼층 및 제 4 버퍼층을 더 포함하는 박막 트랜지스터를 형성하여도 좋다. 제 3 버퍼층은 반도체층과 제 1 n형 도전형을 갖는 버퍼층 사이에 형성되고, 제 4 버퍼층은 반도체층과 제 2 n형 도전형을 갖는 버퍼층 사이에 형성된다. 제 3 버퍼층 및 제 4 버퍼층은 각각 n⁺층으로서 기능한다.

[0025] In, Ga, 및 Zn를 포함하는 산화물 반도체막(IGZO막)은 캐리어 농도가 높아짐에 따라, 홀 이동도도 높아지는 특성을 갖는다. 따라서, In, Ga, 및 Zn를 포함하는 산화물 반도체막의 캐리어 농도와 홀 이동도의 관계는 도 27에 도시하는 바와 같다. 반도체층의 채널로서 적합한 IGZO막의 캐리어 농도 범위(채널용 농도 범위 1)는, $1 \times 10^{17} \text{ atoms/cm}^3$ 미만(보다 바람직하게는, $1 \times 10^{11} \text{ atoms/cm}^3$ 이상), 버퍼층으로서 적합한 IGZO막의 캐리어 농도 범위(버퍼층 농도 범위 2)는, $1 \times 10^{18} \text{ atoms/cm}^3$ 이상(보다 바람직하게는, $1 \times 10^{22} \text{ atoms/cm}^3$ 이하)인 것이 바람직하다. 상기 IGZO막의 캐리어 농도는 반도체층으로서 사용한 경우, 실온으로 소스, 드레인, 및 게이트 전압을 인가하지 않는 상태에서의 값이다.

[0026] 채널용의 IGZO막의 캐리어 농도 범위가 상기 범위를 초과하면, 박막 트랜지스터로서 노멀리 온(normally on)으로 될 우려가 있다. 따라서, 본 명세서에 개시하는 캐리어 농도 범위의 IGZO막을 반도체층의 채널로서 사용함으로써, 신뢰성이 높은 박막 트랜지스터로 할 수 있다.

[0027] 또한, 소스 전극층 및 드레인 전극층에 티타늄막을 사용하는 것이 바람직하다. 예를 들어, 티타늄막, 알루미늄막, 티타늄막의 적층을 사용하면 저저항이고, 또 알루미늄막에 힐록(hillock)이 발생하기 어렵다.

[0028] 본 발명의 반도체 장치의 제작 방법은, 기판 위에 게이트 전극층을 형성하고, 게이트 전극층 위에 게이트 절연층을 형성하고, 게이트 절연층 위에 반도체층을 형성하고, 반도체층 위에 제 1 n형 도전형을 갖는 버퍼층 및 제 2 n형 도전형을 갖는 버퍼층을 형성하고, 제 1 n형 도전형을 갖는 버퍼층 위의 소스 전극층 및 제 2 n형 도전형을 갖는 버퍼층 위의 드레인 전극층을 형성한다. 반도체층, 제 1 n형 도전형을 갖는 버퍼층, 제 2 n형 도전형을 갖는 버퍼층은 각각 In, Ga, 및 Zn를 포함하는 산화물 반도체를 사용하여 형성한다. 제 1 n형 도전형을 갖는 버퍼층 및 제 2 n형 도전형을 갖는 버퍼층 각각의 캐리어 농도는 반도체층의 캐리어 농도보다 높다. 반도체층과 소스 전극층은 제 1 n형 도전형을 갖는 버퍼층을 사이에 두고 서로 전기적으로 접속되고, 반도체층과 드레인 전극층은 제 2 n형 도전형을 갖는 버퍼층을 사이에 두고 전기적으로 접속된다.

[0029] 게이트 절연층, 반도체층, 제 1 n형 도전형을 갖는 버퍼층, 제 2 n형 도전형을 갖는 버퍼층, 소스 전극층 및 드레인 전극층은 대기에 노출시키지 않고 연속적으로 형성할 수 있다. 연속적으로 성막하면, 먼지가 되

는 대기 중의 불순물이 계면에 혼입되는 것에 기인한 불량을 경감할 수 있다.

[0030] 게이트 절연층, 반도체층, 제 1 n형 도전형을 갖는 버퍼층, 제 2 n형 도전형을 갖는 버퍼층, 소스 전극층 및 드레인 전극층은 스퍼터링법으로 형성하면 좋다. 게이트 절연층 및 반도체층은 산소 분위기하(또는, 산소 90% 이상, 희 가스(아르곤) 10% 이하)에서 성막, 제 1 n형 도전형과 제 2 n형 도전형을 갖는 버퍼층을 갖는 버퍼층은 희 가스(아르곤) 분위기하에서 성막하는 것이 바람직하다.

[0031] 상술한 바와 같이, 스퍼터링법을 사용하여 연속적으로 성막하면, 생산성이 높고, 박막 계면의 신뢰성이 안정된다. 또한, 게이트 절연층과 반도체층을 산소 분위기하에서 성막하고, 산소를 많이 포함시키면, 열화에 의한 신뢰성의 저하나, 박막 트랜지스터 특성의 노멀리 온 측으로의 시프트 등을 경감할 수 있다.

[0032] 본 발명의 반도체 장치의 제작 방법의 일 형태는, 기판 위에 게이트 전극층을 형성하고, 게이트 전극층 위에 게이트 절연층을 형성하고, 게이트 절연층 위에 반도체층을 형성하고, 반도체층 위에 제 1 n형 도전형을 갖는 버퍼층 및 제 2 n형 도전형을 갖는 버퍼층을 갖는 버퍼층을 형성하고, 제 1 n형 도전형을 갖는 버퍼층 위에 소스 전극층, 및 제 2 n형 도전형을 갖는 버퍼층 위에 드레인 전극층을 형성한다. 반도체층, 제 1 n형 도전형을 갖는 버퍼층, 및 제 2 n형 도전형을 갖는 버퍼층은 각각 In, Ga, 및 Zn를 포함하는 산화물 반도체를 사용하여 형성한다. 제 1 n형 도전형을 갖는 버퍼층 및 제 2 n형 도전형을 갖는 버퍼층 각각의 캐리어 농도는 반도체층의 캐리어 농도보다 높다. 또한, 반도체층과 소스 전극층은 제 1 n형 도전형을 갖는 버퍼층을 사이에 두고 서로 전기적으로 접속되고, 반도체층과 드레인 전극층은 제 2 n형 도전형을 갖는 버퍼층을 사이에 두고 전기적으로 접속된다. 게이트 절연층, 반도체층, 제 1 n형 도전형을 갖는 버퍼층, 제 2 n형 도전형을 갖는 버퍼층, 소스 전극층, 및 드레인 전극층은 대기에 노출시키지 않고 연속적으로 형성한다.

효 과

[0033] 본 발명의 일 형태에 따라, 광 전류가 적고, 기생 용량이 작고, 온·오프비가 높은 박막 트랜지스터를 얻을 수 있고, 양호한 동적(dynamic) 특성을 갖는 박막 트랜지스터를 제작할 수 있다. 따라서, 전기 특성이 높고, 신뢰성이 좋은 박막 트랜지스터를 갖는 반도체 장치를 제공할 수 있다.

발명의 실시를 위한 구체적인 내용

[0034] 실시형태에 대하여 도면을 사용하여 자세히 설명한다. 다만, 본 발명은 이하의 설명에 한정되지 않고 본 발명의 취지 및 범위에서 벗어남이 없이 그 형태 및 상세한 사항은 다양하게 변경될 수 있다는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 본 발명은 이하에 나타내는 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다. 또한, 이하에 설명하는 본 발명의 구성에 있어서, 동일 부분 또는 같은 기능을 갖는 부분에는 동일한 부호를 다른 도면간에서 공통으로 사용하고, 그 반복되는 설명은 생략하는 경우가 있다.

[0035] (실시형태 1)

[0036] 본 실시형태에서는 박막 트랜지스터 및 그 제작 방법에 대하여 도 1a 내지 도 4d를 사용하여 설명한다.

[0037] 본 실시형태의 보텀 게이트 구조의 박막 트랜지스터(170a, 170b, 170c)를 도 1a, 도 1b, 도 1c, 도 1d, 및 도 2a, 도 2b에 도시한다. 도 1a는 평면도이고, 도 1b는 도 1a에 있어서의 선 A1-A2의 단면도이다. 도 1c는 평면도이고, 도 1d는 도 1c에 있어서의 선 B1-B2의 단면도이다. 도 2a는 평면도이고, 도 2b는 도 2a에 있어서의 선 C1-C2의 단면도이다.

[0038] 도 1a 및 도 1b에 있어서, 기판(100) 위에 게이트 전극층(101), 게이트 절연층(102), 반도체층(103), n형 도전형을 갖는 버퍼층(104a, 104b), 소스 전극층 또는 드레인 전극층(105a, 105b)을 포함하는 박막 트랜지스터(170a)가 형성되어 있다.

[0039] 반도체층(103)으로서, In, Ga, 및 Zn를 포함하는 산화물 반도체막을 사용하고, 소스 전극층 또는 드레인 전극층(105a, 105b)과 IGZO반도체층인 반도체층(103) 사이에, 반도체층(103)보다 캐리어 농도가 높은 버퍼층(104a, 104b)을 의도적으로 형성함으로써, 오믹성의 콘택트를 형성한다.

[0040] 버퍼층(104a, 104b)으로서는, n형 도전형을 갖는 In, Ga, 및 Zn를 포함하는 산화물 반도체막을 사용한다. 버퍼층(104a, 104b)에 n형을 부여하는 불순물 원소를 포함시켜도 좋다. 불순물 원소로서 예를 들어, 마그네슘, 알루미늄, 티타늄, 철, 주석, 갈륨, 게르마늄, 스칸듐, 이트륨, 지르코늄, 하프늄, 붕소, tantalum, 납 등을 사용할 수가 있다. 마그네슘, 알루미늄, 티타늄 등을 버퍼층에 포함시키면, 산소의 블로킹 효과 등이 있고, 성

막 후의 가열 처리 등에 의하여, 반도체층의 산소 농도를 최적의 범위 내로 유지할 수 있다.

[0041] 본 실시형태에 있어서, 반도체층의 캐리어 농도 범위는, $1 \times 10^{17} \text{ atoms/cm}^3$ 미만(보다 바람직하게는, $1 \times 10^{11} \text{ atoms/cm}^3$ 이상), 버퍼층의 캐리어 농도 범위는, $1 \times 10^{18} \text{ atoms/cm}^3$ 이상($1 \times 10^{22} \text{ atoms/cm}^3$ 이하)이 바람직하다.

[0042] 채널용의 IGZO막의 캐리어 농도 범위가 상기 범위를 초과하면, 박막 트랜지스터로서 노멀리 온이 될 우려가 있다. 따라서, 본 실시형태의 캐리어 농도 범위의 IGZO막을 반도체층의 채널로서 사용함으로써, 신뢰성이 높은 박막 트랜지스터로 할 수 있다.

[0043] 또한, 반도체층과 버퍼층 사이에 n^+ 층으로서 기능하는 버퍼층보다 캐리어 농도가 낮고, 반도체층보다 캐리어 농도가 높은 제 2 버퍼층을 형성하는 경우에는, 제 2 버퍼층의 캐리어 농도를, 반도체층과 버퍼층의 캐리어 농도 사이의 농도 범위로 하면 좋다.

[0044] 버퍼층(104a, 104b)은, n^+ 층으로서 기능하고, 드레인 영역 또는 소스 영역이라고도 부를 수 있다. 또한, 버퍼층(104a, 104b)은 단부에 테이퍼를 갖고, 도 1a 및 도 1c의 평면도에서는, 버퍼층(104a, 104b)은 테이퍼의 상단부를 가리킨다. 따라서, 도 1a 및 도 1c의 평면도에 있어서는, 게이트 전극층(101)의 단부와 버퍼층(104a, 104b)의 단부는 일치되도록 기재되지만, 도 1b 및 도 1d에 도시하는 바와 같이, 게이트 전극층(101)과 버퍼층(104a, 104b)과는 일부 중첩한다. 이것은 본 명세서의 다른 도면에 있어서도 마찬가지다.

[0045] 도 1a, 도 1b의 박막 트랜지스터(170a)는, 버퍼층(104a, 104b)과 소스 전극층 또는 드레인 전극층(105a, 105b)을 상이한 마스크를 사용하여 에칭 가공한 예이며, 버퍼층(104a, 104b)과 소스 전극층 또는 드레인 전극층(105a, 105b)과는 형상이 상이하다.

[0046] 도 1c, 도 1d의 박막 트랜지스터(170b)는, 버퍼층(104a, 104b)과 소스 전극층 또는 드레인 전극층(105a, 105b)을 동일한 마스크를 사용하여 에칭 가공한 예이며, 버퍼층(104a, 104b)과 소스 전극층 또는 드레인 전극층(105a, 105b)은 동일한 형상을 반영한다.

[0047] 또한, 도 1a 내지 도 1d의 박막 트랜지스터(170a, 170b)는, 반도체층(103) 위에 있어서, 소스 전극층 또는 드레인 전극층(105a, 105b)의 단부와 버퍼층(104a, 104b)의 단부가 일치되지 않고, 버퍼층(104a, 104b)이 일부 노출되어 있는 예이다.

[0048] 한편, 도 2a, 도 2b의 박막 트랜지스터(170c)는, 반도체층(103)과 버퍼층(104a, 104b)을 동일한 마스크를 사용하여 에칭 가공한 예이며, 반도체층(103)과 버퍼층(104a, 104b)의 단부는 일치되어 있다. 또한, 도 2a, 도 2b의 박막 트랜지스터(170c)는, 반도체층(103) 위에 있어서 소스 전극층 또는 드레인 전극층(105a, 105b)의 단부와 버퍼층(104a, 104b)의 단부도 일치되는 예이다.

[0049] 또한, 소스 전극층 또는 드레인 전극층이 적층 구조인 박막 트랜지스터(170d)를 도 11에 도시한다. 박막 트랜지스터(170d)는 소스 전극층 또는 드레인 전극층(105a1, 105a2, 105a3)의 적층, 소스 전극층 또는 드레인 전극층(105b1, 105b2, 105b3)의 적층을 갖는다. 예를 들어, 소스 전극층 또는 드레인 전극층(105a1, 105b1)으로서 티타늄막, 소스 전극층 또는 드레인 전극층(105a2, 105b2)으로서 알루미늄막, 소스 전극층 또는 드레인 전극층(105a3, 105b3)으로서 티타늄막을 사용할 수 있다.

[0050] 박막 트랜지스터(170d)에서는, 소스 전극층 또는 드레인 전극층(105a1, 105b1)을 에칭 스톱퍼로서 사용하고, 소스 전극층 또는 드레인 전극층(105a2, 105a3, 105b2, 105b3)을 웨트 에칭에 의하여 에칭하여 형성한다. 상기 웨트 에칭과 동일한 마스크를 사용하여, 소스 전극층 또는 드레인 전극층(105a1, 105b1), 버퍼층(104a, 104b), 반도체층(103)을 드라이 에칭에 의하여 에칭하여 형성한다.

[0051] 따라서, 소스 전극층 또는 드레인 전극층(105a1)은 버퍼층(104a)의 단부와, 소스 전극층 또는 드레인 전극층(105b1)은 버퍼층(104b)의 단부와 각각 일치되고, 소스 전극층 또는 드레인 전극층(105a2, 105a3), 소스 전극층 또는 드레인 전극층(105b2, 105b3)은 소스 전극층 또는 드레인 전극층(105a1, 105b1)보다 단부가 후퇴한다.

[0052] 상술한 바와 같이, 소스 전극층 및 드레인 전극층에 사용하는 도전막과, 버퍼층 및 반도체층이 에칭 공정에 있어서 선택비가 낮은 경우에는, 에칭 스톱퍼로서 기능하는 도전막을 적층하여 다른 에칭 조건으로 복수회 에칭 공정을 행하면 좋다.

- [0053] 또한, 도 1a, 도 1b의 박막 트랜지스터(170)의 제작 방법을 도 3a 내지 도 3g를 사용하여 설명한다.
- [0054] 기판(100) 위에 게이트 전극층(101), 게이트 절연층(102), 반도체막(111)을 형성한다(도 3a 참조). 기판(100)은 바륨 보로실리케이트 유리, 알루미늄 보로실리케이트 유리, 또는 알루미늄 실리케이트 유리 등, 퓨전 법이나 플로트법으로 제작되는 무알칼리 유리 기판, 세라믹 기판 이외에, 본 제작 공정의 처리 온도에 견딜 수 있는 내열성을 갖는 플라스틱 기판 등을 사용할 수 있다. 또한, 스테인리스 합금 등의 금속 기판 표면에 절연막을 형성한 기판을 적용하여도 좋다. 기판(100)의 크기는 320mm×400mm, 370mm×470mm, 550mm×650mm, 600mm×720mm, 680mm×880mm, 730mm×920mm, 1000mm×1200mm, 1100mm×1250mm, 1150mm×1300mm, 1500mm×1800mm, 1900mm×2200mm, 2160mm×2460mm, 2400mm×2800mm, 또는 2850mm×3050mm 등을 사용할 수 있다.
- [0055] 또한, 기판(100) 위에 하지막으로서 절연막을 형성하여도 좋다. 하지막으로서, CVD법이나 스퍼터링 법 등을 사용하여 산화 실리콘막, 질화 실리콘막, 산화질화 실리콘막, 또는 질화산화 실리콘막의 단층 또는 적층으로 형성하면 좋다.
- [0056] 게이트 전극층(101)은 티타늄, 몰리브덴, 크롬, 탄탈, 텅스텐, 알루미늄 등의 금속 재료 또는 그 합금 재료를 사용하여 형성한다. 게이트 전극층(101)은 스퍼터링법이나 진공 증착법을 사용하여 기판(100) 위에 도전막을 형성하고, 상기 도전막 위에 포토리소그래피 기술 또는 잉크젯법으로 마스크를 형성하고, 상기 마스크를 사용하여 도전막을 에칭함으로써, 형성할 수 있다. 또한, 은, 금, 구리 등의 도전성 나노 페이스트를 사용하여 잉크젯법으로 토출 소성하고, 게이트 전극층(101)을 형성할 수 있다. 또한, 게이트 전극층(101)의 밀착성 향상과, 기판이나 하지막으로의 게이트 전극층(101)의 형성 재료의 확산을 방지하는 배리어 메탈로서, 상기 금속 재료의 질화물막을, 기판(100) 및 게이트 전극층(101) 사이에 형성하여도 좋다. 또한, 게이트 전극층(101)은 단층 구조로 하여도 좋고, 적층 구조로 하여도 좋고, 예를 들어, 기판(100) 측으로부터 몰리브덴막과 알루미늄막의 적층, 몰리브덴막과 알루미늄과 네오디뮴의 합금막의 적층, 티타늄막과 알루미늄막의 적층, 티타늄막, 알루미늄막, 및 티타늄막의 적층 등을 사용할 수 있다.
- [0057] 또한, 게이트 전극층(101) 위에는 반도체 막이나 배선을 형성하기 때문에, 단절이나 단선을 방지하기 위하여 단부가 테이퍼 상태가 되도록 가공하는 것이 바람직하다.
- [0058] 게이트 절연층(102), 및 반도체막(111)은 대기에 노출시키지 않고 연속적으로 형성할 수 있다. 연속적으로 형성하면, 대기 성분이나 대기 중에 부유하는 오염 불순물 원소에 오염되지 않고 각 적층 계면을 형성할 수 있다.
- [0059] 액티브 매트릭스형의 표시 장치에 있어서는, 회로를 구성하는 박막 트랜지스터의 전기 특성이 중요하고, 이 전기 특성이 표시 장치의 성능을 좌우한다. 특히, 박막 트랜지스터의 특성 중, 임계 값 전압(V_{th})이 중요하다. 전계 효과 이동도가 높더라도, 임계 값 전압 값이 높은 경우, 혹은 임계 값 전압 값이 마이너스인 경우, 회로로서 제어하는 것이 어렵다. 임계 값 전압 값이 높고, 임계 값 전압의 절대 값이 큰 박막 트랜지스터의 경우에는, 구동 전압이 낮은 상태에서는 박막 트랜지스터로서의 스위칭 기능을 다할 수 없고, 부하가 될 우려가 있다. 또한, 임계 값 전압 값이 마이너스인 경우, 게이트 전압이 0V라도 소스 전극과 드레인 전극 사이에 전류가 흐른다. 소위, 노멀리 온이 되기 쉽다.
- [0060] n채널형 박막 트랜지스터의 경우, 게이트 전압으로서 정(正)의 전압을 인가하여야 채널이 형성되어, 드레인 전류가 흘러 들어가는 트랜지스터가 바람직하다. 구동 전압을 높게 하지 않으면, 채널이 형성되지 않는 트랜지스터나, 부(負)의 전압 상태라도 채널이 형성되어, 드레인 전류가 흘러 들어가는 트랜지스터는 회로에 사용하는 박막 트랜지스터로서는 적합하지 않다.
- [0061] 따라서, In, Ga, 및 Zn를 포함하는 산화물 반도체막을 사용하는 박막 트랜지스터에 있어서, 가능한 한 0V에 가까운 정의 임계 값 전압의 게이트 전압으로 채널이 형성되는 것이 바람직하다.
- [0062] 박막 트랜지스터의 임계 값 전압은, 산화물 반도체층의 계면, 즉, 산화물 반도체층과 게이트 절연층의 계면에 크게 영향을 준다고 생각된다.
- [0063] 그래서, 이들의 계면을 청정한 상태로 형성함으로써, 박막 트랜지스터의 전기 특성을 향상시킴과 함께 제작 공정의 복잡화를 방지할 수 있으므로, 양산성 및 고성능의 양쪽 모두를 구비한 박막 트랜지스터를 실현한다.
- [0064] 특히, 산화물 반도체층과 게이트 절연층의 계면에 대기 중의 수분이 존재하면, 박막 트랜지스터의 전기적 특성의 열화, 임계 값 전압의 변동, 노멀리 온이 되기 쉽다는 등의 문제를 초래한다. 산화물 반도체층과 게

이트 절연층을 연속적으로 성막함으로써, 이러한 수소 화합물을 배제할 수 있다.

- [0065] 따라서, 대기에 노출시키지 않고, 게이트 절연층(102)과, 반도체막(111)을 스퍼터링법에 의하여 감압 하에서 연속적으로 형성함으로써, 양호한 계면을 갖고, 누설 전류가 낮고, 또 전류 구동 능력이 높은 박막 트랜지스터를 실현할 수 있다.
- [0066] 또한, 게이트 절연층(102) 및 In, Ga, 및 Zn를 포함하는 산화물 반도체막인 반도체막(111)은 산소 분위기 하(또는 산소 90% 이상, 희 가스(아르곤, 또는 헬륨 등) 10% 이하)에서 형성하는 것이 바람직하다.
- [0067] 산술한 바와 같이, 스퍼터링법을 사용하여 연속적으로 성막하면, 생산성이 높고, 박막 계면의 신뢰성이 안정된다. 또한, 게이트 절연층과 반도체층을 산소 분위기하에서 성막하고, 산소를 많이 포함시키면, 열화에 의한 신뢰성의 저하나, 박막 트랜지스터가 노멀리 온이 되는 것을 경감할 수 있다.
- [0068] 게이트 절연층(102)은, CVD법이나 스퍼터링법 등을 사용하여 산화 실리콘막, 질화 실리콘막, 산화질화 실리콘막, 또는 질화산화 실리콘막으로 형성할 수 있다. 도 2a, 도 2b에 도시하는 박막 트랜지스터(170c)는 게이트 절연층(102)을 적층하는 예이다.
- [0069] 게이트 절연층(102)으로서 질화 실리콘막 또는 질화산화 실리콘막과, 산화 실리콘막 또는 산화질화 실리콘막의 순으로 적층하여 형성할 수 있다. 또한, 게이트 절연층을 2층으로 하지 않고, 기판 측으로부터 질화 실리콘막 또는 질화산화 실리콘막과, 산화 실리콘막 또는 산화질화 실리콘막과, 질화 실리콘막 또는 질화산화 실리콘막의 순으로 3층 적층하여 형성할 수 있다. 또한, 게이트 절연층(102)을, 산화 실리콘막, 질화 실리콘막, 산화질화 실리콘막, 또는 질화산화 실리콘막의 단층으로 형성할 수 있다.
- [0070] 또한, 게이트 절연층(102)으로서 플라즈마 CVD법에 의하여 게이트 전극층(101) 위에 질화 실리콘막을 형성하고, 질화 실리콘막 위에 스퍼터링법에 의하여 산화 실리콘막을 적층하여도 좋다. 플라즈마 CVD법에 의하여 게이트 전극층(101) 위에 질화 실리콘막과 산화 실리콘막을 차례로 적층하고, 산화 실리콘막 위에 스퍼터링법에 의하여 한층 더 산화 실리콘막을 적층하여도 좋다.
- [0071] 여기서는 산화질화 실리콘막이란, 그 조성으로서, 질소보다도 산소의 함유량이 많은 것이며, 농도 범위로서 산소가 55atoms% 내지 65atoms%, 질소가 1atoms% 내지 20atoms%, 실리콘이 25atoms% 내지 35atoms%, 수소가 0.1atoms% 내지 10atoms%의 범위로 포함되는 것을 가리킨다. 또한, 질화산화 실리콘막이란, 그 조성으로서, 산소보다도 질소의 함유량이 많은 것이며, 농도 범위로서 산소가 15atoms% 내지 30atoms%, 질소가 20atoms% 내지 35atoms%, 실리콘이 25atoms% 내지 35atoms%, 수소가 15atoms% 내지 25atoms%의 범위로 포함되는 것을 가리킨다.
- [0072] 또한, 게이트 절연층(102)으로서, 알루미늄, 이트륨, 또는 하프늄의 산화물, 질화물, 산화질화물, 또는 질화산화물의 일종, 또는 그들의 화합물을 적어도 2종 이상 포함하는 화합물을 사용할 수도 있다.
- [0073] 또한, 게이트 절연층(102)에 염소, 불소 등의 할로젠 원소를 포함시켜도 좋다. 게이트 절연층(102) 중의 할로젠 원소의 농도는, 농도 피크에 있어서, $1 \times 10^{15} \text{ atoms/cm}^3$ 이상 $1 \times 10^{20} \text{ atoms/cm}^3$ 이하로 하면 좋다.
- [0074] 반도체막(111)으로서, In, Ga, 및 Zn를 포함하는 산화물 반도체막을 형성한다. 예를 들어, 반도체막(111)으로서 스퍼터링법을 사용하여 In, Ga, 및 Zn를 포함하는 산화물 반도체막을 막 두께 50nm로 형성하면 좋다. 구체적인 조건 예로서는, 직경 8인치의 In, Ga, 및 Zn를 포함하는 산화물 반도체 타겟을 사용하여, 기판과 타겟 사이의 거리를 170mm, 압력 0.4Pa, 직류(DC) 전원 0.5kW, 아르곤 또는 산소 분위기 하에서 형성할 수 있다. 또한, 펄스 직류(DC) 전원을 사용하면, 먼지를 경감할 수 있고, 막 두께 분포도 균일하게 되므로 바람직하다.
- [0075] 다음에, 반도체막(111)을 마스크(113)를 사용하여 에칭에 의하여 가공하여, 반도체층(112)을 형성한다(도 3b 참조). 반도체층(112)은 포토리소그래피 기술 혹은 액적 도출법에 의하여 마스크(113)를 형성하고, 상기 마스크(113)를 사용하여 반도체막(111)을 에칭함으로써 형성할 수 있다.
- [0076] 반도체층(112)의 단부를 테이퍼를 갖는 형상으로 에칭함으로써, 단차(段差) 형상에 의한 배선의 단선을 방지할 수 있다.
- [0077] 다음, 게이트 절연층(102), 반도체층(112) 위에 n형 도전형을 갖는 In, Ga, 및 Zn를 포함하는 산화물 반도체막인 n형 도전형을 갖는 반도체막(114)을 형성한다(도 3c 참조). n형 도전형을 갖는 반도체막(114) 위에 마스크(116)를 형성한다. 마스크(116)는, 포토리소그래피 기술 혹은 잉크젯 법에 의하여 형성한다. n형 도전

형을 갖는 반도체막(114)을 마스크(116)를 사용하여 에칭에 의하여 가공하여, n형 도전형을 갖는 반도체막(115)을 형성한다(도 3d 참조). n형 도전형을 갖는 반도체막(115)은 막 두께 2nm 이상 100nm 이하(바람직하게는 20nm 이상 50nm 이하)로 하면 좋다. n형 도전형을 갖는 반도체막(114)은, 희 가스(바람직하게는 아르곤) 분위기 하에서 형성하는 것이 바람직하다.

[0078] 반도체막(111)이나 n형 도전형을 갖는 반도체막(115) 등의 산화물 반도체막의 스퍼터링법 이외의 다른 성막 방법으로서, 펄스 레이저 증착(PLD)법 및 전자 빔 증착법 등의 기상법을 사용할 수 있다. 기상법 중에서도, 재료계의 조성을 제어하기 쉽다는 점에서는 PLD법이, 양산성의 관점에서는, 상술한 바와 같이 스퍼터링법이 적합하다.

[0079] 또한, 반도체막(111)이나 n형 도전형을 갖는 반도체막(115) 등의 IGZO 반도체막의 에칭에는, 구연산이나 옥살산 등의 유기산을 에천트로서 사용할 수 있다. 예를 들어, 50nm의 반도체막(111)은, IT007N(Kanto Chemical CO., INC. 제조)를 사용하여, 150초로 에칭 가공할 수 있다.

[0080] n형 도전형을 갖는 반도체막(115) 위에 도전막(117)을 형성한다(도 3e 참조).

[0081] 도전막(117)은, 알루미늄, 또는 구리, 실리콘, 티타늄, 네오븀, 스칸듐, 몰리브덴 등의 내열성 향상 원소 또는 힐록 방지 원소가 첨가된 알루미늄 합금의 단층 또는 적층으로 형성되는 것이 바람직하다. 또한, n형 도전형을 갖는 반도체막과 접하는 측의 막을, 티타늄, 탄탈, 몰리브덴, 텅스텐, 또는 이들 원소의 질화물로 형성하고, 그 위에 알루미늄 혹은 알루미늄 합금을 형성한 적층 구조로 하여도 좋다. 또한, 알루미늄 또는 알루미늄 합금의 상면 및 하면을, 티타늄, 탄탈, 몰리브덴, 텅스텐, 또는 이들 원소의 질화물로 끼운 적층 구조로 하여도 좋다. 여기서는, 도전막(117)으로서 티타늄막, 알루미늄막, 및 티타늄막의 적층 도전막을 사용한다.

[0082] 티타늄막, 알루미늄막, 및 티타늄막의 적층을 사용하면, 저저항이고, 또 알루미늄막에 힐록이 발생하기 어렵다.

[0083] 도전막(117)은, 스퍼터링법이나 진공 증착법으로 형성한다. 또한, 도전막(117)은 은, 금, 구리 등의 도전성 나노 페이스트를 사용하여 스크린 인쇄법, 잉크젯 법 등을 사용하여 토출하고 소성함으로써 형성하여도 좋다.

[0084] 다음에, 도전막(117) 위에 마스크(118)를 형성한다. 마스크(118)를 사용하여, 도전막(117)을 에칭함으로써 분리하고, 소스 전극층 또는 드레인 전극층(105a, 105b)을 형성한다(도 3f 참조). 본 실시형태의 도 3e에서 도시하는 바와 같이, 도전막(117)을 웨트 에칭하면, 도전막(117)은 등방적으로 에칭되므로, 마스크(118)의 단부와 소스 전극층 또는 드레인 전극층(105a, 105b)의 단부는 일치되지 않고, 보다 후퇴된다. 다음에 마스크(118)를 사용하여 n형 도전형을 갖는 반도체막(115)을 에칭하여 버퍼층(104a, 104b)을 형성한다(도 3g 참조). 또한, 에칭 조건에 따라 다르지만, n형 도전형을 갖는 반도체막(115)의 에칭 공정에 있어서, 반도체층(112)의 노출 영역도 일부 에칭되어, 반도체층(103)이 된다. 따라서, 버퍼층(104a, 104b) 사이의 반도체층(103)의 채널 영역은, 도 3g에 도시하는 바와 같이, 막 두께가 얇은 영역이 된다. IGZO 반도체층인 반도체층(103)에 있어서, 얇은 막 두께의 영역이 2nm 이상 200nm 이하, 바람직하게는 2nm 이상 150nm 이하로 한다.

[0085] 또한, 반도체층(103)에 플라즈마 처리를 행하여도 좋다. 플라즈마 처리를 행함으로써, 반도체층(103)의 에칭에 의한 데미지(damages)를 회복시킬 수 있다. 플라즈마 처리는, O₂, N₂O, 바람직하게는 산소를 포함하는 N₂, He, Ar 분위기 하에서 행하는 것이 바람직하다. 또한, 상기 분위기에 Cl₂, CF₄를 더한 분위기 하에서 행하여도 좋다. 또한, 플라즈마 처리는, 무-바이어스(non-bias)로 행하는 것이 바람직하다.

[0086] 소스 전극층 또는 드레인 전극층(105a, 105b)의 단부와, 버퍼층(104a, 104b)의 단부는 일치되지 않고 어긋나 있고, 소스 전극층 또는 드레인 전극층(105a, 105b)의 단부의 외측에 버퍼층(104a, 104b)의 단부가 형성된다.

[0087] 그 후, 마스크(118)를 제거한다. 이상의 공정에 의하여 박막 트랜지스터(170a)를 형성할 수 있다.

[0088] 다음에, 도 1c, 도 1d에 도시하는 박막 트랜지스터(170b)의 제작 공정을 도 4a 내지 도 4d에 도시한다.

[0089] 도 4a는, 도 3b의 공정에 있어서, 마스크(113)를 제거한 상태이다. 반도체층(112) 위에 n형 도전형을 갖는 반도체막(114)과 도전막(121)을 차례로 적층한다(도 4b 참조). 이 경우, 도전형을 갖는 반도체막(114)과 도전막(121)을 대기에 노출시키지 않고, 스퍼터링법으로 연속적으로 형성할 수 있다.

[0090] n형 도전형을 갖는 반도체막(114)과 도전막(121) 위에 마스크(122)를 형성하고, 마스크(122)를 사용하

여 도전막(121)을 웨트 에칭 가공하여 소스 전극층 또는 드레인 전극층(105a, 105b)을 형성한다(도 4c 참조).

[0091] 다음에, n형 도전형을 갖는 반도체막(114)을 드라이 에칭 가공하여 버퍼층(104a, 104b)을 형성한다(도 4d 참조). 상술한 공정에서 반도체층(112)의 일부도 에칭되고, 반도체층(103)이 된다. 도 4a 내지 도 4d에서 도시하는 바와 같이, 버퍼층(104a, 104b)과 소스 전극층 또는 드레인 전극층(105a, 105b)을 형성하는 에칭에 같은 마스크를 사용하면, 마스크 수를 줄일 수 있으므로, 공정 간략화 및 저비용화를 도모할 수 있다.

[0092] 박막 트랜지스터(170a, 170b, 170c) 위에 보호막으로서 절연막을 형성하여도 좋다. 보호막으로서, 게이트 절연층과 마찬가지로 형성할 수 있다. 또한, 보호막은, 대기 중에 부유하는 유기물이나 금속물, 수증기 등의 오염 불순물의 침입을 방지하기 위한 것이고, 치밀한 막이 바람직하다. 예를 들어, 박막 트랜지스터(170a, 170b, 170c) 위에 보호막으로서 산화 실리콘막과 질화 실리콘막의 적층을 형성하면 좋다.

[0093] 또한, 반도체층(103), 및 버퍼층(104a, 104b) 등의 산화물 반도체막은 형성 후에 가열 처리를 행하는 것이 바람직하다. 가열 처리는, 형성 후라면 어느 공정에서 행하여도 좋지만, 형성 직후, 도전막(117)의 형성 후, 보호막의 형성 후 등에서 행할 수 있다. 또한, 다른 가열 처리와 겸하여 행하여도 좋다. 또한, 가열 온도는 300℃ 이상 400℃ 이하, 바람직하게는 350℃로 하면 좋다. 도 2a, 도 2b에 도시하는 바와 같이, 반도체층(103) 및 버퍼층(104a, 104b)을 연속적으로 형성하는 경우, 적층한 후에 가열 처리를 행하여도 좋다. 가열 처리는 반도체층(103)과 버퍼층(104a, 104b)을 다른 공정에서 복수회 행하여도 좋다.

[0094] 소스 전극층 또는 드레인 전극층(105a, 105b)의 단부와, 버퍼층(104a, 104b)의 단부는, 일치되지 않고 어긋나 있는 형상이 됨으로써, 소스 전극층 또는 드레인 전극층(105a, 105b)의 단부의 거리가 떨어지므로, 소스 전극층 또는 드레인 전극층(105a, 105b) 사이의 누설 전류나 쇼트(단락)를 방지할 수 있다. 그래서, 신뢰성이 높고, 또 내성이 높은 박막 트랜지스터를 제작할 수 있다.

[0095] 또한, 도 2a, 도 2b에 도시하는 박막 트랜지스터(170c)와 같이, 버퍼층(104a, 104b)의 단부와 소스 전극층 및 드레인 전극층(105a, 105b)의 단부를 일치시키는 형상으로 하여도 좋다. 소스 전극층 또는 드레인 전극층(105a, 105b)을 형성하기 위한 에칭 및 버퍼층(104a, 104b)을 형성하기 위한 에칭을 드라이 에칭으로 행하면, 도 2a, 2b에 도시하는 박막 트랜지스터(170c)와 같은 형상으로 할 수 있다. 또한, n형 도전형을 갖는 반도체막(115)을 소스 전극층 및 드레인 전극층(105a, 105b)을 마스크로 하여 에칭하고, 버퍼층(104a, 104b)을 형성하여도 도 2a, 도 2b의 박막 트랜지스터(170c)와 같은 형상으로 할 수 있다.

[0096] 버퍼층(In, Ga, 및 Zn를 포함하고 n형 도전형을 갖는 산화물 반도체층)을 형성하지 않는, 게이트 전극층, 게이트 절연층, 반도체층(In, Ga, 및 Zn를 포함하는 산화물 반도체층), 소스 전극층 및 드레인 전극층의 적층 구조이면, 게이트 전극과 소스 전극층 또는 드레인 전극층의 거리가 가까워지고, 사이에 생기는 기생 용량이 증가되어 버린다. 또한, 이 기생 용량의 증가는, 반도체층의 박막화에 따라 현저해진다. 본 실시형태에서는, In, Ga, 및 Zn를 포함하고 n형 도전형을 갖는 산화물 반도체층 등의 캐리어 농도가 높은 버퍼층을 형성하는, 게이트 전극층, 게이트 절연층, 반도체층, 버퍼층, 소스 전극층 및 드레인 전극층 등의 적층 구조를 갖는 박막 트랜지스터로 하므로, 반도체층의 막 두께가 박막이라도 기생 용량을 억제할 수 있다.

[0097] 본 실시형태에 의하여, 광 전류가 적고, 기생 용량이 작고, 온 오프비가 높은 박막 트랜지스터를 얻을 수 있고, 양호한 동적 특성을 갖는 박막 트랜지스터를 제작할 수 있다. 따라서, 전기 특성이 높고, 신뢰성이 좋은 박막 트랜지스터를 갖는 반도체 장치를 제공할 수 있다.

[0098] (실시형태 2)

[0099] 본 실시형태는, 멀티 게이트 구조의 박막 트랜지스터의 예이다. 따라서, 다른 부분은 실시형태 1과 마찬가지로 행할 수 있고, 실시형태 1과 동일 부분 혹은 같은 기능을 갖는 부분, 및 공정의 반복 설명은 생략한다.

[0100] 본 실시형태에서는, 반도체 장치에 사용되는 박막 트랜지스터에 대하여, 도 5a 내지 도 7b를 사용하여 설명한다.

[0101] 도 5a는, 박막 트랜지스터(171a)를 도시하는 평면도이고, 도 5b는 도 5a에 있어서의 선 E1-E2의 박막 트랜지스터(171a)를 도시하는 단면도에 상당한다.

[0102] 도 5a 및 도 5b에 도시하는 바와 같이, 기판(150) 위에 게이트 전극층(151a, 151b), 반도체층(153a, 153b), 버퍼층(154a, 154b, 154c), 소스 전극층 또는 드레인 전극층(155a, 155b)을 포함하는 멀티 게이트 구조

의 박막 트랜지스터(171a)가 형성되어 있다.

- [0103] 반도체층(153a, 153b)은, In, Ga, 및 Zn를 포함하는 산화물 반도체층이고, 버퍼층(154a, 154b, 154c)은 n형 도전형을 갖는 In, Ga, 및 Zn를 포함하는 산화물 반도체층이다. 소스 영역 또는 드레인 영역(n⁺층)으로서 기능하는 버퍼층(154a, 154b, 154c)은, 반도체층(153a, 153b)보다 캐리어 농도가 높다.
- [0104] 반도체층(153a)과 반도체층(153b)은, 한쪽을 버퍼층(154c)을 사이에 두고 전기적으로 접속되고, 다른 쪽은 각각 반도체층(153a)은 버퍼층(154a)을 사이에 두고 소스 전극층 또는 드레인 전극층(155a)과, 반도체층(153b)은 버퍼층(154b)을 사이에 두고 소스 전극층 또는 드레인 전극층(155b)과 전기적으로 접속되어 있다.
- [0105] 도 6a 및 도 6b에 다른 구성의 멀티 게이트 구조의 박막 트랜지스터(171b)를 도시한다. 도 6a는, 박막 트랜지스터(171b)를 도시하는 평면도이고, 도 6b는 도 6a에 있어서의 선 F1-F2의 박막 트랜지스터(171b)를 도시하는 단면도에 상당한다. 도 6a 및 도 6b의 박막 트랜지스터(171b)에 있어서는, 버퍼층(154c) 위에 소스 전극층 또는 드레인 전극층(155a, 155b)과 같은 공정으로 형성되는 배선층(156)이 형성되고, 반도체층(153a)과 반도체층(153b)은 버퍼층(154c)과 배선층(156)에 의하여 전기적으로 접속되어 있다.
- [0106] 도 7a 및 도 7b에 다른 구성의 멀티 게이트 구조의 박막 트랜지스터(171c)를 도시한다. 도 7a는, 박막 트랜지스터(171c)를 도시하는 평면도이고, 도 7b는 도 7a에 있어서의 선 G1-G2의 박막 트랜지스터(171c)를 도시하는 단면도에 상당한다. 도 7a 및 도 7b의 박막 트랜지스터(171c)에 있어서는, 반도체층(153a)과 반도체층(153b)이 연속한 한 층의 반도체층(153)으로서 형성되어 있는 예이다. 반도체층(153)은, 게이트 절연층(152)을 사이에 두고, 게이트 전극층(151a, 151b)을 겹치도록 형성되어도 좋다.
- [0107] 상술한 바와 같이, 멀티 게이트 구조의 박막 트랜지스터에 있어서는, 각 게이트 전극층 위에 형성되는 반도체층은 연속적으로 형성되어도 좋고, 버퍼층 및 배선층 등을 사이에 두고, 복수의 반도체층이 전기적으로 접속하고 형성되어도 좋다.
- [0108] 본 실시형태의 멀티 게이트 구조의 박막 트랜지스터는, 오프 전류가 적고, 그런 박막 트랜지스터를 포함하는 반도체 장치는 높은 전기 특성 및 높은 신뢰성을 부여할 수 있다.
- [0109] 본 실시형태에서는, 멀티 게이트 구조로서 게이트 전극층이 2개의 더블 게이트 구조의 예를 나타내지만, 보다 많은 게이트 전극층을 갖는 트리플 게이트 구조 등에도 적용할 수 있다.
- [0110] 본 실시형태는 다른 실시형태와 적절히 조합하여 실시할 수 있다.
- [0111] (실시형태 3)
- [0112] 본 실시형태는, 박막 트랜지스터에 있어서, 버퍼층을 적층하는 예이다. 따라서, 다른 부분은 실시형태 1 또는 실시형태 2와 마찬가지로 행할 수 있고, 실시형태 1 또는 실시형태 2와 동일 부분 또는 같은 기능을 갖는 부분, 및 공정의 반복 설명은 생략한다.
- [0113] 본 실시형태에서는, 반도체 장치에 사용되는 박막 트랜지스터(173)에 대하여 도 8을 사용하여 설명한다.
- [0114] 도 8에 도시하는 바와 같이, 기판(100) 위에 게이트 전극층(101), 반도체층(103), 버퍼층(106a, 106b), 버퍼층(104a, 104b), 소스 전극층 또는 드레인 전극층(105a, 105b)을 포함하는 박막 트랜지스터(173)가 형성된다.
- [0115] 본 실시형태의 박막 트랜지스터(173)는 반도체층(103)과 버퍼층(104a, 104b) 사이에 각각 제 2 버퍼층으로서 버퍼층(106a, 106b)이 형성되어 있다.
- [0116] 반도체층(103)은 In, Ga, 및 Zn를 포함하는 산화물 반도체층이고, 버퍼층(104a, 104b), 버퍼층(106a, 106b)은 n형 도전형을 갖는 In, Ga, 및 Zn를 포함하는 산화물 반도체층이다.
- [0117] 반도체층(103)과 버퍼층(104a, 104b) 사이에 형성되는 제 2 버퍼층(버퍼층(106a, 106b))은, 캐리어 농도가 반도체층(103)보다 높고, 버퍼층(104a, 104b)보다 낮다. 버퍼층(104a, 104b)이 n⁺층으로서 기능하는 것에 대하여 제 2 버퍼층(버퍼층(106a, 106b))은 n⁻층으로서 기능한다.
- [0118] 본 실시형태에 있어서, 반도체층(103)으로서 적합한 캐리어 농도 범위는, 1×10^{17} atoms/cm³ 미만(보다

바람직하게는, $1 \times 10^{11} \text{ atoms/cm}^3$ 이상), 버퍼층으로서 적합한 캐리어 농도 범위는, $1 \times 10^{18} \text{ atoms/cm}^3$ 이상($1 \times 10^{22} \text{ atoms/cm}^3$ 이하)이 바람직하다.

[0119] 채널용의 반도체층(103)의 캐리어 농도 범위가 상기 범위를 초과하면, 박막 트랜지스터로서 노멀리 온이 될 우려가 있다. 따라서, 본 실시형태의 캐리어 농도 범위의 IGZO막을 반도체층(103)의 채널로서 사용함으로써, 신뢰성이 높은 박막 트랜지스터로 할 수 있다.

[0120] n^- 층으로서 기능하는 버퍼층(106a, 106b)으로서 적합한 농도 범위는, n^+ 층으로서 기능하는 버퍼층(104a, 104b)보다 캐리어 농도가 낮고, 반도체층(103)보다 캐리어 농도가 높은 농도 범위로 하면 좋다.

[0121] 상술한 바와 같이, 반도체층과 소스 전극층 또는 드레인 전극층 사이에 형성되는 버퍼층은 적층 구조로 하여도 좋고, 그 캐리어 농도는 반도체층으로부터 소스 전극층 또는 드레인 전극층으로 향하여 높아지도록 제어한다.

[0122] 본 실시형태의 적층 버퍼층을 갖는 박막 트랜지스터는, 오프 전류가 적고, 그런 박막 트랜지스터를 포함하는 반도체 장치는 높은 전기 특성 및 높은 신뢰성을 부여할 수 있다.

[0123] 본 실시형태는, 다른 실시형태와 적절히 조합하여 실시할 수 있다.

[0124] (실시형태 4)

[0125] 본 실시형태는, 실시형태 1에 있어서, 박막 트랜지스터의 형상 및 제작 방법이 일부 상이한 예이다. 따라서, 다른 부분은 실시형태 1과 마찬가지로 행할 수 있고, 실시형태 1과 동일 부분 또는 같은 기능을 갖는 부분, 및 공정의 반복 설명은 생략한다.

[0126] 본 실시형태에서는, 표시 장치에 사용되는 박막 트랜지스터(174) 및 그 제작 방법에 대하여, 도 9a 내지 도 10d를 사용하여 설명한다. 도 9a는, 박막 트랜지스터(174)의 평면도, 도 9b, 및 도 10a 내지 도 10d는 도 9a에 있어서의 선 D1-D2의 박막 트랜지스터 및 그 제작 공정을 도시하는 단면도에 상당한다.

[0127] 도 9a, 도 9b에 도시하는 바와 같이, 기판(100) 위에 게이트 전극층(101), 반도체층(103), 버퍼층(104a, 104b), 소스 전극층 또는 드레인 전극층(105a, 105b)을 포함하는 박막 트랜지스터(174)가 형성된다.

[0128] 반도체층(103)은, In, Ga, 및 Zn를 포함하는 산화물 반도체층이고, 버퍼층(104a, 104b)은 n 형 도전형을 갖는 In, Ga, 및 Zn를 포함하는 산화물 반도체층이다. 소스 영역 또는 드레인 영역(n^+ 층)으로서 기능하는 버퍼층(104a, 104b)은 반도체층(103)보다 캐리어 농도가 높다.

[0129] 반도체층(103)은 버퍼층(104a)을 사이에 두고 소스 전극층 또는 드레인 전극층(105a)과, 버퍼층(104b)을 사이에 두고 소스 전극층 또는 드레인 전극층(105b)과 전기적으로 접속되어 있다.

[0130] 도 10a 내지 도 10d를 사용하여, 박막 트랜지스터(174)의 제작 공정을 설명한다. 기판(100) 위에 게이트 전극층(101)을 형성한다. 다음에, 게이트 전극층(101) 위에 게이트 절연층(102), In, Ga, 및 Zn를 포함하는 산화물 반도체막인 반도체막(131), n 형의 도전형을 갖는 In, Ga, 및 Zn를 포함하는 산화물 반도체막인 n 형 도전형을 갖는 반도체막(132), 도전막(133)을 차례로 형성한다(도 10a 참조).

[0131] 게이트 절연층(102), In, Ga, 및 Zn를 포함하는 산화물 반도체막인 반도체막(131), n 형의 도전형을 In, Ga, 및 Zn를 포함하는 산화물 반도체막인 n 형의 도전형을 갖는 반도체막(132), 도전막(133)을 대기에 노출시키지 않고, 연속적으로 형성할 수 있다. 대기에 노출시키지 않고, 연속적으로 형성함으로써, 대기 성분이나 대기 중에 부유하는 오염 불순물 원소에 오염되지 않고 각 적층 계면을 형성할 수 있기 때문에, 박막 트랜지스터 특성의 편차를 저감할 수 있다.

[0132] 본 실시형태에서는, 마스크(135)를 형성하기 위하여 고계조 마스크를 사용한 노광을 행하는 예를 나타낸다. 마스크(135)를 형성하기 위한 레지스트를 형성한다. 레지스트는, 포지티브형 레지스트 또는 네거티브형 레지스트를 사용할 수 있다. 여기서는, 포지티브형 레지스트를 사용하여 나타낸다.

[0133] 다음에, 포토 마스크로서 다계조 마스크를 사용하여 레지스트에 광을 조사함으로써, 레지스트를 노광한다.

[0134] 다계조 마스크란, 노광 부분, 중간 노광 부분, 및 미노광 부분의 3가지의 노광 레벨을 행할 수 있는 마스크이며, 한번의 노광 및 현상 공정에 의하여 복수(대표적으로는 2종류)의 두께의 영역을 갖는 레지스트 마스크

크를 형성할 수 있다. 따라서, 다계조 마스크를 사용함으로써, 포토 마스크의 매수를 삭감할 수 있다.

- [0135] 다계조 마스크의 대표적인 예로서는, 그레이 톤(gray-tone) 마스크, 하프 톤(half-tone) 마스크가 있다.
- [0136] 그레이 톤 마스크는, 투광성을 갖는 기관 및 그 위에 형성되는 차광부 및 회절 격자로 구성된다. 차광부에 있어서는, 광의 투과량이 0%이다. 한편, 회절 격자는 슬릿, 도트(dot), 메시(mesh) 등의 광 투과부의 간격을 노광에 사용하는 광의 해상도 한계 이하의 간격으로 함으로써, 광의 투과량을 제어할 수 있다. 또한, 회절 격자는, 주기적인 슬릿, 도트, 메시, 및 비주기적인 슬릿, 도트, 메시의 양쪽 모두를 사용할 수 있다.
- [0137] 투광성을 갖는 기관은 석영 등의 투광성을 갖는 기관을 사용할 수 있다. 차광부 및 회절 격자는 크롬이나 산화 크롬 등의 광을 흡수하는 차광 재료를 사용하여 형성할 수 있다.
- [0138] 그레이 톤 마스크에 노광 광을 조사한 경우, 차광부에서는, 광 투과량은 0%이고, 차광부 및 회절 격자가 형성되지 않는 영역에서는, 광 투과량은 100%이다. 또한, 회절 격자에 있어서는, 10% 내지 70%의 범위에서 조정 가능하다. 회절 격자에서의 광 투과량의 조정은 회절 격자의 슬릿, 도트, 또는 메시의 간격 또는 피치의 조정에 의하여 가능하다.
- [0139] 하프 톤 마스크는, 투광성을 갖는 기관 및 그 위에 형성되는 반투과부 및 차광부로 구성된다. 반투과부는 MoSiN, MoSi, MoSiO, MoSiON, CrSi 등을 사용하여 형성할 수 있다. 차광부는 크롬이나 산화 크롬 등의 광을 흡수하는 차광 재료를 사용하여 형성할 수 있다.
- [0140] 하프 톤 마스크에 노광 광을 조사한 경우, 차광부에 있어서는 광 투과량은 0%이고, 차광부 및 반투과부가 형성되지 않는 영역에서는 광 투과량은 100%이다. 또한, 반투과부에서는, 10% 내지 70%의 범위에서 조정할 수 있다. 반투과부에 있어서는 광 투과량의 조정은 반투과부의 재료의 선택에 의하여 가능하다.
- [0141] 다계조 마스크를 사용하여 노광한 후, 현상함으로써, 도 10b에 도시하는 바와 같이, 막 두께가 상이한 영역을 갖는 마스크(135)를 형성할 수 있다.
- [0142] 다음에, 마스크(135)에 의하여 반도체막(131), n형 도전형을 갖는 반도체막(132), 도전막(133)을 에칭하여 분리한다. 이 결과, 반도체막(136), n형의 도전형을 갖는 반도체막(137), 및 도전막(138)을 형성할 수 있다(도 10b 참조).
- [0143] 다음에, 마스크(135)를 애싱(ashing)한다. 이 결과, 마스크의 면적이 축소되어, 두께가 얇아진다. 이 때, 막 두께가 얇은 영역의 마스크의 레지스트(게이트 전극층(101)의 일부와 중첩하는 영역)는 제거되고, 분리된 마스크(139)를 형성할 수 있다(도 10c 참조).
- [0144] 마스크(139)를 사용하여 도전막(138)을 에칭하여 소스 전극층 또는 드레인 전극층(105a, 105b)을 형성한다. 본 실시형태에서 나타내는 바와 같이, 도전막(138)을 웨트 에칭하면, 도전막(138)은 등방적으로 에칭되기 때문에, 마스크(139)의 단부와, 소스 전극층 또는 드레인 전극층(105a, 105b)의 단부는 일치되지 않고 더욱 후퇴되고, 소스 전극층 또는 드레인 전극층(105a, 105b)의 외측에 n형의 도전형을 갖는 반도체막(137) 및 반도체막(136)이 돌출한 형상이 된다. 다음에, 마스크(139)를 사용하여 n형의 도전형을 갖는 반도체막(137) 및 반도체막(136)을 에칭하여, 버퍼층(104a, 104b)을 형성한다(도 10d 참조). 또한, 반도체층(103)은 일부만이 에칭되고, 홈부를 갖는 반도체층이 된다.
- [0145] 버퍼층(104a, 104b)의 형성 공정과, 반도체층(103)의 홈부를 동일 공정으로 형성할 수 있고, 마찬가지로 반도체층(103)의 단부가 일부 에칭되어 노출된 형상이 된다. 그 후, 마스크(139)를 제거한다.
- [0146] 이상의 공정으로, 도 9a, 도 9b에 도시하는 박막 트랜지스터(174)를 제작할 수 있다.
- [0147] 본 실시형태에서 나타내는 바와 같이, 다계조 마스크에 의하여 복수(대표적으로는 2종류)의 두께의 영역을 갖는 레지스트 마스크를 사용하면, 레지스트 마스크의 매수를 줄일 수 있으므로, 공정 간략화 및 저비용화를 도모할 수 있다.
- [0148] 본 실시형태는, 다른 실시형태와 적절히 조합하여 실시할 수 있다.
- [0149] (실시형태 5)
- [0150] 본 실시형태에서는, 본 명세서에서 개시하는 발명의 반도체 장치의 일례인 표시 장치에 있어서, 동일 기관 위에 적어도 구동 회로의 일부와, 화소부에 배치하는 박막 트랜지스터를 제작하는 예에 대하여 이하에 설

명한다.

- [0151] 화소부에 배치하는 박막 트랜지스터는, 실시형태 1 내지 실시형태 4의 어느 하나에 따라 형성한다. 또한, 실시형태 1 내지 실시형태 4의 어느 하나에 나타내는 박막 트랜지스터는, n채널형 TFT이기 때문에, 구동 회로 중, n채널형 TFT로 구성할 수 있는 구동 회로의 일부를 화소부의 박막 트랜지스터와 동일 기판 위에 형성한다.
- [0152] 본 명세서에서 개시하는 발명의 반도체 장치의 일례인 액티브 매트릭스형 액정 표시 장치의 블록도의 일례를 도 12a에 도시한다. 도 12a에 도시하는 표시 장치는 기판(5300) 위에 표시 소자를 구비한 화소를 복수 갖는 화소부(5301)와, 각 화소를 선택하는 주사선 구동 회로(5302)와, 선택된 화소로의 비디오 신호의 입력을 제어하는 신호선 구동 회로(5303)를 갖는다. 화소부(5301)는, 신호선 구동 회로(5303)로부터 열 방향으로 연장하여 배치된 복수의 신호선 S1 내지 Sm(도시하지 않음)에 의하여 신호선 구동 회로(5303)와 접속되고, 주사선 구동회로(5302)로부터 행 방향으로 연장하여 배치된 복수의 주사선 G1 내지 Gn(도시하지 않음)에 의하여 주사선 구동회로(5302)와 접속되고, 및 신호선 S1 내지 Sm 및 주사선 G1 내지 Gn에 대응하여 매트릭스 상태로 배치된 복수의 화소(도시하지 않음)를 갖는다. 그리고, 각 화소는, 신호선 Sj(신호선 S1 내지 Sm 중 어느 하나), 주사선 Gi(주사선 G1 내지 Gn 중 어느 하나)와 접속된다.
- [0153] 또한, 실시형태 1 내지 실시형태 4의 어느 하나에 나타내는 박막 트랜지스터는, n채널형 TFT이고, n채널형 TFT로 구성하는 신호선 구동 회로에 대하여 도 13을 사용하여 설명한다.
- [0154] 도 13에 도시하는 신호선 구동 회로는, 드라이버 IC(5601), 스위치 군(5602_1 내지 5602_M), 제 1 배선(5611), 제 2 배선(5612), 제 3 배선(5613) 및 배선(5621_1 내지 5621_M)을 갖는다. 스위치 군(5602_1 내지 5602_M)의 각각은, 제 1 박막 트랜지스터(5603a), 제 2 박막 트랜지스터(5603b) 및 제 3 박막 트랜지스터(5603c)를 갖는다.
- [0155] 드라이버 IC(5601)는 제 1 배선(5611), 제 2 배선(5612), 제 3 배선(5613) 및 배선(5621_1 내지 5621_M)에 접속된다. 그리고, 스위치 군(5602_1 내지 5602_M)의 각각은, 제 1 배선(5611), 제 2 배선(5612), 제 3 배선(5613) 및 스위치 군(5602_1 내지 5602_M)에 각각 대응한 배선(5621_1 내지 5621_M)에 접속된다. 그리고, 배선(5621_1 내지 5621_M)의 각각은, 제 1 박막 트랜지스터(5603a), 제 2 박막 트랜지스터(5603b), 제 3 박막 트랜지스터(5603c)를 사이에 두고, 3개의 신호선에 접속된다. 예를 들어, J열째의 배선(5621_J; 배선(5621_1 내지 5621_M 중 어느 하나)은, 스위치 군(5602_J)이 갖는 제 1 박막 트랜지스터(5603a), 제 2 박막 트랜지스터(5603b) 및 제 3 박막 트랜지스터(5603c)를 사이에 두고, 신호선(Sj-1), 신호선(Sj), 신호선(Sj+1)에 접속된다.
- [0156] 또한, 제 1 배선(5611), 제 2 배선(5612), 제 3 배선(5613)에는 각각 신호가 입력된다.
- [0157] 또한, 드라이버 IC(5601)는 단결정 기판 위에 형성되는 것이 바람직하다. 또한, 스위치 군(5602_1 내지 5602_M)은, 화소부와 동일 기판 위에 형성되는 것이 바람직하다. 따라서, 드라이버 IC(5601)와 스위치 군(5602_1 내지 5602_M)은 FPC 등을 사이에 두고 접속하면 좋다.
- [0158] 다음에, 도 13에 도시한 신호선 구동 회로의 동작에 대하여 도 14의 타이밍 차트를 참조하여 설명한다. 또한, 도 14의 타이밍 차트는 i행째의 주사선 Gi가 선택되어 있는 경우의 타이밍 차트를 도시한다. 또한, i행째의 주사선 Gi의 선택 기간은, 제 1 서브 선택 기간 T1, 제 2 서브 선택 기간 T2, 및 제 3 서브 선택 기간 T3으로 분할되어 있다. 또한, 도 13의 신호선 구동 회로는, 다른 행의 주사선이 선택되는 경우에도 도 14와 같은 동작을 한다.
- [0159] 또한, 도 14의 타이밍 차트는, J열째의 배선(5621_J)이 제 1 박막 트랜지스터(5603a), 제 2 박막 트랜지스터(5603b) 및 제 3 박막 트랜지스터(5603c)를 사이에 두고, 신호선(Sj-1), 신호선(Sj), 신호선(Sj+1)에 접속되는 경우에 대하여 도시한다.
- [0160] 또한, 도 14의 타이밍 차트는 i행째의 주사선 Gi가 선택되는 타이밍, 제 1 박막 트랜지스터(5603a)의 온 및 오프의 타이밍(5703a), 제 2 박막 트랜지스터(5603b)의 온 및 오프의 타이밍(5703b), 제 3 박막 트랜지스터(5603c)의 온 및 오프의 타이밍(5703c) 및 J열째의 배선(5621_J)에 입력되는 신호(5721_J)를 도시한다.
- [0161] 또한, 배선(5621_1) 내지 배선(5621_M)에는 제 1 서브 선택 기간 T1, 제 2 서브 선택 기간 T2 및 제 3 서브 선택 기간 T3에 있어서, 각각 다른 비디오 신호가 입력된다. 예를 들어, 제 1 서브 선택 기간 T1에 있어서, 배선(5621_J)에 입력되는 비디오 신호는 신호선 Sj-1에 입력되고, 제 2 서브 선택 기간 T2에 있어서 배선

(5621_J)에 입력되는 비디오 신호는 신호선 Sj에 입력되고, 제 3 서브 선택 기간 T3에 있어서 배선(5621_J)에 입력되는 비디오 신호는 신호선 Sj+1에 입력된다. 또한, 제 1 서브 선택 기간 T1, 제 2 서브 선택 기간 T2 및 제 3 서브 선택 기간 T3에 있어서, 배선(5621_J)에 입력되는 비디오 신호를 각각 Data_{j-1}, Data_j, Data_{j+1}로 한다.

[0162] 도 14에 도시하는 바와 같이, 제 1 서브 선택 기간 T1에 있어서 제 1 박막 트랜지스터(5603a)가 온되고, 제 2 박막 트랜지스터(5603b) 및 제 3 박막 트랜지스터(5603c)가 오프된다. 이 때, 배선(5621_J)에 입력되는 Data_{j-1}이, 제 1 박막 트랜지스터(5603a)를 사이에 두고, 신호선 Sj-1에 입력된다. 제 2 서브 선택 기간 T2에서는, 제 2 박막 트랜지스터(5603b)가 온되고, 제 1 박막 트랜지스터(5603a) 및 제 3 박막 트랜지스터(5603c)가 오프된다. 이 때, 배선(5621_J)에 입력되는 Data_j가, 제 2 박막 트랜지스터(5603b)를 사이에 두고, 신호선 Sj에 입력된다. 제 3 서브 선택 기간 T3에서는, 제 3 박막 트랜지스터(5603c)가 온되고, 제 1 박막 트랜지스터(5603a) 및 제 2 박막 트랜지스터(5603b)가 오프된다. 이 때, 배선(5621_J)에 입력되는 Data_{j+1}이, 제 3 박막 트랜지스터(5603c)를 사이에 두고, 신호선(Sj+1)에 입력된다.

[0163] 이상으로부터, 도 13의 신호선 구동 회로는 1 게이트 선택 기간을 3개로 분할함으로써, 1 게이트 선택 기간 중에 1개의 배선(5621)으로부터 3개의 신호선에 비디오 신호를 입력할 수 있다. 따라서, 도 13의 신호선 구동 회로는 드라이버 IC(5601)가 형성되는 기판과, 화소부가 형성되는 기판과의 접속수를 신호선의 수와 비교하여 약 1/3로 할 수 있다. 접속수가 약 1/3이 됨으로써, 도 13의 신호선 구동회로는, 신뢰성, 수율 등을 향상시킬 수 있다.

[0164] 또한, 도 13에서 도시하는 바와 같이, 1 게이트 선택 기간을 복수의 서브 선택 기간으로 분할하여, 복수의 서브 선택 기간 각각에 있어서, 어느 1개의 배선으로부터 복수의 신호선 각각에 비디오 신호를 입력할 수 있으면, 박막 트랜지스터의 배치나 수, 구동 방법 등은 한정되지 않는다.

[0165] 예를 들어, 3개 이상의 서브 선택 기간 각각에 있어서 1개의 배선으로부터 3개 이상의 신호선 각각에 비디오 신호를 입력하는 경우는, 박막 트랜지스터 및 박막 트랜지스터를 제어하기 위한 배선을 추가하면 좋다. 다만, 1 게이트 선택 기간을 4개 이상의 서브 선택 기간으로 분할하면, 1개의 서브 선택 기간이 짧아진다. 따라서, 1 게이트 선택 기간은, 2개 또는 3개의 서브 선택 기간으로 분할되는 것이 바람직하다.

[0166] 다른 예로서, 도 15의 타이밍 차트에 도시하는 바와 같이, 1개의 선택 기간을 프리 차지 기간 Tp, 제 1 서브 선택 기간 T1, 제 2 서브 선택 기간 T2, 제 3 선택 기간 T3으로 분할하여도 좋다. 또한, 도 15의 타이밍 차트는, i행째의 주사선 Gi가 선택되는 타이밍, 제 1 박막 트랜지스터(5603a)의 온 및 오프의 타이밍(5803a), 제 2 박막 트랜지스터(5603b)의 온 및 오프의 타이밍(5803b), 제 3 박막 트랜지스터(5603c)의 온 및 오프의 타이밍(5803c) 및 J열째의 배선(5621_J)에 입력되는 신호(5821_J)를 도시한다. 도 15에 도시하는 바와 같이, 프리 차지 기간 Tp에 있어서, 제 1 박막 트랜지스터(5603a), 제 2 박막 트랜지스터(5603b) 및 제 3 박막 트랜지스터(5603c)가 온 된다. 이 때, 배선(5621_J)에 입력되는 프리 차지 전압 Vp가 제 1 박막 트랜지스터(5603a), 제 2 박막 트랜지스터(5603b) 및 제 3 박막 트랜지스터(5603c)를 사이에 두고, 각각 신호선(Sj-1), 신호선(Sj), 신호선(Sj+1)에 입력된다. 제 1 서브 선택 기간 T1에 있어서 제 1 박막 트랜지스터(5603a)가 온되고, 제 2 박막 트랜지스터(5603b) 및 제 3 박막 트랜지스터(5603c)가 오프된다. 이 때, 배선(5621_J)에 입력되는 Data_{j-1}이, 제 1 박막 트랜지스터(5603a)를 사이에 두고, 신호선 Sj-1에 입력된다. 제 2 서브 선택 기간 T2에서는, 제 2 박막 트랜지스터(5603b)가 온되고, 제 1 박막 트랜지스터(5603a) 및 제 3 박막 트랜지스터(5603c)가 오프된다. 이 때, 배선(5621_J)에 입력되는 Data_j가, 제 2 박막 트랜지스터(5603b)를 사이에 두고, 신호선 (Sj)에 입력된다. 제 3 서브 선택 기간 T3에서는, 제 3 박막 트랜지스터(5603c)가 온되고, 제 1 박막 트랜지스터(5603a) 및 제 2 박막 트랜지스터(5603b)가 오프된다. 이 때, 배선(5621_J)에 입력되는 Data_{j+1}이, 제 3 박막 트랜지스터(5603c)를 사이에 두고, 신호선(Sj+1)에 입력된다.

[0167] 이상으로부터, 도 15의 타이밍 차트를 적용한 도 13의 신호선 구동 회로는, 서브 선택 기간 전에 프리 차지 선택 기간을 설정함으로써, 신호선을 프리 차지할 수 있기 때문에, 화소로의 비디오 신호의 기록을 고속으로 행할 수 있다. 또한, 도 15에 있어서, 도 14와 같은 것에 관해서는 공통의 부호를 붙이고, 동일 부분 또는 같은 기능을 갖는 부분의 자세한 설명은 생략한다.

[0168] 또한, 주사선 구동 회로의 구성에 대하여 설명한다. 주사선 구동 회로는 시프트 레지스터, 버퍼를 갖는다. 또한, 경우에 따라서는, 레벨 시프트를 가져도 좋다. 주사선 구동 회로에 있어서, 시프트 레지스터에 클럭 신호(CLK) 및 스타트 펄스 신호(SP)가 입력됨으로써, 선택 신호가 생성된다. 생성된 선택 신호는 버퍼에 있어서 완충 증폭되고, 대응하는 주사선에 공급된다. 주사선에는, 1라인분의 화소의 트랜지스터의 게이트 전극

이 접속된다. 그리고, 1라인분의 화소의 트랜지스터를 일제히 온으로 하여야 하기 때문에, 버퍼는 큰 전류를 흘릴 수 있는 것이 사용된다.

[0169] 주사선 구동 회로의 일부에 사용하는 시프트 레지스터의 일 형태에 대하여 도 16 및 도 17을 사용하여 설명한다.

[0170] 도 16에 시프트 레지스터의 회로 구성을 도시한다. 도 16에 도시하는 시프트 레지스터는, 복수의 플립플롭(5701_i)(플립플롭(5701₁) 내지 플립플롭(5701_n))으로 구성된다. 또한, 제 1 클록 신호, 제 2 클록 신호, 스타트 펄스 신호, 리셋 신호가 입력되어 동작한다.

[0171] 도 16의 시프트 레지스터의 접속 관계에 대해서 설명한다. 도 16의 시프트 레지스터는 i단계의 플립플롭(5701_i)(플립플롭(5701₁) 내지 플립플롭(5701_n) 중 어느 하나)은 도 17에 도시한 제 1 배선(5501)이 제 7 배선(5717_{i-1})에 접속되고, 도 17에 도시한 제 2 배선(5502)이 제 7 배선(5717_{i+1})에 접속되고, 도 17에 도시한 제 3 배선(5503)이 제 7 배선(5717_i)에 접속되고, 도 17에 도시한 제 6 배선(5506)이 제 5 배선(5715)에 접속된다.

[0172] 또한, 도 17에 도시한 제 4 배선(5504)이 홀수 단계의 플립플롭에서는 제 2 배선(5712)에 접속되고, 짝수 단계 플립플롭에서는 제 3 배선(5713)에 접속되고, 도 17에 도시한 제 5 배선(5505)이 제 4 배선(5714)에 접속된다.

[0173] 다만, 1단계의 플립플롭(5701₁)의 도 17에 도시하는 제 1 배선(5501)은 제 1 배선(5711)에 접속되고, n단계의 플립플롭(5701_n)의 도 17에 도시하는 제 2 배선(5502)은 제 6 배선(5716)에 접속된다.

[0174] 또한, 제 1 배선(5711), 제 2 배선(5712), 제 3 배선(5713), 제 6 배선(5716)을 각각 제 1 신호선, 제 2 신호선, 제 3 신호선, 제 4 신호선이라고 불러도 좋다. 또한, 제 4 배선(5714), 제 5 배선(5715)을, 각각 제 1 전원선, 제 2 전원선이라고 불러도 좋다.

[0175] 다음, 도 16에 도시하는 플립플롭의 자세한 내용에 대하여, 도 17에 도시한다. 도 17에 도시하는 플립플롭은 제 1 박막 트랜지스터(5571), 제 2 박막 트랜지스터(5572), 제 3 박막 트랜지스터(5573), 제 4 박막 트랜지스터(5574), 제 5 박막 트랜지스터(5575), 제 6 박막 트랜지스터(5576), 제 7 박막 트랜지스터(5577) 및 제 8 박막 트랜지스터(5578)를 갖는다. 또한, 제 1 박막 트랜지스터(5571), 제 2 박막 트랜지스터(5572), 제 3 박막 트랜지스터(5573), 제 4 박막 트랜지스터(5574), 제 5 박막 트랜지스터(5575), 제 6 박막 트랜지스터(5576), 제 7 박막 트랜지스터(5577) 및 제 8 박막 트랜지스터(5578)는, n채널형 트랜지스터이며, 게이트·소스간 전압(V_{gs})이 임계 값 전압(V_{th})을 상회하였을 때 도통 상태가 되는 것으로 한다.

[0176] 다음, 도 16에 도시하는 플립플롭의 접속 구성에 대하여, 이하에 설명한다.

[0177] 제 1 박막 트랜지스터(5571)의 제 1 전극(소스 전극 또는 드레인 전극의 한쪽)이 제 4 배선(5504)에 접속되고, 제 1 박막 트랜지스터(5571)의 제 2 전극(소스 전극 또는 드레인 전극의 다른 쪽)이 제 3 배선(5503)에 접속된다.

[0178] 제 2 박막 트랜지스터(5572)의 제 1 전극이 제 6 배선(5506)에 접속되고, 제 2 박막 트랜지스터(5572)의 제 2 전극이 제 3 배선(5503)에 접속된다.

[0179] 제 3 박막 트랜지스터(5573)의 제 1 전극이 제 5 배선(5505)에 접속되고, 제 3 박막 트랜지스터(5573)의 제 2 전극이 제 2 박막 트랜지스터(5572)의 게이트 전극에 접속되고, 제 3 박막 트랜지스터(5573)의 게이트 전극이 제 5 배선(5505)에 접속된다.

[0180] 제 4 박막 트랜지스터(5574)의 제 1 전극이 제 6 배선(5506)에 접속되고, 제 4 박막 트랜지스터(5574)의 제 2 전극이 제 2 박막 트랜지스터(5572)의 게이트 전극에 접속되고, 제 4 박막 트랜지스터(5574)의 게이트 전극이 제 1 박막 트랜지스터(5571)의 게이트 전극에 접속된다.

[0181] 제 5 박막 트랜지스터(5575)의 제 1 전극이 제 5 배선(5505)에 접속되고, 제 5 박막 트랜지스터(5575)의 제 2 전극이 제 1 박막 트랜지스터(5571)의 게이트 전극에 접속되고, 제 5 박막 트랜지스터(5575)의 게이트 전극이 제 1 배선(5501)에 접속된다.

[0182] 제 6 박막 트랜지스터(5576)의 제 1 전극이 제 6 배선(5506)에 접속되고, 제 6 박막 트랜지스터(5576)의 제 2 전극이 제 1 박막 트랜지스터(5571)의 게이트 전극에 접속되고, 제 6 박막 트랜지스터(5576)의 게이트 전극이 제 2 박막 트랜지스터(5572)의 게이트 전극에 접속된다.

- [0183] 제 7 박막 트랜지스터(5577)의 제 1 전극이 제 6 배선(5506)에 접속되고, 제 7 박막 트랜지스터(5577)의 제 2 전극이 제 1 박막 트랜지스터(5571)의 게이트 전극에 접속되고, 제 7 박막 트랜지스터(5577)의 게이트 전극이 제 2 배선(5502)에 접속된다. 제 8 박막 트랜지스터(5578)의 제 1 전극이 제 6 배선(5506)에 접속되고, 제 8 박막 트랜지스터(5578)의 제 2 전극이 제 2 박막 트랜지스터(5572)의 게이트 전극에 접속되고, 제 8 박막 트랜지스터(5578)의 게이트 전극이 제 1 배선(5501)에 접속된다.
- [0184] 또한, 제 1 박막 트랜지스터(5571)의 게이트 전극, 제 4 박막 트랜지스터(5574)의 게이트 전극, 제 5 박막 트랜지스터(5575)의 제 2 전극, 제 6 박막 트랜지스터(5576)의 제 2 전극 및 제 7 박막 트랜지스터(5577)의 제 2 전극의 접속 개소를 노드(5543)로 한다. 또한, 제 2 박막 트랜지스터(5572)의 게이트 전극, 제 3 박막 트랜지스터(5573)의 제 2 전극, 제 4 박막 트랜지스터(5574)의 제 2 전극, 제 6 박막 트랜지스터(5576)의 게이트 전극 및 제 8 박막 트랜지스터(5578)의 제 2 전극의 접속 개소를 노드(5544)로 한다.
- [0185] 또한, 제 1 배선(5501), 제 2 배선(5502), 제 3 배선(5503) 및 제 4 배선(5504)을, 각각 제 1 신호선, 제 2 신호선, 제 3 신호선, 제 4 신호선이라고 불러도 좋다. 또한, 제 5 배선(5505)을 제 1 전원선, 제 6 배선(5506)을 제 2 전원선이라고 불러도 좋다.
- [0186] 또한, 신호선 구동 회로 및 주사선 구동 회로를 실시형태 1 내지 실시형태 4의 어느 하나에 나타내는 n 채널형 TFT만으로 제작할 수도 있다. 실시형태 1 내지 실시형태 4의 어느 하나에 나타내는 n 채널형 TFT는 트랜지스터의 이동도가 크기 때문에, 구동 회로의 구동 주파수를 높일 수 있다. 또한, 실시형태 1 내지 실시형태 4의 어느 하나에 나타내는 n 채널형 TFT는, n형을 갖는 인듐, 갈륨, 및 아연을 포함하는 산화물 반도체층인 버퍼층에 의하여 기생 용량이 저감되기 때문에, 주파수 특성(f특성이라고 함)이 높다. 예를 들어, 실시형태 1 내지 실시형태 4의 어느 하나에 나타내는 n 채널형 TFT를 사용한 주사선 구동 회로는, 고속으로 동작시킬 수 있기 때문에, 프레임 주파수를 높이는 것 또는 흑색 화면의 삽입 등을 실현할 수 있다.
- [0187] 또한, 주사선 구동 회로의 트랜지스터의 채널 폭을 크게 하는 것이나, 복수의 주사선 구동 회로를 배치하는 것 등에 의하여, 더욱 높은 프레임 주파수를 실현할 수 있다. 복수의 주사선 구동 회로를 배치하는 경우는, 짝수 행의 주사선을 구동하기 위한 주사선 구동 회로를 한쪽에 배치하고, 홀수 행의 주사선을 구동하기 위한 주사선 구동 회로를 그 반대 쪽에 배치함으로써, 프레임 주파수를 높이는 것을 실현할 수 있다.
- [0188] 또한, 본 명세서에서 개시하는 발명의 반도체 장치의 일례인 액티브 매트릭스형 발광 표시 장치를 제작하는 경우, 적어도 하나의 화소에 복수의 박막 트랜지스터를 배치하기 때문에, 주사선 구동 회로를 복수 배치하는 것이 바람직하다. 액티브 매트릭스형 발광 표시 장치의 블록도의 일례를 도 12b에 도시한다.
- [0189] 도 12b에 도시하는 발광 표시 장치는, 기판(5400) 위에 표시 소자를 구비한 화소를 복수 갖는 화소부(5401)와, 각 화소를 선택하는 제 1 주사선 구동 회로(5402) 및 제 2 주사선 구동 회로(5404)와, 선택된 화소로의 비디오 신호의 입력을 제어하는 신호선 구동 회로(5403)를 갖는다.
- [0190] 도 12b에 도시하는 발광 표시 장치의 화소에 입력되는 비디오 신호를 디지털 형식으로 하는 경우, 화소는 트랜지스터의 온 및 오프의 변환에 따라, 발광 상태 또는 비발광 상태가 된다. 따라서, 면적 게조법 또는 시간 게조법을 사용하여 게조의 표시를 행할 수 있다. 면적 게조법은 1화소를 복수의 부(副)화소로 분할하여 각 부화소를 독립적으로 비디오 신호에 따라 구동시킴으로써, 게조 표시를 행하는 구동 방법이다. 또한, 시간 게조법은 화소가 발광하는 기간을 제어함으로써 게조 표시를 행하는 구동 방법이다.
- [0191] 발광 소자는 액정 소자 등과 비교하여 응답 속도가 높기 때문에, 액정 소자보다 시간 게조법에 적합하다. 구체적으로 시간 게조법에 의하여 표시를 행하는 경우, 1프레임 기간을 복수의 서브 프레임 기간으로 분할한다. 그리고, 비디오 신호에 따라, 각 서브 프레임 기간에 있어서, 화소의 발광 소자를 발광 상태, 또는 비발광 상태로 한다. 복수의 서브 프레임 기간으로 분할함으로써, 1프레임 기간 중에 화소가 실제로 발광하는 기간의 합계 길이를 비디오 신호에 따라 제어할 수 있기 때문에, 게조를 표시할 수 있다.
- [0192] 또한, 도 12b에 도시하는 발광 표시 장치에서는, 하나의 화소에 스위칭용 TFT와 전류 제어용 TFT의 2개를 배치하는 경우, 스위칭용 TFT의 게이트 배선인 제 1 주사선에 입력되는 신호를 제 1 주사선 구동 회로(5402)로 생성하고, 전류 제어용 TFT의 게이트 배선인 제 2 주사선에 입력되는 신호를 제 2 주사선 구동 회로(5404)로 생성하는 예를 도시하지만, 제 1 주사선에 입력되는 신호와 제 2 주사선에 입력되는 신호의 양쪽 모두를 1개의 주사선 구동 회로로 생성하도록 하여도 좋다. 또한, 예를 들어, 스위칭 소자가 갖는 각 트랜지스터의 수에 따라, 스위칭 소자의 동작을 제어하기 위하여 사용되는 제 1 주사선이, 각 화소에 복수 형성되는 것도 있다. 이 경우, 복수의 제 1 주사선에 입력되는 신호를 모두 1개의 주사선 구동 회로로 생성하여도 좋고, 복수의 각

주사선 구동 회로로 생성하여도 좋다.

- [0193] 또한, 발광 표시 장치에 있어서도 구동 회로 중, n채널형 TFT로 구성할 수 있는 구동 회로의 일부를 화소부의 박막 트랜지스터와 동일 기판 위에 형성할 수 있다. 또한, 신호선 구동 회로 및 주사선 구동 회로를 실시형태 1 내지 실시형태 4의 어느 하나에 나타내는 n채널형 TFT만으로 제작할 수도 있다.
- [0194] 또한, 상술한 구동 회로는 액정 표시 장치나 발광 표시 장치에 한정되지 않고, 스위칭 소자와 전기적으로 접속되는 소자를 이용하여 전자 잉크를 구동시키는 전자 페이퍼에 사용하여도 좋다. 전자 페이퍼는, 전기영동(泳動) 표시 장치(전기 영동 디스플레이)라고도 불리고, 종이와 같이 읽기 쉽다는 이점, 다른 표시 장치와 비교하여 저소비 전력, 얇고 가벼운 형상으로 할 수 있는 이점을 갖는다.
- [0195] 전기 영동 디스플레이에는 다양한 형태를 고려할 수 있지만, 양 전하를 갖는 제 1 입자와 음 전하를 갖는 제 2 입자를 포함하는 마이크로 캡슐이 용매 또는 용질에 복수 분산된 것이고, 마이크로 캡슐에 전계를 인가함으로써 마이크로 캡슐 중의 입자를 서로 반대 방향으로 이동시켜 한쪽에 모인 입자의 색만을 표시하는 것이다. 또한, 제 1 입자 또는 제 2 입자는 염료를 포함하여, 전계가 없는 경우에 있어서, 이동하지 않는 것이다. 또한, 제 1 입자의 색과 제 2 입자의 색은 다른 것(무색을 포함한다)으로 한다.
- [0196] 상술한 바와 같이, 전기 영동 디스플레이는 유전 상수가 높은 물질이 높은 전계 영역으로 이동하는, 소위 유전 영동적 효과를 이용한 디스플레이이다. 전기 영동 디스플레이는, 액정 표시 장치에는 필요한 편광판, 대향 기판도 전기 영동 표시 장치에는 필요가 없고, 두께나 무게가 반감된다.
- [0197] 상기 마이크로 캡슐을 용매 중에 분산시킨 것이 전자 잉크라고 불리는 것이며, 이 전자 잉크는 유리, 플라스틱, 피륙, 종이 등의 표면에 인쇄할 수 있다. 또한, 컬러 필터나 색소를 갖는 입자를 사용함으로써, 컬러 표시도 가능하다.
- [0198] 또한, 액티브 매트릭스 기판 위에 적절히 2개의 전극 사이에 끼워지도록 상기 마이크로 캡슐을 복수 배치하면, 액티브 매트릭스형의 표시 장치가 완성되어, 마이크로 캡슐에 전계를 인가하면 표시할 수 있다. 예를 들어, 실시형태 1 내지 실시형태 4의 어느 하나에 나타내는 박막 트랜지스터에 의하여 얻어지는 액티브 매트릭스 기판을 사용할 수 있다.
- [0199] 또한, 마이크로 캡슐 중의 제 1 입자 및 제 2 입자는, 도전체 재료, 절연체 재료, 반도체 재료, 자성(磁性) 재료, 액정 재료, 강유전성 재료, 일렉트로 루미네선스 재료, 일렉트로크로믹(electrochromic) 재료, 자기 영동 재료 중으로부터 선택된 일종의 재료, 또는 이들의 복합 재료를 사용하면 좋다.
- [0200] 상술한 공정에 의하여, 반도체 장치로서 신뢰성이 높은 표시 장치를 제작할 수 있다.
- [0201] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.
- [0202] (실시형태 6)
- [0203] 여기서는, 적어도 게이트 절연막과 산화물 반도체층의 적층을 대기에 노출시키지 않고, 연속적으로 성막을 행하는 역 스테거형의 박막 트랜지스터의 제작 예를 이하에 나타낸다. 여기서는, 연속적으로 성막을 행하는 공정까지의 공정을 나타내고, 그 후의 공정은 실시형태 1 내지 실시형태 4의 어느 하나를 따라 박막 트랜지스터를 제작하면 좋다.
- [0204] 본 명세서 중에서 연속적인 성막이란, 스퍼터링법으로 행하는 제 1 성막 공정으로부터 스퍼터링법으로 행하는 제 2 성막 공정까지의 일련의 프로세스 중, 피처리 기판이 놓여 있는 분위기가 대기 등의 오염 분위기에 노출되지 않고, 항상 진공 중 또는 불활성 가스 분위기(질소 분위기 또는 희 가스 분위기)에서 제어되어 있는 것을 가리킨다. 연속적으로 성막을 행함으로써, 청정화된 피처리 기판의 수분 등의 재부착을 회피하면서 성막을 행할 수 있다.
- [0205] 동일 챔버 내에서 제 1 성막 공정으로부터 제 2 성막 공정까지의 일련의 프로세스를 행하는 것은, 본 명세서에 있어서의 연속적인 성막의 범위에 있는 것으로 한다.
- [0206] 또한, 상이한 챔버에서 제 1 성막 공정으로부터 제 2 성막 공정까지의 일련의 프로세스를 행하는 경우, 제 1 성막 공정을 끝낸 후, 대기에 노출시키지 않고 챔버간을 기판 반송하고, 제 2 성막을 실시하는 것도 본 명세서에 있어서의 연속적인 성막의 범위에 있는 것으로 한다.
- [0207] 또한, 제 1 성막 공정과 제 2 성막 공정 사이에 기판 반송 공정, 얼라인먼트(alignment) 공정, 서냉(徐

冷) 공정, 또는 제 2 공정에 필요한 온도로 하기 위하여 기판을 가열 또는 냉각하는 공정 등을 가져도, 본 명세서에 있어서의 연속적인 성막의 범위에 있는 것으로 한다.

[0208] 다만, 세정 공정, 웨트 에칭, 레지스트 형성 등, 액체를 사용하는 공정이 제 1 성막 공정과 제 2 성막 공정 사이에 있는 경우, 본 명세서에서 제시하는 연속적인 성막의 범위에는 상당하지 않는 것으로 한다.

[0209] 대기에 노출시키지 않고, 연속적으로 성막을 행하는 경우, 도 18에 도시하는 바와 같은 멀티 챔버형의 제작 장치를 사용하는 것이 바람직하다.

[0210] 제작 장치의 중앙부에는, 기판을 반송하는 반송 기구(대표적으로는, 반송 로봇(81))를 구비한 반송실(80)이 형성되고, 반송실(80)에는 반송실 내에 반입 및 반출하는 기판을 복수매 수납하는 카세트 케이스를 세트하는 카세트실(82)이 연결되어 있다.

[0211] 또한, 반송실(80)에는 각각 게이트 밸브(83 내지 88)를 사이에 두고, 복수의 처리실이 연결된다. 여기서, 상면 형상이 육각형의 반송실(80)에 5개의 처리실을 연결하는 예를 나타낸다. 또한, 반송실의 상면 형상을 변경함으로써, 연결할 수 있는 처리실의 개수를 변화시킬 수 있고, 예를 들어, 사각형으로 하면 3개의 처리실을 연결할 수 있고, 팔각형으로 하면 7개의 처리실을 연결할 수 있다.

[0212] 5개의 처리실 중, 적어도 1개의 처리실은 스퍼터링을 행하는 스퍼터링 챔버로 한다. 스퍼터링 챔버는, 적어도 챔버 내부에 스퍼터링 타겟, 타겟을 스퍼터링하기 위한 전력 인가 기구나 가스 도입 수단, 소정의 위치로 기판을 유지하는 기판 홀더 등이 형성된다. 또한, 스퍼터링 챔버 내를 감압 상태로 하므로, 챔버 내의 압력을 제어하는 압력 제어 수단이 스퍼터링 챔버에 형성된다.

[0213] 스퍼터링법에는, 스퍼터링용 전원에 고주파 전원을 사용하는 RF 스퍼터링법과 DC 스퍼터링법이 있고, 또한, 펄스적으로 바이어스를 주는 펄스 DC 스퍼터링법도 있다. RF 스퍼터링법에는, 주로 절연막을 형성하는 경우에 사용되고, DC 스퍼터링법은 주로 금속막을 형성하는 경우에 사용된다.

[0214] 또한, 재료가 상이한 타겟을 복수 설치할 수 있는 다원(多元) 스퍼터링 장치도 있다. 다원 스퍼터링 장치는, 동일 챔버에서 상이한 재료막을 적층으로 형성할 수도 있고, 동일 챔버에서 복수 종류의 재료를 동시에 방전시켜 성막할 수도 있다.

[0215] 또한, 챔버 내부에 자석 기구를 구비한 마그네트론 스퍼터링법을 사용하는 스퍼터링 장치나, 글로우 방전을 사용하지 않고 마이크로파를 사용하여 발생시킨 플라즈마를 사용하는 ECR 스퍼터링법을 사용하는 스퍼터링 장치가 있다.

[0216] 스퍼터링 챔버로서는, 상술한 다양한 스퍼터링법을 적절히 사용한다.

[0217] 또한, 성막 방법으로서, 성막 중에 타겟 물질과 스퍼터링 가스 성분을 화학 반응시켜, 그들 화합물 박막을 형성하는 반응성 스퍼터링(reactive sputtering)법이나, 성막 중에 기판에도 전압을 가압하는 바이어스 스퍼터링법도 있다.

[0218] 또한, 5개의 처리실 중, 다른 처리실 중의 하나는 스퍼터링 전에 기판의 예비 가열 등을 행하는 가열 챔버, 스퍼터링 후에 기판을 냉각하는 냉각 챔버, 혹은 플라즈마 처리를 행하는 챔버로 한다.

[0219] 다음에, 제작 장치의 동작의 일례에 대하여 설명한다.

[0220] 피성막면을 하향으로 한 기판(94)을 수납한 기판 카세트를 카세트실(82)에 세트하고, 카세트실(82)에 형성된 진공 배기 수단에 의하여 카세트실을 감압 상태로 한다. 또한, 미리 각 처리실 및 반송실(80) 내부를 각각에 형성된 진공 배기 수단으로 감압해 둔다. 이렇게 함으로써, 기판이 각 처리실간을 반송되는 동안, 대기에 노출되지 않고, 청정한 상태를 유지할 수 있다.

[0221] 또한, 피성막면을 하향으로 한 기판(94)은, 적어도 게이트 전극이 미리 형성되어 있다. 예를 들어, 기판과 게이트 전극 사이에 플라즈마 CVD법으로 얻을 수 있는 질화 실리콘막, 질화산화 실리콘막 등의 하지 절연막을 형성하여도 좋다. 기판(94)으로서, 알칼리 금속을 포함하는 유리 기판을 사용하는 경우, 하지 절연막은 기판으로부터 나트륨 등의 가동 이온이 그 위의 반도체 영역 중에 침입하여, TFT 전기 특성이 변화되는 것을 억제하는 작용을 갖는다.

[0222] 여기서는, 게이트 전극을 덮는 질화 실리콘막을 플라즈마 CVD법으로 형성하여, 1층째의 게이트 절연막을 형성한 기판을 사용한다. 플라즈마 CVD법으로 형성된 질화 실리콘막을 치밀하고, 1층째의 게이트 절연막으

로 함으로써, 핀홀 등의 발생을 억제할 수 있다. 또한, 여기서는 게이트 절연막을 적층으로 하는 예를 나타내지만, 특히 한정되지 않고, 단층 또는 3층 이상의 적층을 사용하여도 좋다.

[0223] 다음에, 게이트 밸브(83)를 열어, 반송 로봇(81)에 의하여 1장째의 기관(94)을 카세트로부터 빼내고, 게이트 밸브(84)를 열어, 제 1 처리실(89) 내에 반송하고, 게이트 밸브(84)를 잠근다. 제 1 처리실(89)에서는, 가열 히터나 램프 가열로 기관을 가열하고, 기관(94)에 부착되어 있는 수분 등을 제거한다. 특히, 게이트 절연막에 수분이 포함되면, TFT의 전기 특성이 변화될 우려가 있기 때문에, 스퍼터링 성막 전의 가열은 유효적이다. 또한, 카세트실(82)에 기관을 세트한 단계에서 충분히 수분이 제거된 경우에는, 이 가열 처리는 불필요하다.

[0224] 또한, 제 1 처리실(89)에 플라즈마 처리 수단을 설치하고, 1층째의 게이트 절연막의 표면에 플라즈마 처리를 행하여도 좋다. 또한, 카세트실(82)에 가열 수단을 설치하고 카세트실(82)에서 수분을 제거하는 가열을 행하여도 좋다.

[0225] 다음에, 게이트 밸브(84)를 열어, 반송 로봇(81)에 의하여 기관을 반송실(80)에 반송하고, 게이트 밸브(85)를 열어, 제 2 처리실(90) 내에 반송하고, 게이트 밸브(85)를 잠근다.

[0226] 여기서는, 제 2 처리실(90)은 RF 마그네트론 스퍼터링법을 사용한 스퍼터링 챔버로 한다. 제 2 처리실(90)에서는, 2층째의 게이트 절연막으로서 산화 실리콘막(SiO_x막)을 형성한다. 2층째의 게이트 절연막으로서 산화 실리콘막 이외에 산화 알루미늄막(Al₂O₃막), 산화 마그네슘막(MgO_x막), 질화 알루미늄막(AlN_x막), 산화 이트륨(YO_x막) 등을 사용할 수 있다.

[0227] 또한, 2층째의 게이트 절연막에 할로젠 원소, 예를 들어, 불소, 염소 등을 소량 첨가하여, 나트륨 등의 가동 이온을 고정화시켜도 좋다. 그 방법으로서, 챔버 내에 할로젠 원소를 포함하는 가스를 도입하여 스퍼터링을 행한다. 다만, 할로젠 원소를 포함하는 가스를 도입하는 경우에는, 챔버의 배기 수단에 제해(除害) 설비를 설치할 필요가 있다. 게이트 절연막에 포함시키는 할로젠 원소의 농도는, SIMS(이차 이온 질량 분석계)를 사용한 분석에 의하여 얻을 수 있는 농도 피크가 $1 \times 10^{15} \text{ cm}^{-3}$ 이상 $1 \times 10^{20} \text{ cm}^{-3}$ 이하의 범위 내로 하는 것이 바람직하다.

[0228] SiO_x막을 얻는 경우, 타깃으로서 인공(人工) 석영을 사용하고, 희 가스, 대표적으로는 아르곤을 사용하는 스퍼터링법이나, 타깃으로서 단결정 실리콘을 사용하고 산소 가스와 화학 반응시켜, SiO_x막을 얻는 반응성 스퍼터링을 사용할 수 있다. 여기서는, 산소를 될수록 많이 SiO_x막 중에 포함시키기 위하여, 타깃으로서 인공 석영을 사용하고, 산소만의 분위기 하, 또는 산소가 90% 이상, 또 Ar가 10% 이하의 분위기 하에서 스퍼터링을 행하고, 산소 과잉 상태의 SiO_x막을 형성한다.

[0229] SiO_x막을 형성한 후, 대기에 노출시키지 않고, 게이트 밸브(85)를 열어 반송 로봇(81)에 의하여 기관을 반송실(80)에 반송하고, 게이트 밸브(86)를 열어 제 3 처리실(91) 내에 반송하고, 게이트 밸브(86)를 잠근다.

[0230] 여기서는, 제 3 처리실(91)은 DC 마그네트론 스퍼터링법을 사용한 스퍼터링 챔버로 한다. 제 3 처리실(91)에서는, 반도체층으로서 산화 금속층(IGZO막)을 형성한다. In, Ga, 및 Zn를 포함하는 산화물 반도체 타깃을 사용하여, 희 가스 분위기 하, 또는 산소 분위기 하에서 성막할 수 있다. 여기서는, 산소를 될수록 많이 IGZO막 중에 포함시키기 위하여, 타깃으로서 In, Ga, 및 Zn를 포함하는 산화물 반도체를 사용하고, 산소만의 분위기 하, 또는 산소가 90% 이상, 또 Ar가 10% 이하의 분위기 하에서 펄스 DC 스퍼터링법에 의하여 스퍼터링을 행하여, 산소 과잉 상태의 IGZO막을 형성한다.

[0231] 상술한 바와 같이 대기에 노출시키지 않고, 산소 과잉 상태의 SiO_x막과 산소 과잉 상태의 IGZO막을 연속적으로 형성함으로써, 산소 과잉 상태의 막끼리의 계면 상태를 안정시켜, TFT의 신뢰성을 향상시킬 수 있다. IGZO막의 성막 전에 기관이 대기에 노출된 경우, 수분 등이 부착하고, 계면 상태에 악영향을 주고, 임계 값의 편차나 전기 특성의 열화, 노멀리 온의 TFT가 되는 증상(症狀) 등을 일으킬 우려가 있다. 수분은 수소화합물이며 대기에 노출되지 않고 연속적으로 형성함으로써, 수소화합물이 계면에 존재하는 것을 배제할 수 있다. 따라서, 연속적으로 성막함으로써 임계 값의 편차의 저감이나 전기 특성의 열화의 방지나 TFT가 노멀리 온 측으로 시프트하는 것을 저감할 수 있고, 바람직하게는 시프트를 없앨 수 있다.

[0232] 또한, 제 2 처리실(90)의 스퍼터링 챔버에 인공 석영의 타깃과, In, Ga, 및 Zn를 포함하는 산화물 반도체 타깃의 양쪽 모두를 설치하고, 셔터를 사용하여 순차적으로 적층하여 연속적으로 성막함으로써, 동일 챔버 내에서 적층을 행할 수도 있다. 셔터는, 타깃과 기관 사이에 형성되고, 성막을 행하는 타깃은 셔터를 열고, 또 성막을 행하지 않는 타깃은 셔터를 닫는다. 동일 챔버 내에서 적층하는 이점으로서, 사용하는 챔버의 개수를

줄일 수 있는 점과, 상이한 챔버간을 기관 반송하는 사이에 파티클(particle) 등이 기관에 부착하는 것을 방지할 수 있는 점이다.

[0233] 다음에, 대기에 노출시키지 않고, 게이트 밸브(86)를 열어 반송 로봇(81)에 의하여 기관을 반송실(80)에 반송한다.

[0234] 그레이 톤 마스크를 사용하는 공정이 아니면, 이 단계에서 제작 장치로부터 카세트실을 사이에 두고 기관을 반출하고, 포토리소그래피 기술을 사용하여 산소 과잉 상태의 IGZO막의 패터닝을 행하지만, 그레이 톤 마스크를 사용하는 공정이면 계속, 이하에 나타내는 연속적인 성막을 행한다.

[0235] 다음에, 대기에 노출시키지 않고, 게이트 밸브(87)를 열어 제 4 처리실(92) 내에 반송하고, 게이트 밸브(87)를 잠근다.

[0236] 여기서는, 제 4 처리실(92)은 DC 마그네트론 스퍼터링법을 사용한 스퍼터링 챔버로 한다. 제 4 처리실(92)에서는, 회 가스만의 분위기하에서, 펄스 DC 스퍼터링법의 스퍼터링을 행하고, 산소 과잉 상태의 IGZO막 위에 접하여 버퍼층이 되는 제 2 IGZO막을 형성한다. 이 제 2 IGZO막은 산소 과잉 상태의 IGZO막보다 막 중의 산소 농도가 낮다. 또한, 제 2 IGZO막으로서는, 산소 과잉 상태의 IGZO막보다 높은 캐리어 농도로 하는 것이 바람직하고, 타겟으로서 In, Ga, 및 Zn를 포함하는 산화물 반도체에 또한, Mg나 Al나 Ti를 포함하는 타겟을 사용하여도 좋다. Mg나 Al나 Ti는, 산화 반응을 하기 쉬운 재료이고, 이들의 재료를 제 2 IGZO막에 포함시키면, 산소의 블로킹 효과 등이 있고, 성막 후의 가열 처리 등을 행하더라도, 반도체층의 산소 농도를 최적의 범위 내로 유지할 수 있다. 제 2 IGZO막은 소스 영역 또는 드레인 영역으로서 기능한다.

[0237] 다음에, 대기에 노출시키지 않고, 게이트 밸브(87)를 열어 반송 로봇(81)에 의하여 기관을 반송실(80)에 반송하고, 게이트 밸브(88)를 열어 제 5 처리실(93) 내에 반송하고, 게이트 밸브(88)를 잠근다.

[0238] 여기서는, 제 5 처리실(93)은 DC 마그네트론 스퍼터링법을 사용한 스퍼터링 챔버로 한다. 제 5 처리실(93)에서는, 소스 전극층 또는 드레인 전극층이 되는 금속 다층막(도전막)을 형성한다. 제 5 처리실(93)의 스퍼터링 챔버에 티타늄의 타겟과, 알루미늄의 타겟 양쪽 모두를 설치하고, 서터를 사용하여 순차적으로 적층하여 연속적으로 성막함으로써, 동일 챔버 내에서 적층을 행한다. 여기서는, 티타늄막 위에 알루미늄막을 적층하고, 또한, 알루미늄막 위에 티타늄막을 적층한다.

[0239] 상술한 바와 같이, 그레이 톤 마스크를 사용하는 경우, 대기에 노출되지 않고, 산소 과잉 상태의 SiO_x 막과 산소 과잉 상태의 IGZO막과 제 2 IGZO막과 금속 다층막을 연속적으로 형성할 수 있다. 특히, 산소 과잉 상태의 IGZO막의 계면 상태가 보다 안정되어, TFT의 신뢰성을 향상시킬 수 있다. IGZO막의 형성 전후에 기관이 대기에 노출된 경우, 수분 등이 부착하여 계면 상태에 악영향을 주고, 임계 값의 편차나 전기 특성의 열화, 노멀리 온의 TFT가 되는 증상 등을 일으킬 우려가 있다. 수분은 수소 화합물이며 대기에 노출되지 않고 연속적으로 형성함으로써, 수소화합물이 IGZO막의 계면에 존재하는 것을 배제할 수 있다. 따라서, 4층을 연속적으로 성막함으로써 임계 값의 편차의 저감이나 전기 특성의 열화의 방지나 TFT가 노멀리 온 측으로 시프트하는 것을 저감할 수 있고, 바람직하게는 시프트를 없앨 수 있다.

[0240] 또한, 대기에 노출시키지 않고, 버퍼층이 되는 제 2 IGZO막과 소스 전극층 및 드레인 전극층이 되는 금속 다층막의 형성을 연속적으로 행함으로써, 제 2 IGZO막과 금속 다층막 사이에서 양호한 계면 상태를 실현할 수 있고, 접촉 저항을 저감할 수 있다.

[0241] 또한, 제 2 처리실(90)의 스퍼터링 챔버에 인공 석영의 타겟과, In, Ga, 및 Zn를 포함하는 산화물 반도체 타겟의 양쪽 모두를 설치하고, 서터를 사용하여 순차적으로 도입하는 가스를 전환하여 3층을 연속적으로 성막함으로써, 동일 챔버 내에서 적층을 행할 수도 있다. 동일 챔버 내에서 적층하는 이점으로서, 사용하는 챔버의 개수를 줄일 수 있는 점과, 상이한 챔버간을 기관 반송하는 사이에 파티클(particle) 등이 기관에 부착하는 것을 방지할 수 있는 점이다.

[0242] 상술한 공정을 반복하여 카세트 케이스 내의 기관에 성막 처리를 행하여 복수의 기관의 처리를 행한 후, 카세트실의 진공을 대기에 개방하여 기관 및 카세트를 추출한다.

[0243] 또한, 제 1 처리실(89)에서 산소 과잉 상태의 IGZO막을 형성한 후의 가열 처리, 구체적으로는 300℃ 내지 400℃의 가열 처리, 바람직하게는 350℃ 이상의 가열 처리를 행할 수 있다. 이 가열 처리를 행함으로써, 역스태거형의 박막 트랜지스터의 전기 특성을 향상시킬 수 있다. 이 가열 처리는 산소 과잉 상태의 IGZO막을 형성한 후라면, 특히 한정되지 않고, 예를 들어, 산소 과잉 상태의 IGZO막을 형성한 직후나, 금속 다층막을 형성

한 직후에 행할 수 있다.

- [0244] 다음에, 그레이 톤 마스크를 사용하여 각 적층막을 패터닝한다. 드라이 에칭이나 웨트 에칭을 사용하여 형성하여도 좋고, 복수회에 걸친 에칭으로 나누어 각각 선택적으로 에칭하여도 좋다.
- [0245] 이후에 나타내는 공정은, 상술한 실시형태 1 내지 실시형태 4의 어느 하나에 따르면, 역 스테거형의 박막 트랜지스터를 제작할 수 있다.
- [0246] 여기서는 멀티 챔버 방식의 제작 장치를 예로 하여 설명을 행하였지만, 스퍼터링 챔버를 직렬로 연결하는 인라인 방식의 제작 장치를 사용하여 대기에 노출시키지 않고 연속적으로 성막을 행하여도 좋다.
- [0247] 또한, 도 18에 도시하는 장치는 피성막면을 하향으로 하고, 기판을 세트하는 소위 페이스-다운(face-down) 방식의 처리실로 하지만, 기판을 수직으로 세워, 세로 배치 방식의 처리실로 하여도 좋다. 세로 배치 방식의 처리실은 페이스-다운 방식의 처리실보다 풋프린트(footprint)가 작은 장점이 있고, 또 기판의 자중(自重)에 의하여 휠 우려가 있는 대면적의 기판을 사용하는 경우에 유효하다.
- [0248] (실시형태 7)
- [0249] 본 명세서에서 개시하는 발명의 박막 트랜지스터를 제작하여 상기 박막 트랜지스터를 화소부, 또 구동 회로에 사용하여 표시 기능을 갖는 반도체 장치(표시 장치라고도 함)를 제작할 수 있다.
- [0250] 또한, 본 명세서에서 개시하는 발명의 박막 트랜지스터를, 구동 회로의 일부 또는 전체를 화소부와 같은 기판 위에 일체 형성하여 시스템 온 패널을 형성할 수 있다.
- [0251] 표시 장치는 표시 소자를 포함한다. 표시 소자로서는 액정 소자(액정 표시 소자라고도 함), 발광 소자(발광 표시 소자라고도 함)를 사용할 수 있다. 발광 소자는 전류 또는 전압에 의하여 휘도가 제어되는 소자를 그 범주에 포함하고 있고, 구체적으로는 무기 EL(Electro Luminescence), 또는 유기 EL 등이 포함된다. 또한, 전자 잉크 등, 전기적 작용에 의하여 콘트라스트가 변화되는 표시 매체도 적용할 수 있다.
- [0252] 또한, 표시 장치는, 표시 소자가 밀봉된 상태에 있는 패널과, 상기 패널에 컨트롤러를 포함하는 IC 등을 실장한 상태에 있는 모듈을 포함한다. 또한, 본 발명의 일 형태는, 상기 표시 장치를 제작하는 과정에 있어서, 표시 소자가 완성되기 전의 일 형태에 상당하는 소자 기판에 관한 것으로서, 상기 소자 기판은 전류를 표시 소자에 공급하기 위한 수단을 복수의 각 화소에 구비한다. 소자 기판은 구체적으로는, 표시 소자의 화소 전극만이 형성된 상태라도 좋고, 화소 전극이 되는 도전막을 형성한 후이며, 에칭하여 화소 전극을 형성하기 전의 상태라도 좋고, 모든 형태가 적합하다.
- [0253] 또한, 본 명세서 중에 있어서의 표시 장치란, 화상 표시 디바이스, 표시 디바이스, 또는 광원(조명 장치도 포함함)을 가리킨다. 또한, 커넥터, 예를 들어, FPC(Flexible Printed Circuit) 또는 TAB(Tape Automated Bonding) 테이프, 또는 TCP(Tape Carrier Package)가 부착된 모듈, TAB 테이프나 TCP의 끝에 프린트 배선판이 설치된 모듈, 또는 표시 소자에 COG(Chip On Glass) 방식에 의하여 IC(집적회로)가 직접 실장된 모듈도 모두 표시 장치에 포함하는 것으로 한다.
- [0254] 본 실시형태에서는, 본 명세서에서 개시하는 발명의 반도체 장치로서 액정 표시 장치의 예를 나타낸다.
- [0255] 도 19a 및 도 19b에 본 명세서에서 개시하는 발명을 적용한 액티브 매트릭스형의 액정 표시 장치를 도시한다. 도 19a는 액정 표시 장치의 평면도이며, 도 19b는 도 19a에 있어서의 선 V-X의 단면도이다. 반도체 장치에 사용되는 박막 트랜지스터(201)로서는, 실시형태 2에서 나타내는 박막 트랜지스터와 마찬가지로 제작할 수 있고, IGZO 반도체층 및 n형 도전층을 갖는 IGZO 반도체층을 포함하는 신뢰성이 높은 박막 트랜지스터이다. 또한, 실시형태 1, 실시형태 3, 또는 실시형태 4에서 나타내는 박막 트랜지스터도 본 실시형태의 박막 트랜지스터(201)로서 적용할 수도 있다.
- [0256] 도 19a의 본 실시형태의 액정 표시 장치는 소스 배선층(202), 멀티 게이트 구조의 역 스테거형 박막 트랜지스터(201), 게이트 배선층(203), 용량 배선층(204)을 포함한다.
- [0257] 또한, 도 19b에 있어서, 본 실시형태의 액정 표시 장치는, 멀티 게이트 구조의 박막 트랜지스터(201), 절연층(211), 절연층(212), 절연층(213), 및 표시 소자에 사용하는 전극층(255), 배향막으로서 기능하는 절연층(261), 편광판(268)이 형성된 기판(200)과, 배향막으로서 기능하는 절연층(263), 표시 소자에 사용하는 전극층(265), 컬러 필터로서 기능하는 착색층(264), 편광판(267)이 형성된 기판(266)이 액정층(262)을 협지하며 대향하고, 액정 표시 소자(260)를 갖는다.

- [0258] 또한, 배향막을 사용하지 않는 블루상(Blue Phase)을 나타내는 액정을 사용하여도 좋다. 블루상은 액정의 하나이며, 콜레스테릭(cholesteric) 액정을 계속해서 승온하면, 콜레스테릭상으로부터 등방상으로 전이하기 직전에 발현하는 상이다. 블루상은 좁은 온도범위에서만 발현하므로, 온도 범위를 개선하기 위하여 5중량 % 이상의 키랄제(chiral agent)를 혼합시킨 액정 조성물을 사용하여 액정층(262)에 사용한다. 블루상을 나타내는 액정과 키랄제를 포함하는 액정 조성물은 응답 속도가 $10\mu\text{s}$ 내지 $100\mu\text{s}$ 로 짧고, 광학적 등방성이기 때문에, 배향 처리가 불필요하고 시야각 의존성이 작다.
- [0259] 또한, 도 19a 및 도 19b는, 투과형 액정 표시 장치의 예이지만, 반사형 액정 표시 장치라도 반투과형 액정 표시 장치라도 적용할 수 있다.
- [0260] 또한, 도 19a 및 도 19b에 도시하는 액정 표시 장치에서는, 기관(266)의 외측(시인측)에 편광판(267)을 형성하고, 내측에 착색층(264), 표시 소자에 사용하는 전극층(265)의 순서로 형성하는 예를 도시하지만, 편광판(267)은 기관(266)의 내측에 형성하여도 좋다. 또한, 편광판과 착색층의 적층 구조도 도 19a 및 도 19b에 한정되지 않고, 편광판 및 착색층의 재료나 제작 공정 조건에 의하여 적절히 설정하면 좋다. 또한, 블랙 매트릭스로서 기능하는 차광막을 형성하여도 좋다.
- [0261] 또한, 본 실시형태에서는, 박막 트랜지스터의 표면 요철을 저감시키기 위하여, 및 박막 트랜지스터의 신뢰성을 향상시키기 위하여, 실시형태 1에서 얻어진 박막 트랜지스터를 보호막이나 평탄화 절연막으로서 기능하는 절연층(211, 212, 213)으로 덮는 구성이 되어 있다. 또한, 보호막은 대기 중에 부유하는 유기물이나 금속물, 수증기 등의 오염 불순물의 침입을 막기 위한 것이며, 치밀한 막이 바람직하다. 보호막은 CVD법 등을 사용하여 산화 실리콘막, 질화 실리콘막, 산화질화 실리콘막, 또는 질화산화 실리콘막의 단층, 또는 적층으로 형성하면 좋다. 또한, 보호막으로서 프로세스 가스에 유기 실란 가스와 산소를 사용하여, 플라즈마 CVD법으로 산화 실리콘막을 형성하여도 좋다.
- [0262] 유기 실란이란, 규산에틸(TEOS, 화학식: $\text{Si}(\text{OC}_2\text{H}_5)_4$), 테트라메틸실란(TMS, 화학식: $\text{Si}(\text{CH}_3)_4$), 테트라메틸시클로테트라실록산(TMCTS), 옥타메틸시클로테트라실록산(OMCTS), 헥사메틸디실라잔(HMDS), 트리에톡시실란(화학식: $\text{SiH}(\text{OC}_2\text{H}_5)_3$), 트리스디메틸아미노실란(화학식: $\text{SiH}(\text{N}(\text{CH}_3)_2)_3$) 등의 화합물이다.
- [0263] 보호막의 1층째로서 절연층(211)을 형성한다. 절연층(211)은 알루미늄막의 힐록 방지에 효과적이다. 여기서는, 절연층(211)으로서 플라즈마 CVD법을 사용하여 산화 실리콘막을 형성한다. 산화 실리콘막의 성막용 프로세스 가스에는, TEOS, 및 O_2 를 사용하고, 그 유량비는 $\text{TEOS} \backslash \text{O}_2 = 15 \backslash 750(\text{sccm})$ 이다. 성막 공정의 기관 온도는 300°C 이다.
- [0264] 또한, 보호막의 2층째로서 절연층(212)을 형성한다. 여기서는, 절연층(212)으로서 플라즈마 CVD법을 사용하여 질화 실리콘막을 형성한다. 질화 실리콘막의 성막용 프로세스 가스에는, SiH_4 , N_2 , NH_3 및 H_2 를 사용한다. 보호막의 일층으로서 질화 실리콘막을 사용하면, 나트륨 등의 가동 이온이 반도체 영역 중으로 침입하여, TFT의 전기 특성을 변화시키는 것을 억제할 수 있다.
- [0265] 또한, 보호막을 형성한 후에, IGZO 반도체층의 어닐링(300°C 내지 400°C)을 행하여도 좋다.
- [0266] 또한, 평탄화막으로서 기능하는 절연층(213)을 형성한다. 절연층(213)으로서는, 폴리이미드, 아크릴, 벤조사이클로부텐, 폴리이미드, 에폭시 등의 내열성을 갖는 유기 재료를 사용할 수 있다. 또한, 상기 유기 재료 이외에, 저유전율 재료(low-k 재료), 실록산계 수지, PSG(인 유리), BPSG(붕소 인 유리) 등을 사용할 수 있다. 실록산계 수지는, 치환기에 수소 외에, 불소, 알킬기, 또는 아릴기 중 적어도 1종을 갖고 있어도 좋다. 또한, 이들 재료로 형성되는 절연막을 복수 적층시킴으로써, 절연층(213)을 형성하여도 좋다.
- [0267] 또한, 실록산계 수지란, 실록산계 재료를 출발 재료로 하여 형성된 Si-O-Si 결합을 포함하는 수지에 상당한다. 실록산계 수지는, 치환기에 수소 외에, 불소, 알킬기, 또는 방향족 탄화수소 중, 적어도 1종을 갖고 있어도 좋다.
- [0268] 절연층(213)의 형성에는 그 재료에 따라, CVD법, 스퍼터링법, SOG법, 스핀 코팅법, 딥 법, 스프레이 도포, 액적 토출법(잉크젯법, 스크린인쇄, 오프셋인쇄 등), 닥터 나이프, 롤 코터, 커튼 코터, 나이프 코터 등을 사용할 수 있다. 절연층(213)을, 재료액을 사용하여 형성하는 경우, 베이킹하는 공정에서 동시에 IGZO 반도체층의 어닐링(300°C 내지 400°C)을 행하여도 좋다. 절연층(213)의 소성 공정과 IGZO 반도체층의 어닐링을 겸하여 행함으로써, 효율 좋게 반도체 장치를 제작할 수 있다.

- [0269] 화소 전극층으로서 기능하는 전극층(255, 265)은, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐아연 산화물, 산화 티타늄을 포함하는 인듐 산화물, 산화 티타늄을 포함하는 인듐주석 산화물, 인듐주석 산화물(이하, ITO라고 기재함), 인듐아연 산화물, 산화 실리콘을 첨가한 인듐주석 산화물 등의 투광성을 갖는 도전성 재료를 사용할 수 있다.
- [0270] 또한, 전극층(255, 265)으로서, 도전성 고분자(도전성 폴리머라고도 함)를 포함하는 도전성 조성물을 사용하여 형성할 수 있다. 도전성 조성물을 사용하여 형성한 화소 전극은, 표면 저항(sheet resistance)이 $10000\Omega/\square$ 이하, 파장 550nm에 있어서의 투광률이 70% 이상인 것이 바람직하다. 또한, 도전성 조성물에 포함되는 도전성 고분자의 저항률이 $0.1\Omega \cdot \text{cm}$ 이하인 것이 바람직하다.
- [0271] 도전성 고분자로서는, 소위 π 전자 공액계 도전성 고분자를 사용할 수 있다. 예를 들어, 폴리아닐린 혹은 그 유전체, 폴리피롤 혹은 그 유전체, 폴리티오펜 혹은 그 유전체, 혹은 이들의 2종 이상의 공중합체 등을 들 수 있다.
- [0272] 상술한 공정에 의하여, 반도체 장치로서 신뢰성이 높은 액정 표시 장치를 제작할 수 있다.
- [0273] 본 실시형태는 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.
- [0274] (실시형태 8)
- [0275] 본 실시형태에서는, 본 명세서에서 개시하는 발명의 반도체 장치로서 전자 페이퍼의 예를 나타낸다.
- [0276] 도 26은 본 명세서에서 개시하는 발명을 적용한 반도체 장치의 예로서 액티브 매트릭스형의 전자 페이퍼를 도시한다. 반도체 장치에 사용되는 박막 트랜지스터(581)로서는, 실시형태 2에서 나타내는 박막 트랜지스터와 마찬가지로 제작할 수 있고, IGZO 반도체층 및 n형 도전층을 갖는 IGZO 반도체층을 갖는 신뢰성이 높은 박막 트랜지스터이다. 또한, 실시형태 1, 실시형태 3, 또는 실시형태 4에서 나타내는 박막 트랜지스터도 본 실시형태의 박막 트랜지스터(581)로서 적용할 수도 있다.
- [0277] 도 26의 전자 페이퍼는 트위스트 볼 표시 방식을 사용한 표시 장치의 예이다. 트위스트 볼 표시 방식이란, 백색과 흑색으로 나누어 칠해진 구형(球形) 입자를 표시 소자에 사용하는 전극층인 제 1 전극층 및 제 2 전극층의 사이에 배치하고, 제 1 전극층 및 제 2 전극층에 전위차를 발생시켜 구형 입자의 방향을 제어함으로써, 표시를 행하는 방법이다.
- [0278] 기판(580) 위의 박막 트랜지스터(581)는 멀티 게이트 구조의 역 스택거형 박막 트랜지스터이며, 소스 전극층 또는 드레인 전극층에 의하여 제 1 전극층(587)과 절연층(583, 584, 585)에 형성하는 개구에서 접하여 전기적으로 접속되어 있다. 제 1 전극층(587)과 제 2 전극층(588)의 사이에는 흑색 영역(590a) 및 백색 영역(590b)을 갖고, 주위에 액체로 채워져 있는 캐비티(594)를 포함하는 구형 입자(589)가 형성되고, 구형 입자(589)의 주위는 수지 등의 충전재(595)로 충전되어 있다(도 26 참조).
- [0279] 또한, 트위스트 볼 대신에, 전기 영동 소자를 사용할 수도 있다. 투명한 액체와, 양으로 대전한 흰 미립자와 음으로 대전한 검은 미립자를 밀봉한 직경 $10\mu\text{m}$ 내지 $200\mu\text{m}$ 정도의 마이크로 캡슐을 사용한다. 제 1 전극층과 제 2 전극층의 사이에 형성되는 마이크로 캡슐은, 제 1 전극층과 제 2 전극층에 의하여, 전장(電場)이 주어지면, 흰 미립자와, 검은 미립자가 반대 방향으로 이동하여, 백 또는 흑을 표시할 수 있다. 이 원리를 응용한 표시 소자가 전기 영동 표시 소자이고, 일반적으로 전자 페이퍼라고 불리고 있다. 전기 영동 표시 소자는 액정 표시 소자와 비교하여 반사율이 높기 때문에, 보조 라이트는 불필요하고, 또 소비 전력이 작고, 어두운 장소에서도 표시부를 인식할 수 있다. 또한, 표시부에 전원이 공급되지 않은 경우라도, 한번 표시한 상을 유지할 수 있기 때문에, 전과 발신원으로부터 표시 기능이 떨어진 반도체 장치(단순히 표시 장치, 또는 표시 장치를 구비하는 반도체 장치라고도 함)를 멀리한 경우라도, 표시된 상을 보존해 두는 것이 가능해진다.
- [0280] 상술한 공정에 의하여, 반도체 장치로서 신뢰성이 높은 전자 페이퍼를 제작할 수 있다.
- [0281] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.
- [0282] (실시형태 9)
- [0283] 본 실시형태에서는, 본 명세서에서 개시하는 발명의 반도체 장치로서 발광 표시 장치의 예를 나타낸다. 표시 장치가 갖는 표시 소자로서는, 여기서는 일렉트로 루미네이션스를 이용하는 발광 소자를 사용하여 제시한다. 일렉트로 루미네이션스를 이용하는 발광 소자는, 발광 재료가 유기 화합물인지, 무기 화합물인지에 따라

구별되고, 일반적으로, 전자는 유기 EL 소자, 후자는 무기 EL 소자라고 불린다.

[0284] 유기 EL 소자는, 발광 소자에 전압을 인가함으로써, 한 쌍의 전극으로부터 전자 및 정공이 각각 발광성의 유기 화합물을 포함하는 층에 주입되고, 전류가 흐른다. 그리고, 이들 캐리어(전자 및 정공)가 재결합됨으로써, 발광성의 유기 화합물이 여기 상태를 형성하고, 그 여기 상태가 기저 상태로 되돌아갈 때 발광한다. 이러한 메커니즘에 기인하여, 상술한 바와 같은 발광 소자는, 전류 여기형의 발광 소자라고 불린다.

[0285] 무기 EL 소자는, 그 소자 구성에 의하여, 분산형 무기 EL 소자와 박막형 무기 EL 소자로 분류된다. 분산형 무기 EL 소자는, 발광 재료의 입자를 바인더 중에 분산시킨 발광층을 갖고, 발광 메커니즘은, 도너 준위와 억셉터 준위를 이용하는 도너-억셉터 재결합형 발광이다. 박막형 무기 EL 소자는, 발광층을 유전체층으로 끼우고, 그것을 전극으로 더 끼운 구조이고, 발광 메커니즘은 금속 이온의 내각(內殼) 전자 전이를 이용하는 국제형 발광이다. 또한, 여기서는, 발광 소자로서 유기 EL 소자를 사용하여 설명한다.

[0286] 도 22a 및 도 22b는 본 명세서에서 개시하는 발명을 적용한 반도체 장치의 예로서 액티브 매트릭스형의 발광 표시 장치를 도시한다. 도 22a는 발광 표시 장치의 평면도이며, 도 22b는 도 22a에 있어서의 선 Y-Z의 단면도이다. 또한, 도 23에 도 22a 및 도 22b에 도시하는 발광 표시 장치의 등가 회로를 도시한다.

[0287] 반도체 장치에 사용되는 박막 트랜지스터(301, 302)로서는, 실시형태 1 및 실시형태 2에서 나타내는 박막 트랜지스터와 마찬가지로 제작할 수 있고, IGZO 반도체층 및 n형 도전형을 갖는 IGZO 반도체층을 포함하는 신뢰성이 높은 박막 트랜지스터이다. 또한, 실시형태 3, 또는 실시형태 4에서 나타내는 박막 트랜지스터도 본 실시형태의 박막 트랜지스터(301, 302)로서 적용할 수도 있다.

[0288] 도 22a 및 도 23에 도시하는 본 실시형태의 발광 표시 장치는, 기판(300) 위에 멀티 게이트 구조의 박막 트랜지스터(301, 302), 발광 소자(303), 용량 소자(304), 소스 배선층(305), 게이트 배선층(306), 전원선(307)을 포함한다. 박막 트랜지스터(301, 302)는 n채널형 박막 트랜지스터이다.

[0289] 또한, 도 22b에 있어서, 본 실시형태의 발광 표시 장치는, 기판(300) 위에 박막 트랜지스터(302), 절연층(311, 312, 313), 격벽(321), 및 발광 소자(303)에 사용하는 제 1 전극층(320), 전계 발광층(322), 제 2 전극층(323)을 갖는다.

[0290] 절연층(313)은, 아크릴, 폴리이미드, 폴리아미드 등의 유기 수지, 또는 실록산을 사용하여 형성하는 것이 바람직하다.

[0291] 본 실시형태에서는 화소의 박막 트랜지스터(302)가 n형이므로, 화소 전극층인 제 1 전극층(320)으로서, 음극을 사용하는 것이 바람직하다. 구체적으로는, 음극으로서, 일 함수가 작은 재료, 예를 들어, Ca, Al, CaF, MgAg, AlLi 등을 사용할 수 있다.

[0292] 격벽(321)은, 유기 수지막, 무기 절연막 또는 유기 폴리 실록산을 사용하여 형성한다. 특히 감광성 재료를 사용하여, 제 1 전극층(320) 위에 개구부를 형성하고, 그 개구부의 측벽이 연속한 곡률을 갖게 형성되는 경사면이 되도록 형성하는 것이 바람직하다.

[0293] 전계 발광층(322)은, 단층으로 구성되어도 좋고, 복수층이 적층되도록 구성되어도, 어느 쪽이라도 좋다.

[0294] 전계 발광층(322)을 덮도록, 양극을 사용한 제 2 전극층(323)을 형성한다. 제 2 전극층(323)은, 실시형태 7에 화소 전극층으로서 열거한 투광성을 갖는 도전성 재료를 사용한 투광성 도전막으로 형성할 수 있다. 상기 투광성 도전막 이외에, 질화 티타늄막 또는 티타늄막을 사용하여도 좋다. 제 1 전극층(320)과 전계 발광층(322)이 겹침으로써, 발광 소자(303)가 형성된다. 이 후, 발광 소자(303)에 산소, 수소, 수분, 이산화 탄소 등이 침입되지 않도록, 제 2 전극층(323) 및 격벽(321) 위에 보호막을 형성하여도 좋다. 보호막으로서, 질화 실리콘막, 질화산화 실리콘막, DLC막 등을 형성할 수 있다.

[0295] 또한, 실제로는, 도 22b까지 완성되면, 외기에 노출되지 않도록 기밀성이 높고, 탈 가스가 적은 보호 필름(접합 필름, 자외선 경화 수지 필름 등)이나 커버재로 더 패키징(봉입)하는 것이 바람직하다.

[0296] 다음에, 발광 소자의 구성에 대하여, 도 24a 내지 도 24c를 사용하여 설명한다. 여기서는, 구동용 TFT가 n형인 경우를 예로 들어, 화소의 단면 구조에 대하여 설명한다. 도 24a 내지 도 24c의 반도체 장치에 사용되는 구동용 TFT인 TFT(7001, 7011, 7021)는, 실시형태 1에서 나타내는 박막 트랜지스터와 마찬가지로 제작할 수 있고, IGZO 반도체층 및 n형 도전형을 갖는 IGZO 반도체층을 포함하는 신뢰성이 높은 박막 트랜지스터이다.

또한, 실시형태 2, 실시형태 3, 또는 실시형태 4에서 나타내는 박막 트랜지스터를 구동용 TFT(7001, 7011, 7021)로서 적용할 수도 있다.

[0297] 발광 소자는 발광을 추출하기 위하여 적어도 양극 또는 음극의 어느 한 쪽이 투명이면 좋다. 그리고, 기관 위에 박막 트랜지스터 및 발광 소자를 형성하고, 기관과는 반대 면으로부터 발광을 추출하는 상면 사출이나, 기관 측의 면으로부터 발광을 추출하는 하면 사출이나, 기관 측 및 기관과는 반대 측의 면으로부터 발광을 추출하는 양면 사출 구조의 발광 소자가 있고, 본 실시형태의 화소 구성은 어느 사출 구조의 발광 소자에나 적용할 수 있다.

[0298] 상면 사출 구조의 발광 소자에 대하여 도 24a를 사용하여 설명한다.

[0299] 도 24a에, 구동용 TFT(7001)가 n형이고, 발광 소자(7002)로부터 발해지는 빛이 양극(7005) 측으로 사출되는 경우의, 화소의 단면도를 도시한다. 도 24a에서는, 발광 소자(7002)의 음극(7003)과 구동용 TFT인 TFT(7001)가 전기적으로 접속되고, 음극(7003) 위에 발광층(7004), 음극(7005)이 순차적으로 적층된다. 음극(7003)은 일 함수가 작고 또 빛을 반사하는 도전막이라면 다양한 재료를 사용할 수 있다. 예를 들어, Ca, Al, CaF, MgAg, AlLi 등이 바람직하다. 그리고 발광층(7004)은, 단층으로 구성되어도 좋고, 복수층이 적층되도록 구성되어도 좋다. 복수층으로 구성되는 경우, 음극(7003) 위에 전자 주입층, 전자 수송층, 발광층, 홀 수송층, 홀 주입층의 순서로 적층한다. 또한, 이들 층을 모두 형성할 필요는 없다. 양극(7005)은 빛을 투과하는 투광성을 갖는 도전성 재료를 사용하여 형성하고, 예를 들어, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐아연 산화물, 산화 티타늄을 포함하는 인듐 산화물, 산화 티타늄을 포함하는 인듐주석 산화물, 인듐주석 산화물(이하, ITO라고 기재함), 인듐아연 산화물, 산화 실리콘을 첨가한 인듐주석 산화물 등의 투광성을 갖는 도전성 도전막을 사용하여도 좋다.

[0300] 음극(7003) 및 양극(7005)으로 발광층(7004)을 끼우는 영역이 발광 소자(7002)에 상당한다. 도 24a에 도시한 화소의 경우, 발광 소자(7002)로부터 발해지는 빛은, 화살표로 도시하는 바와 같이 양극(7005) 측으로 사출된다.

[0301] 다음에, 하면 사출 구조의 발광 소자에 대하여 도 24b를 사용하여 설명한다. 구동용 TFT(7011)가 n형이고, 발광 소자(7012)로부터 발해지는 빛이 음극(7013) 측으로 사출되는 경우의, 화소의 단면도를 제시한다. 도 24b에서는, 구동용 TFT(7011)와 전기적으로 접속된 투광성을 갖는 도전막(7017) 위에, 발광 소자(7012)의 음극(7013)이 성막되고, 음극(7013) 위에 발광층(7014), 양극(7015)이 순차적으로 적층된다. 또한, 양극(7015)이 투광성을 갖는 경우, 양극 위를 덮도록, 빛을 반사 혹은 차폐하기 위한 차폐막(7016)이 형성되어도 좋다. 음극(7013)은, 도 24a의 경우와 마찬가지로, 일 함수가 작은 도전성 재료라면 다양한 재료를 사용할 수 있다. 다만 그 막 두께는, 빛을 투과하는 정도(바람직하게는, 5nm 내지 30nm 정도)로 한다. 예를 들어, 20nm의 막 두께를 갖는 알루미늄막을, 음극(7013)으로서 사용할 수 있다. 그리고 발광층(7014)은, 도 24a와 마찬가지로, 단층으로 구성되어도 좋고, 복수층이 적층되도록 구성되어도 좋다. 양극(7015)은 빛을 투과할 필요는 없지만, 도 24a와 마찬가지로, 투광성을 갖는 도전성 재료를 사용하여 형성할 수 있다. 그리고 차폐막(7016)은, 예를 들어 빛을 반사하는 금속 등을 사용할 수 있지만, 금속막에 한정되지 않는다. 예를 들어, 흑색의 안료를 첨가한 수지 등을 사용할 수도 있다.

[0302] 음극(7013) 및 양극(7015)으로, 발광층(7014)을 끼우는 영역이 발광 소자(7012)에 상당한다. 도 24b에 도시하는 화소의 경우, 발광 소자(7012)로부터 발해지는 빛은, 화살표로 도시하는 바와 같이 음극(7013) 측으로 사출된다.

[0303] 다음에, 양면 사출 구조의 발광 소자에 대하여, 도 24c를 사용하여 설명한다. 도 24c에서는, 구동용 TFT(7021)와 전기적으로 접속된 투광성을 갖는 도전막(7027) 위에, 발광 소자(7022)의 음극(7023)이 성막되고, 음극(7023) 위에 발광층(7024), 양극(7025)이 순차적으로 적층된다. 음극(7023)은, 도 24a의 경우와 마찬가지로, 일 함수가 작은 도전성 재료라면 다양한 재료를 사용할 수 있다. 그러나 그 막 두께는, 빛을 투과하는 정도로 한다. 예를 들어, 20nm의 막 두께를 갖는 Al을, 음극(7023)으로서 사용할 수 있다. 그리고, 발광층(7024)은, 도 24a와 마찬가지로, 단층으로 구성되어도 좋고, 복수층이 적층되도록 구성되어도 좋다. 양극(7025)은, 도 24a와 마찬가지로, 빛을 투과하는 투광성을 갖는 도전성 재료를 사용하여 형성할 수 있다.

[0304] 음극(7023)과, 발광층(7024)과, 양극(7025)이 겹치는 부분이 발광 소자(7022)에 상당한다. 도 24c에 도시한 화소의 경우, 발광 소자(7022)로부터 발해지는 빛은, 화살표로 도시하는 바와 같이, 양극(7025) 측과 음극(7023) 측의 양쪽으로 사출된다.

- [0305] 또한, 여기서는 발광 소자로서 유기 EL 소자에 대하여 나타냈지만, 발광 소자로서 무기 EL 소자를 형성할 수도 있다.
- [0306] 또한, 본 실시형태에서는, 발광 소자의 구동을 제어하는 박막 트랜지스터(구동용 TFT)와 발광 소자가 전기적으로 접속되는 예를 나타냈지만, 구동용 TFT와 발광 소자 사이에 전류 제어용 TFT가 접속되어 있는 구성이라도 좋다.
- [0307] 또한, 본 실시형태에서 나타내는 반도체 장치는, 도 24a 내지 도 24c에 도시한 구성에 한정되지 않고, 본 명세서에서 개시하는 발명의 기술적 사상에 의거한 각종의 변형이 가능하다.
- [0308] 상술한 공정에 의하여, 반도체 장치로서 신뢰성이 높은 발광 표시 장치를 제작할 수 있다.
- [0309] 본 실시형태에서는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.
- [0310] (실시형태 10)
- [0311] 다음에, 본 발명의 반도체 장치의 일 형태인 발광 표시 패널의 구성에 대하여, 이하에 제시한다. 본 실시형태에서는 표시 소자로서 액정 소자를 갖는 액정 표시 장치의 일 형태인 액정 표시 패널(액정 패널이라고도 함), 표시 소자로서 발광 소자를 갖는 반도체 장치의 일 형태인 발광 표시 패널(발광 패널이라고도 함)에 대하여 설명한다.
- [0312] 다음, 본 명세서에서 개시하는 발명의 반도체 장치의 일 형태에 상당하는 발광 표시 패널의 외관 및 단면에 대하여, 도 25a 및 도 25b를 사용하여 설명한다. 도 25a는, 제 1 기판 위에 형성된 IGZO 반도체층 및 n형 도전형을 갖는 IGZO 반도체층을 포함하는 신뢰성이 높은 박막 트랜지스터 및 발광 소자를, 제 2 기판과의 사이에 절재에 의하여 밀봉한, 패널 상면도이고, 도 25b는, 도 25a의 H-I에 있어서의 단면도에 상당한다.
- [0313] 제 1 기판(4501) 위에 형성된 화소부(4502), 신호선 구동 회로(4503a, 4503b), 주사선 구동 회로(4504a, 4504b)를 둘러싸도록, 절재(4505)가 형성되어 있다. 또한, 화소부(4502), 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b) 위에 제 2 기판(4506)이 형성된다. 따라서, 화소부(4502), 신호선 구동 회로(4503a, 4503b), 주사선 구동 회로(4504a, 4504b)는, 제 1 기판(4501)과 절재(4505)와 제 2 기판(4506)에 의하여, 충전재(4507)와 함께 밀봉된다.
- [0314] 또한, 제 1 기판(4501) 위에 형성된 화소부(4502), 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b)는 박막 트랜지스터를 복수 갖고, 도 25b에서는, 화소부(4502)에 포함되는 박막 트랜지스터(4510)와, 신호선 구동 회로(4503a)에 포함되는 박막 트랜지스터(4509)를 예시한다.
- [0315] 박막 트랜지스터(4509, 4510)는, IGZO 반도체층 및 n형 도전형을 갖는 IGZO 반도체층을 포함하는 박막 트랜지스터에 상당하고, 실시형태 1, 실시형태 2, 실시형태 3, 또는 실시형태 4에 나타내는 박막 트랜지스터를 적용할 수 있다. 본 실시형태에 있어서, 박막 트랜지스터(4509, 4510)는 n채널형 박막 트랜지스터이다.
- [0316] 또한, 4511은 발광 소자에 상당하고, 발광 소자(4511)가 갖는 화소 전극인 제 1 전극층(4517)은, 박막 트랜지스터(4510)의 소스 전극층 또는 드레인 전극층과, 전기적으로 접속되어 있다. 또한, 발광 소자(4511)의 구성은, 본 실시형태에 나타난 구성에 한정되지 않는다. 발광 소자(4511)로부터 추출하는 빛의 방향 등에 맞추어, 발광 소자(4511)의 구성은 적절히 변경할 수 있다.
- [0317] 또한, 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b), 또는 화소부(4502)에 주어지는 각종 신호 및 전위는, FPC(4518a, 4518b)로부터 공급된다.
- [0318] 본 실시형태에서는, 접속 단자(4515)가, 제 2 전극층(4512)과 같은 도전막으로 형성되고, 배선(4516)은, 발광 소자(4511)가 갖는 제 1 전극층(4517)과 같은 도전막으로 형성된다.
- [0319] 접속 단자(4515)는, FPC(4518a)가 갖는 단자와, 이방성 도전막(4519)을 사이에 두고 전기적으로 접속된다.
- [0320] 발광 소자(4511)로부터의 빛의 추출 방향에 위치하는 기판은, 투광성을 가져야 한다. 그 경우에는, 유리 판, 플라스틱 판, 폴리에스테르 필름 또는 아크릴 필름과 같은 투광성을 갖는 재료를 사용한다.
- [0321] 또한, 충전재(4507)로서는 질소나 아르곤 등의 불활성 기체 이외에, 자외선 경화 수지 혹은 열 경화 수지를 사용할 수 있고, PVC(폴리비닐 클로라이드), 아크릴, 폴리이미드, 에폭시 수지, 실리콘(silicone) 수지, PVB(폴리비닐부틸알) 또는 EVA(에틸렌비닐아세테이트)를 사용할 수 있다. 본 실시형태에서는 충전재로서 질소

를 사용한다.

- [0322] 또한, 필요하면, 발광 소자의 사출 면에 편광판, 또는 원형 편광판(타원형 편광판을 포함함), 위상차판(1/4 파장판 또는 반파장판), 컬러 필터 등의 광학 필름을 적절히 형성하여도 좋다. 또한, 편광판 또는 원형 편광판에 반사 방지막을 형성하여도 좋다. 예를 들어, 표면의 요철에 의하여 반사광을 확산함으로써, 눈부심을 저감할 수 있는 눈부심 방지(anti-glare) 처리를 행할 수 있다.
- [0323] 신호선 구동 회로(4503a, 4503b), 및 주사선 구동 회로(4504a, 4504b)는, 별도로 준비된 기관 위에 단결정 반도체막 또는 다결정 반도체막에 의하여 형성된 구동 회로로 실장되어도 좋다. 또한, 신호선 구동 회로만, 또는 일부, 또는 주사선 구동 회로만, 또는 일부만을 별도 형성하여 실장하여도 좋고, 본 실시형태는 도 25a 및 도 25b의 구성에 한정되지 않는다.
- [0324] 다음, 본 명세서에서 개시하는 발명의 반도체 장치의 일 형태에 상당하는 액정 표시 패널의 외관 및 단면에 대하여, 도 20a 내지 도 20c를 사용하여 설명한다. 도 20a, 도 20b는 제 1 기관(4001) 위에 형성된 IGZO 반도체층 및 n형 도전형을 갖는 금속 산화물층을 포함하는 신뢰성이 높은 박막 트랜지스터(4010, 4011) 및 액정 소자(4013)를, 제 2 기관(4006)과의 사이에 절재(4005)로 밀봉한, 패널의 상면도이고, 도 20c는 도 20a, 도 20b의 M-N에 있어서의 단면도에 상당한다.
- [0325] 제 1 기관(4001) 위에 형성된 화소부(4002)와, 주사선 구동 회로(4004)를 둘러싸도록, 절재(4005)가 형성된다. 또한, 화소부(4002)와, 주사선 구동 회로(4004) 위에 제 2 기관(4006)이 형성된다. 따라서, 화소부(4002)와, 주사선 구동 회로(4004)란, 제 1 기관(4001)과 절재(4005)와 제 2 기관(4006)에 의하여, 액정(4008)과 함께 밀봉된다. 또한, 제 1 기관(4001) 위의 절재(4005)에 의하여 둘러싸인 영역과는 상이한 영역에, 별도로 준비된 기관 위에 단결정 반도체막 또는 다결정 반도체막으로 형성된 신호선 구동 회로(4003)가 실장된다.
- [0326] 또한, 별도로 형성한 구동 회로의 접속 방법은 특별히 한정되지 않고, COG 방법, 와이어 본딩 방법, 또는 TAB 방법 등을 사용할 수 있다. 도 20a는, COG 방법에 의하여 신호선 구동 회로(4003)를 실장하는 예이고, 도 20b는, TAB 방법에 의하여 신호선 구동 회로(4003)를 실장하는 예이다.
- [0327] 또한, 제 1 기관(4001) 위에 형성된 화소부(4002)와, 주사선 구동 회로(4004)는 박막 트랜지스터를 복수 갖고, 도 20c에서는 화소부(4002)에 포함되는 박막 트랜지스터(4010)와, 주사선 구동 회로(4004)에 포함되는 박막 트랜지스터(4011)를 예시한다.
- [0328] 박막 트랜지스터(4010, 4011)는, IGZO 반도체층 및 n형 도전형을 갖는 IGZO 반도체층을 포함하는 박막 트랜지스터에 상당하고, 실시형태 1, 실시형태 2, 실시형태 3 또는 실시형태 4에 나타내는 박막 트랜지스터를 적용할 수 있다. 본 실시형태에 있어서, 박막 트랜지스터(4010, 4011)는 n채널형 박막 트랜지스터이다.
- [0329] 또한, 액정 소자(4013)가 갖는 화소 전극층(4030)은 박막 트랜지스터(4010)와 전기적으로 접속된다. 또한, 액정 소자(4013)의 대향 전극층(4031)은 제 2 기관(4006) 위에 형성된다. 화소 전극층(4030)과 대향 전극층(4031)과 액정층(4008)이 겹치는 부분이 액정 소자(4013)에 상당한다. 또한, 화소 전극층(4030), 대향 전극층(4031)은 각각 배향막으로서 기능하는 절연층(4032, 4033)이 형성되고, 절연층(4032, 4033)을 사이에 두고, 액정층(4008)이 개재되어 있다.
- [0330] 또한, 제 1 기관(4001), 제 2 기관(4006)으로서는 유리, 금속(대표적으로는 스테인리스), 세라믹스, 플라스틱을 사용할 수 있다. 플라스틱으로서는 FRP(Fiberglass-Reinforced Plastics)판, PVF(폴리비닐 플로라이드) 필름, 폴리에스테르 필름, 또는 아크릴 수지 필름을 사용할 수 있다. 또한, 알루미늄 포일을 PVF 필름이나 폴리에스테르 필름의 사이에 둔 구조의 시트를 사용할 수도 있다.
- [0331] 또한, 4035는 절연막을 선택적으로 에칭함으로써 얻어지는 기둥 형상의 스페이서로서, 화소 전극층(4030)과 대향 전극층(4031) 사이의 거리(셀 갭(cell gap))를 제어하기 위하여 형성된다. 또한, 구(球) 형상의 스페이서를 사용하여도 좋다.
- [0332] 또한, 별도로 형성된 신호선 구동 회로(4003)와 주사선 구동 회로(4004), 또는 화소부(4002)에 주어지는 각종 신호 및 전위는 FPC(4018)로부터 공급된다.
- [0333] 본 실시형태에서는 접속 단자(4015)가, 액정 소자(4013)가 갖는 화소 전극층(4030)과 같은 도전막으로 형성되고, 배선(4016)은 박막 트랜지스터(4010, 4011)의 게이트 전극층과 같은 도전막으로 형성된다.
- [0334] 접속 단자(4015)는 FPC(4018)가 갖는 단자와 이방성 도전막(4019)을 사이에 두고 전기적으로 접속된다.

- [0335] 또한, 도 20a 내지 도 20c에 있어서는, 신호선 구동 회로(4003)를 별도로 형성하고, 제 1 기관(4001)에 실장하는 예를 도시하지만, 본 실시형태는 이 구성에 한정되지 않는다. 주사선 구동 회로를 별도 형성하여 실장하여도 좋고, 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부만을 별도 형성하여 실장하여도 좋다.
- [0336] 도 21은 본 명세서에서 개시하는 발명을 적용하여 제작되는 TFT 기관(2600)을 사용하여 반도체 장치로서 액정 표시 모듈을 구성하는 일례를 도시한다.
- [0337] 도 21은 액정 표시 모듈의 일례이며, TFT 기관(2600)과 대향 기관(2601)이 썬재(2602)에 의하여 고착되고, 그 사이에 TFT 등을 포함하는 화소부(2603), 액정층을 포함하는 표시 소자(2604), 착색층(2605), 편광판(2606)이 형성되어 표시 영역을 형성한다. 착색층(2605)은 컬러 표시를 행하는 경우에 필요하고, RGB 방식의 경우에는, 적색, 녹색, 청색의 각 색에 대응한 착색층이 각 화소에 대응하여 형성된다. TFT 기관(2600)과 대향 기관(2601)의 외측에는 편광판(2606, 2607), 확산판(2613)이 배치되어 있다. 광원은 냉음극관(2610)과 반사판(2611)에 의하여 구성되고, 회로 기관(2612)은, 플렉시블 배선 기관(2609)에 의하여 TFT 기관(2600)의 배선 회로부(2608)와 접속되고, 컨트롤 회로나 전원 회로 등의 외부 회로가 조립되어 있다. 편광판과 액정층 사이에 위상차판을 갖는 상태로 적층하여도 좋다.
- [0338] 액정 표시 모듈에는, TN(Twisted Nematic) 모드, IPS(In-Plane-Switching) 모드, FFS(Fringe Field Switching) 모드, MVA(Multi-domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment) 모드, ASM(Axially Symmetric aligned Micro-cell) 모드, OCB(Optical Compensated Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(Anti Ferroelectric Liquid Crystal) 모드 등을 사용할 수 있다.
- [0339] 상술한 공정에 의하여, 반도체 장치로서 신뢰성이 높은 표시 패널을 제조할 수 있다.
- [0340] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.
- [0341] (실시형태 11)
- [0342] 본 명세서에서 개시하는 발명의 반도체 장치는, 전자 페이퍼로서 적용할 수 있다. 전자 페이퍼는, 정보를 표시하는 것이라면 다양한 분야의 전자 기기에 사용할 수 있다. 예를 들어, 전자 페이퍼를 사용하여 전자 서적(전자 북), 포스터, 전자 등의 탈 것류의 차내 광고, 신용 카드 등의 각종 카드에 있어서의 표시 등에 적용할 수 있다. 전자 기기의 일례를 도 28a 내지 도 29에 도시한다.
- [0343] 도 28a는 전자 페이퍼로 제작된 포스터(2631)를 도시한다. 광고 매체가 종이의 인쇄물인 경우는, 광고의 교환은 사람들의 손으로 행해지지만, 본 명세서에서 개시하는 발명을 적용한 전자 페이퍼를 사용하면, 단시간에 광고의 표시를 바꿀 수 있다. 또한, 표시도 흐트러지지 않고, 안정된 화상을 얻을 수 있다. 또한, 포스터는 무선으로 정보를 송수신할 수 있는 구성으로 하여도 좋다.
- [0344] 또한, 도 28b는 전자 등의 탈 것류의 차내 광고(2632)를 도시한다. 광고 매체가 종이의 인쇄물인 경우는, 광고의 교환은 사람들의 손으로 행해지지만, 본 명세서에서 개시하는 발명을 적용한 전자 페이퍼를 사용하면, 일 손이 덜 필요하고, 단시간에 광고의 표시를 바꿀 수 있다. 또한, 표시도 흐트러지지 않고, 안정된 화상을 얻을 수 있다. 또한, 광고는 무선으로 정보를 송수신할 수 있는 구성으로 하여도 좋다.
- [0345] 또한, 도 29는 전자 서적(2700)의 일례를 도시한다. 예를 들어, 전자 서적(2700)은 케이스(2701) 및 케이스(2703)의 2개의 케이스로 구성된다. 케이스(2701) 및 케이스(2703)는 축(軸)부(2711)에 의하여 일체화되어, 상기 축부(2711)를 축으로 하여 개폐(開閉) 동작을 행할 수 있다. 이러한 구성에 의하여 종이의 서적과 같은 동작을 행할 수 있다.
- [0346] 케이스(2701)에는 표시부(2705)가 조립되고, 케이스(2703)에는 표시부(2707)가 조립된다. 표시부(2705) 및 표시부(2707)는 연속된 화면을 표시하는 구성으로 하여도 좋고, 상이한 화면을 표시하는 구성으로 하여도 좋다. 상이한 화면을 표시하는 구성으로 함으로써, 예를 들어, 오른쪽의 표시부(도 29에서는 표시부(2705))에 문장을 표시하고 왼쪽의 표시부(도 29에서는 표시부(2707))에 화상을 표시할 수 있다.
- [0347] 또한, 도 29에서는, 케이스(2701)에 조작부 등을 구비한 예를 도시한다. 예를 들어, 케이스(2701)에 있어서, 전원(2721), 조작키(2723), 스피커(2725) 등을 구비한다. 조작키(2723)에 의하여 페이지로 이동할 수 있다. 또한, 케이스의 표시부와 동일 면에 키보드나 포인팅 디바이스 등을 구비하는 구성으로 하여도 좋다. 또한, 케이스의 이면이나 측면에 외부 접속용 단자(이어폰 단자, USB 단자, 또는 AC 어댑터 및 USB 케이블 등의 각종 케이블과 접속할 수 있는 단자 등), 기록 매체 삽입부 등을 구비하는 구성으로 하여도 좋다. 또한, 전자

서적(2700)은 전자 사전으로서의 기능을 갖는 구성으로 하여도 좋다.

[0348] 또한, 전자 서적(2700)은 무선으로 정보를 송수신할 수 있는 구성으로 하여도 좋다. 무선에 의하여 전자 서적 서버로부터 원하는 서적 데이터 등을 구입하고, 다운 로드하는 구성으로 할 수도 있다.

[0349] (실시형태 12)

[0350] 본 명세서에서 개시하는 발명에 따른 반도체 장치는, 다양한 전자 기기(유기기(遊技機)도 포함함)에 적용할 수 있다. 전자 기기로서는, 예를 들어, 텔레비전 장치(텔레비전, 또는 텔레비전 수신기라고도 함), 컴퓨터용 등의 모니터, 디지털 카메라, 디지털 비디오 카메라 등의 카메라, 디지털 포토 프레임, 휴대 전화기(휴대 전화, 휴대 전화 장치라고도 함), 휴대형 게임기, 휴대 정보 단말, 음향 재생 장치, 파친코(pachinko)기 등의 대형 게임기 등을 들 수 있다.

[0351] 도 30a에는 텔레비전 장치(9600)의 일례를 도시한다. 텔레비전 장치(9600)는 케이스(9601)에 표시부(9603)가 조립된다. 표시부(9603)에 의하여 영상을 표시할 수 있다. 또한, 여기서는 스탠드(9605)에 의하여 케이스(9601)를 지지한 구성을 도시한다.

[0352] 텔레비전 장치(9600)의 조작은 케이스(9601)가 구비하는 조작 스위치나, 별체의 리모트 컨트롤러(9610)에 의하여 행할 수 있다. 리모트 컨트롤러(9610)가 구비하는 조작 키(9609)에 의하여 채널이나 음량을 조작할 수 있고, 표시부(9603)에 표시되는 영상을 조작할 수 있다. 또한, 리모트 컨트롤러(9610)에 상기 리모트 컨트롤러(9610)로부터 출력하는 정보를 표시하는 표시부(9607)를 형성하는 구성으로 하여도 좋다.

[0353] 또한, 텔레비전 장치(9600)는 수신기나 모뎀 등을 구비한 구성으로 한다. 수신기에 의하여 일반의 텔레비전 방송을 수신할 수 있고, 또 모뎀을 사이에 두고 유선 또는 무선에 의한 통신 네트워크에 접속함으로써, 일 방향(송신자로부터 수신자) 또는 쌍방향(송신자와 수신자간, 또는 수신자끼리 등)의 정보 통신을 할 수도 있다.

[0354] 도 30b는 디지털 포토 프레임(9700)의 일례를 도시한다. 예를 들어, 디지털 포토 프레임(9700)은 케이스(9701)에 표시부(9703)가 조립된다. 표시부(9703)는 각종 화상을 표시할 수 있고, 예를 들어, 디지털 카메라 등으로 촬영한 화상 데이터를 표시시킴으로써, 일반적인 포토 프레임과 마찬가지로 기능시킬 수 있다.

[0355] 또한, 디지털 포토 프레임(9700)은, 조작부, 외부 접속용 단자(USB 단자, USB 케이블 등의 각종 케이블과 접속할 수 있는 단자 등), 기록 매체 삽입부 등을 구비하는 구성으로 한다. 이들의 구성은 표시부와 동일면에 조립되어도 좋지만, 측면이나 이면에 구비하면 디자인성이 향상되기 때문에 바람직하다. 예를 들어, 디지털 포토 프레임의 기록 매체 삽입부에 디지털 카메라를 사용하여 촬영한 화상 데이터를 기억한 메모리를 삽입하여 화상 데이터를 취득하고, 취득한 화상 데이터를 표시부(9703)에 표시시킬 수 있다.

[0356] 또한, 디지털 포토 프레임(9700)은, 무선으로 정보를 송수신할 수 있는 구성으로 하여도 좋다. 무선에 의하여 원하는 화상의 데이터를 취득하여, 표시시키는 구성으로 할 수도 있다.

[0357] 도 31a는 휴대형 유기기이며, 케이스(9881)와 케이스(9891) 2개의 케이스로 구성되고, 연결부(9893)에 의하여 개폐(開閉)가 가능하도록 연결되어 있다. 케이스(9881)에는, 표시부(9882)가 내장되고, 케이스(9891)에는 표시부(9883)가 내장되어 있다. 또한, 도 31a에 도시하는 휴대형 유기기는, 그 이외에 스피커부(9884), 기록 매체 삽입부(9886), LED램프(9890), 입력 수단(조작키(9885), 접속 단자(9887), 센서(9888)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 빛, 액, 자기, 온도, 화학 물질, 음성, 시간, 경도, 전기장, 전류, 전압, 전력, 방사선, 유량, 습도, 경사도, 진동, 냄새 또는 적외선을 측정하는 기능을 포함한 것), 마이크로 폰(9889)) 등을 포함한다. 물론, 휴대형 유기기의 구성은 상술한 내용에 한정되지 않고, 적어도 본 발명에 따른 반도체 장치의 일 형태를 구비한 구성이면 좋고, 그 이외의 부속 설비가 적절히 설치된 구성으로 할 수 있다. 도 31a에 도시하는 휴대형 유기기는, 기록 매체에 기록되어 있는 프로그램 또는 데이터를 판독하여 표시부에 표시하는 기능이나, 다른 휴대형 유기기와 무선 통신을 행하여 정보를 공유하는 기능을 갖는다. 또한, 도 31a에 도시하는 휴대형 유기기가 갖는 기능은 상술한 내용에 한정되지 않고, 다양한 기능을 가질 수 있다.

[0358] 도 31b는, 대향 유기기인 슬롯 머신(9900)의 일례를 도시한다. 슬롯 머신(9900)은, 케이스(9901)에 표시부(9903)가 내장되어 있다. 또한, 슬롯 머신(9900)은 그 이외에, 스타트 레버나 스톱 스위치 등의 조작 수단, 코인 투입구, 스피커 등을 구비한다. 물론, 슬롯 머신(9900)의 구성은, 상술한 내용에 한정되지 않고, 적어도 본 발명에 따른 반도체 장치의 일 형태를 구비한 구성이면 좋고, 그 이외의 부속 설비가 적절히 설치된 구성으로 할 수 있다.

- [0359] 도 32는 휴대 전화기(1000)의 일례를 도시한다. 휴대 전화기(1000)는 케이스(1001)에 조립된 표시부(1002) 외에, 조작 버튼(1003), 외부 접속 포트(1004), 스피커(1005), 마이크(1006) 등을 구비한다.
- [0360] 도 32에 도시하는 휴대 전화기(1000)는 표시부(1002)를 손가락 등으로 터치(touch)함으로써, 정보를 입력할 수 있다. 또한, 전화를 거는 조작, 또는 문자 메시지를 입력하는 조작은 표시부(1002)를 손가락 등으로 터치함으로써 행할 수 있다.
- [0361] 표시부(1002)의 화면은 주로 3개의 모드가 있다. 제 1 모드는 화상의 표시가 주된 표시 모드이고, 제 2 모드는 문자 등의 정보의 입력이 주된 입력 모드이다. 제 3 모드는 표시 모드와 입력 모드의 2개의 모드가 혼합한 표시+입력 모드이다.
- [0362] 예를 들어, 전화를 거는 경우, 또는 문자 메시지를 작성하는 경우는, 표시부(1002)를 문자의 입력이 주된 문자 입력 모드로 하고, 화면에 표시시킨 문자의 입력 조작을 행하면 좋다. 이 경우, 표시부(1002)의 화면의 대부분에 키보드 또는 번호 버튼을 표시시키는 것이 바람직하다.
- [0363] 또한, 휴대 전화기(1000) 내부에, 자이로스코프(gyroscope), 가속도 센서 등의 기울기를 검출하는 센서를 갖는 검출 장치를 설치함으로써, 휴대 전화기(1000)의 방향(세로 또는 가로)을 판단하여, 표시부(1002)의 화면 표시를 자동적으로 전환하도록 할 수 있다.
- [0364] 또한 화면 모드의 전환은, 표시부(1002)를 만지거나 또는 케이스(1001)의 조작 버튼(1003)의 조작에 의하여 행해진다. 또한, 표시부(1002)에 표시되는 화상의 종류에 따라 전환하도록 할 수도 있다. 예를 들어, 표시부에 표시하는 화상 신호가 동영상 데이터라면 표시 모드로, 텍스트 데이터라면 입력 모드로 전환된다.
- [0365] 또한 입력 모드에 있어서, 표시부(1002)의 광 센서로 검출되는 신호를 검지하고, 표시부(1002)의 터치 조작에 의한 입력이 일정 기간 없을 경우에는, 화면의 모드를 입력 모드로부터 표시 모드로 전환하도록 제어하여도 좋다.
- [0366] 표시부(1002)는 이미지 센서로서 기능시킬 수도 있다. 예를 들어, 표시부(1002)에 손바닥이나 손가락을 접촉하는 것으로, 장문(掌紋), 지문 등을 촬상함으로써, 본인 인증을 행할 수 있다. 또한, 표시부에 근적외광을 발광하는 백 라이트 또는 근적외광을 발광하는 센싱용 광원을 사용하면, 손가락 정맥, 손바닥 정맥 등을 촬상할 수 있다.

도면의 간단한 설명

- [0367] 도 1a 내지 도 1d는 반도체 장치를 설명하는 도면.
- [0368] 도 2a 및 도 2b는 반도체 장치를 설명하는 도면.
- [0369] 도 3a 내지 도 3g는 반도체 장치의 제작 방법을 설명하는 도면.
- [0370] 도 4a 내지 도 4d는 반도체 장치의 제작 방법을 설명하는 도면.
- [0371] 도 5a 및 도 5b는 반도체 장치를 설명하는 도면.
- [0372] 도 6a 및 도 6b는 반도체 장치를 설명하는 도면.
- [0373] 도 7a 및 도 7b는 반도체 장치를 설명하는 도면.
- [0374] 도 8은 반도체 장치를 설명하는 도면.
- [0375] 도 9a 및 도 9b는 반도체 장치를 설명하는 도면.
- [0376] 도 10a 내지 도 10d는 반도체 장치의 제작 방법을 설명하는 도면.
- [0377] 도 11은 반도체 장치를 설명하는 도면.
- [0378] 도 12a 및 도 12b는 반도체 장치의 블록도를 설명하는 도면.
- [0379] 도 13은 신호선 구동 회로의 구성을 설명하는 도면.
- [0380] 도 14는 신호선 구동 회로의 동작을 설명하는 타이밍 차트.
- [0381] 도 15는 신호선 구동 회로의 동작을 설명하는 타이밍 차트.

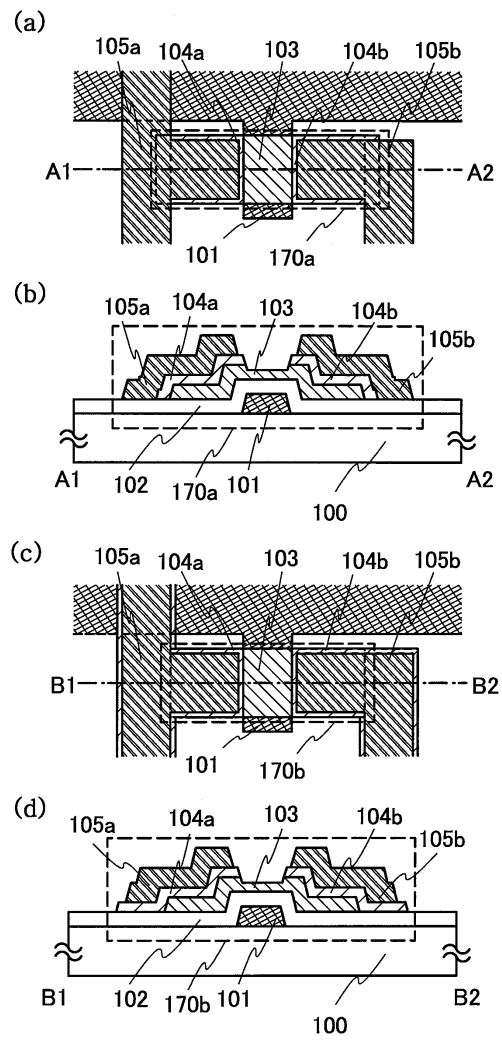
- [0382] 도 16은 시프트 레지스터의 구성을 설명하는 도면.
- [0383] 도 17은 도 16에 도시하는 플립플롭의 접속 구성을 설명하는 도면.
- [0384] 도 18은 멀티 챔버형 제작 장치의 상면 모식도.
- [0385] 도 19a 및 도 19b는 반도체 장치를 설명하는 도면.
- [0386] 도 20a 내지 도 20c는 반도체 장치를 설명하는 도면.
- [0387] 도 21은 반도체 장치를 설명하는 도면.
- [0388] 도 22a 및 도 22b는 반도체 장치를 설명하는 도면.
- [0389] 도 23은 반도체 장치를 설명하는 도면.
- [0390] 도 24a 내지 도 24c는 반도체 장치를 설명하는 도면.
- [0391] 도 25a 및 도 25b는 반도체 장치를 설명하는 도면.
- [0392] 도 26은 반도체 장치를 설명하는 도면.
- [0393] 도 27은 홀 이동도와 캐리어 농도의 관계를 설명하는 도면.
- [0394] 도 28a 및 도 28b는 전자 페이퍼의 사용 형태의 예를 설명하는 도면.
- [0395] 도 29는 전자 서적의 일례를 도시하는 외관도.
- [0396] 도 30a 및 도 30b는 텔레비전 장치 및 디지털 포토 프레임의 예를 도시하는 외관도.
- [0397] 도 31a 및 도 31b는 유기기의 예를 도시하는 외관도.
- [0398] 도 32는 휴대 전화기의 일례를 도시하는 외관도.

[0399] <도면의 주요 부분에 대한 부호의 설명>

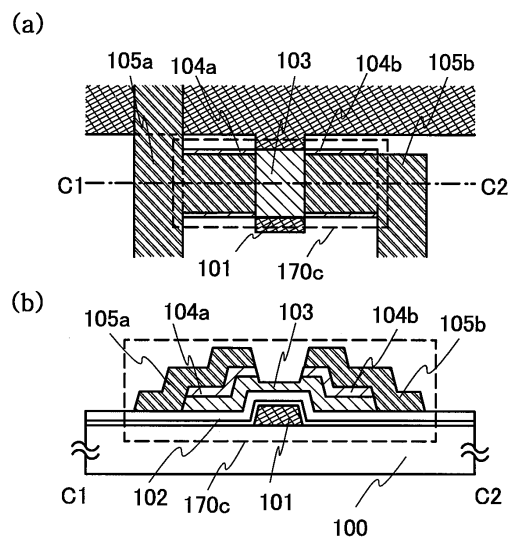
- | | |
|--------------------------------|----------------|
| [0400] 100: 기판 | 101: 게이트 전극층 |
| [0401] 102: 게이트 절연층 | 103: 반도체층 |
| [0402] 104a: 버퍼층 | 104b: 버퍼층 |
| [0403] 105a: 소스 전극층 또는 드레인 전극층 | |
| [0404] 105b: 소스 전극층 또는 드레인 전극층 | |
| [0405] 171a: 박막 트랜지스터 | 171b: 박막 트랜지스터 |

도면

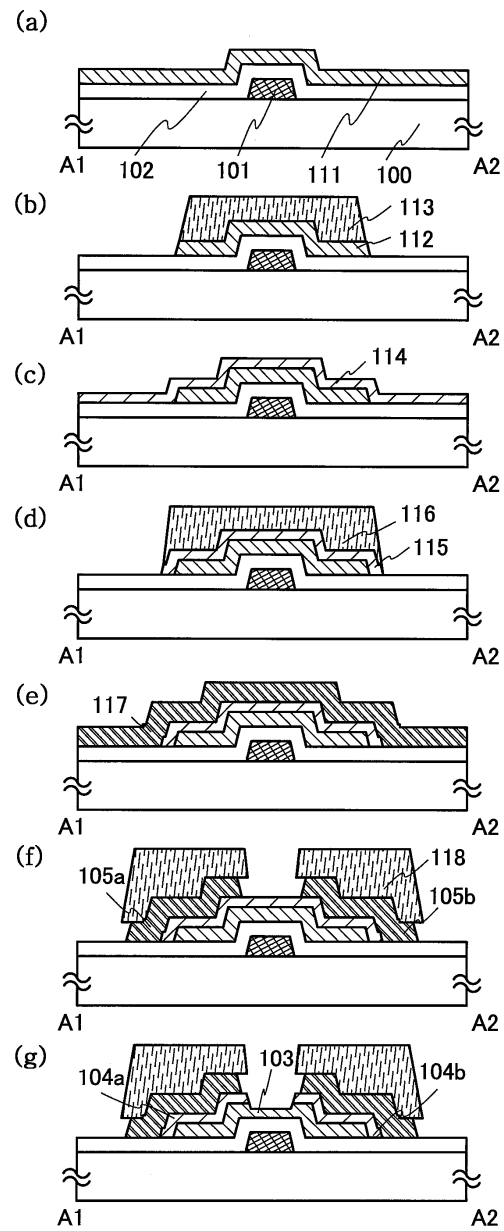
도면1



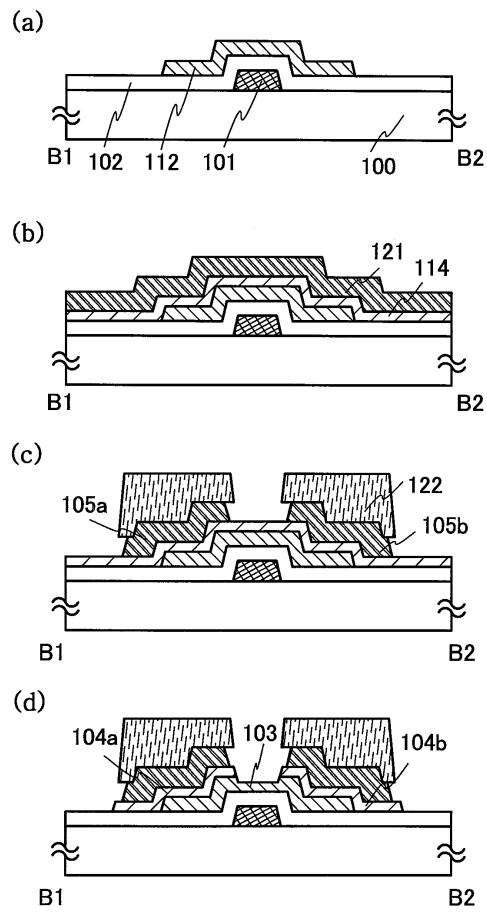
도면2



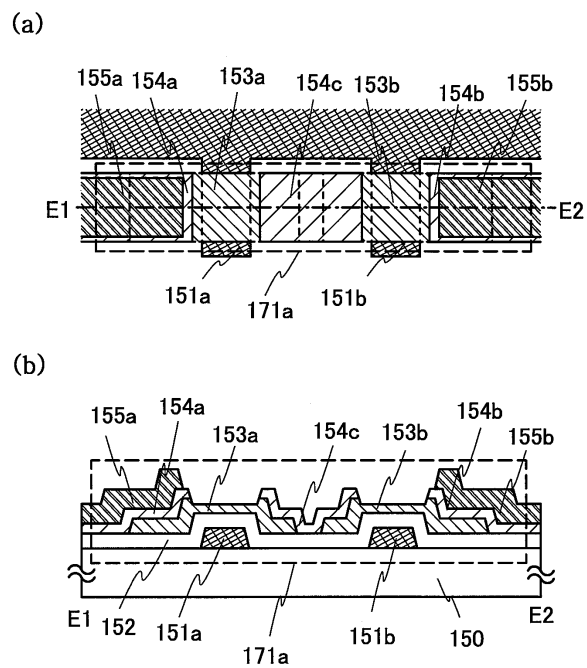
도면3



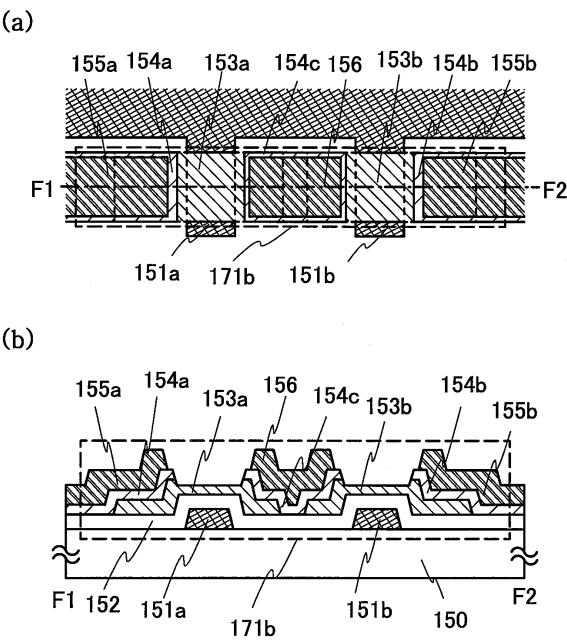
도면4



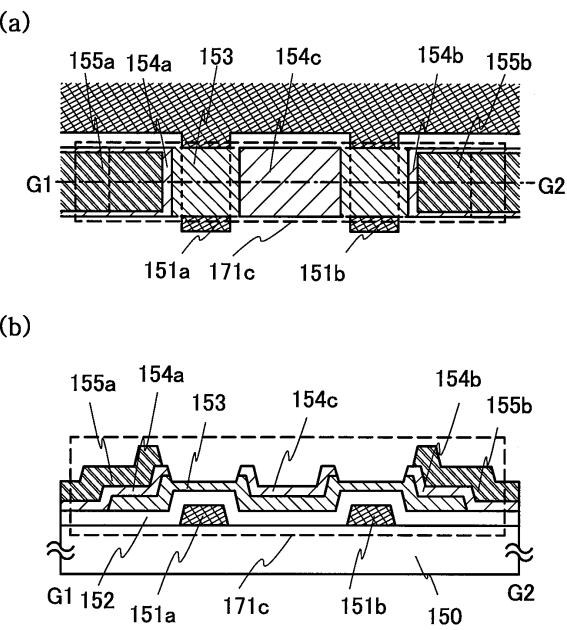
도면5



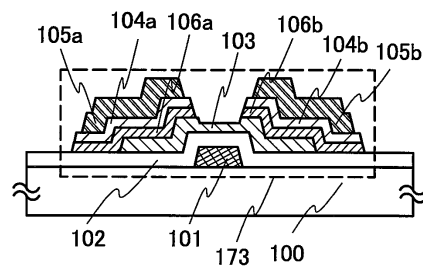
도면6



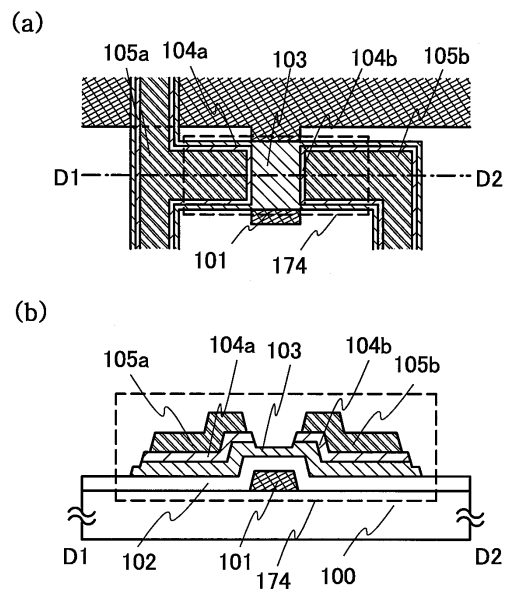
도면7



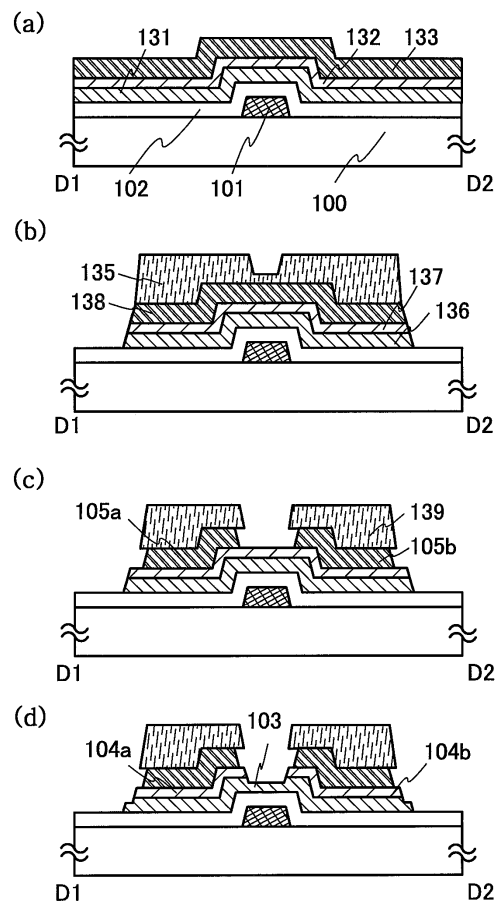
도면8



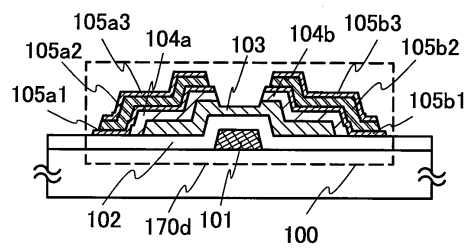
도면9



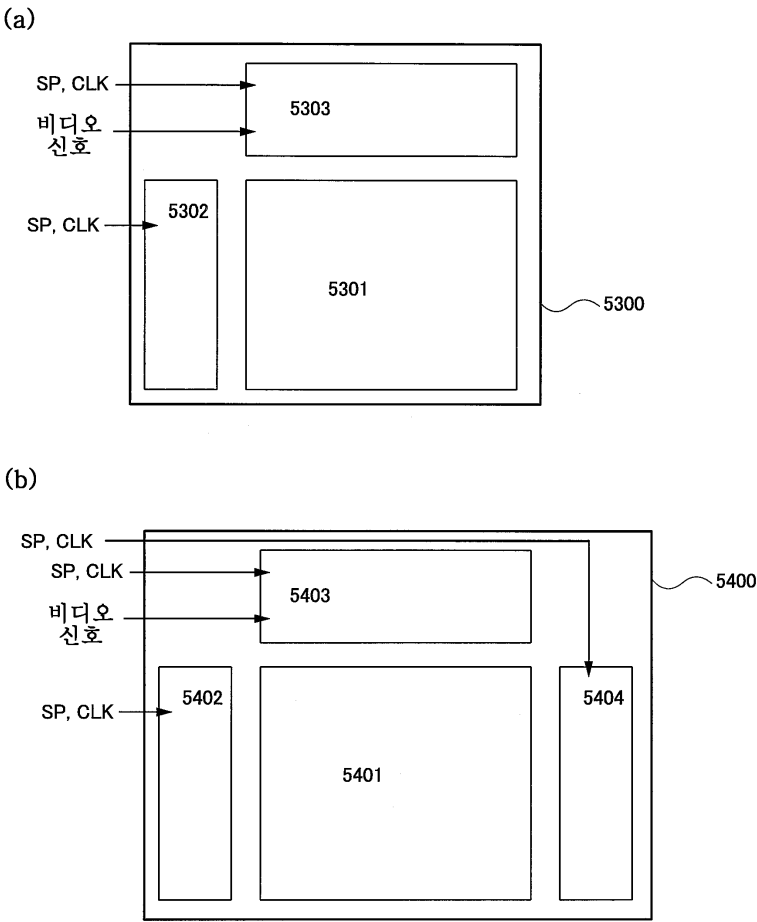
도면10



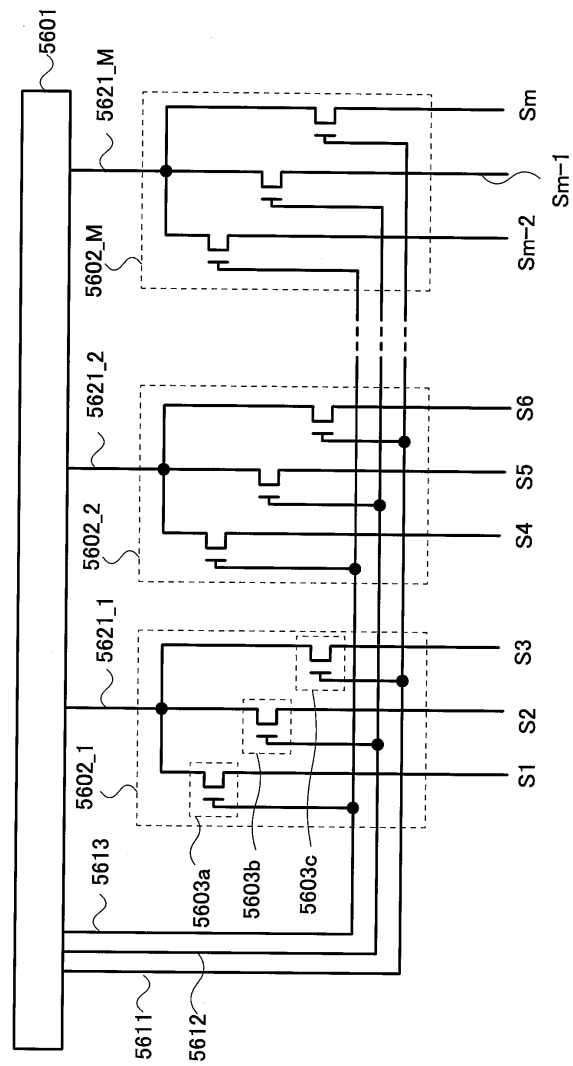
도면11



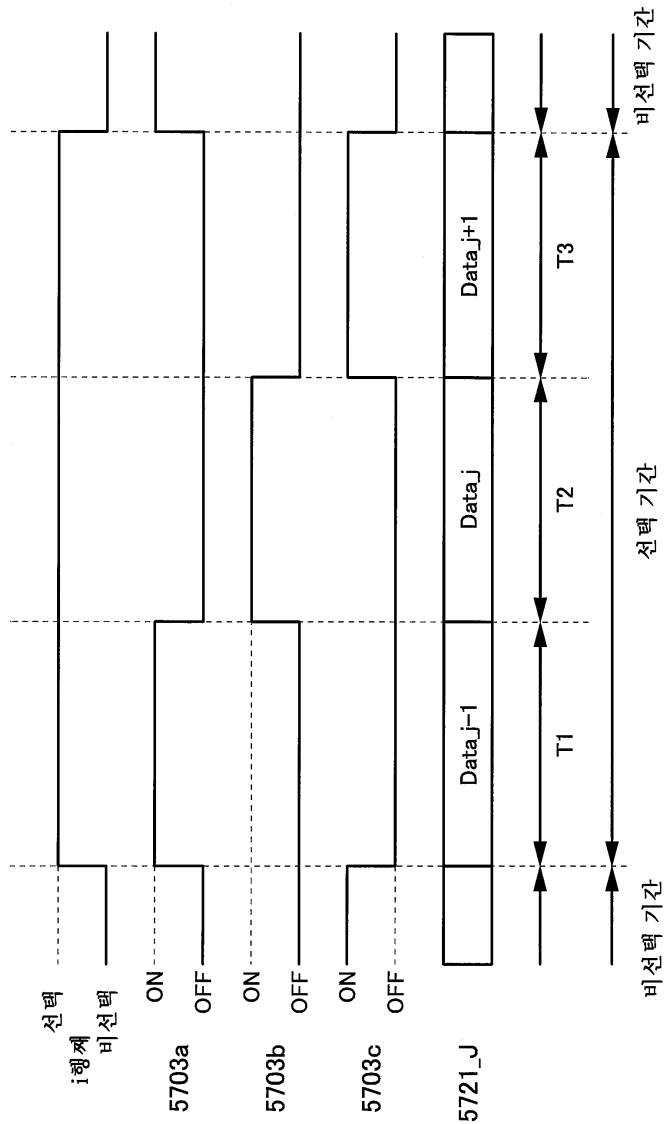
도면12



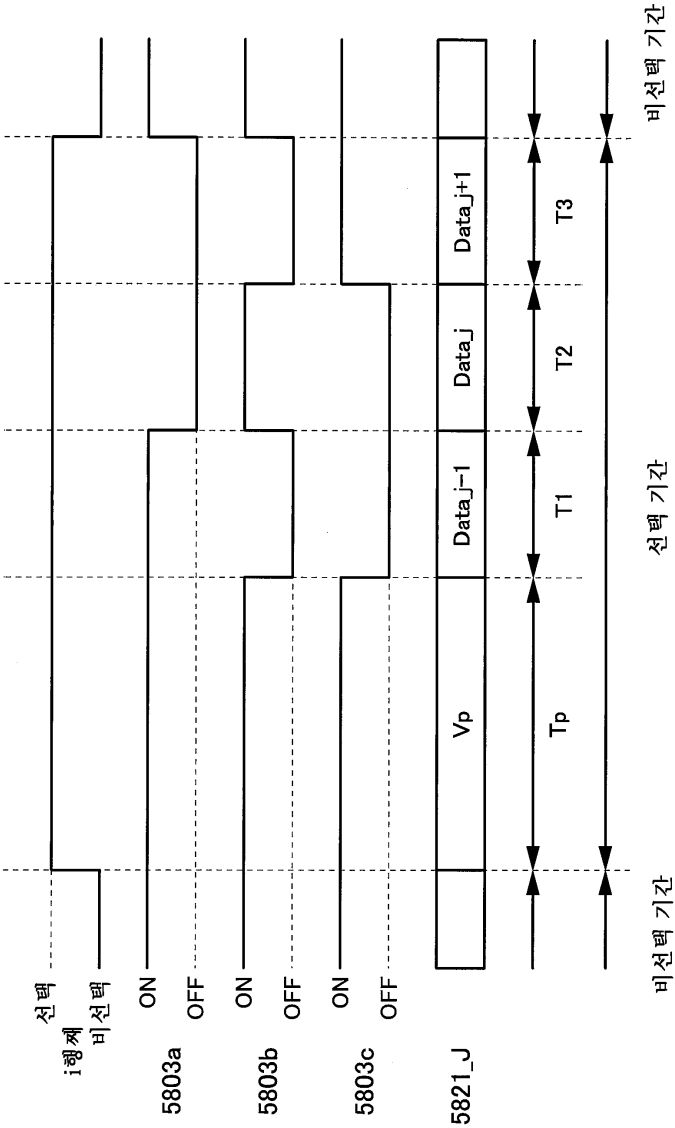
도면13



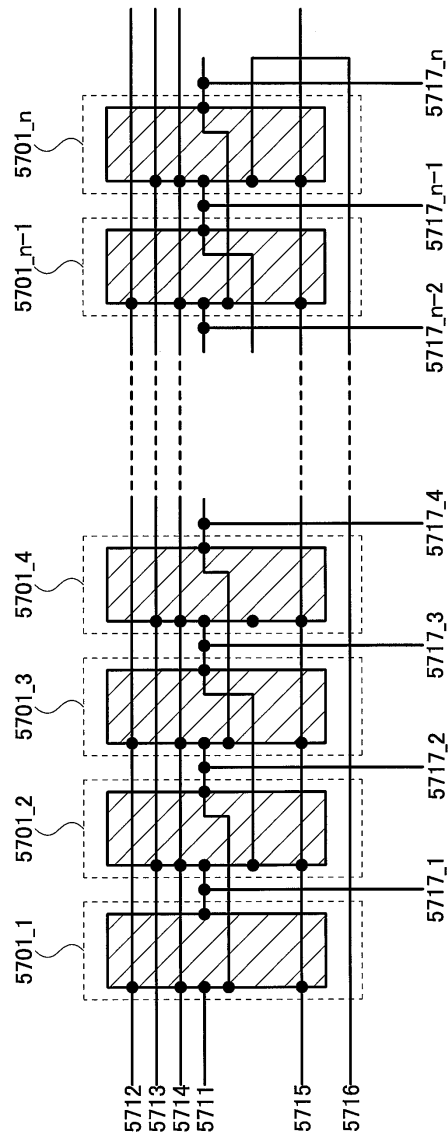
도면14



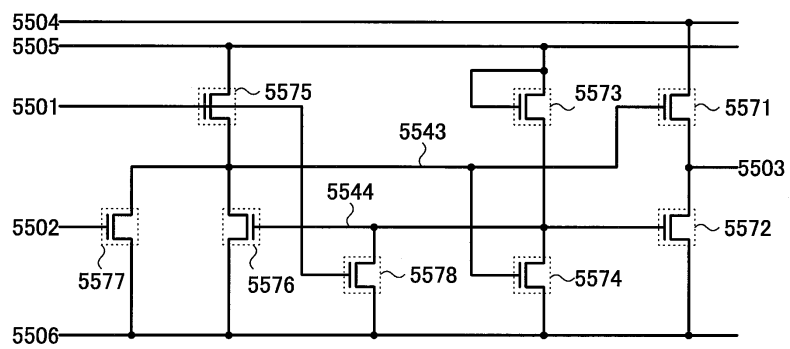
도면15



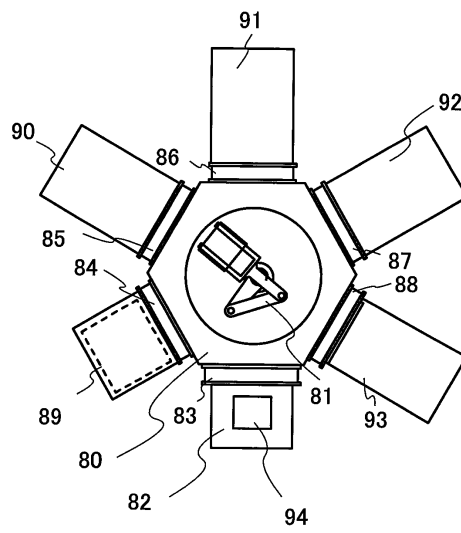
도면16



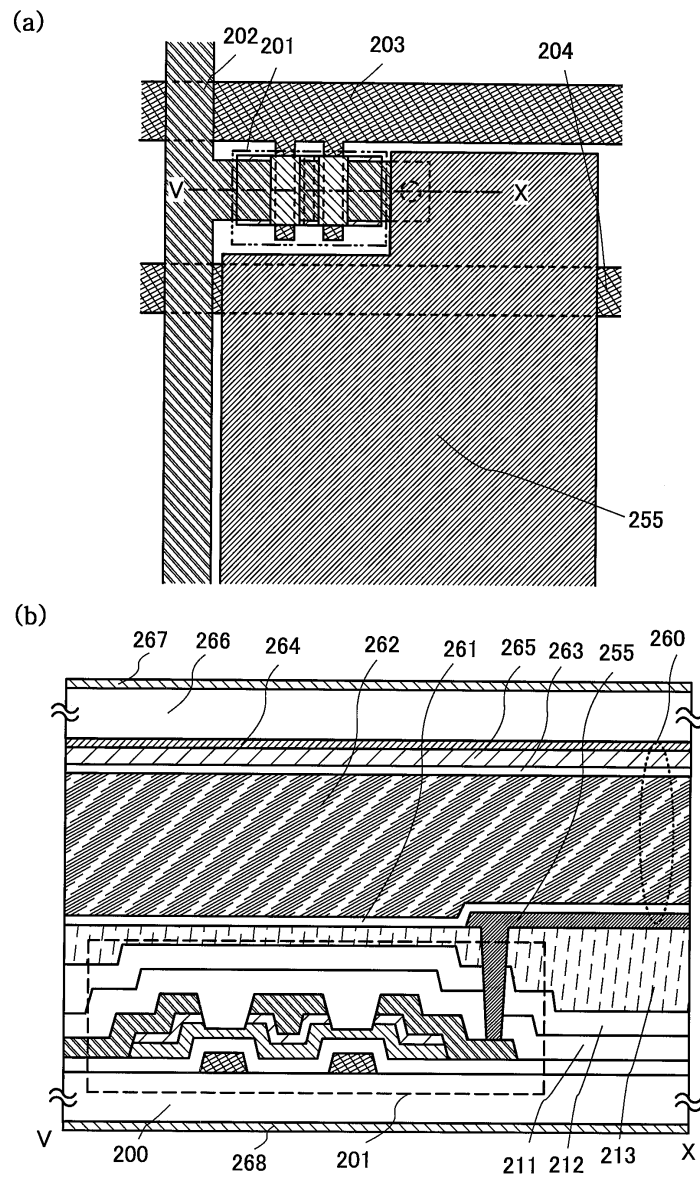
도면17



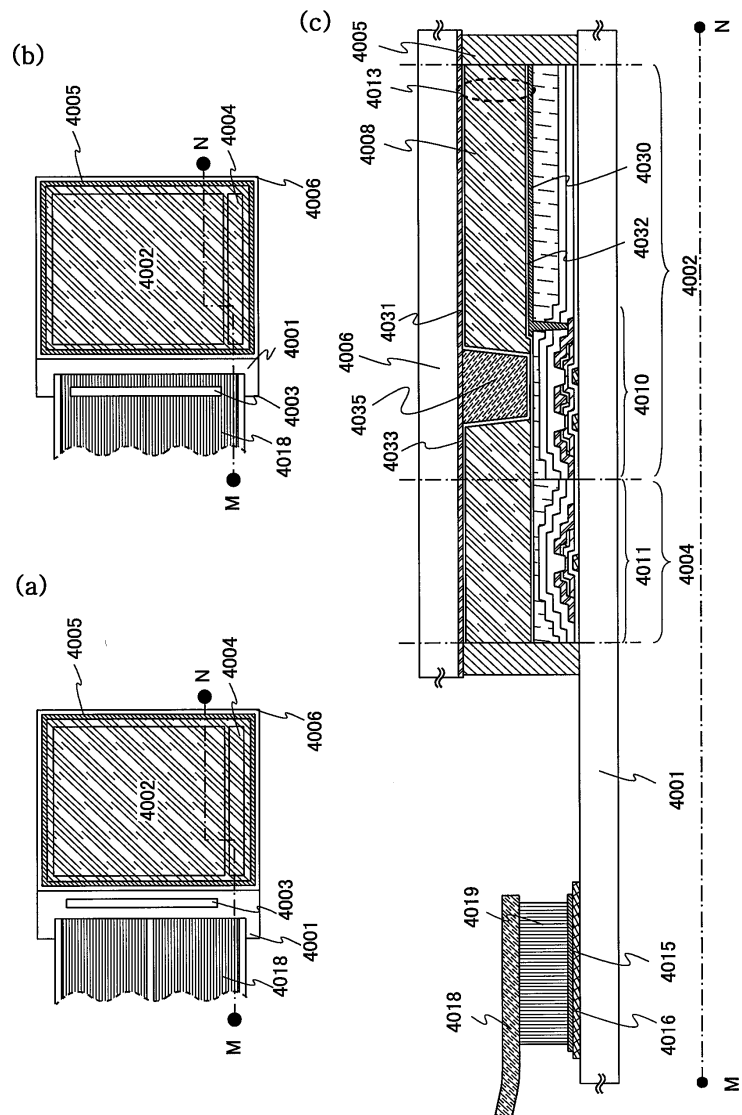
도면18



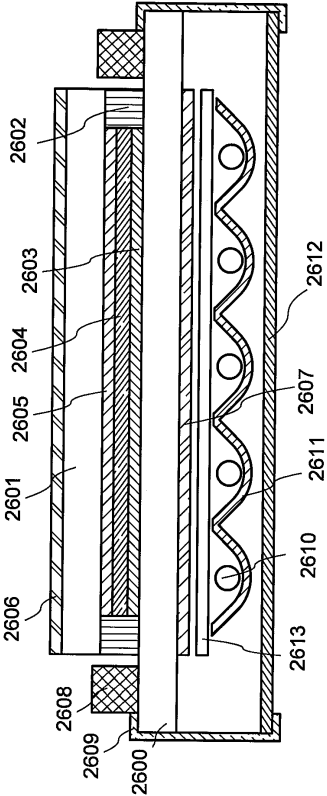
도면19



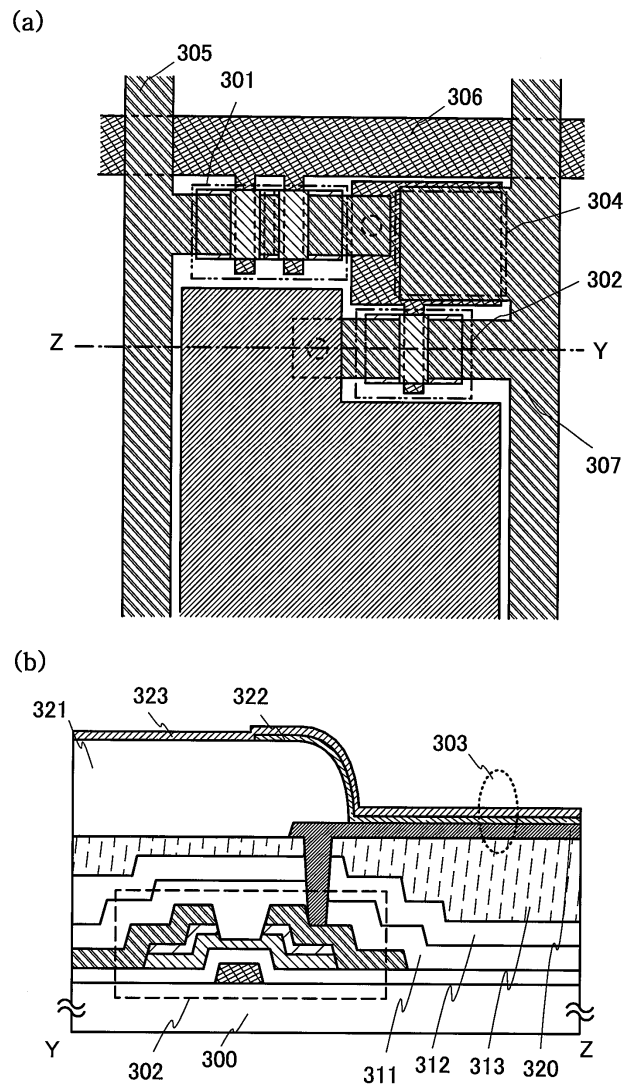
도면20



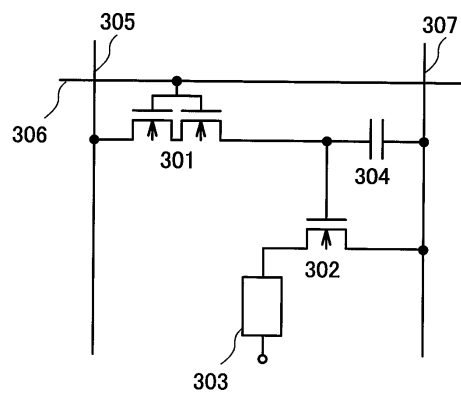
도면21



도면22

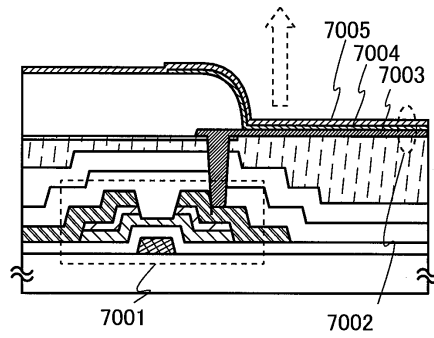


도면23

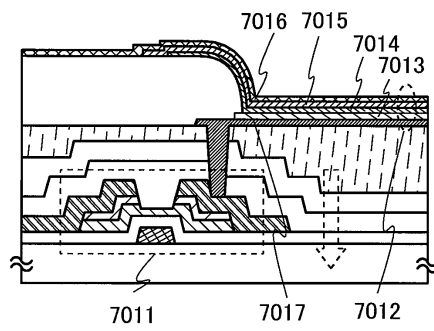


도면24

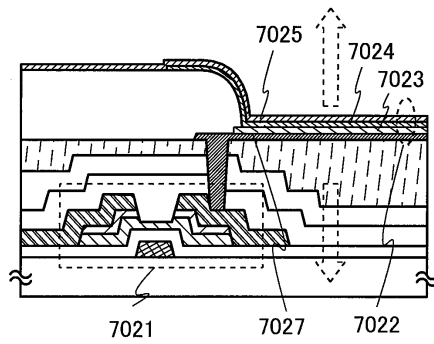
(a)



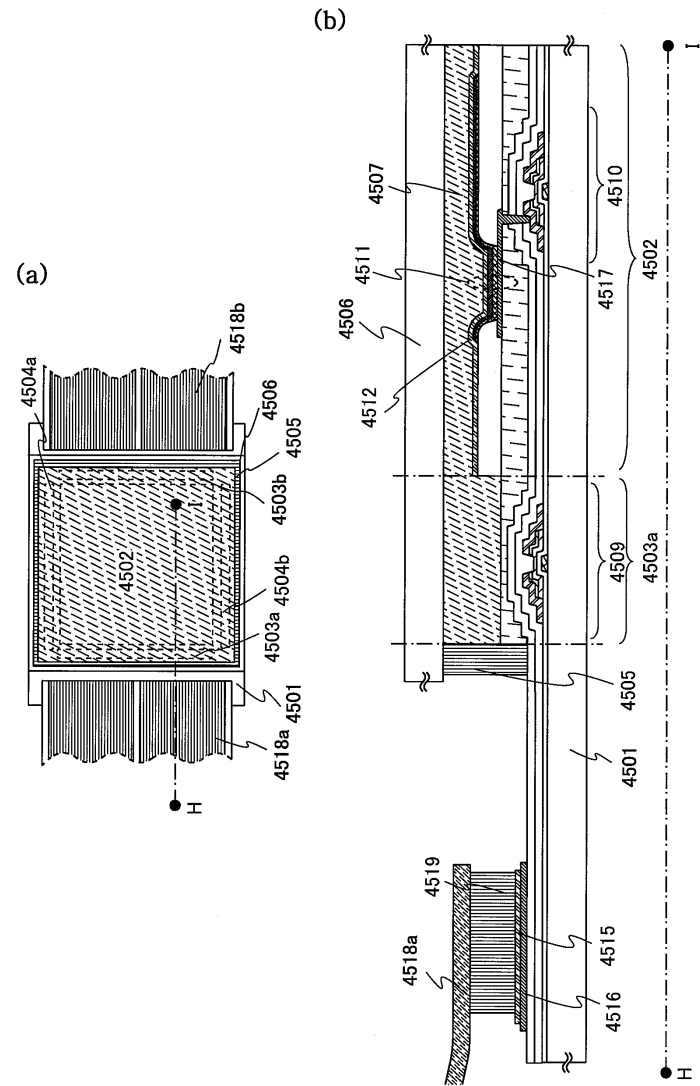
(b)



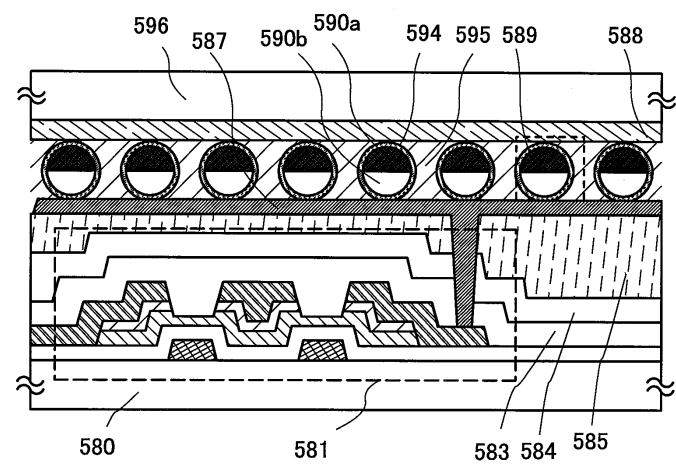
(c)



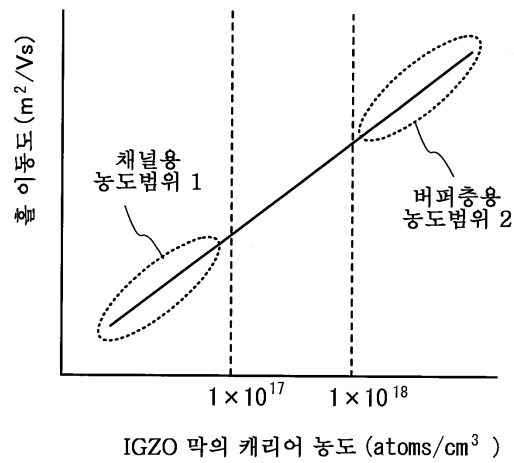
도면25



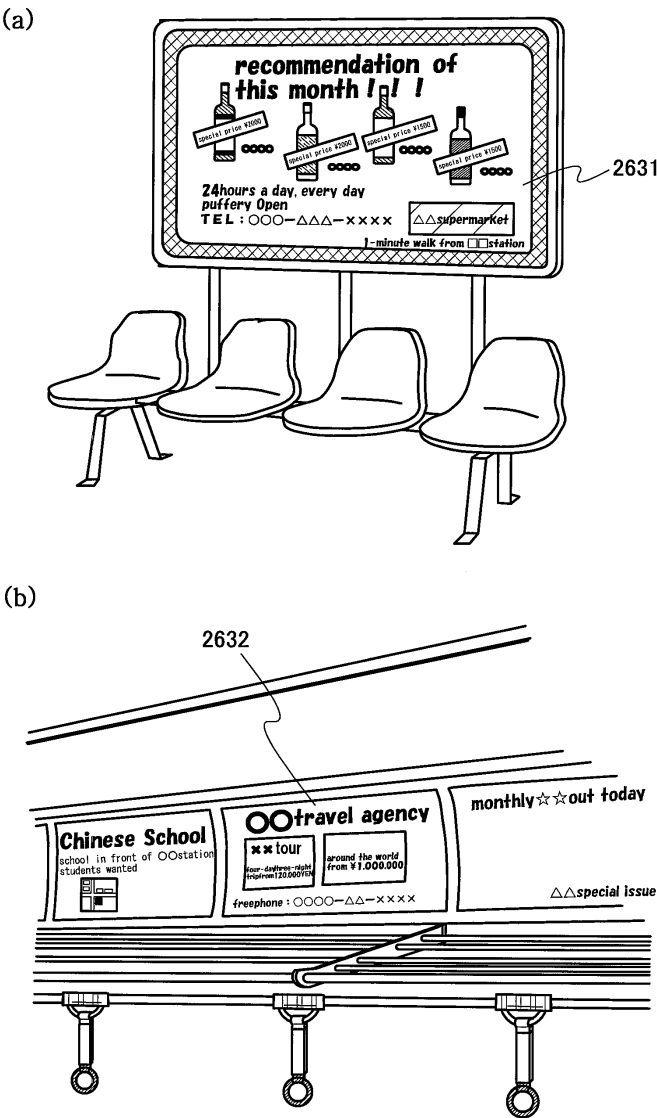
도면26



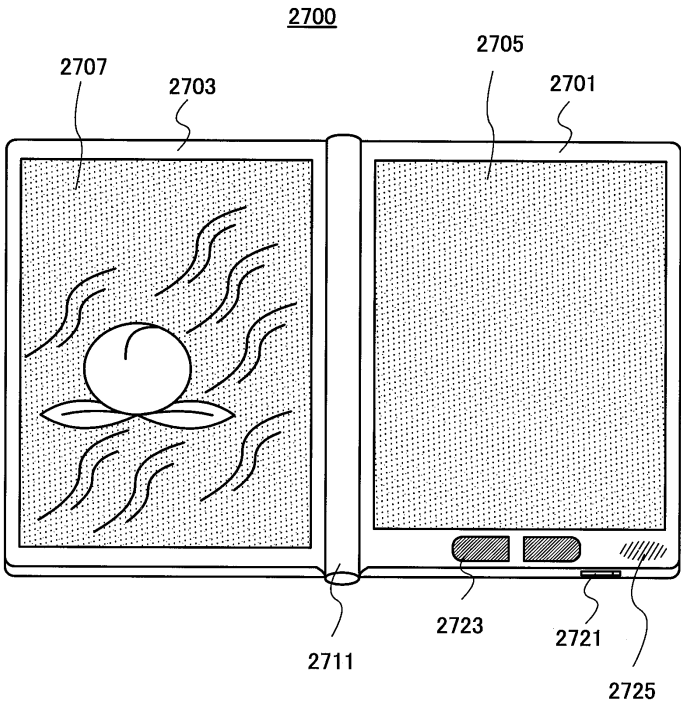
도면27



도면28

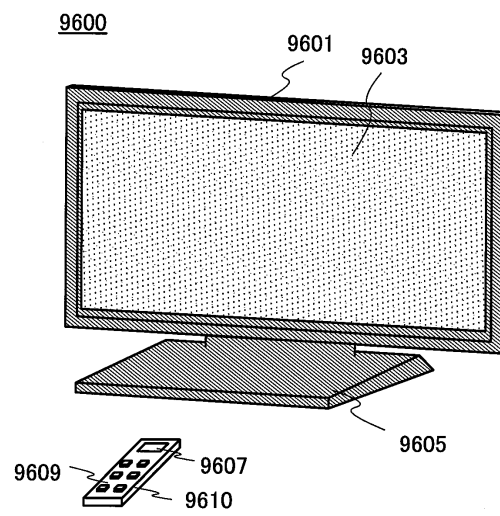


도면29

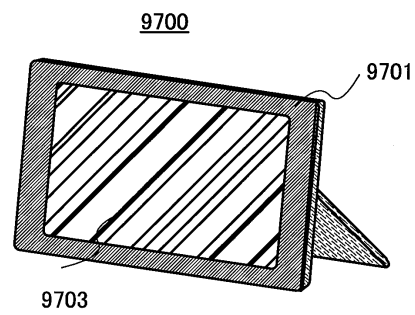


도면30

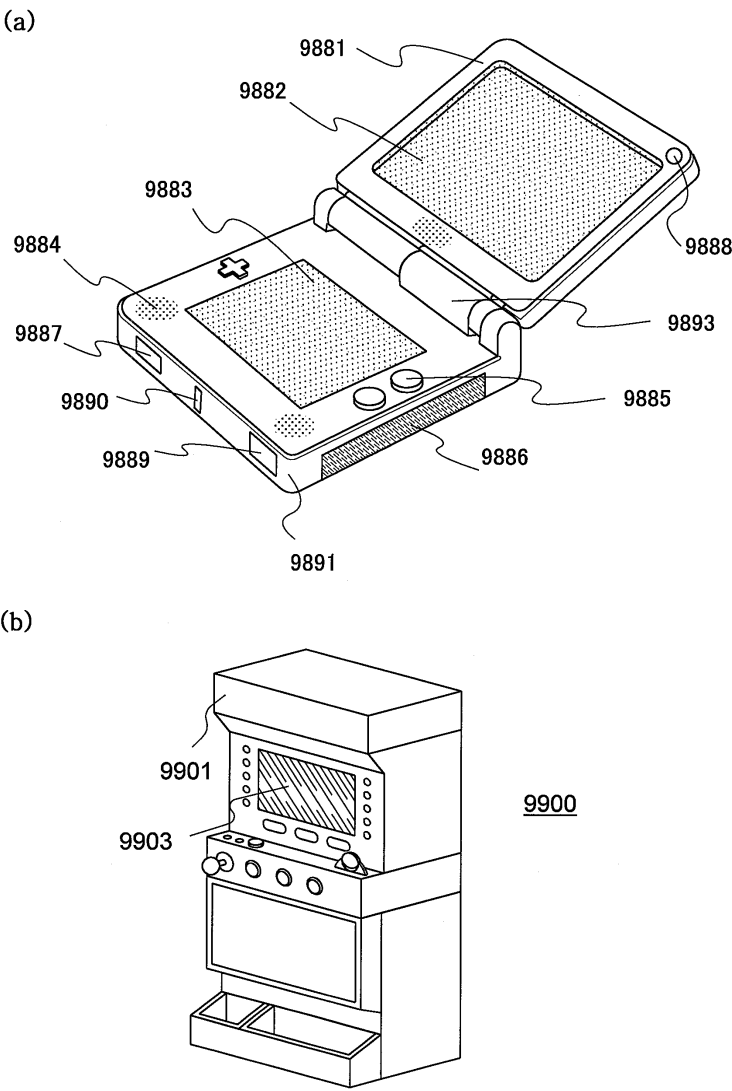
(a)



(b)



도면31



도면32

