



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I731663 B

(45)公告日：中華民國 110 (2021) 年 06 月 21 日

(21)申請案號：109114261

(22)申請日：中華民國 109 (2020) 年 04 月 29 日

(51)Int. Cl. : **H03K19/003 (2006.01)****H03K19/0185(2006.01)**

(30)優先權：2019/05/03 美國

62/843,049

2020/02/12 美國

16/789,072

(71)申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR
MANUFACTURING CO., LTD. (TW)

新竹市新竹科學工業園區力行六路八號

(72)發明人：林宛彥 LIN, WAN-YEN (TW)；詹媛如 CHAN, YUAN-JU (TW)；陳柏廷 CHEN,
BO-TING (TW)

(74)代理人：李世章；秦建譜

(56)參考文獻：

TW I237831B

TW 201703222A

US 4617529A

US 20090323237A1

審查人員：蘇齊賢

申請專利範圍項數：10 項 圖式數：6 共 50 頁

(54)名稱

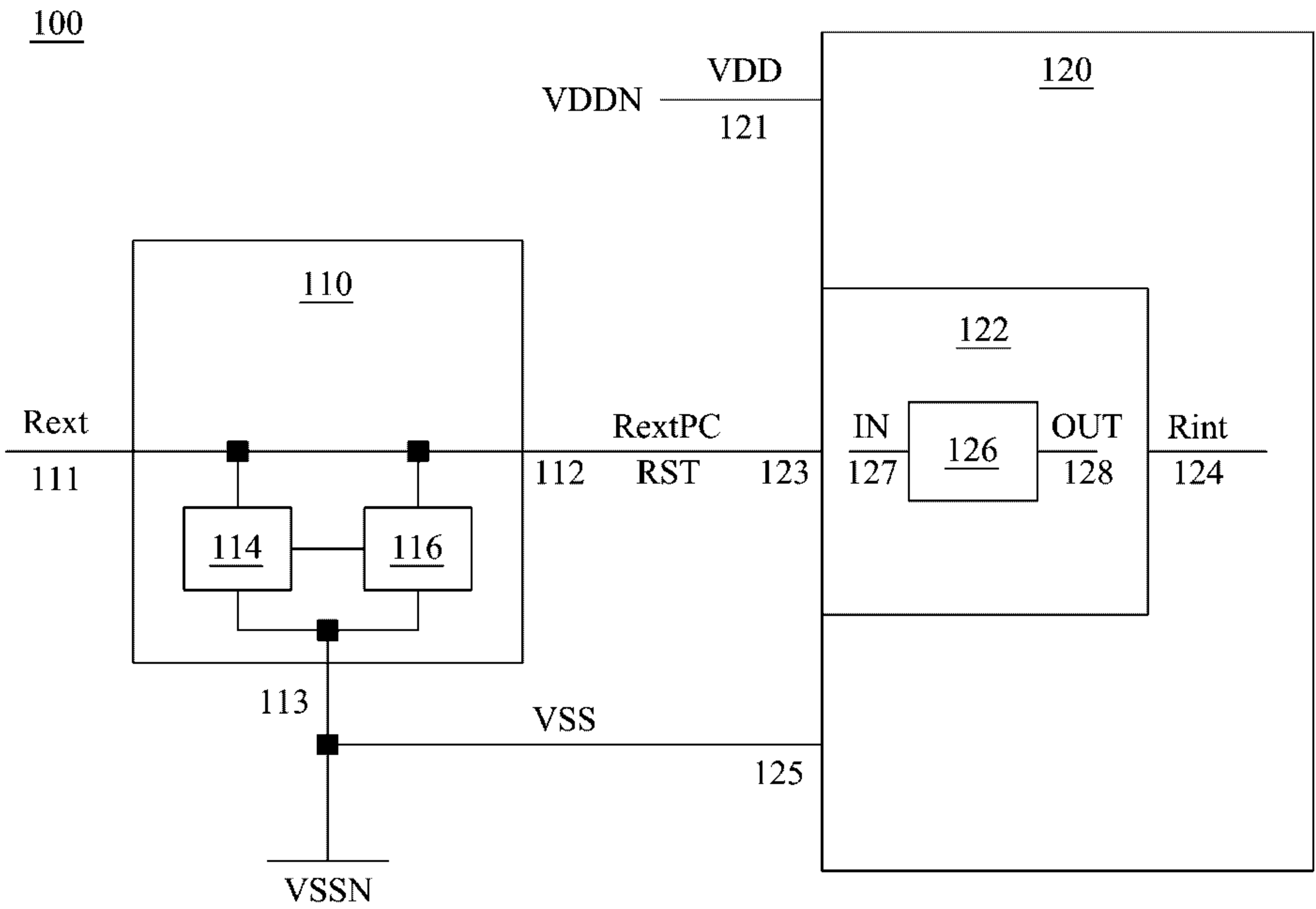
緩衝系統、緩衝電路及其操作方法

(57)摘要

一緩衝電路包括輸入端子、輸出端子、緩衝器以及與緩衝器串聯耦接於輸入端子及輸出端子之間電阻電容電路。電阻電容電路相對於在輸入端子接收的輸入信號在多個邏輯電壓準位之間的過渡時間，增加在輸出端子產生的輸出信號在多個邏輯電壓準位之間的過渡時間，輸出信號的過渡時間係基於輸入信號的邏輯反轉的持續時間。一種緩衝系統及操作方法亦在此揭露。

A buffer circuit includes an input terminal, an output terminal, a buffer, and an RC circuit coupled in series with the buffer between the input terminal and the output terminal. The RC circuit is configured to increase a transition time between logical voltage levels of an output signal generated at the output terminal relative to a transition time between logical voltage levels of an input signal received at the input terminal, and the transition time of the output signal is based on a duration of a logic inversion of the input signal. A buffer system and an operating method are also disclosed herein.

指定代表圖：



第 1 圖

符號簡單說明：

100:IC 系統

110:保護電路

111、121、123、

125、127:輸入端子

112、124、128:輸出
端子

113:電壓參考端子

114:偵測電路

116:箝位電路

120:IC 晶片

122:緩衝電路

126:延遲電路

VDD:電源供應器電壓

VSS:參考電壓

VSSN:參考電壓節點

VDDN:電源供應器電
壓節點

RST:信號路徑

Rext、RextPC、

Rint、IN、OUT:信號



I731663

【發明摘要】

公告本

【中文發明名稱】緩衝系統、緩衝電路及其操作方法

【英文發明名稱】BUFFER SYSTEM, BUFFER CIRCUIT AND OPERATING
METHOD THEREOF

【中文】

一緩衝電路包括輸入端子、輸出端子、緩衝器以及與緩衝器串聯耦接於輸入端子及輸出端子之間電阻電容電路。電阻電容電路相對於在輸入端子接收的輸入信號在多個邏輯電壓準位之間的過渡時間，增加在輸出端子產生的輸出信號在多個邏輯電壓準位之間的過渡時間，輸出信號的過渡時間係基於輸入信號的邏輯反轉的持續時間。一種緩衝系統及操作方法亦在此揭露。

【英文】

A buffer circuit includes an input terminal, an output terminal, a buffer, and an RC circuit coupled in series with the buffer between the input terminal and the output terminal. The RC circuit is configured to increase a transition time between logical voltage levels of an output signal generated at the output terminal relative to a transition time between logical voltage levels of an input signal received at the input terminal, and the transition time of the output signal is based on a duration of a logic inversion of the input signal. A buffer system and an operating method are also disclosed herein.

【指定代表圖】第 1 圖。

【代表圖之符號簡單說明】

1 0 0 : I C 系 統

1 1 0 : 保 護 電 路

1 1 1 、 1 2 1 、 1 2 3 、 1 2 5 、 1 2 7 : 輸 入 端 子

1 1 2 、 1 2 4 、 1 2 8 : 輸 出 端 子

1 1 3 : 電 壓 參 考 端 子

1 1 4 : 偵 測 電 路

1 1 6 : 箝 位 電 路

1 2 0 : I C 晶 片

1 2 2 : 緩 衝 電 路

1 2 6 : 延 遲 電 路

V D D : 電 源 供 應 器 電 壓

V S S : 參 考 電 壓

V S S N : 參 考 電 壓 節 點

V D D N : 電 源 供 應 器 電 壓 節 點

R S T : 信 號 路 徑

R e x t 、 R e x t P C 、 R i n t 、 I N 、 O U T : 信 號

【特徵化學式】

無

【發明說明書】

【中文發明名稱】緩衝系統、緩衝電路及其操作方法

【英文發明名稱】BUFFER SYSTEM, BUFFER CIRCUIT AND OPERATING METHOD THEREOF

【技術領域】

【0001】 本揭露是有關於一種緩衝系統，且特別是有關於一種緩衝電路及其操作方法。

【先前技術】

【0002】 積體電路(IC)經常受稱為過電壓保護電路(overvoltage protection circuits, OPCs)或者在一些情況下受暫態電壓抑制器(transient voltage suppressor, TVS)電路的外部保護電路所保護，而免受於靜電放電(ESD)及其他有可能造成毀損的暫態事件。此保護通常在IC為啟動狀態時所提供，且可包括開啟箝位電路來釋放暫態電流，從而避免輸入焊墊上有大的電壓應力。

【發明內容】

【0003】 一種緩衝電路，包括一輸入端子、一輸出端子、一緩衝器以及一電阻電容電路。電阻電容電路與該緩衝器串聯耦接於該輸入端子及該輸出端子之間，該電阻電容電路係用以相對於在該輸入端子接收的一輸入信號在多個邏輯電壓準位之間的一過渡時間，增加在該輸出端子產生的一輸出信號在多個邏輯電壓準位之間的一過渡時間，該輸出

信號的該過渡時間係基於該輸入信號的一邏輯反轉的一持續時間。

【0004】 一緩衝系統包括一過電壓保護電路以及一緩衝電路。過電壓保護電路用以在一過電壓保護電路輸出端子產生一被保護信號；緩衝電路用以在一緩衝電路輸出端子產生一緩衝電路輸出信號，該緩衝電路包括一輸入端子、一緩衝器以及一電阻電容電路。輸入端子耦接於該過電壓保護電路輸出端子；一電阻電容電路，與該緩衝器串聯耦接在該輸入端子及該緩衝電路輸出端子之間，其中該電阻電容電路係用以相對於該被保護信號在多個邏輯電壓準位之間的一過渡時間，增加該緩衝電路輸出信號在多個邏輯電壓準位之間的一過渡時間。

【0005】 一種操作一緩衝電路的方法，該方法包括以下操作。在該緩衝電路的一輸入端子接收一邏輯信號；使用一電阻電容電路以及一緩衝器的每一者依序反轉該邏輯信號，該電阻電容電路耦接於該緩衝器的一輸入端子；在該緩衝電路的一輸出端子輸出被依序反轉的該邏輯信號，其中使用該電阻電容電路反轉該邏輯信號的步驟包括利用一電阻電容網路將該緩衝器的該輸入端子耦接至一電源供應器電壓節點或者一參考電壓節點之一者。

【圖式簡單說明】

【0006】

本揭露內容的各方面搭配隨附的圖式的參閱，可以對以下的詳細說明有更佳的理解。值得注意的是，根據產業

的標準慣例，諸項特徵並沒有按比例繪製。實際上，諸項特徵的尺寸為了論述清晰可為任意的增大或縮小。

第 1 圖係根據一些實施例的 IC 系統的示意圖。

第 2 A 圖係根據一些實施例的緩衝電路的示意圖。

第 2 B 圖係根據一些實施例的緩衝電路的示意圖。

第 3 A 圖至第 3 D 圖係根據一些實施例的延遲電路的示意圖。

第 4 圖係根據一些實施例的緩衝電路的示意圖。

第 5 圖係根據一些實施例的緩衝電路的操作參數的表示圖。

第 6 圖係根據一些實施例的緩衝電路的操作方法的流程圖。

【實施方式】

【0007】 以下揭露內容提供了用於實施所提供標的的不同特徵的許多不同實施例或實例。以下描述了部件、材料、值、步驟、操作、材料、佈置等的特定實例以簡化本揭露內容。當然，該等僅僅是實例，而並非旨在為限制性的。可設想到其他部件、值、操作、材料、佈置等。例如，在以下描述中在第二特徵上方或之上形成第一特徵可以包括第一特徵和第二特徵形成為直接接觸的實施例，並且亦可以包括可以在第一特徵與第二特徵之間形成額外特徵，使得第一特徵和第二特徵可以不直接接觸的實施例。另外，本揭露可以在各種實例中重複參考數字及/或字母。該重複是為了簡單和清楚的目的，並且本身並不代表所論述的各

種實施例及/或配置之間的關係。

【0008】 此外，在此可以使用空間相對術語，諸如「下方」、「以下」、「下部」、「上方」、「上部」等來簡化描述，以描述如圖中所示的一個元件或特徵與另一元件或特徵的關係。除了圖中所示的取向之外，空間相對術語意欲包括使用或操作中的裝置/元件的不同取向。設備可以以其他方式取向(旋轉 90 度或在其他方向上)，並且可以類似地相應解釋在此使用的空間相對描述詞。

【0009】 在諸多實施例中，一個緩衝電路包括一延遲電路串連於一或多個緩衝器，緩衝電路產生一個輸出信號，該輸出信號在多個邏輯電壓準位之間的過渡時間相較於一輸入信號的過渡時間較長。藉由使用延遲電路，例如一 RC(電阻電容)電路，使得過渡時間增長，該緩衝電路能夠避免由短期輸入信號邏輯反轉，例如基於靜電放電事件的輸入信號，所觸發的多餘輸出信號轉變。相較於不包括延遲電路的一些實施方法，緩衝電路更能夠響應一短期輸入信號的邏輯反轉而產生具有固定邏輯電壓準位的一輸出信號。

【0010】 第 1 圖係根據一些實施例的 IC 系統 100 的示意圖。IC 系統 100 包括一保護電路 110，該保護電路 110 透過一信號路徑 RST 耦接至一 IC 晶片 120。在一些實施例中，IC 系統 100 包括保護電路 110 及 IC 晶片 120，且該保護電路 110 及該 IC 晶片 120 為安裝在一基板(例如一印刷電路板(PCB))上的分離部件。在一些實施例中，IC 系統 100 是 IC 裝置封裝(例如一 2.5D IC 封裝、一

3 D I C 封裝、或一集成扇出 (i n t e g r a t e d f a n - o u t , I n F O) 封裝)的一部分或全部。在一些實施例中，I C 系統 1 0 0 包括除了在第 1 圖所繪示的部件之外的額外部件，例如一中介層及/或除了 I C 晶片 1 2 0 以外的一或多個 I C 晶片。

【0011】 兩個或以上的電路元件被認為是耦接是基於一直接電性連接或包括一或多個額外的電路元件(例如一或多個邏輯或傳輸閘極)的一電性連接，使得該些電路元件能夠被控制，例如製成電阻性、或者被一電晶體或其他開關裝置開啟。

【0012】 在第 1 圖繪示的實施例中，保護電路 1 1 0 透過信號路徑 R S T 直接與 I C 晶片 1 2 0 連接。在諸多實施例中，一或多個額外的電路元件，例如一或多個開關裝置，沿著信號路徑 R S T 耦接在保護電路 1 1 0 與 I C 晶片 1 2 0 之間。在諸多實施例中，信號路徑 R S T 包括一鐳線、包含多層重分佈層 (r e d i s t r i b u t i o n l a y e r s , R D L s) 的一後護層封裝 (p o s t - p a s s i v a t i o n i n t e r c o n n e c t i o n , P P I) 結構的一層或多層重分佈層，以及/或適合在保護電路 1 1 0 及 I C 晶片 1 2 0 之間傳輸一或多個信號的一或多個其他導體元件。

【0013】 保護電路 1 1 0 係一電路包括耦接於輸出端子 1 1 2 的輸入端子 1 1 1，保護電路 1 1 0 還包括電壓參考端子 1 1 3、耦接於輸入端子 1 1 1 與電壓參考端子 1 1 3 之間的偵測電路 1 1 4 以及耦接於輸出端子 1 1 2 及電壓參考端子 1 1 3 之間的箝位電路 1 1 6。

【0014】 在諸多實施例中，輸入端子 111 耦接至 IC 系統 100 之內部或外部的一電路（未圖示），而因此用以接收一信號 *Rext*。輸出端子 112 耦接至信號路徑 *RST*，而因此用以輸出一信號 *RextPC* 到信號路徑 *RST*。電壓參考端子 113 耦接於一參考電壓節點 *VSSN*，而因此用以接收從參考電壓節點 *VSSN* 的一參考電壓 *VSS*。在一些實施例中，參考電壓 *VSS* 有 IC 系統 100 的一參考電壓準位，例如一接地電壓準位。

【0015】 一信號，例如信號 *Rext* 或 *RextPC* 的其一或兩者，能夠對應複數個邏輯狀態而具有多個電壓準位。低於相對於參考電壓準位的一第一臨界值的電壓準位對應至一低邏輯狀態，該低邏輯狀態在一些實施例中稱為一低邏輯電壓準位，而高於相對於參考電壓準位的一第二臨界值的電壓準位，則該高於第二臨界值的電壓準位對應至一高邏輯狀態，該第二臨界值高於該第一臨界值，該高邏輯狀態在一些實施例中稱為一高邏輯電壓準位。

【0016】 偵測電路 114 係一電路用以相對於參考電壓準位來偵測信號 *Rext* 的電壓準位，以及響應於信號 *Rext* 的一過電壓狀況（例如一靜電放電事件）輸出一控制信號（未圖示），該控制信號可被箝位電路 116 使用及指示該過電壓狀況。在一些實施例中，偵測電路 114 係用以輸出該控制信號，該控制信號具有低邏輯電壓準位或高邏輯電壓準位的一第一邏輯電壓準位，該第一邏輯電壓準位對應於正常操作狀況，以及具有低邏輯電壓準位或高邏輯電壓準位的

一第二邏輯電壓準位，該第二邏輯電壓準位對應於過電壓狀況。

【0017】 箝位電路 116 係一電路用以接收偵測電路 114 所輸出的該控制信號，且該箝位電路 116 包括一或多個開關裝置(未圖示)用以有選擇性地在輸出端子 112 及電壓參考端子 113 之間建立響應於控制信號的電流路徑。在一些實施例中，箝位電路 116 包括該一或多個開關裝置用以藉由直接將輸出端子 112 耦接至電壓參考端子 113，有選擇性地在輸出端子 112 及電壓參考端子 113 之間建立電流路徑。在諸多實施例中該一或多個開關裝置包括 n 型金屬氧化物半導體(NMOS)電晶體或 p 型金屬氧化物半導體(PMOS)電晶體，以及包括 NMOS 電晶體或 PMOS 電晶體的通道的電流路徑。

【0018】 在一些實施例中，箝位電路 116 用以中斷電流路徑來響應具有對應於正常操作狀況下的第一邏輯電壓準位的控制信號，以及建立電流路徑來響應具有對應於該過電壓狀況下的第二邏輯電壓準位的控制信號。

【0019】 在諸多實施例中，偵測電路 114 及箝位電路 116 係用以偵測及回應信號 R_{ext} 的暫態過電壓狀況，其暫態過電壓狀況係基於一或多個靜電放電事件，例如基於人體放電模式(human body model, HBM)或元件充電模式(charge device model, CDM)、電過載(electrical overstress, EOS)事件、或其他暫態過電壓狀況。在諸多實施例中，偵測電路 114 或箝位電路 116 的一或兩者包

括一或多個次電路(未圖示)且因此係用以響應於一種以上的過電壓狀況。

【0020】 保護電路 110 從而係用以偵測信號 R_{ext} 的電壓準位，且響應信號 R_{ext} 的正常操作狀況，將信號 R_{ext} 作為信號 $R_{ext}PC$ 輸出於輸出端子 112，以及響應信號 R_{ext} 的偵測到的過電壓狀況，輸出具有接近或剛好是參考電壓 VSS 的電壓準位，從而對應低邏輯電壓準位的信號 $R_{ext}PC$ 。

【0021】 第 1 圖所繪示的保護電路 110 的配置的實例係為了說明而非限制。在諸多實施例中，保護電路 110 係另外藉由將輸出信號 R_{ext} 作為信號 $R_{ext}PC$ 輸出於輸出端子 112，用以(例如藉由包括輸入端子 111 及輸出端子 112 之間的一或多個電路部件)偵測及響應信號 R_{ext} 的正常操作狀況，以及藉由輸出具有低邏輯電壓準位的信號 $R_{ext}PC$ 以偵測及響應信號 R_{ext} 的過電壓狀況。在一些實施例中保護電路 110 並不包括偵測電路 114 且係用以接收一外部電路(未圖示)的一控制信號，以及/或基於非信號 R_{ext} 的另一信號偵測過電壓狀況，並從而用以響應偵測到的過電壓狀況輸出具有該低邏輯電壓準位的信號 $R_{ext}PC$ 。

【0022】 保護電路 110 係用以輸出具有低邏輯電壓準位的信號 $R_{ext}PC$ ，而此輸出的持續時間係基於偵測到的過電壓狀況的時序特性或該偵測電路 114 及箝位電路 116 的配置中的一或兩者。在操作上，對於保護電路 110 輸出在偵

測到的過電壓狀況之前及之後具有高邏輯電壓準位的信號 R_{extPC} 的個案而言，信號 R_{extPC} 具有低邏輯電壓準位代表邏輯反轉具有的持續時間對應於保護電路 110 輸出具有低邏輯電壓準位的信號 R_{extPC} 的持續時間。在一些實施例中，保護電路 110 輸出在一或多個邏輯反轉之前或之後具有高邏輯電壓準位的信號 R_{extPC} 的個案對應於 IC 系統 100 的正常操作模式。

【0023】 在諸多實施例中，保護電路 110 係用以輸出具有靠近或剛好為該參考電壓準位的電壓準位的信號 R_{extPC} 。該輸出信號的持續時間為預定的持續時間、可變的持續時間、或兩者之中的任一持續時間，取決於偵測到的過電壓狀況的性質，例如基於偵測到的靜電放電事件的預定的持續時間，以及基於偵測到的電過載事件的可變的持續時間。

【0024】 在一些實施例中，保護電路 110 係用以輸出具有靠近或剛好為該參考電壓準位的電壓準位的信號 R_{extPC} ，而持續時間為預定的或可變的持續時間中的一或兩者，其持續時間的範圍從 0.1 微秒到 100 微秒。在一些實施例中，保護電路 110 係用以輸出具有靠近或剛好為該參考電壓準位的電壓準位的信號 R_{extPC} ，而持續時間為預定的或可變的持續時間中的一或兩者，其持續時間的範圍從 0.2 微秒到 10 微秒。在一些實施例中，保護電路 110 係用以輸出具有靠近或剛好為該參考電壓準位的電壓準位的信號 R_{extPC} ，而持續時間為預定的或可變的持續時間中的一

或兩者，其持續時間的範圍從 0.5 微秒到 2 微秒。

【0025】 IC 晶片 120 係一半導體晶片包括一輸入端子 121，該輸入端子 121 耦接於電源供應器電壓節點 V_{DDN} ，電源供應器電壓節點 V_{DDN} 用以帶有電源供應器電壓準位的電源供應器電壓 V_{DD} 。IC 晶片 120 還包括緩衝電路 122，緩衝電路 122 包括耦接於信號路徑 RST 及輸出端子 124 的輸入端子 123。IC 晶片 120 亦包括耦接於參考電壓節點 V_{SSN} 的輸入端子 125，以及為了清楚的目的而沒在第 1 圖繪示的一或多個額外的部件。在一些實施例中，輸入端子 121、輸入端子 123、或輸入端子 125 當中的一或多個輸入端子包括 IC 晶片 120 的接觸墊。

【0026】 在一些實施例中，IC 晶片 120 包括單晶片系統 (system on a chip, SoC)。單晶片系統包括複數個積體電路，例如處理器、協同處理器、信號處理電路、邏輯電路、控制器、記憶電路、特殊應用積體電路 (ASICs)、輸入/輸出 (I/O) 介面、通信電路或類似物的組合，都整合在單一個半導體晶片。

【0027】 IC 晶片 120 的至少一個部件包括了一電源開啟電路 (power-on circuit, POC) (未圖示) 用以響應於輸出端子 124 接收的信號 R_{int} ，引發電源開啟程序。在操作上，該電源開啟程序包括一或多個步驟，使得 IC 晶片 120 的至少一部份，例如一或多個暫存器、正反器、以及/或閘鎖，可被控制地用以在一正常操作模式下運作，且 IC 晶片 120 在電源開啟程序的執行期間，被禁止在正常操作模式

當中運作。在諸多實施例中，該電源開啟電路係用以響應於具有高邏輯電壓準位或低邏輯電壓準位中的任一電壓準位的信號 R_{int} ，引發電源開啟程序。在諸多實施例中，信號 R_{ext} 、 R_{extPC} 、或 R_{int} 中的一或多個信號稱為一重置信號，信號 R_{extPC} 稱為受保護信號或受保護重置信號，以及/或輸入端子 123 稱為一重置引腳。

【0028】 緩衝電路 122 係一電路用以接收信號 R_{extPC} 輸入端子 123，並基於信號 R_{extPC} 產生信號 R_{int} ，以及輸出信號 R_{int} 於輸出端子 124。緩衝電路 122 包括至少一緩衝器(未在第 1 圖顯示)以及至少一延遲電路 126，延遲電路 126 以串聯方式耦接於輸入端子 123 及輸出端子 124 之間。緩衝電路 122 所包括的至少一緩衝器係耦接於延遲電路 126 及輸出端子 124 之間。在一些實施例中，緩衝電路 122 除了上述部件之外，亦包括其他的一或多個部件(未圖示)，為了說明的目的而沒有繪示或更進一步討論。

【0029】 延遲電路 126 包括輸入端子 127 以及輸出端子 128。在諸多實施例中，輸入端子 127 係耦接於緩衝電路 122 的輸入端子 123，或者耦接於擁有至少一緩衝器的緩衝電路 122 的緩衝器。輸出端子 128 係耦接於擁有至少一緩衝器的緩衝電路 122 的緩衝器的輸入端子。

【0030】 延遲電路 126 係用以藉由反轉從輸入端子 127 所接收的信號 IN 以及相對於信號 IN 在邏輯電壓準位之間的過渡時間，增加信號 OUT 在邏輯電壓準位之間的過渡時間，

產生信號 OUT ，如下所述。在諸多實施例中，延遲電路 126 係用以增加信號 OUT 從低邏輯電壓準位過渡至高邏輯電壓準位，或從高邏輯電壓準位過渡至低邏輯電壓準位的中的一或兩者的過渡時間。

【0031】 透過包括延遲電路 126，緩衝電路 122 係用以增加信號 R_{int} 的邏輯電壓準位之間的過渡時間，相對於信號 R_{extPC} 的邏輯電壓準位之間的過渡時間。在諸多實施例中，緩衝電路 122 包括下面所述對應於第 2A 圖及第 2B 圖的緩衝電路 222A 或 222B 的其中之一，或者包括下面所述對應於第 4 圖的緩衝電路 400。

【0032】 信號 R_{extPC} 的過渡時間對應於從高邏輯電壓準位至低邏輯準位的過渡時間，例如在保護電路 110 響應於信號 R_{ext} 的偵測到的過電壓狀況而輸出具有靠近或剛好為參考電壓 VSS 的電壓準位的信號 R_{extPC} 的持續時間的一開始。信號 R_{int} 的過渡時間在一些實施例中對應於從高邏輯電壓準位過渡至低邏輯準位的時間，或者是在一些實施例中對應於從低邏輯電壓準位過渡至高邏輯準位的時間。對應於第 5 圖，信號過渡時間的非限制性的實例如下所述。

【0033】 在一些實施例中，延遲電路 126 包括一電阻電容 (RC) 網路 (第 1 圖未示)，例如在下面所述，對應於第 3A 圖至第 3D 圖的延遲電路 300A~300D 的 RC 網路，且延遲電路 126 從而用以基於信號 OUT ，相對於信號 R_{extPC} 的過渡時間增加信號 R_{int} 的過渡時間。在一些實施例中，

延遲電路 126 包括反向器延遲、計數器、或其他合適的電路部件，且從而另外用以基於信號 OUT ，相對於信號 $RextPC$ 的過渡時間增加信號 $Rint$ 的過渡時間。

【0034】 在諸多實施例中，在緩衝電路 122 包含的至少一緩衝器及延遲電路 126 係用以輸出信號 $Rint$ ，信號 $Rint$ 為與在穩態的輸入信號 $RextPC$ 擁有相同的低邏輯電壓準位或高邏輯電壓準位的同步信號，或者為與在穩態的輸入信號 $RextPC$ 擁有相反的低邏輯電壓準位或高邏輯電壓準位的互補信號。

【0035】 緩衝電路 122 包括的至少一緩衝器係一電路，該電路用以響應於輸出端子相對於緩衝電路的臨界電壓（例如一電晶體的臨界電壓），在一輸入端子（未在第 1 圖顯示）接收一輸入信號，以及在一輸出端子（未在第 1 圖顯示）產生一輸出信號。在諸多實施例中，在緩衝電路 122 所包括的至少一緩衝器包括反向器或非反向的電路部件（例如一放大器）的其一或兩者。

【0036】 在一些實施例中，緩衝電路 122 所包括的至少一緩衝器及延遲電路 126 係用以基於耦接輸出端子 128 的緩衝器的臨界電壓，以及相對於信號 $RextPC$ 的過渡時間，增加信號 $Rint$ 的過渡時間。在一些實施例中，臨界電壓相應於 NMOS 電晶體，並且信號 $Rint$ 的過渡時間對應於信號 OUT 從參考電壓 VSS 的參考電壓準位爬升至臨界電壓所需要的時間。在一些實施例中，該臨界電壓對應於 PMOS 電晶體，並且信號 $Rint$ 的過渡時間對應於信號 OUT 從電

源供應器電壓 VDD 的電源供應器電壓準位下降至臨界電壓所需要的時間。

【0037】 延遲電路 126 係用以響應於信號 IN 將信號 OUT 提至臨界電壓，信號 IN 具有低邏輯電壓準位或高邏輯電壓準位的第一邏輯電壓準位。延遲電路 126 也係用以響應於信號 IN 將信號 OUT 提至對應參考電壓準位或電源供應器電壓準位的其中之一，信號 IN 具有低邏輯電壓準位或高邏輯電壓準位的第二邏輯電壓準位。

【0038】 在操作上，因為耦接延遲電路 126 的緩衝器的輸出信號沒有經歷從第一邏輯電壓準位到第二邏輯電壓準位的過渡，直到信號 OUT 到達該臨界電壓，所以如果信號 IN 在第一邏輯電壓準位的時間長度小於信號 OUT 提至臨界電壓所需的時間，則緩衝器輸出信號不會過渡。延遲電路 126 與臨界電壓的組合，從而定義出一時間臨界值，使得信號 IN 具有第一邏輯電壓準位的時間長度小於時間臨界值時，防止信號 IN 造成緩衝器輸出信號的過渡。

【0039】 在一些實施例中，延遲電路 126 係用以對於給定的臨界電壓，基於藉由保護電路 110 輸出的信號 $NextPC$ 的一或多個預期的邏輯反轉持續時間的數值定義出時間臨界值，如上面所述。在一些實施例中，該一或多個預期的數值包括對應於靜電放電模式（例如人體放電模式或元件充電模式）的預定持續時間。

【0040】 在一些實施例中， IC 系統 100 不包括保護電路 110，且延遲電路 126 係用以基於一信號（例如具有上述特

性的信號 R_{extPC}) 中的邏輯反轉持續時間的一或多個預期數值定義出該時間臨界值，該信號從保護電路 110 之外的另一來源而來，被緩衝電路 122 接收。在一些實施例中，在緩衝電路 122 接收信號中的邏輯反轉對應於從低邏輯電壓準位至高邏輯電壓準位的過渡，該過渡隨後是從高邏輯電壓準位至低邏輯電壓準位的一過渡。

【0041】 透過上述的配置，緩衝電路 122 能夠相對於信號 R_{extPC} 的過渡時間增加信號 R_{int} 的過渡時間，使得響應於信號 R_{extPC} 在邏輯反轉的持續時間小於時間臨界值，緩衝電路 122 在維持給定的邏輯電壓準位的同時，輸出信號 R_{int} 。在一些實施例中，緩衝電路 122 係另外用以相對於信號 R_{extPC} 的過渡時間，增加信號 R_{int} 的過渡時間。

【0042】 透過用以相對於 R_{extPC} 的該過渡時間來增加信號 R_{int} 的該過渡時間，緩衝電路 122 係用以相對於信號 R_{extPC} ，增加接收信號 R_{int} 的一電路的一過渡時間，例如相對於信號 R_{extPC} 或 R_{ext} 的一或兩者的一過渡時間。在一些實施例中，緩衝電路 122 係用以相對於信號 R_{extPC} 的過渡時間，增加信號 R_{int} 的過渡時間，其增加的量小於一預定的反應時間，例如包括在一電路，如 SoC ，的一說明書的一反應時間。

【0043】 在一些實施例中，緩衝電路 122 係用以增加信號 R_{int} 的該過渡時間至一時間，該時間範圍從 0.2 微秒至 1000 微秒。在一些實施例中，緩衝電路 122 係用以增加

信號 R_{int} 的該過渡時間至一時間，該時間範圍從 1 微秒至 100 微秒。在一些實施例中，緩衝電路 122 係用以增加信號 R_{int} 的該過渡時間至一時間，該時間範圍從 2 微秒至 10 微秒。

【0044】 透過包括延遲電路 126 並且從而用以相對於信號 R_{extPC} 的過渡時間來增加信號 R_{int} 的過渡時間，緩衝電路 122 能夠預防輸出信號的過渡被輸入信號的短期邏輯反轉（例如基於靜電放電事件的短期邏輯反轉）觸發。相較於不包含延遲電路的一些實施方法，緩衝電路 122 更能夠響應於短期輸入信號的邏輯反轉而產生具有固定邏輯電壓準位的輸出信號。

【0045】 在包括了緩衝電路 122 的 IC 系統中，例如 IC 系統 100，接收固定電壓準位的信號 R_{int} 的電源開啟電路響應於具有足夠簡短的持續時間的邏輯反轉，從而防止引發多餘的啟動程序。

【0046】 第 2A 圖係根據一些實施例的緩衝電路 222A 的示意圖。緩衝電路 222A 可做為如上所述第 1 圖中的緩衝電路 122 使用。

【0047】 緩衝電路 222A 包括輸入端子 123 以及延遲電路 126，其中延遲電路 126 包括耦接輸入端子 123 的輸入端子 127，輸入端子 123、延遲電路 126 與輸入端子 127 皆對應於第 1 圖，如上所述。緩衝電路 222A 亦包括一輸出端子 224 以及數量為 N 個的多個反向器 $INV1 \sim INVN$ ，反向器 $INV1 \sim INVN$ 以串聯方式耦接於延遲電路 126 的

輸出端子 128 以及輸出端子 224 之間。輸出端子 224 可作為輸出端子 124 使用，且反向器 $INV1 \sim INVN$ 可作為緩衝電路 122 的至少一緩衝器使用，對應於第 1 圖，如上所述。在諸多實施例中，緩衝電路 222A 的延遲電路 126 包括延遲電路 300A ~ 300D 的其中之一，對應於第 3A 圖至第 3D 圖，如下所述。在一些實施例中，緩衝電路 222A 除上所述，另外還包括一或多個部件(未圖示)，為了說明的目的而沒有繪示或更進一步討論。

【0048】 反向器 $INV1 \sim INVN$ 的每一者為一邏輯閘，且該邏輯閘係用以在一輸入端子接收一輸入信號，並且在一輸出端子產生一互補輸出信號。在一些實施例中，反向器 $INV1 \sim INVN$ 的每一者包括一 PMOS 電晶體(未圖示)，且 PMOS 電晶體與一 NMOS 電晶體(未圖示)串聯耦接於電源供應器電壓 VDD 以及參考電壓 VSS 之間。PMOS 及 NMOS 電晶體的閘極耦接在一起且用以接收輸入信號，而 PMOS 及 NMOS 電晶體的汲極耦接在一起且用以產生輸出信號。

【0049】 在第 2A 圖所繪示的實施例中，反向器 $INV1$ 包括一或多個電路(例如一史密特觸發器(Schmitt trigger))，用以藉由將低邏輯電壓準位過渡至高邏輯電壓準位的臨界電壓設置高於從高邏輯電壓準位過渡至低邏輯電壓準位的臨界電壓執行一遲滯功能。在操作上，遲滯電路作用以提供保護對抗規模小於臨界電壓的雜訊所觸發的過渡現象，因此遲滯電路可當作一雜訊濾波器。在一些實

施例中，反向器 $INV1$ 不包括用以執行遲滯功能的一或多個電路。

【0050】 在諸多實施例中，緩衝電路 222A 包括延遲電路 126 以及奇數 N 個反向器 $INV1 \sim INV N$ ，使得信號 $RDint$ 係與信號 $RextPC$ 同步，緩衝電路 222A 或者包括延遲電路 126 以及偶數 N 個反向器 $INV1 \sim INV N$ ，使得信號 $RDint$ 係與信號 $RextPC$ 互補。

【0051】 在第 2A 圖所繪示的實施例中，緩衝電路 222A 包括反向器 $INV1 \sim INV N$ 中的不只一個反向器。在一些實施例中，緩衝電路 222A 包括反向器 $INV1 \sim INV N$ 中的數字 N 等於 1。在一些實施例中，緩衝電路 222A 包括反向器 $INV1 \sim INV N$ 中的數字 N 範圍從 2 至 8。在一些實施例中，緩衝電路 222A 包括反向器 $INV1 \sim INV N$ 中的數字 N 範圍從 3 至 5。在一些實施例中，緩衝電路 222A 包括反向器 $INV1 \sim INV N$ 中的數字 N 大於 8。

【0052】 緩衝電路 222A 係從而用以在輸入端子 123 接收信號 $RextPC$ ，以及在輸出端子 224 產生信號 $RDint$ 。信號 $RDint$ 相對於信號 $RextPC$ 在多個邏輯電壓準位之間具有更長的過渡時間。產生信號 $RDint$ 對應如上面所述於第 1 圖中用緩衝電路 122 來產生信號 $Rint$ ，且在輸出端子 224 對應於輸出端子 124 的實施例中，信號 $RDint$ 可做為信號 $Rint$ 使用。

【0053】 第 2B 圖係根據一些實施例的緩衝電路 222B 的示意圖。對應於第 1 圖，緩衝電路 222B 可做為緩衝電路 122

使用，如上面所述。

【0054】 緩衝電路 222B 包括輸入端子 123、輸出端子 224、延遲電路 126、以及反向器 $INV1 \sim INVN$ ，上述每一者對應第 2A 圖以及緩衝電路 222A。在一些實施例中，緩衝電路 222B 除了上面所述的之外，亦包括一或多個部件（未圖示），為了說明的目的而沒有繪示或更進一步討論。

【0055】 緩衝電路 222B 具有符合上述的緩衝器 222A 配置的配置，除了延遲電路 126 係耦接於反向器 $INV1 \sim INVN$ 當中的兩個反向器之間，而不是耦接於輸入端子 123 及反向器 $INV1$ 之間。在第 2B 圖所繪示的實施例中，反向器 $INV1 \sim INVN$ 中的至少兩個反向器係耦接於輸入端子 123 及延遲電路 126 之間。在一些實施例中，反向器 $INV1$ 係反向器 $INV1 \sim INVN$ 當中的單個反向器，且反向器 $INV1$ 係耦接於輸入端子 123 及延遲電路 126 之間。

【0056】 緩衝電路 222B 從而用以在輸入端子 123 接收信號 R_{extPC} 以及在輸出端子 224 產生信號 RD_{int} ，對應上述第 2A 圖及緩衝器 222A 的方式。

【0057】 透過包括如上述配置的延遲電路 126 及反向器 $INV1 \sim INVN$ ，各個緩衝電路 222A 及 222B 係用以相對於信號 R_{extPC} 的過渡時間，增加信號 RD_{int} 的過渡時間，且從而能夠達到多個益處，例如，如上所述相對於緩衝電路 122 及 IC 系統 100，阻止短期輸入信號邏輯反轉所觸發的輸出信號過渡。

【0058】 第 3 A 圖至第 3 D 圖係根據一些實施例的延遲電路 3 0 0 A ~ 3 0 0 D 的示意圖。相對於上述的第 1 圖至第 2 B 圖，延遲電路 3 0 0 A ~ 3 0 0 D 的每一者都可像延遲電路 1 2 6 作使用。在一些實施例中，延遲電路 3 0 0 A ~ 3 0 0 D 被稱為 R C 電路。

【0059】 延遲電路 3 0 0 A ~ 3 0 0 D 的每一者包括用以接收信號 I N 的輸入端子 1 2 7、用以輸出信號 O U T 的輸出端子 1 2 8，電源供應器電壓節點 V D D N、以及參考電壓節點 V S S N 之每一者在上面的第 1 圖至第 2 B 圖有討論。延遲電路 3 0 0 A ~ 3 0 0 D 的每一者也包括電阻式裝置 R 1。在延遲電路 3 0 0 A 及 3 0 0 B 中，電阻式裝置 R 1 耦接於輸出端子 1 2 8 及電源供應電壓節點 V D D N 之間，在延遲電路 3 0 0 C 及 3 0 0 D 中，電阻式裝置 R 1 耦接於輸出端子 1 2 8 及參考電壓節點 V S S N 之間。

【0060】 在一些實施例中，電阻式裝置 R 1 係以並聯方式與電容式裝置 C 1 排列，此並聯排列在延遲電路 3 0 0 A 及 3 0 0 B 中係耦接於輸出端子 1 2 8 及電源供應器電壓節點 V D D N 之間，此並聯排列在延遲電路 3 0 0 C 及 3 0 0 D 中係耦接於輸出端子 1 2 8 與參考電壓節點 V S S N 之間。在一些實施例中，耦接於輸出端子 1 2 8 及電源供應器電壓節點 V D D N 或參考電壓節點 V S S N 的電阻式裝置 R 1 及電容式裝置 C 1 的並聯排列被稱為 R C 網路。

【0061】 在一些實施例中，電阻式裝置 R 1 係以串聯方式與電容式裝置 C 1 排列，且電容式裝置 C 1 在延遲電路 3 0 0 A

及 300B 中係耦接於輸出端子 128 及參考電壓節點 V_{SSN} 之間，電容式裝置 C1 在延遲電路 300C 及 300D 中係耦接於輸出端子 128 及電源供應器電壓節點 V_{DDN} 之間。在一些實施例中，耦接於輸出端子 128 及電源供應器電壓節點 V_{DDN} 或參考電壓節點 V_{SSN} 的電阻式裝置 R1 及電容式裝置 C1 的串聯排列被稱為 RC 網路。

【0062】 延遲電路 300A 及 300B 包括 NMOS 電晶體 N1，NMOS 電晶體 N1 耦接於輸出端子 128 及參考電壓節點 V_{SSN} 之間，且 NMOS 電晶體 N1 具有耦接於輸入端子 127 的閘極。相較於延遲電路 300A，延遲電路 300B 進一步包括至少一 PMOS 電晶體 P2~PM，PMOS 電晶體 P2~PM 串聯耦接於輸出端子 128 及電阻式裝置 R1 之間，且電晶體 P2~PM 的每一者具有耦接於輸入端子 127 的閘極。

【0063】 延遲電路 300C 及 300D 包括 PMOS 電晶體 P1，且 PMOS 電晶體 P1 耦接於輸出端子 128 及電源供應器電壓節點 V_{DDN} 之間，且 PMOS 電晶體 P1 具有耦接於輸入端子 127 的閘極。相較於延遲電路 300C，延遲電路 300D 進一步包括至少一 NMOS 電晶體 N2~NM，NMOS 電晶體 N2~NM 串聯耦接於輸出端子 128 及電阻式裝置 R1 之間，且電晶體 N2~NM 的每一者具有耦接於輸入端子 127 的閘極。

【0064】 在諸多實施例中，電阻式裝置 R1 包括一 IC 裝置，例如包括多矽晶的一部份以及 / 或一金屬或其他具有符合

預定電阻值的尺寸的合適材料的一層，從而用以在延遲電路 300A~300D 中作為一電阻器進行操作。

【0065】 在諸多實施例中，電容式裝置 C1 包括一或多個 IC 裝置，一或多個 IC 裝置用以根據對應的第一或第二預定電容值且從而用以在延遲電路 300A~300D 做為一電容器進行操作。在諸多實施例中，電容式裝置 C1 包括金屬-絕緣體-金屬 (metal-insulator-metal, MIM) 電容器、被配置為電容器的電晶體、或適合提供一受控電容值的另一 IC 裝置。

【0066】 在操作上，如上述配置的電阻式裝置 R1 及電容式裝置 C1 的並聯或串聯排列作用以控制一速率，該速率是指在輸出端子 128 被對應的電晶體 N1 或 P1 從電源供應器電壓節點 VDDN 或參考電壓節點 VSSN 去耦接化之後，輸出端子 128 的電壓準位提至對應的另一個電源供應器電壓節點 VDDN 或參考電壓節點 VSSN 的速率。

【0067】 對應於延遲電路 300A~300D 用以提拉信號 OUT 的預定速率，電阻式裝置 R1 具有預定電阻值且電容式裝置 C1 具有預定電容值。在操作上，在延遲電路 300A 及 300B 中，耦接於輸出端子 128 及電源供應器電壓節點 VDDN 之間的電阻式裝置 R1 以及耦接於輸出端子 128 及電源供應器電壓節點 VDDN 或參考電壓節點 VSSN 的其中之一之間的電容式裝置 C1 造成信號 OUT 以預定速率從邏輯性低電壓準位提升至邏輯性高電壓準位。在延遲電路 300C 及 300D 中，耦接於輸出端子 128 及參考電壓節點

VSSN 之間的電阻式裝置 R1 以及耦接於輸出端子 128 及電源供應器電壓節點 VDDN 或參考電壓節點 VSSN 的其中之一之間的電容式裝置 C1 造成信號 OUT 以預定速率從邏輯性高電壓準位下降至邏輯性低電壓準位。

【0068】 透過上述的配置，在操作上，當信號 IN 具有高邏輯電壓準位時，延遲電路 300B 中的至少一電晶體 P2~PM 將電阻式裝置 R1 從輸出端子 128 電性隔離，從而相對於延遲電路 300A，減少電源供應器電壓準位 VDDN 以及輸出端子 128 之間的一漏電流。在諸多實施例中，延遲電路 300B 包括數量為 M 的至少一電晶體 P2~PM，而數字 M 的範圍從 1 至 8。

【0069】 相似地，透過上述的配置，在操作上，當信號 IN 有低邏輯電壓準位時，延遲電路 300D 的至少一電晶體 N2~NM 將電阻式裝置 R1 從輸出端子 128 電性隔離，從而相對於延遲電路 300C，減少參考電壓準位 VSSN 以及輸出端子 128 之間的一漏電流。在諸多實施例中，延遲電路 300D 包括數量為 M 的至少一電晶體 N2~NM，而數字 M 的範圍從 1 至 8。

【0070】 在第 3A 圖至第 3D 圖所繪示以及上面所述的延遲電路 300A~300D 的配置係非限制性的實例，從而在操作上，信號 OUT 以預定速率被提至電源供應器電壓節點 VDDN 或參考電壓節點 VSSN 的其中之一。在諸多實施例中，一 RC 電路，例如延遲電路 300A~300D 的其中之一，包括至少一電阻式裝置以及至少一電容式裝置，且該些裝

置在操作上用以控制一信號，例如信號 OUT ，提至電源供應器電壓準位 $VDDN$ 或參考電壓準位 $VSSN$ 的其中之一速率。

【0071】 透過上述的配置，延遲電路 $300A \sim 300D$ 的每一者能夠相對於信號 IN 的過渡時間增加信號 OUT 的過渡時間。透過被包括在緩衝電路中，例如緩衝電路 122 ，延遲電路 $300A \sim 300D$ 的每一者從而能夠對應於緩衝電路 122 及 IC 系統 100 實現上述的益處。

【0072】 第 4 圖係根據一些實施例的緩衝電路的示意圖。對應於第 1 圖，緩衝電路 400 可作為如上所述的緩衝電路 122 使用。

【0073】 緩衝電路 400 包括輸入端子 123 及輸出端子 124 ，各別對應於第 1 圖至第 2B 圖，如上所述。緩衝電路 400 亦包括耦接於輸入端子 123 的緩衝電路 422 、耦接於輸入端子 123 的邏輯電路 430 、以及耦接於輸出端子 124 的邏輯電路 440 。緩衝電路 422 包括輸出端子 224 及緩衝電路 $222A$ 或 $222B$ 的其中之一，各別對應於第 2A 圖及第 2B 圖，如上所述。輸出端子 224 係耦接於邏輯電路 440 的第一輸入端子(未標記)，且邏輯電路 430 包括輸出端子(未標記)，而輸出端子(未標記)係耦接於邏輯電路 440 的第二輸入端子(未標記)。

【0074】 邏輯電路 430 包括至少一邏輯裝置(未圖示)並且從而用以基於輸入信號 R_{extPC} 輸出信號 R_{inPC} 至邏輯電路 440 的第二輸入端子，對應於第 1 圖至第 2B 圖，如

上所述。在一些實施例中，至少一邏輯裝置包括耦接於輸入端子 123 及邏輯電路 430 的輸出端子之間的至少一緩衝器。在一些實施例中，對應如上所述的第 2A 圖及第 2B 圖，至少一邏輯裝置包括串聯耦接於輸入端子 123 及邏輯電路 430 的輸出端子之間的多個反向器，反向器的數量大於上述的反向器 $INV1 \sim INVN$ 的數量 N 。

【0075】 邏輯電路 440 包括至少一邏輯裝置(未圖示)且從而用以接收，除了從邏輯電路 430 而來的信號 $RinPC$ 之外的從緩衝電路 422 而來的信號 $RDint$ ，並且用以基於信號 $RDint$ 及 $RinPC$ 輸出信號 $Rint$ 至輸出端子 124，各個對應於第 1 圖至第 2B 圖，如上所述。在一些實施例中，至少一邏輯裝置包括一 $NAND$ 閘， $NAND$ 閘包括邏輯電路 440 的該第一及第二輸入端子。該至少一邏輯裝置亦包括串聯耦接至 $NAND$ 閘及輸出端子 124 之間的至少一緩衝器。

【0076】 在一些實施例中，邏輯電路 430 或 440 的一者或兩者包括了除了第 4 圖所繪示的之外的一或多個輸入端子以及/或輸出端子，且緩衝電路 400 從而用以基於信號 $RextPC$ 之外的一或多個信號，產生信號 $Rint$ 及/或產生除了信號 $Rint$ 之外的一或多個信號(未圖示)。

【0077】 透過包括除了緩衝電路 422 的邏輯電路 430 及 440，緩衝電路 400 係用以，相較於上述的緩衝電路 122、222A、以及 222B，產生有更高彈性的信號 $Rint$ 。透過包括緩衝電路 422，且緩衝電路 422 包括緩衝電路 222A

或 222B 的其中之一，緩衝電路 400 能夠相對於信號 R_{extPC} 的過渡時間增加信號 R_{int} 的過渡時間，係，從而能夠達到益處，例如如上所述對應於緩衝電路 122 及 IC 系統 100，阻止被短期輸入信號邏輯反轉所觸發的輸出信號過渡。

【0078】 第 5 圖係根據一些實施例的緩衝電路的操作參數的表示圖。第 5 圖繪示了諸多信號作為時間的函數的非限制性實例：由延遲電路接收的信號 $IN1$ 或 $IN2$ ，由延遲信號產生的對應信號 $OUT1$ 或 $OUT2$ ，以及由包括延遲信號的緩衝電路（例如包括延遲電路 126 的緩衝電路 122）所產生的信號 $Reset$ 。

【0079】 信號 $IN1$ 及 $OUT1$ ，對應於上述的第 1 圖至第 3D 圖，係在一實施例中，對應於信號 IN 及 OUT 的非限制性實例，該實施例當中的延遲電路 126 相對於信號 IN 從高邏輯電壓準位至低邏輯電壓準位的過渡時間，增加信號 OUT 從低邏輯電壓準位至高邏輯電壓準位的過渡時間。信號 $IN2$ 及 $OUT2$ 係在一實施例中，對應於信號 IN 及 OUT 的非限制性實例，該實施例當中的延遲電路 126 相對於信號 IN 從低邏輯電壓準位至高邏輯電壓準位的過渡時間，增加信號 OUT 從高邏輯電壓準位至低邏輯電壓準位的過渡時間。信號 $Reset$ ，對應於上述的第 1 圖至第 4 圖，係對應於信號 R_{int} 的非限制性實例。

【0080】 信號 $IN1$ 、 $IN2$ 、 $OUT1$ 、 $OUT2$ 、以及 $Reset$ 的每一者係相對於一高邏輯準位 H 及一低邏輯準位 L 所繪

示。在諸多實施例中，高邏輯準位 H 相應於高邏輯電壓準位或臨界電壓，例如緩衝器的臨界電壓，以及低邏輯準位 L 相應於低邏輯電壓準位或臨界電壓，例如緩衝器的臨界電壓。

【0081】 在時間 t_1 之前，信號 IN1 具有高邏輯準位 H 且信號 OUT1 具有低邏輯準位 L。從時間 t_1 至時間 t_2 ，信號 IN1 過渡並且維持在低邏輯準位 L，而此時信號 IN1 回歸到高邏輯準位 H。信號 IN1 具有低邏輯準位 L 代表邏輯反轉具有從時間 t_1 至時間 t_2 的持續時間。在時間 t_1 時，信號 OUT1 從低邏輯準位 L 提升至高邏輯準位 H，而此提升速率被延遲電路 126 的配置所決定。基於相對增加的過渡時間，信號 OUT1 在時間 t_2 維持低於高邏輯準位 H，此時信號 OUT1 響應於信號 IN1 回歸至高邏輯準位 H，而回歸至低邏輯準位 L。

【0082】 在時間 t_1 之前，信號 IN2 具有低邏輯準位 L 且信號 OUT2 具有高邏輯準位 H。從時間 t_1 至時間 t_2 ，信號 IN2 過渡並且維持在高邏輯準位 H，而此時信號 IN2 回歸到低邏輯準位 L。信號 IN2 具有高邏輯準位 H 代表邏輯反轉具有從時間 t_1 至時間 t_2 的持續時間。在時間 t_1 時，信號 OUT2 從高邏輯準位 H 下降至低邏輯準位 L，而此下降速率被延遲電路 126 的配置所決定。基於相對增加的過渡時間，信號 OUT2 在時間 t_2 維持高於低邏輯準位 L，此時信號 OUT2 響應於信號 IN2 回歸至低邏輯準位 L，而回歸至高邏輯準位 H。

【0083】 在第一實施例中，由於在信號 $IN1$ 的邏輯反轉的整個過程中，信號 $OUT1$ 都維持低於高邏輯準位 H ，接收信號 $OUT1$ 的緩衝電路 122 的緩衝器並不在邏輯電壓準位之間過渡，並且緩衝電路 122 對應高邏輯準位 H 或低邏輯準位 L 輸出具有不變準位的信號 $Reset$ 。

【0084】 相似地，在該第二實施例中，由於在信號 $IN2$ 的邏輯反轉的整個過程中，信號 $OUT2$ 都維持高於低邏輯準位 L ，接收信號 $OUT2$ 的緩衝電路 122 的緩衝器並不在邏輯電壓準位之間過渡，並且緩衝電路 122 對應於高邏輯準位 H 或低邏輯準位 L 輸出具有不變準位的信號 $Reset$ 。

【0085】 第 6 圖係根據一些實施例操作緩衝電路的方法 600 的流程圖。方法 600 可用於緩衝電路，例如如上所述對應於第 1 圖至第 4 圖的緩衝電路 122、222A、222B 或 400。方法 600 亦用於包括緩衝電路的 IC 系統，例如如上所述對應於第 1 圖的包括緩衝電路 122 的 IC 系統 100。

【0086】 在第 6 圖所繪示的方法 600 的操作的順序係僅用做說明；方法 600 的操作係能夠以不同於第 6 圖所繪示的順序來執行。在一些實施例中，第 6 圖所繪示的操作步驟以外的操作步驟係在第 6 圖所繪示的操作步驟之前、之間、期間、或之後施行。在一些實施例中，方法 600 的一些或所有的操作步驟係 SoC (例如包括對應如上述的第 1 圖的 IC 晶片 120 包含的 SoC) 的操作的一部份。

【0087】 在操作步驟 610，在一些實施例中，邏輯信號係

從過電壓保護電路輸出。輸出邏輯信號包括輸出具有高邏輯電壓準位或低邏輯電壓準位任一者，並且具有對應從高邏輯電壓準位過渡至低邏輯電壓準位或從低邏輯電壓準位過渡至高邏輯電壓準位的一者或兩者的第一過渡時間的邏輯信號。

【0088】 在一些實施例中，從過電壓保護電路輸出邏輯信號包括從保護電路 110 輸出信號 R_{extPC} ，對應於第 1 圖，如上所述。在一些實施例中，輸出邏輯信號包括輸出包括邏輯反轉的邏輯信號，如上所述對應於第 1 圖至第 5 圖。

【0089】 在操作步驟 620 中，邏輯信號係在緩衝電路的輸入端子被接收。接收邏輯信號還包括接收具有第一過渡時間的邏輯信號。在一些實施例中，接收邏輯信號包括接收具有邏輯反轉的邏輯信號，如上所述對應於第 1 圖至第 5 圖。

【0090】 在一些實施例中，在緩衝電路的輸入端子接收邏輯信號包括在緩衝電路 122 的輸入端子 123 接收信號 R_{extPC} ，如上所述對應於第 1 圖至第 2B 圖及第 4 圖。

【0091】 在一些實施例中，在緩衝電路的輸入端子接收邏輯信號包括在 IC 晶片（例如包括 SoC 的 IC 晶片 120，如上所述對應於第 1 圖）的輸入焊墊接收邏輯信號。

【0092】 在操作步驟 630 中，藉由 RC 電路以及緩衝器依序反轉邏輯信號。藉由 RC 電路以及緩衝器依序反轉邏輯信號包括先將邏輯信號透過 RC 電路反轉，再透過緩衝器來反轉信號。RC 電路係耦接於緩衝器的輸入端子，以及透

過 R C 電路來反轉邏輯信號亦包括了使用 R C 網路的電阻式裝置來將緩衝器的輸入端子耦接至電源供應器電壓節點或者參考電壓節點的其中之一。

【0093】 利用 R C 電路來反轉邏輯信號包括透過使用 R C 網路來將緩衝器的輸入端子耦接至電源供應器電壓節點或者參考電壓節點的其中之一，以將邏輯信號的過渡時間從第一過渡時間增加至第二過渡時間。

【0094】 在一些實施例中，使用 R C 網路的電阻式裝置來將緩衝器的輸入端子耦接至電源供應器電壓節點或參考電壓節點的其中之一亦包括了使用電晶體將輸入信號從電源供應器電壓節點或者參考電壓節點的其中另一者去耦接化。

【0095】 在一些實施例中，利用 R C 電路反轉邏輯信號包括利用延遲電路 300A~300D 的其中之一來反轉信號 IN 以產生信號 OUT，如上所述對應於第 3A 圖至第 3D 圖。

【0096】 在一些實施例中，利用 R C 網路將緩衝器的輸入端子耦接至電源供應器電壓節點或者參考電壓節點的其中之一包括了利用 R C 網路耦接包括遲滯電路的緩衝器的輸入端子。在一些實施例中，利用 R C 網路將緩衝器的輸入端子耦接至電源供應器電壓節點或者參考電壓節點的其中之一包括利用 R C 網路耦接反向器 INV1~INVN 的輸入端子，如上所述對應於第 2A 圖及第 2B 圖。

【0097】 在諸多實施例中，利用 R C 電路反轉邏輯信號包括反轉緩衝電路的輸入端子所接收的邏輯信號，或在邏輯信號已經被緩衝電路的輸入端子以及 R C 電路之間的緩衝器

反轉之後，再次反轉。

【0098】 在一些實施例中，利用緩衝器反轉邏輯信號包括使用多個緩衝器依序反轉邏輯信號。在一些實施例中，利用緩衝器反轉邏輯信號包括利用一或多個緩衝器 $INV1 \sim INVN$ 反轉邏輯信號，如上所述對應於第 2A 圖及第 2B 圖。

【0099】 在操作步驟 640 中，被依序反轉的邏輯信號係從緩衝電路的輸出端子輸出。從緩衝電路輸出被依序反轉的邏輯信號包括輸出具有第二過渡時間的被反轉的邏輯訊號。在諸多實施例中，從緩衝電路輸出被依序反轉的邏輯信號包括輸出與被接收的邏輯信號或被接收的邏輯信號的互補信號同步的被反轉的邏輯訊號。

【0100】 在一些實施例中，輸出被依序反轉的邏輯信號包括輸出信號 $Rint$ ，如上所述對應於第 1 圖至第 5 圖。在一些實施例中，輸出被依序反轉的邏輯信號包括輸出信號 $RDint$ ，如上所述對應於第 2A 圖、第 2B 圖、及第 4 圖。

【0101】 在一些實施例中，輸出被依序反轉的邏輯信號包括輸出 IC 晶片（例如包含 SoC 的 IC 晶片 120，如上所述對應於第 1 圖）的重置信號。

【0102】 透過執行方法 600 的一些或是所有的操作，緩衝電路輸出相對於被接收的邏輯信號在邏輯電壓準位之間具有較長的過渡時間的邏輯信號，從而獲得如上所述，對應於 IC 系統 100 及緩衝電路 122、222A、及 222B 的益處。

【0103】 在一些實施例中，緩衝電路包括輸入端子、輸出端子、緩衝器以及電阻電容電路，該電阻電容電路與該緩衝器串聯耦接於該輸入端子及該輸出端子之間，其中該電阻電容電路係用以相對於在該輸入端子接收的一輸入信號在多個邏輯電壓準位之間的一過渡時間，增加在該輸出端子產生的一輸出信號在多個邏輯電壓準位之間的一過渡時間，以及該輸出信號的該過渡時間係基於該輸入信號的一邏輯反轉的一持續時間。在一些實施例中，該電阻電容電路包括一第一電晶體，該第一電晶體與一電阻電容網路串聯耦接於一電源供應器節點以及一參考節點之間，以及該電阻電容網路包括一電阻器，該電阻器並聯於一電容器。在一些實施例中，該第一電晶體係一 N M O S 電晶體。在一些實施例中，該電阻電容電路更包括一第二電晶體，該第二電晶體串聯耦接於該第一電晶體以及該電阻電容網路之間，該第一及第二電晶體係不同電晶體類型，該第一及第二電晶體的每一者的一閘極係耦接於該電阻電容電路的一輸入端子，以及該第一及第二電晶體的每一者的一汲極係耦接於該電阻電容電路的一輸出端子。在一些實施例中，該電阻電容電路包括一電晶體，該電晶體與一電阻器串聯耦接於一電源供應器節點及一參考節點之間，以及一電容器，該電容器該電晶體並聯排列。在一些實施例中，該緩衝器包括一遲滯電路。在一些實施例中，該緩衝器包括一反向器。在一些實施例中，該電阻電容電路係耦接於該緩衝器以及該輸入端子之間。在一些實施例中，該緩衝器係多個

緩衝器其中的一緩衝器，以及該緩衝器係耦接於多個複數個緩衝器的一整體以及該輸入端子之間。

【0104】 在一些實施例中，一系統包括一過電壓保護電路，用以在一過電壓保護電路輸出端子產生一被保護信號、以及一緩衝電路，用以在一緩衝電路的輸出端子產生一緩衝電路輸出信號。該緩衝電路包括一輸入端子，該輸入端子耦接於該過電壓保護電路輸出端子、一緩衝器、以及一電阻電容電路，該電阻電容電路與該緩衝器串聯耦接在該輸入端子及該緩衝電路輸出端子之間，其中該電阻電容電路係用以相對於該被保護信號在多個邏輯電壓準位之間的一過渡時間，增加該緩衝電路輸出信號在多個邏輯電壓準位之間的一過渡時間。在一些實施例中，該緩衝電路係與該過電壓保護電路分離的一積體電路晶片的一部分，以及該緩衝電路的該輸入端子包括該 IC 晶片的一接觸焊墊。在一些實施例中，該過電壓保護電路包括一開關裝置，且該開關裝置用以藉由將該過電壓保護電路輸出端子耦接至對一偵測電壓準位有響應的一參考節點，產生該被保護信號。在一些實施例中，該電阻電容電路係用以基於該緩衝器的一臨界電壓，增加該緩衝電路輸出信號的該過渡時間。在一些實施例中，該過電壓保護電路係用以基於一靜電放電模型，耦接該過電壓保護電路輸出端子至該參考電壓節點於一持續時間，以及該電阻電容電路係用以該電阻電容電路係用以更基於該持續時間，增加該緩衝電路輸出信號的該過渡時間。在一些實施例中，該緩衝電路為一單晶片系

統的一部份，該單晶片系統用以響應於該緩衝電路輸出信號施行一重置操作。在一些實施例中，該電阻電容電路包括一 N M O S 電晶體，該 N M O S 電晶體耦接於該緩衝電路的該輸入端子的一閘極、耦接於一參考節點的源極端子以及耦接於該緩衝器的一輸入端子的一汲極端子，以及一電阻電容網路，該電阻電容網路包括一電阻器及一電容器的一並聯配置，該並聯配置耦接於該 N M O S 電晶體的該汲極端子以及該積體電路晶片的一電源供應器節點之間。在一些實施例中，該電阻電容電路更包括一 P M O S 電晶體，該 P M O S 電晶體包括耦接於該緩衝電路的該輸入端子的一閘極、耦接於該 N M O S 電晶體的該汲極端子的一汲極端子以及耦接於該電阻電容網路的一源極端子。

【0105】 在一些實施例中，一操作一緩衝電路的方法包括在該緩衝電路的一輸入端子接收一邏輯信號，使用一電阻電容電路以及一緩衝器的每一者依序反轉該邏輯信號，該電阻電容電路耦接於該緩衝器的一輸入端子，以及在該緩衝電路的一輸出端子輸出被依序反轉的該邏輯信號，其中使用該電阻電容電路反轉該邏輯信號的步驟包括利用一電阻電容網路將該緩衝器的該輸入端子耦接至一電源供應器電壓節點或者一參考電壓節點之一者。在一些實施例中，使用該電阻電容網路以耦接該緩衝器的該輸入端子至該電源供應器電壓節點或該參考電壓節點之一者包括使用一電晶體以將該緩衝器的該輸入端子從該電源供應器電壓節點或者該參考電壓節點之另一者去耦接化。在一些實施例中，

在該緩衝電路的該輸入端子接收該邏輯信號包括在一單晶片系統的一輸入焊墊接收該邏輯信號，以及輸出被依序反轉的該邏輯信號包括輸出該單晶片系統的一重置信號。

【0106】 上文概述若干實施例的特徵或實例，使得熟習此項技術者可更好地理解本揭示案的態樣。熟習此項技術者應瞭解，可輕易使用本揭示案作為設計或修改其他製程及結構的基礎，以便實施本文所介紹的實施例或實例的相同目的及/或實現相同優勢。熟習此項技術者亦應認識到，此類等效結構並未脫離本揭示案的精神及範疇，且可在不脫離本揭示案的精神及範疇的情況下產生本文的各種變化、替代及更改。

【符號說明】

【0107】

1 0 0 : I C 系統

1 1 0 : 保護電路

1 1 1 、 1 2 1 、 1 2 3 、 1 2 5 、 1 2 7 : 輸入端子

1 1 2 、 1 2 4 、 1 2 8 、 2 2 4 : 輸出端子

1 1 3 : 電壓參考端子

1 1 4 : 偵測電路

1 1 6 : 箝位電路

1 2 0 : I C 晶片

1 2 2 、 2 2 2 A 、 2 2 2 B 、 4 0 0 、 4 2 2 : 緩衝電路

1 2 6 、 3 0 0 A ~ 3 0 0 D : 延遲電路

V D D : 電源供應器電壓

- V S S : 參 考 電 壓
- V S S N : 參 考 電 壓 節 點
- R S T : 信 號 路 徑
- R e x t 、 R e x t P C 、 R i n t 、 I N 、 O U T 、 R D i n t 、 R i n P C 、
I N 1 、 I N 2 、 O U T 1 、 O U T 2 : 信 號
- V D D N : 電 源 供 應 器 電 壓 節 點
- I N V 1 ~ I N V N : 反 向 器
- C 1 : 電 容 式 裝 置
- R 1 : 電 阻 式 裝 置
- N 1 ~ N M : N M O S 電 晶 體
- P 1 ~ P M : P M O S 電 晶 體
- 4 3 0 、 4 4 0 : 邏 輯 電 路
- t 1 、 t 2 : 時 間
- 6 0 0 : 方 法
- 6 1 0 、 6 2 0 、 6 3 0 、 6 4 0 : 操 作 步 驟

【生物材料寄存】

國內寄存資訊(請依寄存機構、日期、號碼順序註記)

無

國外寄存資訊(請依寄存國家、機構、日期、號碼順序註記)

無

【發明申請專利範圍】

【請求項 1】一種緩衝電路，包括：

一輸入端子；

一輸出端子；

一緩衝器；以及

一電阻電容電路，與該緩衝器串聯耦接於該輸入端子及該輸出端子之間，

其中

該電阻電容電路係用以相對於在該輸入端子接收的一輸入信號在多個邏輯電壓準位之間的一過渡時間，增加在該輸出端子產生的一輸出信號在多個邏輯電壓準位之間的一過渡時間，其中

該電阻電容電路包括一第一電晶體及一電阻電容網路，其中該第一電晶體與一電阻電容網路串聯耦接於一電源供應器節點以及一參考節點之間；

該電阻電容網路包括一電阻器及一電容器，該電阻器並聯於該電容器；以及

該輸出信號的該過渡時間係基於該輸入信號的一邏輯反轉的一持續時間。

【請求項 2】如請求項 1 所述之緩衝電路，其中

該電阻電容電路更包括一第二電晶體，該第二電晶體串聯耦接於該第一電晶體以及該電阻電容網路之間，

該第一及第二電晶體係不同電晶體類型，

該第一及第二電晶體的每一者的一閘極係耦接於該電阻電容電路的一輸入端子，以及

該第一及第二電晶體的每一者的一汲極係耦接於該電阻電容電路的一輸出端子。

【請求項 3】如請求項 1 所述之緩衝電路，其中該電阻電容電路包括：

一輸出節點，耦接於該第一電晶體、該電阻電容網路以及該緩衝器。

【請求項 4】如請求項 1 所述之緩衝電路，其中該電阻電容電路係耦接於該緩衝器以及該輸入端子之間，

其中

該緩衝器係複數個緩衝器其中的一個緩衝器，以及

該電阻電容電路係耦接於該複數個緩衝器的一整體以及該輸入端子之間。

【請求項 5】一緩衝系統包括：

一過電壓保護電路，用以在一過電壓保護電路輸出端子產生一被保護信號；以及

一緩衝電路，用以在一緩衝電路輸出端子產生一緩衝電路輸出信號，該緩衝電路包括：

一輸入端子，耦接於該過電壓保護電路輸出端子；

一緩衝器；以及

一電阻電容電路，與該緩衝器串聯耦接在該輸入端子及該緩衝電路輸出端子之間，

其中該電阻電容電路係用以相對於該被保護信號在多個邏輯電壓準位之間的一過渡時間，增加該緩衝電路輸出信號在多個邏輯電壓準位之間的一過渡時間，且其中

該電阻電容電路包括一第一電晶體及一電阻電容網路，其中該第一電晶體與一電阻電容網路串聯耦接於一電源供應器節點以及一參考節點之間；以及

該電阻電容網路包括一電阻器及一電容器，該電阻器並聯於該電容器。

【請求項 6】如請求項 5 所述之緩衝系統，其中該過電壓保護電路包括：

一開關裝置，用以藉由將該過電壓保護電路輸出端子耦接至對一偵測電壓準位有響應的該參考節點，產生該被保護信號。

【請求項 7】如請求項 5 所述之緩衝系統，其中該電阻電容電路係用以基於該緩衝器的一臨界電壓，增加該緩衝電路輸出信號的該過渡時間，

其中

該過電壓保護電路係用以基於一靜電放電模型，耦接該過電壓保護電路輸出端子至該參考節點於一持續時間，以及

該電阻電容電路係用以更基於該持續時間，增加該緩衝電路輸出信號的該過渡時間。

【請求項 8】如請求項 5 所述之緩衝系統，其中

該第一電晶體是一 NMOS 電晶體，包括耦接於該緩衝電路的該輸入端子的一閘極、耦接於該參考節點的源極端子以及耦接於該緩衝器的一輸入端子的一汲極端子；以及

該電阻電容網路耦接於該 NMOS 電晶體的該汲極端子以及該電源供應器節點之間，

其中該電阻電容電路更包括一 PMOS 電晶體，該 PMOS 電晶體包括耦接於該緩衝電路的該輸入端子的一閘極、耦接於該 NMOS 電晶體的該汲極端子的一汲極端子以及耦接於該電阻電容網路的一源極端子。

【請求項 9】一種操作一緩衝電路的方法，該方法包括：

在該緩衝電路的一輸入端子接收一邏輯信號；

使用一電阻電容電路以及一緩衝器的每一者依序反轉該邏輯信號，該電阻電容電路耦接於該緩衝器的一輸入端子，其中

該電阻電容電路包括一第一電晶體及一電阻電容網路，其中該第一電晶體與一電阻電容網路串聯耦接於一電源供應器電壓節點以及一參考電壓節點之間；以及

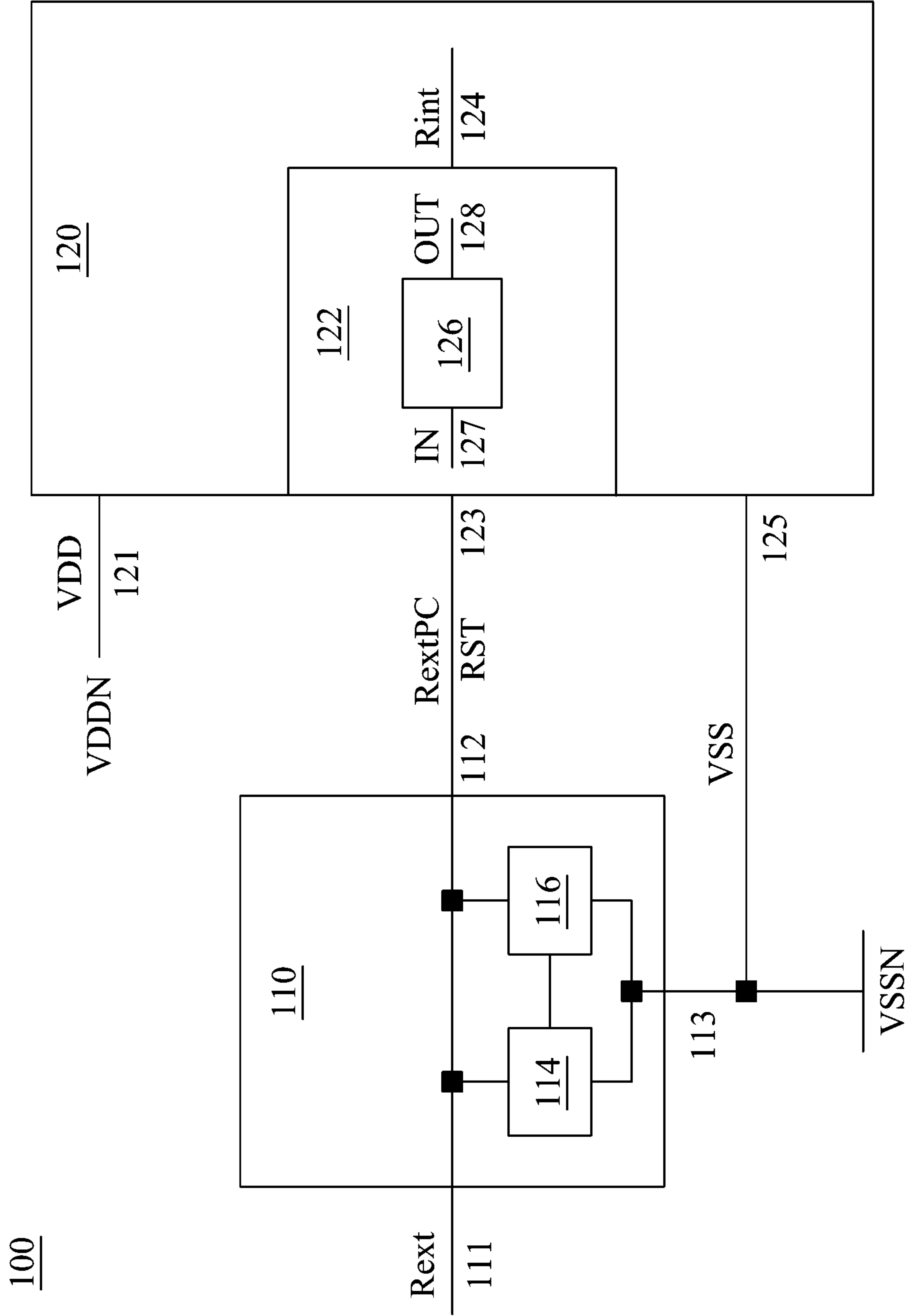
該電阻電容網路包括一電阻器及一電容器，該電阻器並聯於該電容器；以及

在該緩衝電路的一輸出端子輸出被依序反轉的該邏輯信號，

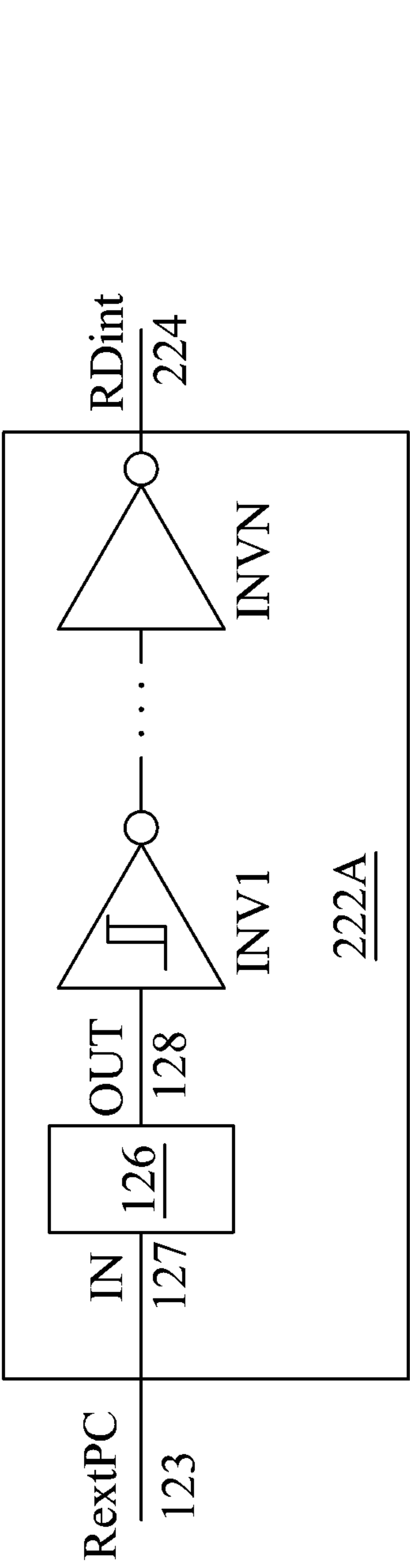
其中使用該電阻電容電路反轉該邏輯信號的步驟包括利用該電阻電容網路將該緩衝器的該輸入端子耦接至該電源供應器電壓節點或者該參考電壓節點之一者。

【請求項 10】如請求項 9 所述之方法，其中該使用該電阻電容網路以耦接該緩衝器的該輸入端子至該電源供應器電壓節點或該參考電壓節點之一者包括使用該第一電晶體以將該緩衝器的該輸入端子從該電源供應器電壓節點或者該參考電壓節點之另一者去耦接化。

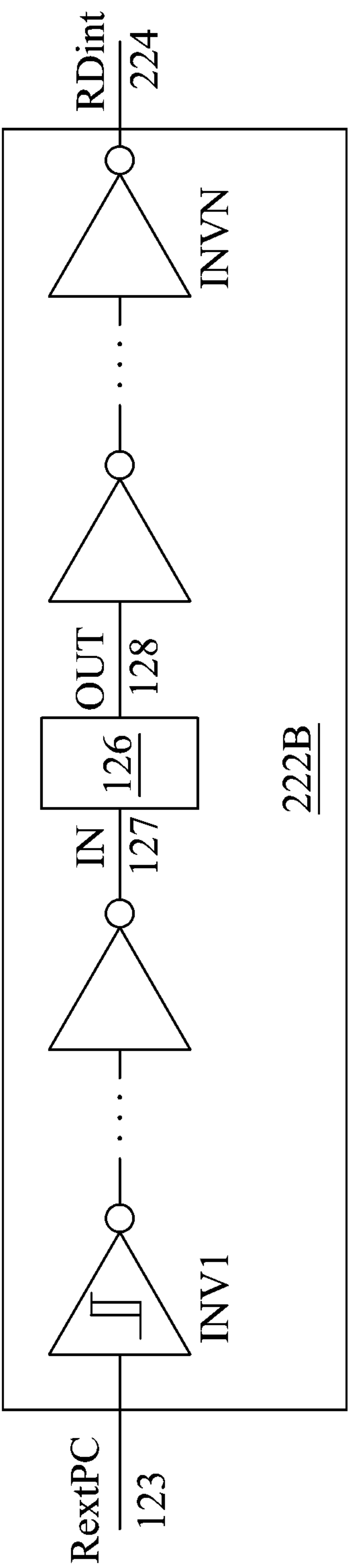
【發明圖式】



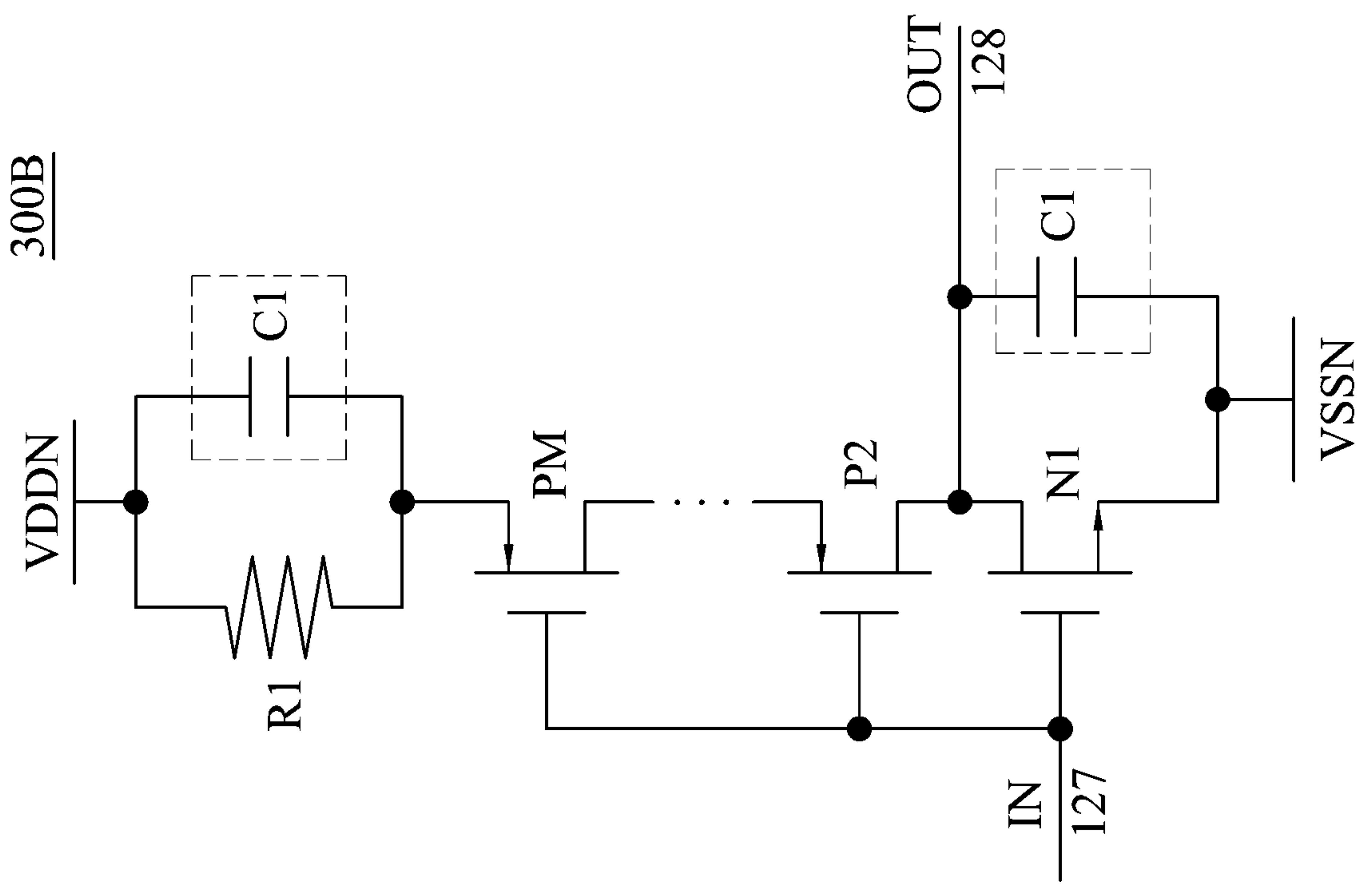
第1圖



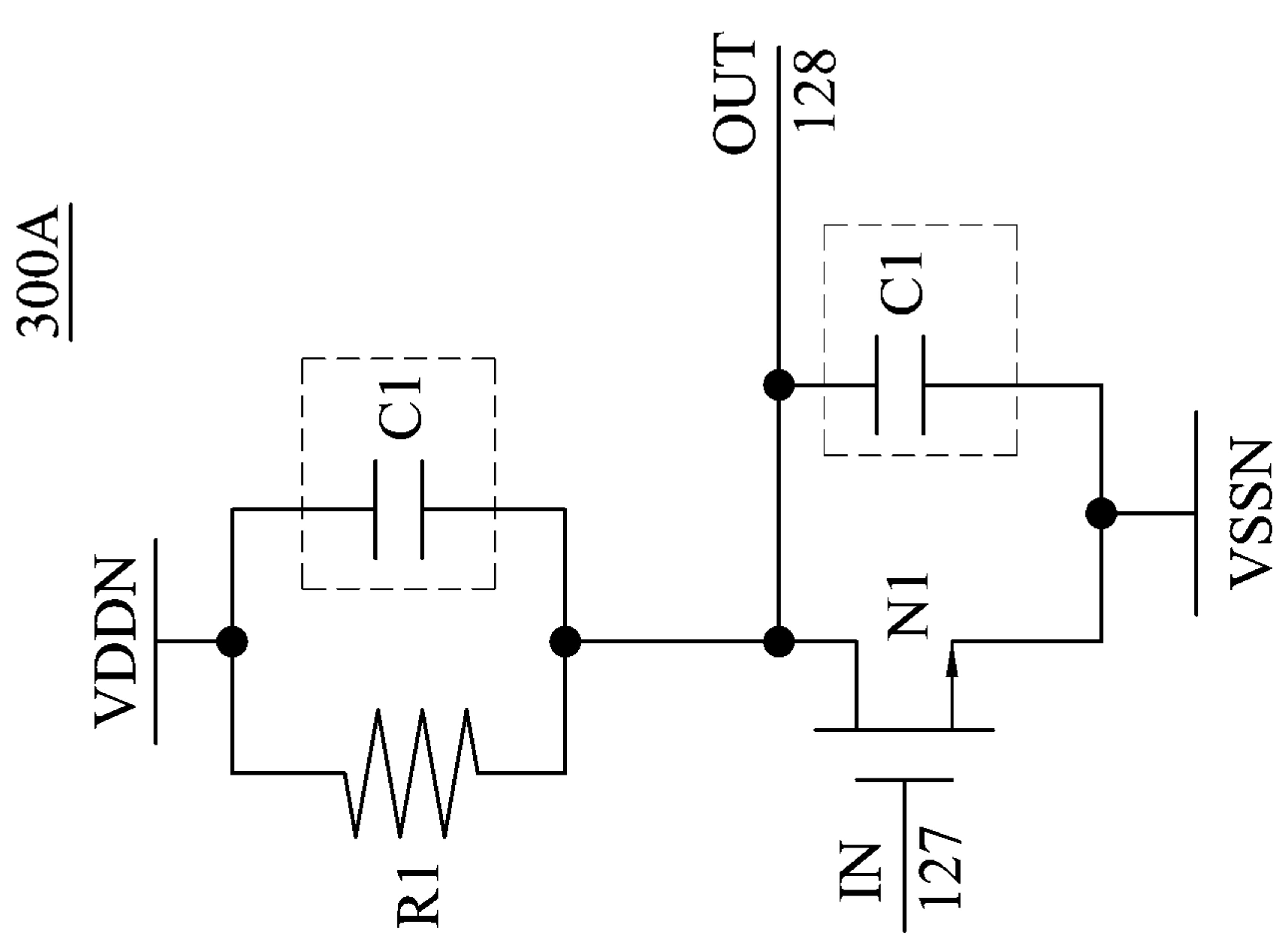
第 2A 圖



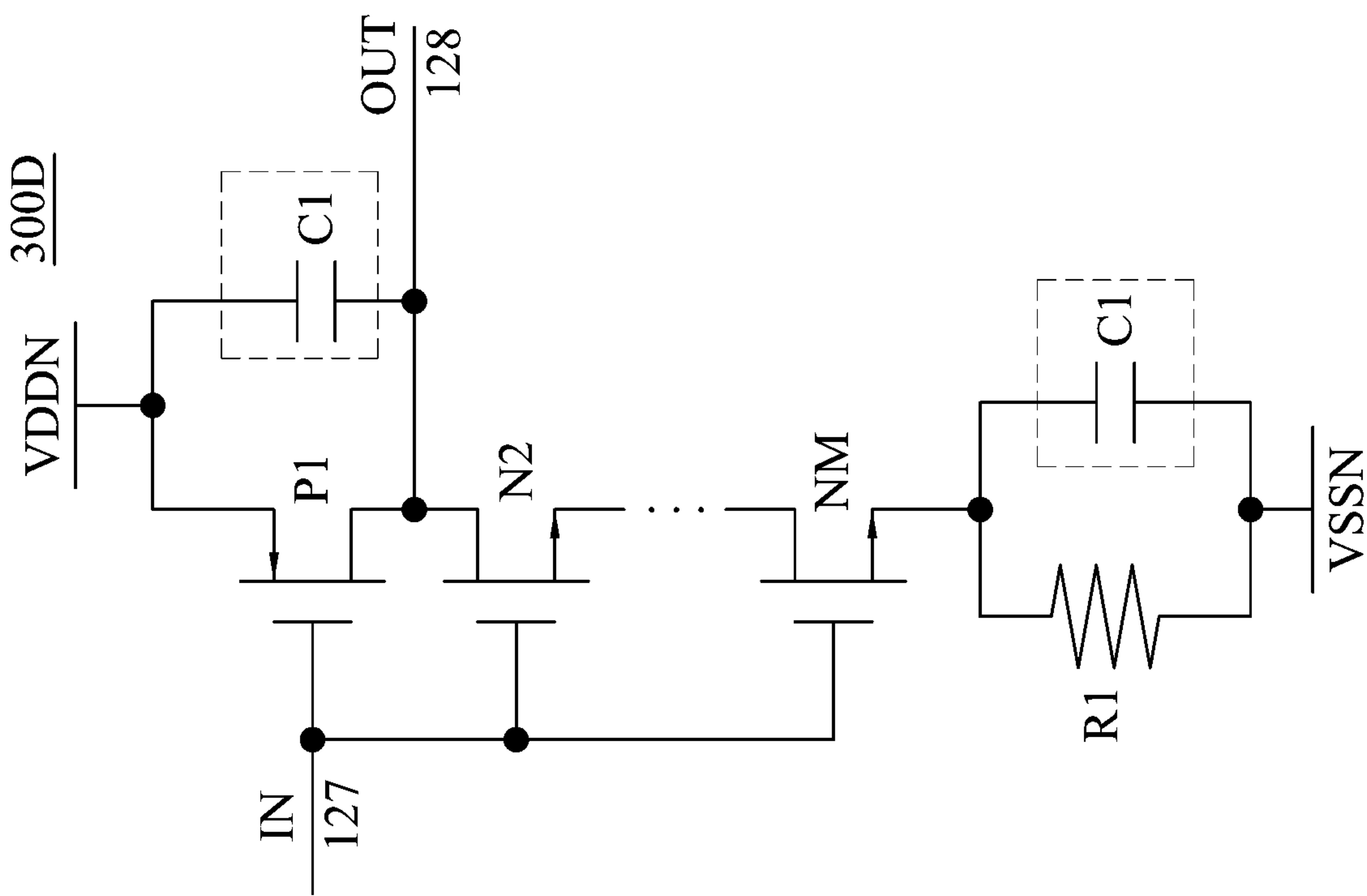
第 2B 圖



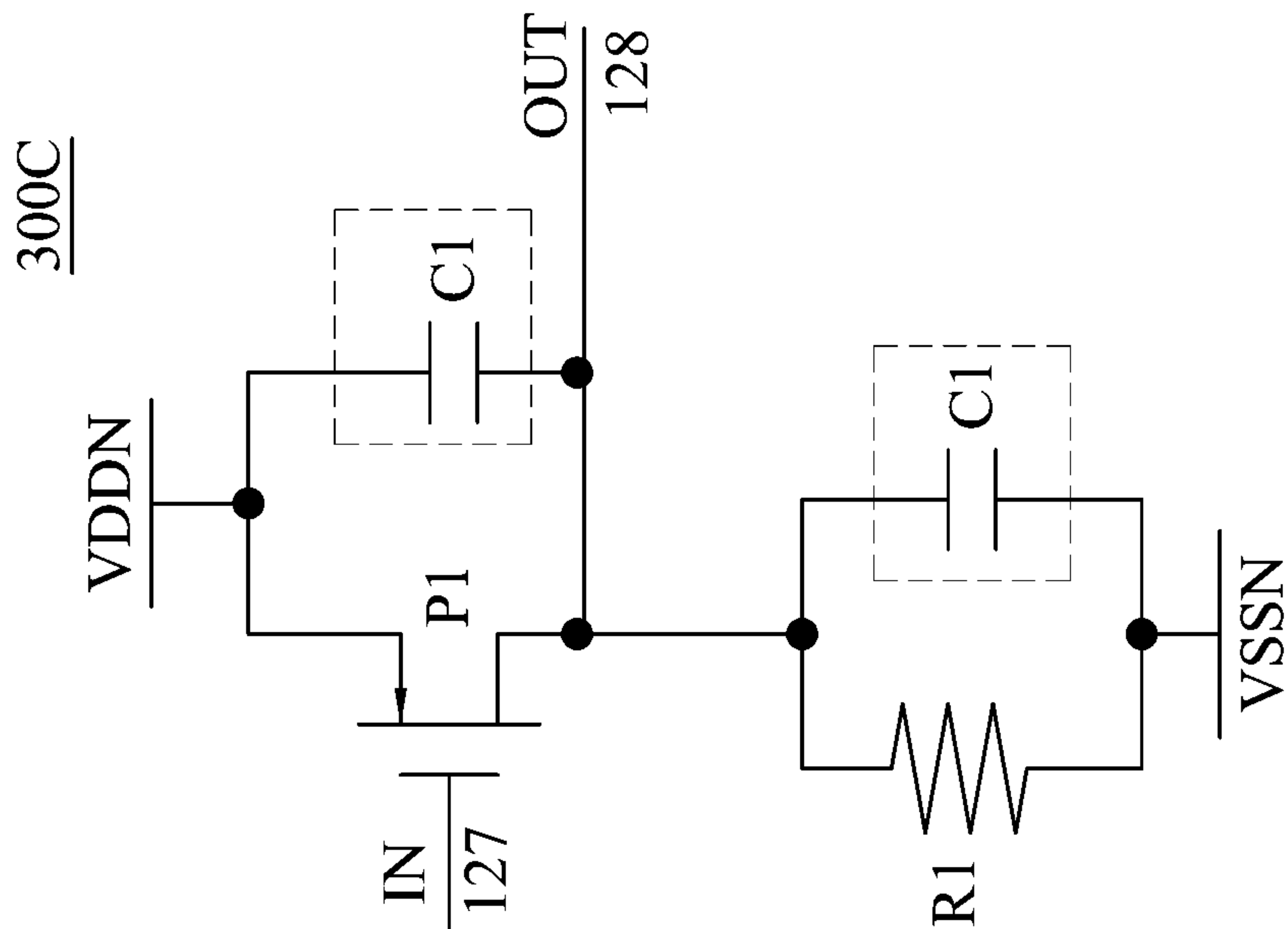
第3B圖



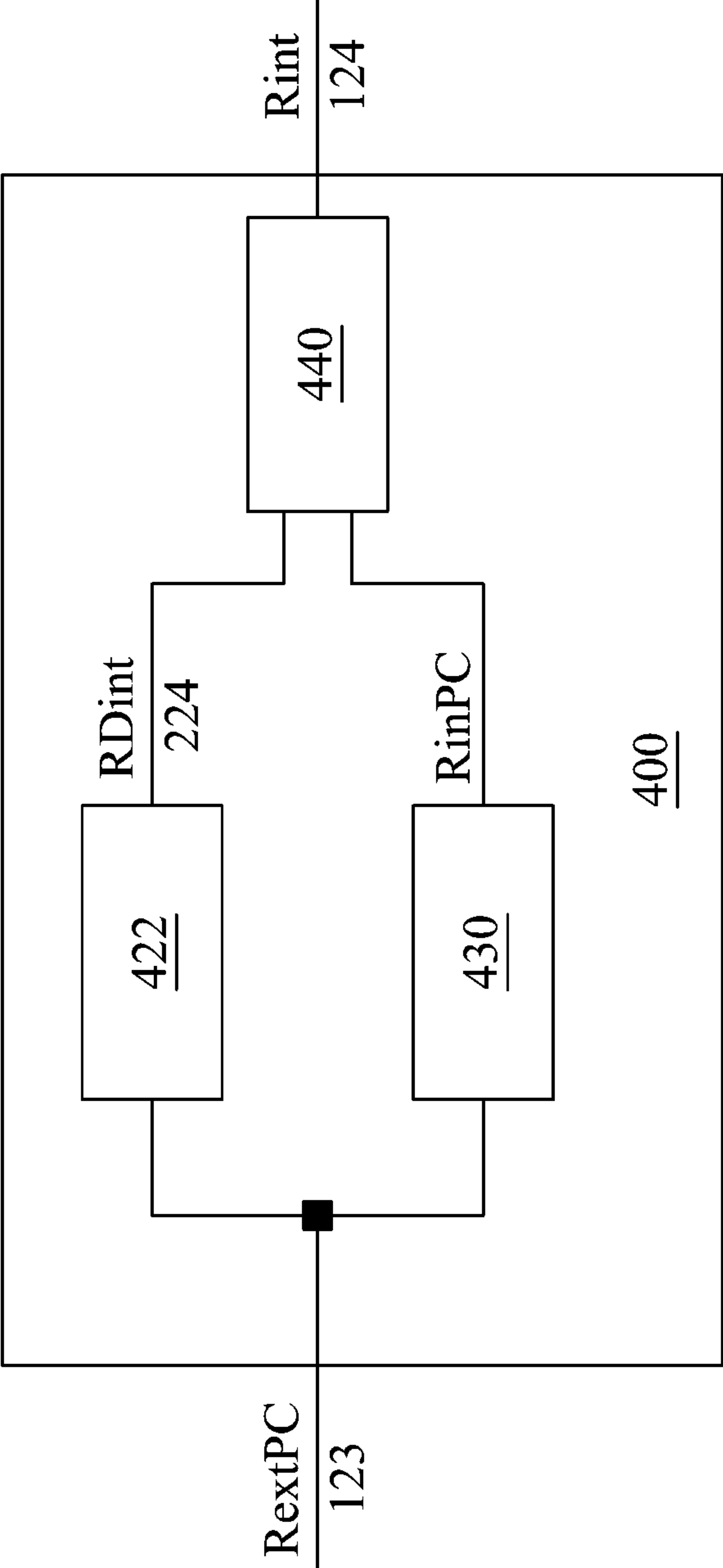
第3A圖



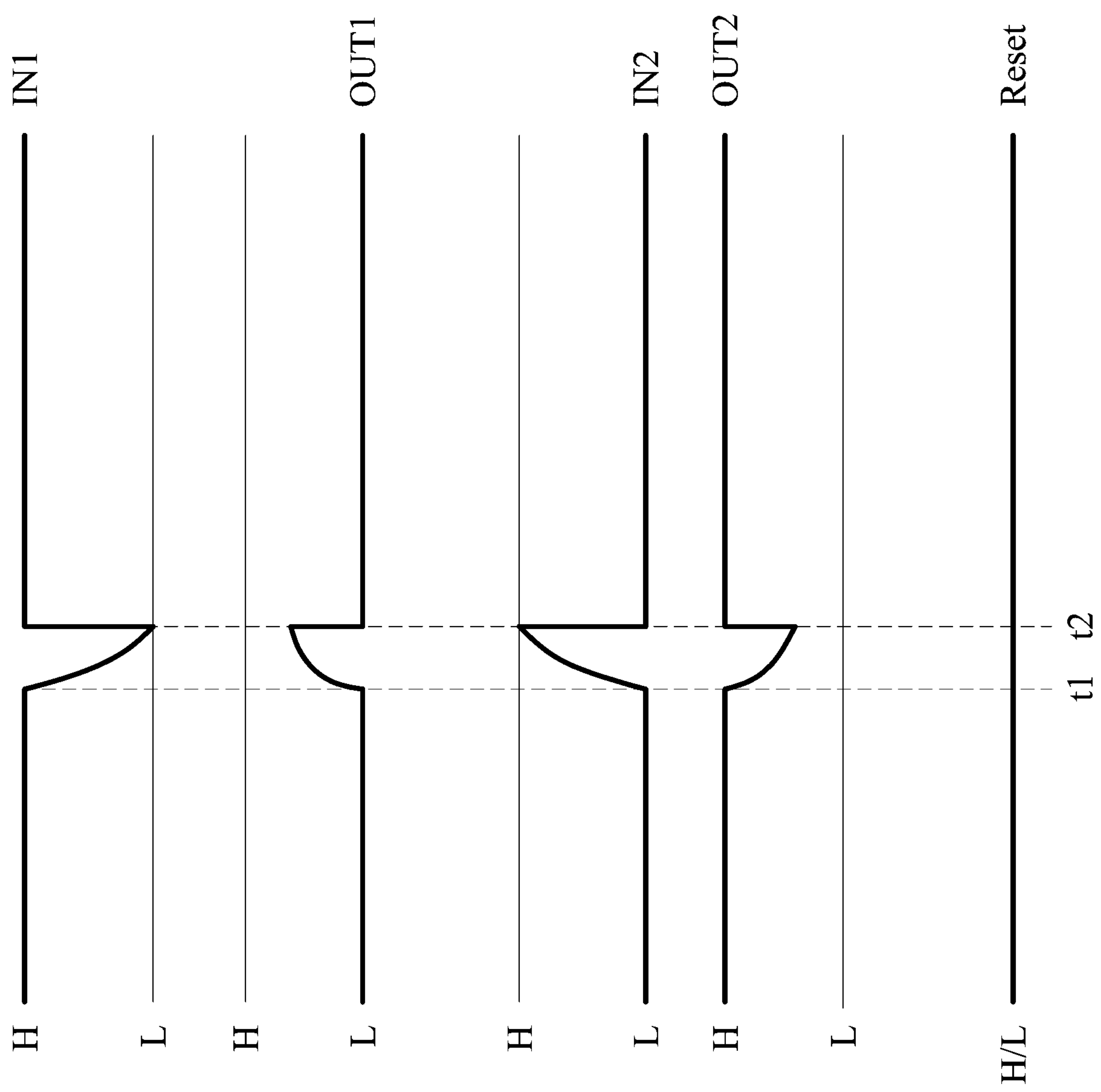
第3D圖



第3C圖

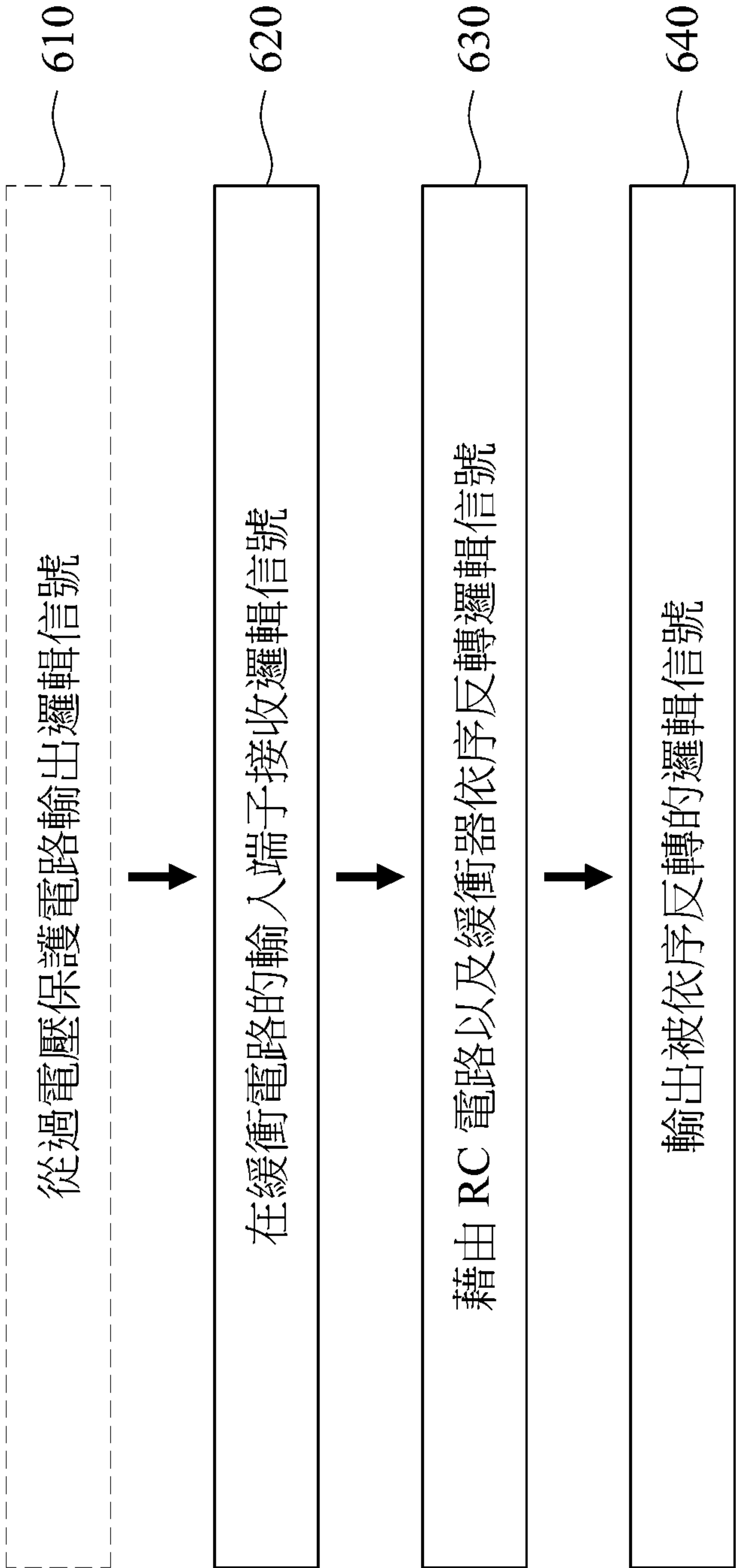


第 4 圖



第 5 圖

600



第 6 圖