



(12) 发明专利申请

(10) 申请公布号 CN 114175619 A

(43) 申请公布日 2022.03.11

(21) 申请号 202080053606.5

(74) 专利代理机构 中国专利代理(香港)有限公司 72001

(22) 申请日 2020.07.13

代理人 姜冰 李啸

(30) 优先权数据

2019-137635 2019.07.26 JP

(51) Int.Cl.

H04N 5/347 (2011.01)

(85) PCT国际申请进入国家阶段日

2022.01.25

H04N 5/3745 (2011.01)

H01L 21/3205 (2006.01)

(86) PCT国际申请的申请数据

PCT/IB2020/056539 2020.07.13

H01L 21/768 (2006.01)

H01L 23/522 (2006.01)

(87) PCT国际申请的公布数据

W02021/019333 JA 2021.02.04

H01L 27/146 (2006.01)

H01L 29/786 (2006.01)

(71) 申请人 株式会社半导体能源研究所

地址 日本神奈川县厚木市

(72) 发明人 井上广树 米田诚一 根来雄介

石津贵彦 小林英智

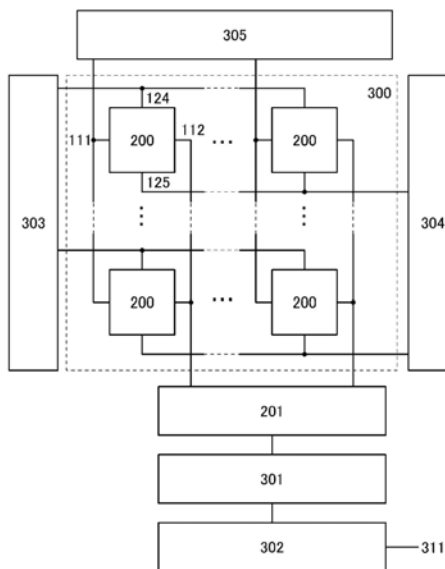
权利要求书2页 说明书38页 附图43页

(54) 发明名称

摄像装置及其工作方法及电子设备

(57) 摘要

提供一种具有动作检测功能及图像处理功能的摄像装置。摄像装置可以检测出用作参考的帧图像与比较对象的帧图像之间的差分并可以在检测出明显差分从动作检测模式切换到普通拍摄模式。动作检测模式以低帧率进行工作而可以抑制功耗。另外,摄像装置具有图像识别功能通过与动作检测功能组合可以在识别到特定图像时从动作检测模式切换到普通拍摄模式。



1. 一种摄像装置,包括:
像素;
第一电路;以及
第二电路,
其中,所述第一电路具有对所述像素提供第一电位的功能,
所述像素具有获取第一数据及第二数据的功能,
所述像素具有生成为所述第一数据与所述第二数据的差分的第三数据的功能,
所述像素具有对所述第三数据加算根据所述第一电位的电位生成第四数据的功能,
并且,所述第二电路具有生成相当于所述像素输出的所述第三数据与所述像素输出的
所述第四数据的差分的第五数据的功能。

2. 一种摄像装置,包括:
像素区块;
第一电路;以及
第二电路,
其中,所述像素区块包括多个像素,
所述第一电路具有对所述像素提供第一电位的功能,
所述像素具有获取第一数据及第二数据的功能,
所述像素具有生成为所述第一数据与所述第二数据的差分的第三数据的功能,
所述像素具有对所述第三数据加算根据所述第一电位的电位生成第四数据的功能,
并且,所述第二电路具有生成相当于所述像素区块的所述多个像素输出的所述第三数
据之和与所述像素区块的所述多个像素输出的所述第四数据之和的差分的第五数据的功
能。

3. 根据权利要求1或2所述的摄像装置,
其中所述像素包括光电转换器件、第一晶体管、第二晶体管、第三晶体管、第四晶体管、
第五晶体管、第六晶体管、第一电容器和第二电容器,
所述光电转换器件的一个电极与所述第一晶体管的源极和漏极中的一方电连接,
所述第一晶体管的源极和漏极中的另一方与所述第二晶体管的源极和漏极中的一方
及所述第一电容器的一个电极电连接,
所述第一电容器的另一个电极与所述第三晶体管的源极和漏极中的一方、所述第二电
容器的一个电极及所述第四晶体管的栅极电连接,
所述第四晶体管的源极和漏极中的一方与所述第五晶体管的源极和漏极中的一方电
连接,
所述第二电容器的另一个电极与所述第六晶体管的源极和漏极中的一方电连接,
所述第五晶体管的源极和漏极中的另一方与所述第二电路电连接,
并且所述第六晶体管的源极和漏极中的另一方与所述第一电路电连接。

4. 根据权利要求1至3中任一项所述的摄像装置,
其中所述第二电路为相关双采样电路。

5. 根据权利要求1至4中任一项所述的摄像装置,
其中所述像素中的晶体管在沟道形成区中包括金属氧化物,所述金属氧化物含有In、

Zn、M(M为Al、Ti、Ga、Ge、Sn、Y、Zr、La、Ce、Nd和Hf中的一个或多个)。

6. 一种摄像装置的工作方法,依次进行如下步骤:

以第一帧率开始拍摄工作的第一步骤;

拍摄并储存参考图像的第二步骤;

拍摄比较图像的第三步骤;

获取所述参考图像与所述比较图像的差分数据的第四步骤;

从所述差分数据抽出第二特征量的第五步骤;以及

比较预先设定的第一特征量与所述第二特征量的第六步骤,

其中,当判断出从所述第二特征量测出所述第一特征量时切换到第二帧率进行拍摄工作,

并且,当判断没有从所述第二特征量测出所述第一特征量时回到所述第三步骤。

7. 根据权利要求6所述的摄像装置的工作方法,

其中所述第二帧率大于所述第一帧率。

8. 根据权利要求6或7所述的摄像装置的工作方法,

其中所述第一帧率为0.1fps以上且10fps以下,

并且所述第二帧率为15fps以上且240fps以下。

9. 根据权利要求6至8中任一项所述的摄像装置的工作方法,

其中在以所述第一帧率进行拍摄工作的期间中进行电源门控。

10. 一种电子设备,包括:

权利要求1至5中任一项所述的摄像装置;以及

透镜。

摄像装置及其工作方法及电子设备

技术领域

[0001] 本发明的一个方式涉及一种摄像装置。

[0002] 注意,本发明的一个方式不局限于上述技术领域。本说明书等所公开的发明的一个方式的技术领域涉及一种物体、方法或制造方法。另外,本发明的一个方式涉及一种工序(process)、机器(machine)、产品(manufacture)或者组合物(composition of matter)。由此,更具体而言,作为本说明书所公开的本发明的一个方式的技术领域的一个例子可以举出半导体装置、显示装置、液晶显示装置、发光装置、照明装置、蓄电装置、存储装置、摄像装置、这些装置的工作方法或者这些装置的制造方法。

[0003] 注意,在本说明书等中,半导体装置是指能够通过利用半导体特性而工作的所有装置。晶体管、半导体电路为半导体装置的一个方式。另外,存储装置、显示装置、摄像装置、电子设备有时包含半导体装置。

背景技术

[0004] 使用形成在衬底上的氧化物半导体薄膜构成晶体管的技术受到关注。例如,专利文献1公开了将包括氧化物半导体的关态电流非常低的晶体管用于像素电路的结构的摄像装置。

[0005] 另外,专利文献2公开了对摄像装置赋予运算功能的技术。

[先行技术文献]

[专利文献]

[0006] [专利文献1]日本专利申请公开第2011-119711号公报

[专利文献2]日本专利申请公开第2016-123087号公报

发明内容

发明所要解决的技术问题

[0007] 随着技术的发展,在包括CMOS图像传感器等固态摄像元件的摄像装置中,能够容易拍摄高品质的图像。需要在下一代摄像装置中还安装更高智能性的功能。

[0008] 作为现有技术,在将图像数据(模拟数据)转换为数字数据而取出到外部之后进行如图像数据的压缩、图像识别等处理。在能够在摄像装置内进行该处理时,可以以更高速度与外部设备联动,并且使用者的方便性提高。另外,也可以减少外围装置等的负载及功耗。另外,只要能够以模拟数据的状态进行复杂的数据处理,就可以缩短数据转换所需要的时间。

[0009] 另外,监控摄像机等一直工作功耗大。例如,当没有事件发生时简化工作,当有事件发生时切换到普通拍摄工作,由此可以大幅降低功耗。另外,当没有事件发生时,优选可以通过电源门控降低功耗。

[0010] 因此,本发明的一个方式的目的之一是提供一种能够进行图像处理的摄像装置。本发明的一个方式的目的之一是提供一种能够检测出拍摄对象的变化了的摄像装置。本发明的一个方式的目的之一是提供一种低功耗的摄像装置。本发明的一个方式的目的之一是提

供一种小型的摄像装置。本发明的一个方式的目的之一是提供一种可靠性高的摄像装置。本发明的一个方式的目的之一是提供一种新颖的摄像装置等。本发明的一个方式的目的之一是提供一种上述摄像装置的工作方法。本发明的一个方式的目的之一是提供一种新颖的半导体装置等。

[0011] 注意,这些目的的记载不妨碍其他目的的存在。注意,本发明的一个方式并不需要实现所有上述目的。除上述目的外的目的从说明书、附图、权利要求书等的描述中是显而易见的,并且可以从所述描述中抽出。

解决技术问题的手段

[0012] 本发明的一个方式涉及一种具有动作检测功能及图像处理功能的以低功耗工作的摄像装置。另外,本发明的一个方式涉及上述摄像装置的工作方法。

[0013] 本发明的一个方式是一种包括像素、第一电路和第二电路的摄像装置。其中,第一电路具有对像素提供第一电位的功能。像素具有获取第一数据及第二数据的功能。像素具有生成为第一数据与第二数据的差分的第三数据的功能。像素具有对第三数据加上根据第一电位的电位生成第四数据的功能。第二电路具有生成相当于像素输出的第三数据与第四数据的差分的第五数据的功能。

[0014] 另外,本发明的另一个方式是一种包括像素区块、第一电路和第二电路的摄像装置。其中,像素区块具有配置为矩阵状的多个像素。第一电路具有对像素提供第一电位的功能。像素具有获取第一数据及第二数据的功能。像素具有生成为第一数据与第二数据的差分的第三数据的功能。像素具有对第三数据加上根据第一电位的电位生成第四数据的功能。第二电路具有生成相当于像素区块的多个像素输出的第三数据的和与像素区块的多个像素输出的第四数据的和的差分的第五数据的功能。

[0015] 像素可以包括光电转换器件、第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管、第一电容器和第二电容器。光电转换器件的一个电极可以与第一晶体管的源极和漏极中的一方电连接。第一晶体管的源极和漏极中的另一方可以与第二晶体管的源极和漏极中的一方及第一电容器的一个电极电连接。第一电容器的另一个电极可以与第三晶体管的源极和漏极中的一方、第二电容器的一个电极及第四晶体管的栅极电连接。第四晶体管的源极和漏极中的一方可以与第五晶体管的源极和漏极中的一方电连接。第二电容器的另一个电极可以与第六晶体管的源极和漏极中的一方电连接。第五晶体管的源极和漏极中的另一方可以与第二电路电连接。第六晶体管的源极和漏极中的另一方可以与第一电路电连接。

[0016] 第二电路可以采用相关双采样电路。

[0017] 像素所包括的晶体管优选在沟道形成区域中包含金属氧化物。金属氧化物优选包含In、Zn及M(M为Al、Ti、Ga、Ge、Sn、Y、Zr、La、Ce、Nd和Hf中的一个或多个)。

[0018] 另外,本发明的另一个方式是一种摄像装置的工作方法,依次进行如下步骤:以第一帧率开始拍摄工作的第一步骤;拍摄并储存参考图像的第二步骤;拍摄比较图像的第三步骤;获得参考图像与比较图像的差分数据的第四步骤;从差分数据中抽出第二特征量的第五步骤;以及对事前设定好的第一特征量与第二特征量进行比较的第六步骤。其中,当判断出从第二特征量中检测出了第一特征量时,切换到第二帧率进行拍摄工作。当判断出从第二特征量中没有检测出第一特征量时,返回第三步骤。

[0019] 第二帧率优选大于第一帧率。例如,当第一帧率为0.1fps以上且10fps以下时,优选第二帧率为15fps以上且240fps以下。

[0020] 另外,也可以在以第一帧率进行拍摄工作的期间中进行电源门控。

发明效果

[0021] 通过采用本发明的一个方式可以提供一种能够进行图像处理的摄像装置。另外,可以提供一种能够检测出拍摄对象的变化了的摄像装置。另外,可以提供一种低功耗的摄像装置。另外,可以提供一种小型的摄像装置。另外,可以提供一种可靠性高的摄像装置。另外,可以提供一种新颖的摄像装置等。另外,可以提供一种上述摄像装置的工作方法。另外,可以提供一种新颖的半导体装置等。

附图简要说明

[0022] 图1是说明摄像装置的方框图。

图2是说明像素区块200及电路201的图。

图3A、图3B是说明像素100的图。

图4A、图4B是说明像素100的图。

图5是说明普通拍摄工作的时序图。

图6是说明动作检测工作(无差分)及积和运算工作的时序图。

图7是说明动作检测工作(无差分)的时序图。

图8是说明电路304的图。

图9是说明电路304的工作的时序图。

图10是说明电路304的工作的时序图。

图11A、图11B是说明电路301及电路302的图。

图12是说明存储单元的图。

图13A、图13B是说明神经网络的结构实例的图。

图14是说明摄像装置的工作的流程图。

图15A、图15B是说明摄像装置的工作的图。

图16A至图16D是说明摄像装置的像素结构的图。

图17A至图17C是说明光电转换器件的结构图。

图18是说明像素的截面图。

图19A至图19C是说明Si晶体管的图。

图20是说明像素的截面图。

图21是说明像素的截面图。

图22A至图22D是说明OS晶体管的图。

图23是说明像素的截面图。

图24A1至图24A3、图24B1至图24B3是收纳摄像装置的封装、模块的立体图。

图25A是说明存储电路的方框图。图25B至图25E是说明存储单元的电路图。

图26A、图26B是示出半导体装置的结构实例的方框图。

图27A至图27D是说明半导体装置的电源管理的工作例的图。

图28是示出半导体装置的电源管理的工作例的流程图。

图29A、图29B是示出半导体装置的结构实例的方框图。

图30是示出处理器核心的结构实例的方框图。

图31是示出存储电路的结构实例的电路图。

图32是说明存储电路的工作例的时序图。

图33是示出高速缓冲存储器的存储单元的结构实例的电路图。

图34是说明存储单元的工作例的时序图。

图35A至图35F是说明电子设备的图。

实施发明的方式

[0023] 参照附图对实施方式进行详细说明。注意,本发明不局限于下面说明,所属技术领域的普通技术人员可以很容易地理解一个事实就是其方式及详细内容在不脱离本发明的宗旨及其范围的情况下可以被变换为各种各样的形式。因此,本发明不应该被解释为限定在以下所示的实施方式所记载的内容中。另外,在下面所说明的发明的结构中,在不同的附图中共同使用相同的附图标记来表示相同的部分或具有相同功能的部分,而省略其重复说明。另外,有时在不同的附图中适当地省略或改变相同构成要素的阴影。

[0024] 另外,即使在电路图上为一个要素,如果在功能上没有问题,该要素也可以使用多个要素构成。例如,有时被用作开关的多个晶体管可以串联或并联连接。此外,有时对电容器进行分割并将其配置在多个位置上。

[0025] 此外,有时一个导电体具有布线、电极及端子等多个功能,在本说明书中,有时对同一要素使用多个名称。另外,即使在电路图上示出要素之间直接连接的情况,有时实际上该要素之间通过一个或多个导电体连接,本说明书中这种结构也包括在直接连接的范畴内。

[0026] (实施方式1)

在本实施方式中,参照附图说明本发明的一个方式的摄像装置。

[0027] 本发明的一个方式是一种具备图像识别等附加功能的摄像装置。该摄像装置可以将将在摄像工作中获取的模拟数据(图像数据)保持在像素而从该模拟数据乘以任意权重系数的数据取出数据。

[0028] 通过将该数据引入神经网络等,可以进行图像识别等处理。由于可以将庞大的图像数据以模拟数据的状态保持在像素,所以可以高效地进行处理。

[0029] 另外,本发明的一个方式的摄像装置具有动作检测功能。摄像装置可以检测出用作参考的帧图像与比较对象的帧图像间的差分,可以在检测出明显差分从动作检测模式切换到普通拍摄模式。动作检测模式中以低帧率工作而可以抑制功耗。另外,普通拍摄模式中以高帧率工作而可以获得高品位的图像数据。

[0030] 另外,本发明的一个方式的摄像装置通过组合上述图像识别功能和动作检测功能,可以在识别到特定图像时从动作检测模式切换到普通拍摄模式。因此,除了可以区分人、动物、植物等之外,还可以对应产品不良或经时变化的发生或自然灾害等异变。

[0031] <摄像装置>

图1是说明本发明的一个方式的摄像装置的方框图。摄像装置包括像素阵列300、电路201、电路301、电路302、电路303、电路304和电路305。注意,电路201及电路301至电路305不局限于由单个电路构成,有时由多个电路构成。或者,也可以统合上述任意多个电路。另外,也可以连接有上述以外的电路。

[0032] 像素阵列300具有拍摄功能及运算功能。电路201、301具有运算功能。电路302具有运算功能或数据转换功能。电路303、304具有选择功能。电路305具有对像素提供积和运算用电压的功能。具有选择功能的电路可以使用移位寄存器或译码器等。另外,电路301、302也可以设置在外部。

[0033] 像素阵列300包括多个像素区块200。像素区块200如图2所示包括配置为矩阵状的多个像素100,各像素100与电路201电连接。注意,电路201也可以设置在像素区块200内。

[0034] 像素100可以生成图像数据及对图像数据赋予权重系数而得的数据。注意,图2中作为一个例子示出像素区块200所具有的像素数为 2×2 ,但是不局限于此。例如,也可以为 3×3 、 4×4 等。或者,水平方向与垂直方向的像素数也可以不同。另外,也可以使相邻的像素共有部分像素。

[0035] 像素区块200用作积和运算电路。另外,与像素区块200电连接的电路201具有从像素100抽出图像数据与权重系数的积的功能。

[0036] <像素电路>

像素100如图3A所示可以包括光电转换器件101、晶体管102、晶体管103、电容器104、晶体管105、电容器106、晶体管107、晶体管108和晶体管109。

[0037] 光电转换器件101的一个电极与晶体管102的源极和漏极中的一方电连接。晶体管102的源极和漏极中的另一方与晶体管103的源极和漏极中的一方及电容器104的一个电极电连接。电容器104的另一个电极与晶体管105的源极和漏极中的一方、电容器106的一个电极及晶体管107的栅极电连接。晶体管107的源极和漏极中的一方与晶体管108的源极和漏极中的一方电连接。电容器106的另一个电极与晶体管109的源极和漏极中的一方电连接。

[0038] 光电转换器件101的另一个电极与布线113电连接。晶体管103的源极和漏极中的另一方与布线114电连接。晶体管105的源极和漏极中的另一方与布线115电连接。晶体管107的源极和漏极中的另一方与GND布线等电连接。晶体管108的源极和漏极中的另一方与布线112电连接。晶体管109的源极和漏极中的另一方与布线111电连接。

[0039] 晶体管102的栅极与布线121电连接。晶体管103的栅极与布线122电连接。晶体管105的栅极与布线123电连接。晶体管108的栅极与布线125电连接。晶体管109的栅极与布线124电连接。

[0040] 在此,将晶体管102的源极和漏极中的另一方与晶体管103的源极和漏极中的另一方及电容器104的一个电极电连接的点(布线)记作节点N1。另外,将电容器104的另一个电极、晶体管105的源极和漏极中的一方、电容器106的一个电极及晶体管107的栅极电连接的点(布线)记作节点N2。

[0041] 布线113、114、115可以用作电源线。例如,布线114、115可以用作高电位电源线,布线113可以用作低电位电源线。布线121、122、123、124、125可以用作控制各晶体管的导通的信号线。布线111可以用作对像素100提供相当于权重系数的电压的布线。布线112可以用作使像素100与电路201电连接的布线。

[0042] 另外,布线112也可以与放大电路、增益可调电路电连接。

[0043] 作为光电转换器件101可以使用光电二极管。无论光电二极管的类型如何,都可以使用光电转换层中含有硅的Si光电二极管及光电转换层含有有机光电膜的有机光电二极管等。注意,当想要提高低照度时的光检测灵敏度时,优选使用雪崩光电二极管。

[0044] 晶体管102能够控制节点N1的电位。晶体管103能够使节点N1的电位初始化。晶体管105能够使节点N2的电位初始化。晶体管107可以根据节点N2的电位控制流过电路201的电流。晶体管108能够选择像素。晶体管109能够对节点N2提供相当于权重系数的电位。

[0045] 另外,晶体管107及晶体管108也可以采用图3B所示的结构,即:晶体管107的源极和漏极中的一方与晶体管108的源极和漏极中的一方电连接,晶体管107的源极和漏极中的另一方与布线112连接,晶体管108的源极和漏极中的另一方与GND布线等电连接。

[0046] 另外,如图4A所示,晶体管107也可以设置有第二栅极,该第二栅极可以与晶体管109的源极和漏极中的一方电连接。另外,也可以设置其一个电极与晶体管107的第二栅极连接的电容器151。电容器151用作存储电容器。另外,也可以采用不设置电容器151的结构。

[0047] 另外,也可以如图4B所示使光电转换器件101的连接方向相反。在该情况下,布线114、115可以用作低电位电源线,布线113可以用作高电位电源线。注意,可以与图3B所示的结构同样地采用晶体管107的源极和漏极中的一方与晶体管108的源极和漏极中的一方电连接、晶体管107的源极和漏极中的另一方与布线112连接且晶体管108的源极和漏极中的另一方与GND布线等电连接的结构。

[0048] 在作为光电转换器件101使用雪崩光电二极管时有时施加高电压,作为与光电转换器件101连接的晶体管优选使用高耐压的晶体管。作为该高耐压的晶体管,例如可以使用作为沟道形成区域使用金属氧化物的晶体管(以下,OS晶体管)等。具体而言,作为晶体管102,优选使用OS晶体管。

[0049] 另外,OS晶体管也具有关态电流极低的特性。通过作为晶体管102、103、105、109使用OS晶体管,可以使节点N1及N2能够保持电荷的期间极长。因此,可以采用在所有的像素中同时进行电荷储存工作的全局快门方式而无需采用复杂的电路结构或工作方式。另外,也可以在将图像数据保持在节点N2的同时进行用该图像数据的多次运算。

[0050] 另一方面,有时优选晶体管107的放大特性良好。另外,由于晶体管108有时频繁地切换开启/关闭,所以有时优选使用能够高速工作的迁移率高的晶体管。由此,作为晶体管107、108可以使用将硅用于沟道形成区域的晶体管(以下称为Si晶体管)。

[0051] 注意,不局限于上述,也可以任意组合OS晶体管及Si晶体管而使用。另外,也可以作为所有晶体管都使用OS晶体管。或者,所有晶体管也都可以使用Si晶体管。作为Si晶体管,可以举出含有非晶硅的晶体管、含有结晶硅(微晶硅、低温多晶硅、单晶硅)的晶体管等。

[0052] 像素100中的节点N2的电位根据由布线115提供的复位电位与节点N1的电位变动量(图像数据)被电容耦合而得的电位与相当于由布线111提供的权重系数的电位的电容耦合决定。也就是说,晶体管107的栅极具有对图像数据加算任意权重系数得到的电位,包括图像数据与任意权重系数的乘积项的电流流过晶体管107。

[0053] <电路201>

如图2所示,各像素100通过布线112彼此电连接。电路201可以利用各像素100的晶体管107中流过的电流的和进行运算。

[0054] 电路201包括电容器202、晶体管203、晶体管204、晶体管205、晶体管206和电阻器207。

[0055] 电容器202的一个电极与晶体管203的源极和漏极中的一方电连接。晶体管203的源极和漏极中的一方与晶体管204的栅极电连接。晶体管204的源极和漏极中的一方与晶体

管205的源极和漏极中的一方电连接。晶体管205的源极和漏极中的一方与晶体管206的源极和漏极中的一方电连接。电阻器207的一个电极与电容器202的另一个电极电连接。

[0056] 电容器202的另一个电极与布线112电连接。晶体管203的源极和漏极中的另一方与布线218电连接。晶体管204的源极和漏极中的另一方与布线219电连接。晶体管205的源极和漏极中的另一方与GND布线等基准电源线电连接。晶体管206的源极和漏极中的另一方与布线212电连接。电阻器207的另一个电极与布线217电连接。

[0057] 布线217、218、219可以用作电源线。例如，布线218可以用作提供读出用复位电位的布线。布线217、219可以用作高电位电源线。布线213、215、216可以用作控制各晶体管的导通的信号线。布线212为输出线，例如，可以与图1所示的电路301电连接。

[0058] 晶体管203可以具有将布线211的电位复位到布线218的电位的功能。晶体管204、205可以具有作为源极跟随电路的功能。晶体管206可以具有控制读出的功能。另外，电路201也可以用作相关双采样电路(CDS电路)，也可以换用具有该功能的其他结构的电路。

[0059] 在本发明的一个方式中，去除图像数据(X)与权重系数(W)的积以外的偏置成分抽出想要的WX。WX可以利用同一像素的进行了拍摄的数据、没进行拍摄的数据以及分别对其加权的数来算出。

[0060] 进行了拍摄时流过像素100的电流(I_p)总和为 $k \sum (X - V_{th})^2$ ，加权后流过像素100的电流(I_p)总和为 $k \sum (W + X - V_{th})^2$ 。另外，没有进行拍摄时流过像素100的电流(I_{ref})总和为 $k \sum (0 - V_{th})^2$ ，加权后流过像素100的电流(I_{ref})总和为 $k \sum (W - V_{th})^2$ 。在此，k为常数， V_{th} 为晶体管107的阈值电压。

[0061] 首先，算出进行了拍摄的数据与对该数据进行了加权的数据之差分(数据A)。即， $k \sum ((X - V_{th})^2 - (W + X - V_{th})^2) = k \sum (-W^2 - 2W \cdot X + 2W \cdot V_{th})$ 。

[0062] 接着，算出没有进行拍摄的数据与对该数据进行了加权的数据之差分(数据B)。即， $k \sum ((0 - V_{th})^2 - (W - V_{th})^2) = k \sum (-W^2 + 2W \cdot V_{th})$ 。

[0063] 然后，获取数据A与数据B的差分。即， $k \sum (-W^2 - 2W \cdot X + 2W \cdot V_{th} - (-W^2 + 2W \cdot V_{th})) = k \sum (-2W \cdot X)$ 。也就是说，可以去除图像数据(X)与权重系数(W)的积以外的偏置成分。

[0064] 电路201可以读出数据A及数据B。数据A与数据B的差分运算例如可以利用电路301进行。

[0065] 图3A、图3B及图4A、图4B所示的像素100具有普通拍摄功能及动作检测功能。另外，像素100具有部分积和运算功能。

[0066] <普通拍摄模式>

首先，参照图5所示的时序图说明普通拍摄模式。注意，在普通拍摄模式中不进行积和运算，所以优选布线111的电位一直为“L”而布线124的电位一直为“H”，固定电容器106的另一个电极的电位。另外，在此，对图3A或图3B的结构像素100的工作进行说明。

[0067] 首先，在时刻T1使布线121的电位为“H”、布线122的电位为“H”、布线123的电位为“H”，由此晶体管102、103导通，节点N1的电位变为复位电位(布线114的电位) V_{RES1} 。另外，晶体管105导通，节点N2的电位变为复位电位(布线115的电位) V_{RES2} 。另外，“ V_{RES1} ”与“ V_{RES2} ”也可以是同一电位。

[0068] 另外，当布线125的电位为“H”、布线216的电位为“H”时，电路201中的晶体管203导通，布线211的电位变为布线218的电位“Vr”。也就是说，像素100的复位状态时的输出电位

被初始化变为电位“ V_r ”。

[0069] 在时刻T2使布线121的电位为“H”、布线122的电位为“L”、布线123的电位为“L”、布线125的电位为“L”、布线216的电位为“L”时,晶体管103、105、108变为非导通,通过光电转换器件101的工作,节点N1的电位变为“ $V_{RES1} - V_A$ ”。另外,伴随该变化,由于电容器104的电容耦合,节点N2的电位也变为“ $V_{RES2} - V_B$ ”。当电容器104的电容充分大于节点N2的电容时, V_A 和 V_B 为大致相等的值。另外,晶体管203变为非导通,布线221的电位保持在“ V_r ”。

[0070] 在时刻T3使布线121的电位为“L”,晶体管102变为非导通,节点N1及节点N2的电位被保持。

[0071] 在时刻T4使布线125的电位为“H”、布线213的电位为“H”、布线215的电位为“ V_{bias} ”等适当的模拟电位,晶体管108导通,从布线112向晶体管107流过对应于节点N2的电位的电流。在此,电容器202的另一个电极的电位根据流过布线112的电流变化,其变化量Y通过电容耦合被加算到布线211的电位“ V_r ”。

[0072] 由此,布线211的电位变为“ $V_r + Y$ ”。在此,当 $V_r = 0$ 时,Y是图像数据与复位时的数据(噪声)的差分。也就是说,可以得到去除了噪声成分的图像数据。

[0073] 另外,当晶体管205、206导通时,可以利用晶体管204的源跟随器工作对布线212输出图像数据。

[0074] <动作检测模式>

接着,参照图6所示的时序图说明像素100的动作检测功能以及利用像素区块200及电路201的积和运算。

[0075] 首先,参照时刻T1至T7所示的时序图说明动作检测模式的工作。注意,图6示出参考图像与比较图像没有变化的情况。

[0076] 另外,时刻T1至T7的期间是用于确定节点N2的电位的期间。节点N2之后因电容器106的电容耦合被加算权重(W),所以至少在该期间中电容器106的另一个电极的电位为相当于权重系数0的电位。因此,在该期间中,使布线111的电位为相当于权重系数0的电位(例如0V),布线124的电位为“H”。

[0077] 在时刻T1使布线121的电位为“H”、布线122的电位为“H”、布线123的电位为“H”,由此晶体管102、103导通,节点N1的电位变为复位电位(布线114的电位)“ V_{RES1} ”。另外,晶体管105导通,节点N2的电位变为复位电位(布线115的电位)“ V_{RES2} ”。另外,“ V_{RES1} ”与“ V_{RES2} ”也可以是同一电位。

[0078] 在时刻T2,使布线121的电位为“H”、布线122的电位为“L”、布线123的电位为“H”,晶体管103变为非导通,通过光电转换器件101的工作,节点N1的电位变为“ $V_{RES1} - V_A$ ”。此时,晶体管105为导通,节点N2的电位维持“ V_{RES2} ”。

[0079] 在时刻T3使布线121的电位为“L”,晶体管102变为非导通,节点N1的电位被保持。另外,由于晶体管105为导通,节点N2的电位维持“ V_{RES2} ”。

[0080] 在时刻T4使布线123的电位为“L”,晶体管105变为非导通,节点N2的电位被保持。从时刻T1到这里的工作相当于参考图像的获取及保持工作。

[0081] 在时刻T5使布线121的电位为“H”、布线122的电位为“H”,晶体管102、103导通,节点N1的电位从“ $V_{RES1} - V_A$ ”变为“ V_{RES1} ”。也就是说,节点N1的电位上升了“ V_A ”。此时,节点N1的变化量与节点N2的电位电容耦合,节点N2的电位变为“ $V_{RES2} + V_B$ ”。在此,如之前所述, V_A 与 V_B

变为大致相等的值。

[0082] 在时刻T6使布线121的电位为“H”、布线122的电位为“L”，晶体管103变为非导通，通过光电转换器件101的工作，节点N1的电位变为“ $V_{RES1} - V_A$ ”。另外，节点N1的变化量“ $-V_A$ ”与节点N2电容耦合，由此节点N2的电位变为“ V_{RES2} ”。

[0083] 在时刻T7使布线121的电位为“L”，晶体管102变为非导通，节点N1及节点N2的电位被保持。时刻T5至上述说明的工作相当于获取比较图像并对其保持的工作。

[0084] 也就是说，当参考图像与比较图像没有变化时，节点N1的电位与时刻T5之前保持的参考图像的电位相同。另外，节点N2的电位为复位电位，表示参考图像与比较图像间无差。

[0085] 此外，当参考图像与比较图像没有变化时，如图7的时序图所示，在时刻T7，节点N1的电位变为“ $V_{RES1} - V_C$ ”，节点N2的电位变为“ $V_{RES2} + V_B - V_D$ ”。在此，“ V_C ”与“ V_A ”是不同的值，“ V_D ”与“ V_B ”是不同的值。也就是说，节点N2的电位是与复位电位不同的电位，表示参考图像与比较图像有差。

[0086] 接着，参照图6的时刻T8至T11所示的时序图说明积和运算。首先，说明算出进行了拍摄的数据与对该数据进行加权后的数据之差分(数据A)的工作。注意，这里说明的积和运算的工作与参考图像和比较图像之间是否存在差无关。

[0087] 在时刻T8使布线125的电位为“H”、布线216的电位为“H”，由此电路201中的晶体管203导通，布线211的电位成为布线218的电位“ V_r ”。也就是说，像素100的复位状态时的输出电位被“ V_r ”初始化。到期间T7为止的工作相当于获取进行了拍摄的数据，该数据由布线211的电位“ V_r ”表示。

[0088] 在时刻T9使布线111的电位为相当于权重系数W的电位、布线124的电位为“H”、布线125的电位为“L”、布线216的电位为“L”，由此晶体管109导通，电容器106的另一个电极的电位从“0”变为“W”。因此，其差分“W”被加算到节点N2。也就是说，当通过图像数据获取工作确定的节点N2的电位为“X”时，加算权重系数W时的节点N2的电位为“X+W”。

[0089] 在时刻T10使布线124的电位为“L”、布线125的电位为“H”、布线213的电位为“H”、布线215的电位为“H”，由此电容器106的另一个电极的电位及节点N2的电位被保持，晶体管108导通，从布线112向晶体管107流过对应节点N2的电位“X+W”的电流。

[0090] 在此，电容器202的另一个电极的电位根据流过布线112的电流变化，其变化量Z因电容耦合被加算到布线211的电位 V_r 。因此，布线211的电位变为“ $V_r + Z$ ”。在此，当 $V_r = 0$ 时，Z即是差分，数据A被计算出来。

[0091] 另外，通过使布线213的电位为“H”、布线215的电位为“ V_{bias} ”等适当的模拟电位，电路201通过源跟随器工作可以输出对应数据A的信号电位。

[0092] 利用同样的步骤可以算出没有进行拍摄的数据以及对该数据进行加权后的数据之差分(数据B)。注意，由于没有进行拍摄，所以采用不设置积蓄期间的工作。例如，当布线121为“H”时，通过使布线122也为“H”，节点N1可以维持复位电位。另外，也可以省略时刻T5至T8的工作，在时刻T8之前节点N1及节点N2为复位电位即可。

[0093] 注意，在此，虽然仅对一个像素进行了说明，电路201并联有多个像素并对该多个像素进行上述工作(积和运算)。

[0094] 通过上述工作，电路201输出的数据A及数据B被输入到电路301。在电路301中，进

行获取数据A与数据B之差分的运算可以去除图像数据(电位X)与权重系数(电位W)的积以外的不需要的偏置成分。作为电路301,除了可以采用电路201那样的包括运算电路的结构之外,还可以采用利用存储电路(也称为存储电路)及软件处理计算差分的结构。

[0095] 权重系数可以从图1所示的电路305对布线111输出,优选在帧期间内改写权重系数一次以上。作为电路305,可以使用解码器。另外,电路305也可以具有D/A转换器及SRAM。

[0096] 另外,可以从电路303向选择输入权重系数的像素100的布线112输出信号。作为电路303可以使用解码器或移位寄存器。

[0097] 另外,可以从电路304向与像素100的晶体管108的栅极连接的布线125等输出信号。电路304可以使用译码器或移位寄存器。

[0098] 以上,对拍摄的图像数据的加工处理进行了说明,但是本发明的一个方式的摄像装置也可以不对图像数据进行加工而取出。

[0099] 积和运算中,优选能够同时选择多个行的像素。另一方面,在仅取出拍摄数据的情况下,优选从一个行的像素取出数据。在本发明的一个方式中,用于选择像素100的电路304具有切换选择行数的功能。

[0100] <移位寄存器>

图8是能够用于电路304的电路的一个例子。该电路是移位寄存器电路,其中多个逻辑电路(SR)彼此电连接。各逻辑电路(SR)与布线RES、布线VSS_RDRS、布线RPWC_SE[0:3]、布线RCLK[0:3]、布线RSP等信号线连接,通过对各信号线输入适当的信号电位,可以从该逻辑电路(SR)依次进行选择信号电位的输出。

[0101] 另外,逻辑电路(SR)与电路170电连接。电路170中设置有多个晶体管,并与布线SE_SW[0:2]、布线SX[0:2]等信号线连接,通过对各信号线输入适当的信号电位可以控制晶体管的导通。通过电路170的控制可以切换选择像素的行数。

[0102] 一个逻辑电路(SR)的输出端子与一个晶体管的源极和漏极中的一方电连接,该晶体管的源极和漏极中的另一方与布线SE连接。布线SE与选择像素100的布线122电连接。

[0103] 与布线SE[0]连接的晶体管的栅极可以被输入布线SE_SW[0]提供的信号电位。与布线SE[1]连接的晶体管的栅极可以被输入布线SE_SW[1]提供的信号电位。与布线SE[2]连接的晶体管的栅极可以被输入布线SE_SW[2]提供的信号电位。与布线SE[3]及其之后的布线连接的晶体管的栅极可以以同样的顺序被输入布线SE_SW[0:2]中的任意个提供的信号电位。

[0104] 另外,相邻布线SE间通过一个晶体管电连接,布线SE[0]通过一个晶体管与电源线(VSS)电连接。

[0105] 电连接电源线(VSS)与布线SE[0]的晶体管的栅极可以被输入布线SX[0]提供的信号电位。电连接布线SE[0]与布线SE[1]的晶体管的栅极可以被输入布线SX[1]提供的信号电位。电连接布线SE[1]与布线SE[2]的晶体管的栅极可以被输入布线SX[2]提供的信号电位。使那以后的布线SE电连接的晶体管的栅极可以以同样的顺序被输入布线SX[0:2]提供的信号电位中的任意个。

[0106] 图9是说明利用图8所示的电路同时选择多个行(3行)的工作的时序图。(0)至(161)相当于逻辑电路(SR)对布线SE输出信号电位的时序。

[0107] 在时序(0),当布线SX[0]的电位为“L”、布线SX[1]的电位为“H”、布线SX[2]的电位

为“H”、布线SE_SW[0]的电位为“H”、布线SE_SW[1]的电位为“L”、布线SE_SW[2]的电位为“L”时,各晶体管的导通被控制,向布线SE[0]输出“H”、向布线SE[1]输出“H”、向布线SE[2]输出“H”。向其他的布线SE输出“L”。

[0108] 由此,可以同时选择3行,例如可以进行3行3列像素的积和运算。

[0109] 在时序(1),当布线SX[0]的电位为“H”、布线SX[1]的电位为“L”、布线SX[2]的电位为“H”、布线SE_SW[0]的电位为“L”、布线SE_SW[1]的电位为“H”、布线SE_SW[2]的电位为“L”时,各晶体管的导通被控制,布线SE[0]输出“L”、布线SE[1]输出“H”、布线SE[2]输出“H”、布线SE[3]输出“H”。其他的布线SE输出“L”。

[0110] 也就是说,在时序(1)可以进行从时序(0)偏移1行的步长1的积和运算。

[0111] 图10是说明利用图8所示的电路进行选择一个行的工作的时序图。

[0112] 按照该时序图的工作中,布线SE_SW[0:2]的电位一直为“H”、布线SX[0:2]的电位一直为“L”。所以,逻辑电路(SR)的输出原样出现在各布线SE,由此可以按每1行进行选择。

[0113] <电路301、302>

图11A是说明与电路201连接的电路301及电路302的图。电路201输出的积和运算结果的数据依次输入到电路301。电路301除了具有进行之前所述的数据A与数据B的差分的运算功能之外还可以具有各种各样的运算功能。例如,电路301可以采用与电路201相同的结构。或者,软件处理也可以替代电路301的功能。

[0114] 另外,电路301也可以包括进行激活函数运算的电路。该电路例如可以使用比较器电路。比较器电路将对被输入的数据与设定的阈值进行比较的结果以2值数据的形式输出。也就是说,像素区块200及电路301可以用作神经网络的部分要素。

[0115] 另外,电路301也可以包括A/D转换器。当不进行积和运算等将图像数据输出到外部时,可以利用电路301将模拟数据转换为数字数据。

[0116] 另外,像素区块200所输出的数据相当于多个位的图像数据,但是在电路301被2值化时,可以说使图像数据压缩。

[0117] 电路301输出的数据被依次输入到电路302。电路302例如可以具有包括锁存电路及移位寄存器等的结构。通过采用该结构,可以进行并串转换,并可以将并行被输入的数据作为串行数据输出到布线311。布线311的连接对象没有限制。例如,可以与神经网络、存储装置、通信装置等连接。

[0118] 另外,如图11B所示,电路302也可以包括神经网络。该神经网络包括配置为矩阵状的存储单元,在各存储单元保持有权系数。从电路301输出的数据被分别输入到存储单元320可以进行积和运算。注意,图11B所示的存储单元的数量是一个例子而没有限制。

[0119] 图11B所示的神经网络包括配置为矩阵状的存储单元320及参照存储单元325、电路330、电路350、电路360及电路370。

[0120] 图12示出存储单元320及参照存储单元325的一个例子。参照存储单元325设置在任意一个列上。存储单元320及参照存储单元325具有彼此相同结构,都包括晶体管161、晶体管162及电容器163。

[0121] 晶体管161的源极和漏极中的一个与晶体管162的栅极电连接。晶体管162的栅极与电容器163的一个电极电连接。在此,将晶体管161的源极和漏极中的一个、晶体管162的栅极与电容器163的一个电极连接的点记为节点NM。

[0122] 晶体管161的栅极与布线WL电连接。电容器163的另一个电极与布线RW电连接。晶体管162的源极和漏极中的一个与GND布线等基准电位布线电连接。

[0123] 在存储单元320中,晶体管161的源极和漏极中的另一个与布线WD电连接。晶体管162的源极和漏极中的另一个与布线BL电连接。

[0124] 在参照存储单元325中,晶体管161的源极和漏极中的另一个与布线WDref电连接。晶体管162的源极和漏极中的另一个与布线BLref电连接。

[0125] 布线WL与电路330电连接。作为电路330可以使用解码器或移位寄存器等。

[0126] 布线RW与电路301电连接。各存储单元被写入电路301输出的2值数据。此外,电路301与各存储单元间也可以具有移位寄存器等时序电路。

[0127] 布线WD及布线WDref与电路350电连接。作为电路350可以使用解码器或移位寄存器等。另外,电路350也可以包括D/A转换器或SRAM。电路350可以输出写入到节点NM的权系数。

[0128] 布线BL及布线BLref与电路360电连接。电路360可以具有与电路201相同的结构。由电路360可以得到从积和运算结果去除偏置成分的信号。

[0129] 电路360与电路370电连接。另外,也可以将电路370称为激活函数电路。激活函数电路具有进行运算以根据预定义的激活函数变换从电路360输入的信号的功能。作为激活函数,例如可以使用sigmoid函数、tanh函数、softmax函数、ReLU函数及阈值函数等。由激活函数电路转换的信号作为输出数据输出到外部。

[0130] 如图13A所示,神经网络NN可以由输入层IL、输出层OL及中间层(隐藏层)HL构成。输入层IL、输出层OL及中间层HL都包括一个或多个神经元(单元)。注意,中间层HL可以为一层或两层以上。包括具有两层以上的中间层HL的神经网络可以称为DNN(深度神经网络)。另外,利用深度神经网络的学习可以称为深度学习。

[0131] 对输入层IL的各神经元输入数据。对中间层HL的各神经元输入前一层或后一层的神经元的输出信号。对输出层OL的各神经元输入前一层的神经元的输出信号。注意,各神经元既可以与前一层和后一层的所有神经元连结(全连结),又可以与部分神经元连结。

[0132] 图13B示出利用神经元的运算的例子。在此,示出神经元N及向神经元N输出信号的前一层的两个神经元。神经元N被输入前一层的神经元的输出 x_1 及前一层的神经元的输出 x_2 。在神经元N中,算出输出 x_1 与权重 w_1 的乘法结果(x_1w_1)和输出 x_2 与权重 w_2 的乘法结果(x_2w_2)之总和 $x_1w_1+x_2w_2$,然后根据需要对其加偏压 b ,从而得到值 $a=x_1w_1+x_2w_2+b$ 。值 a 被激活函数 h 变换,从神经元N输出信号 $y=ah$ 。

[0133] 如此,利用神经元的运算包括对前一层的神经元的输出与权重之积进行加法的运算,即,积和运算(上述 $x_1w_1+x_2w_2$)。该积和运算既可以使用程序以软件进行,又可以以硬件进行。

[0134] 在本发明的一个方式中,作为硬件使用模拟电路进行积和运算。在作为积和运算电路使用模拟电路时,可以缩小积和运算电路的电路规模或因向存储器访问的次数的减少而实现处理速度的提高及功耗的降低。

[0135] 积和运算电路优选采用包括0S晶体管的结构。因为0S晶体管具有极小的关态电流,所以优选用作构成积和运算电路的模拟存储器的晶体管。另外,也可以使用Si晶体管和0S晶体管构成积和运算电路。

[0136] <摄像装置的工作>

接着,参照图14所示的流程图说明本发明的一个方式的摄像装置的工作方法的一个例子。

[0137] 首先,进行拍摄工作的选择(S1)。进行普通拍摄时进入普通拍摄模式的设定(S11)。

[0138] 普通拍摄模式为高速动态图像拍摄模式,例如,将帧率设定为15fps至240fps,优选为30fps至120fps,一般设定为60fps。接着,在设定的条件下进行连续工作或定时工作(S12)。拍摄工作在定时工作完成后或根据使用者的判断结束。

[0139] 进行动作检测时进入动作检测模式的设定(S2)。

[0140] 动作检测模式为低速动态图像拍摄模式,例如,将帧率设定为0.1fps以上且10fps以下,一般设定为1fps。通过设定为低帧率可以抑制功耗。注意,当拍摄对象发生变化且恢复至原样所需的期间较短时,也可以设定为相对较高的帧率。

[0141] 接着,拍摄参考图像(S3)。参考图像的拍摄工作相当于图5的时序图的时刻T1至T4的工作。

[0142] 接着,拍摄比较图像并进行像素内差分的运算(S4)。该工作相当于图6的时序图的时刻T5至T7的工作。

[0143] 接着,进行特征量B抽出工作1(S5)。该工作相当于图6的时序图中的如下工作:利用时刻T8至T11的工作的数据A的获取;以及没有进行拍摄工作中的数据B的获取。另外,这里对图像数据加算的权重相当于卷积神经网络(CNN)的卷积滤波器。

[0144] 接着,进行特征量B抽出工作2(S6)。该工作例如可以利用电路301或外部电路进行,进行数据A与数据B的差分运算。此外,也可以进行池化处理。通过获取数据A与数据B的差分,可以去除图像数据(X)与权重系数(W)的积以外的偏置成分。也就是说,特征量B是从拍摄的图像数据抽出的特征量。

[0145] 接着,进行特征量A、B的比较工作(S7、S8)。该工作例如可以利用外部电路进行。在这之前的任意时序进行用作参考的特征量A的设定(S0)。特征量A例如可以采用为目的物的对象的形状或图案等特征量。因此,优选根据特征量A选定卷积滤波器。

[0146] 当比较在S6抽出的特征量B与特征量A而从特征量B中检出特征量A时进入S11,进行普通拍摄模式的拍摄。当没有检测出特征量A时,进行计数工作(S9、S10)等然后回到S3或S4。注意,可以任意设定是否检测到特征量A的阈值。

[0147] 当没有检测出特征量A时参考图像被保持在像素内,短期间回到S4没有问题,但是当发生自然光的照度变化或拍摄对象发生经时变化时可能对特征量的比较工作造成影响。因此,优选利用计数器等例如在设定值到达换算为时间的1分、10分、1小时、6小时等时回到S3再次对参考图像进行拍摄。或者,也可以通过定时器等时间控制。

[0148] 另外,特征量A也可以为多个。在该情况下,可以设定所有特征量A是否被检出、特征量A的一部分是否被检出等的条件。或者,即便没有检测出特征量A,当参考图像与比较图像发生变化时可以进行进入S11的工作。

[0149] 图15A、图15B示出说明动作检测模式的具体工作的图。

[0150] 图15A是说明检测出特征量A时的工作的图,示出按时间轴的帧图像的变化。拍摄对象是风景,特征量A是包括鸟的特征的数据。

[0151] 首先,设定为低帧率,在第一帧拍摄参考图像(相当于S3)。在图15A的第一帧中,虽然以虚线示出风景的图像,但是实际上参考图像被保持在像素内,摄像装置不输出图像数据。

[0152] 拍摄完参考图像之后,对每个帧进行比较图像的拍摄及像素内差分运算(相当于S4)至特征量A检出的判定工作(相当于S8)。图15A所示的第 $n-x$ 帧(n,x 为自然数, $n>x$ 是比1大的值)示出风景没有变化的情况。输出的图像数据是参考图像与比较图像的差分的数据,没有变化的图像数据相当于全白或全黑。当风景没有变化时,重复与第 $n-x$ 帧同样的帧。

[0153] 接着,当在第 n 帧拍摄到鸟时会判定与包括鸟的特征的特征量A一致,在第 $n+1$ 帧以后切换到高帧率的普通拍摄模式(S11)。以上是检出特征量A时的工作。

[0154] 图15B是说明没有检出特征量A时的工作的图。采用与图15A相同的条件开始拍摄,在风景发生变化而没拍摄到特征量A(鸟)时,继续进行动作检测模式而不切换为普通拍摄模式。图15B中示出第 n 帧拍摄到飞艇的情况,但是由于判定与特征量A不一致,所以第 $n+1$ 帧之后继续进行动作检测模式。

[0155] 如此,在本发明的一个方式的摄像装置中,可以限定对象物判定是否检测出该对象物。因此,当将该摄像装置用于监控摄像机等时,例如,可以不以狗、猫、植物等为模式切替的对象而仅将人设定为模式切替的对象。

[0156] 本实施方式可以与其他实施方式的记载适当地组合。

[0157] (实施方式2)

在本实施方式中对本发明的一个方式的摄像装置的结构实例等进行说明。

[0158] <结构实例>

图16A是示出摄像装置的像素结构的一个例子的图,可以采用层561及层563的叠层结构。

[0159] 层561包括光电转换器件101。光电转换器件101如图17A所示可以包括层565a和层565b。注意,根据情况也可以将层称为区域。

[0160] 图17A所示的光电转换器件101是pn接合型光电二极管,例如层565a可以使用p型半导体,层565b可以使用n型半导体。或者,层565a可以使用n型半导体,层565b使用p型半导体。

[0161] 上述pn接合型光电二极管典型地可以使用单晶硅形成。

[0162] 另外,层561中的光电转换器件101可以如图17B所示地采用层566a、层566b、层566c和层566d的叠层。图17B所示的光电转换器件101是雪崩光电二极管的一个例子,层566a、层566d相当于电极,层566b、566c相当于光电转换部。

[0163] 层566a优选使用低电阻金属层等。例如,可以使用铝、钛、钨、钼、银或其叠层。

[0164] 层566d优选使用对可见光具有高透光性的导电层。例如,可以使用铟氧化物、锡氧化物、锌氧化物、铟锡氧化物、镓锌氧化物、铟镓锌氧化物或石墨烯等。另外,可以省略层566d。

[0165] 光电转换部的层566b、566c例如可以具有硒类材料作为光电转换层的pn结型光电二极管的结构。优选的是,作为层566b使用p型半导体的硒类材料,作为层566c使用n型半导体的镓氧化物等。

[0166] 使用硒类材料的光电转换器件对可见光具有高外部量子效率。该光电转换器件可

以利用雪崩倍增而增加相对于入射光的量的电子放大量。另外，硒类材料具有高光吸收系数，所以例如可以以薄膜制造光电转换层，因此使用硒类材料从制造的观点来看有利。硒类材料的薄膜可以通过真空蒸镀法或溅射法等形成。

[0167] 作为硒类材料可以使用单晶硒及多晶硒等结晶性硒、非晶硒、铜、铟、硒的化合物(CIS)或者铜、铟、镓、硒的化合物(CIGS)等。

[0168] n型半导体优选由带隙宽且对可见光具有透光性的材料形成。例如，可以使用锌氧化物、镓氧化物、铟氧化物、锡氧化物或者上述物质混在一起的氧化物等。另外，这些材料也具有空穴注入阻挡层的功能，可以减少暗电流。

[0169] 另外，层561中的光电转换器件101可以如图17C所示地采用层567a、层567b、层567c、层567d和层567e的叠层。图17C所示的光电转换器件101是有机光导电膜的一个例子，层567a为下部电极，层567e是具有透光性的上部电极，层567b、567c、567d相当于光电转换部。

[0170] 光电转换部的层567b、567d中的任一个可以为空穴传输层、另一个为电子传输层。另外，层567c可以为光电转换层。

[0171] 作为空穴传输层，例如可以使用氧化钼等。作为电子传输层，例如可以使用C₆₀、C₇₀等的富勒烯或其衍生物等。

[0172] 作为光电转换层，可以使用n型有机半导体和p型有机半导体的混合层(本体异质结结构)。

[0173] 图16A所示的层563例如可以使用硅衬底。该硅衬底包括Si晶体管等。通过使用该Si晶体管除了可以形成像素电路之外还可以形成驱动该像素电路的电路、图像信号的读出电路、图像处理电路、神经网络、通信电路等。另外，也可以形成DRAM(Dynamic Random Access Memory:动态随机存取存储器)等存储电路、CPU(Central Processing Unit:中央处理器)、MCU(Micro Controller Unit:微控制单元)等。注意，在本实施方式中，将除了像素电路之外的上述电路称为功能电路。

[0174] 例如，可以将实施方式1说明的像素电路(像素100)及功能电路(电路201、301、302、303、304、305等)中的所有晶体管或部分晶体管设置于层563。

[0175] 另外，层563也可以如图16B所示地为多个层的叠层。图16B示出层563a、563b、563c的三层的例子，也可以为两层。或者，层563也可以为四层以上的叠层。这些层例如可以利用贴合工序等进行层叠。通过采用该结构可以将像素电路和功能电路分散在多个层中而可以重叠地设置像素电路和功能电路，由此可以制造小型且高功能的摄像装置。

[0176] 另外，像素也可以如图16C所示地采用层561、层562及层563的叠层结构。

[0177] 层562可以具有0S晶体管。上述功能电路中的一个以上可以使用0S晶体管形成。或者，也可以使用层563的Si晶体管和层562的0S晶体管形成功能电路中的一个以上。

[0178] 例如，可以使用0S晶体管及Si晶体管实现常关闭CPU(也称为“Noff-CPU”)。Noff-CPU是指包括即使栅极电压为0V也处于非导通状态(也称为关闭状态)的常关闭型晶体管的集成电路。

[0179] 在Noff-CPU中，可以停止向Noff-CPU中的不需要工作的电路的供电，使该电路处于待机状态。在供电停止而处于待机状态的电路中，没有电力消耗。因此，Noff-CPU可以将用电量抑制到最小限度。另外，即使供电停止，Noff-CPU也可以长时间保持设定条件等工作

所需要的信息。当从待机状态恢复时,只要再次开始向该电路的供电即可,而不需要设定条件等的再次写入。就是说,可以高速从待机状态恢复。如此,Non-CPU可以降低功耗,而无需大幅度降低工作速度。

[0180] 另外,层562也可以如图16D所示为多个层的叠层。图16D中示出层562a、563b的两层结构,但是可以采用三层以上的叠层。这些层例如可以以层叠在层563上的方式形成。或者,也可以通过贴合形成在层563上的层与形成在层561上的层来形成。

[0181] 作为用于OS晶体管的半导体材料,可以使用能隙为2eV以上,优选为2.5eV以上,更优选为3eV以上的金属氧化物。典型的有含有铟的氧化物半导体等,例如,可以使用后面提到的CAAC-OS或CAC-OS等。CAAC-OS中构成晶体的原子稳定,适用于重视可靠性的晶体管等。CAC-OS呈现高迁移率特性,适用于进行高速驱动的晶体管等。

[0182] 由于OS晶体管的半导体层具有大能隙,所以呈现极低的关态电流特性,仅为几yA/ μm (每沟道宽度1 μm 的电流值)。与Si晶体管不同,OS晶体管不会发生碰撞电离、雪崩击穿、短沟道效应等,因此能够形成高耐压性和高可靠性的电路。此外,Si晶体管所引起的起因于结晶性的不均匀的电特性不均匀不容易产生在OS晶体管中。

[0183] 作为OS晶体管中的半导体层,例如可以采用包含铟、锌及M(选自铝、钛、镓、锗、钇、锆、镧、铈、锡、钕和铪等金属中的一个或多个)的以“In-M-Zn类氧化物”表示的膜。典型的是,In-M-Zn类氧化物可以通过溅射法形成。或者,也可以通过ALD(Atomic layer deposition:原子层沉积)法形成。

[0184] 当利用溅射法形成In-M-Zn类氧化物膜时,优选用来形成In-M-Zn类氧化物膜的溅射靶材的金属元素的原子数比满足 $\text{In} \geq \text{M}$ 及 $\text{Zn} \geq \text{M}$ 。这种溅射靶材的金属元素的原子数比优选为 $\text{In}:\text{M}:\text{Zn}=1:1:1$ 、 $\text{In}:\text{M}:\text{Zn}=1:1:1.2$ 、 $\text{In}:\text{M}:\text{Zn}=3:1:2$ 、 $\text{In}:\text{M}:\text{Zn}=4:2:3$ 、 $\text{In}:\text{M}:\text{Zn}=4:2:4.1$ 、 $\text{In}:\text{M}:\text{Zn}=5:1:6$ 、 $\text{In}:\text{M}:\text{Zn}=5:1:7$ 、 $\text{In}:\text{M}:\text{Zn}=5:1:8$ 等。注意,所形成的半导体层的原子数比分别有可能在上述溅射靶材中的金属元素的原子数比的 $\pm 40\%$ 的范围内变动。

[0185] 作为半导体层,可以使用载流子密度低的氧化物半导体。例如,作为半导体层可以使用载流子密度为 $1 \times 10^{17}/\text{cm}^3$ 以下,优选为 $1 \times 10^{15}/\text{cm}^3$ 以下,更优选为 $1 \times 10^{13}/\text{cm}^3$ 以下,进一步优选为 $1 \times 10^{11}/\text{cm}^3$ 以下,更进一步优选为小于 $1 \times 10^{10}/\text{cm}^3$, $1 \times 10^{-9}/\text{cm}^3$ 以上的氧化物半导体。将这样的氧化物半导体称为高纯度本征或实质上高纯度本征的氧化物半导体。该氧化物半导体的缺陷态密度低,因此可以说是具有稳定的特性的氧化物半导体。

[0186] 注意,本发明不局限于上述记载,可以根据所需的晶体管的半导体特性及电特性(场效应迁移率、阈值电压等)来使用具有适当的组成的材料。另外,优选适当地设定半导体层的载流子密度、杂质浓度、缺陷密度、金属元素与氧的原子数比、原子间距离、密度等,以得到所需的晶体管的半导体特性。

[0187] 当构成半导体层的氧化物半导体包含第14族元素之一的硅或碳时,氧空位增加,会使该半导体层变为n型。因此,将半导体层中的硅或碳的浓度(通过二次离子质谱分析法测得的浓度)设定为 $2 \times 10^{18} \text{atoms}/\text{cm}^3$ 以下,优选为 $2 \times 10^{17} \text{atoms}/\text{cm}^3$ 以下。

[0188] 另外,有时当碱金属及碱土金属与氧化物半导体键合时生成载流子,而使晶体管的关态电流增大。因此,将半导体层的碱金属或碱土金属的浓度(通过二次离子质谱分析法测得的浓度)设定为 $1 \times 10^{18} \text{atoms}/\text{cm}^3$ 以下,优选为 $2 \times 10^{16} \text{atoms}/\text{cm}^3$ 以下。

[0189] 另外,当构成半导体层的氧化物半导体含有氮时生成作为载流子的电子,载流子

密度增加而容易n型化。其结果是,使用含有氮的氧化物半导体的晶体管容易变为常开启特性。因此,半导体层的氮浓度(通过二次离子质谱分析法测得的浓度)优选为 5×10^{18} atoms/cm³以下。

[0190] 另外,当构成半导体层的氧化物半导体包含氢时,氢与键合于金属原子的氧起反应生成水,因此有时在氧化物半导体中形成氧空位。在氧化物半导体中的沟道形成区域包含氧空位的情况下,晶体管趋于具有常开启特性。再者,有时氢进入氧空位中而成的缺陷被用作供体而生成作为载流子的电子。此外,有时氢的一部分键合到与金属原子键合的氧而生成作为载流子的电子。因此,使用包含较多的氢的氧化物半导体的晶体管容易具有常开启特性。

[0191] 氢进入氧空位中的缺陷会被用作氧化物半导体的供体。然而,定量地评价该缺陷是困难的。于是,在氧化物半导体中,有时不是根据供体浓度而是根据载流子浓度进行评价。由此,在本说明书等中,有时作为氧化物半导体的参数,不采用供体浓度而采用假定为不被施加电场的状态的载流子浓度。也就是说,本说明书等所记载的“载流子浓度”有时可以称为“供体浓度”。

[0192] 由此,优选尽可能减少氧化物半导体中的氢。具体而言,在氧化物半导体膜中,利用二次离子质谱(SIMS:Secondary Ion Mass Spectrometry)测得的氢浓度低于 1×10^{20} atoms/cm³,优选低于 1×10^{19} atoms/cm³,更优选低于 5×10^{18} atoms/cm³,进一步优选低于 1×10^{18} atoms/cm³。通过将氢等杂质被充分减少的氧化物半导体用于晶体管的沟道形成区域,可以赋予稳定的电特性。

[0193] 另外,半导体层例如也可以具有非单晶结构。非单晶结构例如包括具有c轴取向的结晶的CAAC-OS(C-Axis Aligned Crystalline Oxide Semiconductor)、多晶结构、微晶结构或非晶结构。在非单晶结构中,非晶结构的缺陷态密度最高,而CAAC-OS的缺陷态密度最低。

[0194] 非晶结构的氧化物半导体膜例如具有无秩序的原子排列且不具有结晶成分。或者,非晶结构的氧化物膜例如是完全的非晶结构且不具有结晶部。

[0195] 此外,半导体层也可以为具有非晶结构的区域、微晶结构的区域、多晶结构的区域、CAAC-OS的区域和单晶结构的区域中的两种以上的混合膜。混合膜有时例如具有包括上述区域中的两种以上的区域的单层结构或叠层结构。

[0196] 下面,对非单晶半导体层的一个方式的CAC(Cloud-Aligned Composite)-OS的构成进行说明。

[0197] CAC-OS例如是指包含在氧化物半导体中的元素不均匀地分布的构成,其中包含不均匀地分布的元素的材料的尺寸为0.5nm以上且10nm以下,优选为1nm以上且2nm以下或近似的尺寸。注意,在下面也将在氧化物半导体中一个或多个金属元素不均匀地分布且包含该金属元素的区域以0.5nm以上且10nm以下,优选为1nm以上且2nm以下或近似的尺寸混合的状态称为马赛克(mosaic)状或补丁(patch)状。

[0198] 氧化物半导体优选至少包含镧。尤其优选包含镧及铈。除此之外,也可以还包含选自铝、镓、铟、铜、钒、铍、硼、硅、钛、铁、镍、钴、锆、钼、镉、铈、钕、钐、钆、铪和镁等中的一种或多种。

[0199] 例如,In-Ga-Zn氧化物中的CAC-OS(在CAC-OS中,尤其可以将In-Ga-Zn氧化物称为

CAC-IGZO)是指材料分成铟氧化物(以下,称为 InO_{x_1} (x_1 为大于0的实数))或铟锌氧化物(以下,称为 $\text{In}_{x_2}\text{Zn}_{y_2}\text{O}_{z_2}$ (x_2 、 y_2 及 z_2 为大于0的实数))以及镓氧化物(以下,称为 GaO_{x_3} (x_3 为大于0的实数))或镓锌氧化物(以下,称为 $\text{Ga}_{x_4}\text{Zn}_{y_4}\text{O}_{z_4}$ (x_4 、 y_4 及 z_4 为大于0的实数))等而成为马赛克状,且马赛克状的 InO_{x_1} 或 $\text{In}_{x_2}\text{Zn}_{y_2}\text{O}_{z_2}$ 均匀地分布在膜中的构成(以下,也称为云状)。

[0200] 换言之,CAC-OS是具有以 GaO_{x_3} 为主要成分的区域和以 $\text{In}_{x_2}\text{Zn}_{y_2}\text{O}_{z_2}$ 或 InO_{x_1} 为主要成分的区域混在一起的构成的复合氧化物半导体。在本说明书中,例如,当第一区域的In与元素M的原子数比大于第二区域的In与元素M的原子数比时,第一区域的In浓度高于第二区域。

[0201] 注意,IGZO是通称,有时是指包含In、Ga、Zn及O的化合物。作为典型例子,可以举出以 $\text{InGaO}_3(\text{ZnO})_{m_1}$ (m_1 为自然数)或 $\text{In}_{(1+x_0)}\text{Ga}_{(1-x_0)}\text{O}_3(\text{ZnO})_{m_0}$ ($-1 \leq x_0 \leq 1$, m_0 为任意数)表示的结晶性化合物。

[0202] 上述结晶性化合物具有单晶结构、多晶结构或CAAC结构。CAAC结构是多个IGZO的纳米晶具有c轴取向性且在a-b面上以不取向的方式连接的结晶结构。

[0203] 另一方面,CAC-OS与氧化物半导体的材料构成有关。CAC-OS是指如下构成:在包含In、Ga、Zn及O的材料构成中,一部分中观察到以Ga为主要成分的纳米粒子状区域,一部分中观察到以In为主要成分的纳米粒子状区域,并且,这些区域以马赛克状无规律地分散。因此,在CAC-OS中,结晶结构是次要因素。

[0204] CAC-OS不包含组成不同的两种以上的膜的叠层结构。例如,不包含由以In为主要成分的膜与以Ga为主要成分的膜的两层构成的结构。

[0205] 注意,有时观察不到以 GaO_{x_3} 为主要成分的区域与以 $\text{In}_{x_2}\text{Zn}_{y_2}\text{O}_{z_2}$ 或 InO_{x_1} 为主要成分的区域之间的明确的边界。

[0206] 在CAC-OS中包含选自铝、铋、铜、钒、铍、硼、硅、钛、铁、镍、锆、锆、钼、镧、铈、钕、钐、钆、铟、钨和镁等中的一种或多种以代替镓的情况下,CAC-OS是指如下构成:一部分中观察到以该金属元素为主要成分的纳米粒子状区域以及一部分中观察到以In为主要成分的纳米粒子状区域以马赛克状无规律地分散。

[0207] CAC-OS例如可以通过在对衬底不进行意图性的加热的条件下利用溅射法来形成。在利用溅射法形成CAC-OS的情况下,作为成膜气体,可以使用选自惰性气体(典型的是氩)、氧气体和氮气体中的一种或多种。另外,成膜时的成膜气体的总流量中的氧气体的流量比越低越好,例如,将氧气体的流量比设定为0%以上且低于30%,优选为0%以上且10%以下。

[0208] CAC-OS具有如下特征:通过根据X射线衍射(XRD:X-ray diffraction)测定法之一的Out-of-plane法利用 $\theta/2\theta$ 扫描进行测定时,观察不到明确的峰值。也就是说,根据X射线衍射,可知在测定区域中没有a-b面方向及c轴方向上的取向。

[0209] 另外,在通过照射束径为1nm的电子束(也称为纳米束)而取得的CAC-OS的电子衍射图案中,观察到环状的亮度高的区域(环状区域)以及在该环状区域内的多个亮点。由此,根据电子衍射图案,可知CAC-OS的结晶结构具有在平面方向及截面方向上没有取向的nc(nano-crystal)结构。

[0210] 另外,例如在In-Ga-Zn氧化物的CAC-OS中,根据通过能量分散型X射线分析法(EDX:Energy Dispersive X-ray spectroscopy)取得的EDX面分析图像(EDX-mapping),可

确认到:具有以 $\text{GaO}_{\text{X}3}$ 为主要成分的区域及以 $\text{In}_{\text{X}2}\text{Zn}_{\text{Y}2}\text{O}_{\text{Z}2}$ 或 $\text{InO}_{\text{X}1}$ 为主要成分的区域不均匀地分布而混合的构成。

[0211] CAC-OS的结构与金属元素均匀地分布的IGZO化合物不同,具有与IGZO化合物不同的性质。换言之,CAC-OS具有以 $\text{GaO}_{\text{X}3}$ 等为主要成分的区域及以 $\text{In}_{\text{X}2}\text{Zn}_{\text{Y}2}\text{O}_{\text{Z}2}$ 或 $\text{InO}_{\text{X}1}$ 为主要成分的区域互相分离且以各元素为主要成分的区域为马赛克状的构成。

[0212] 在此,以 $\text{In}_{\text{X}2}\text{Zn}_{\text{Y}2}\text{O}_{\text{Z}2}$ 或 $\text{InO}_{\text{X}1}$ 为主要成分的区域导电性高于以 $\text{GaO}_{\text{X}3}$ 等为主要成分的区域。换言之,当载流子流过以 $\text{In}_{\text{X}2}\text{Zn}_{\text{Y}2}\text{O}_{\text{Z}2}$ 或 $\text{InO}_{\text{X}1}$ 为主要成分的区域时,呈现氧化物半导体的导电性。因此,当以 $\text{In}_{\text{X}2}\text{Zn}_{\text{Y}2}\text{O}_{\text{Z}2}$ 或 $\text{InO}_{\text{X}1}$ 为主要成分的区域在氧化物半导体中以云状分布时,可以实现高场效应迁移率(μ)。

[0213] 另一方面,以 $\text{GaO}_{\text{X}3}$ 等为主要成分的区域绝缘性高于以 $\text{In}_{\text{X}2}\text{Zn}_{\text{Y}2}\text{O}_{\text{Z}2}$ 或 $\text{InO}_{\text{X}1}$ 为主要成分的区域。换言之,当以 $\text{GaO}_{\text{X}3}$ 等为主要成分的区域在氧化物半导体中分布时,可以抑制泄漏电流而实现良好的开关工作。

[0214] 因此,当将CAC-OS用于半导体元件时,通过起因于 $\text{GaO}_{\text{X}3}$ 等的绝缘性及起因于 $\text{In}_{\text{X}2}\text{Zn}_{\text{Y}2}\text{O}_{\text{Z}2}$ 或 $\text{InO}_{\text{X}1}$ 的导电性的互补作用可以实现高通态电流(I_{on})及高场效应迁移率(μ)。

[0215] 另外,使用CAC-OS的半导体元件具有高可靠性。因此,CAC-OS适用于各种半导体装置的构成材料。

[0216] <叠层结构1>

接着,参照截面图对摄像装置的叠层结构进行说明。注意,以下所示的绝缘层及导电层等构成要素只是一个例子,也可以含有其他的构成要素。或者,也可以省略以下所示的构成要素的一部分。另外,以下所示的叠层结构可以根据需要利用贴合工序、抛光工序等形成。

[0217] 图18是如下叠层体的截面图的一个例子,该叠层体包括层560、561、层563,并在构成层563的层563a与层563b间具有贴合面。

[0218] <层563b>

层563b包括设置在硅衬底611的功能电路。在此,作为功能电路的一部分示出电路201中的电容器202、晶体管203及晶体管204。电容器202的一个电极、晶体管203的源极和漏极中的一方与晶体管204的栅极电连接。

[0219] 层563b设置有硅衬底611、绝缘层612、613、614、615、616、617、618。绝缘层612用作保护膜。绝缘层613、613、616、617用作层间绝缘膜及平坦化膜。绝缘层615用作电容器202的介电层。绝缘层618及导电层619用作贴合层。导电层619与电容器202的一个电极电连接。

[0220] 作为保护膜,例如可以使用氮化硅膜、氧化硅膜、氧化铝膜等。作为层间绝缘膜及平坦化膜,例如可以使用氧化硅膜等的无机绝缘膜、丙烯酸树脂、聚酰亚胺树脂等的有机绝缘膜。作为电容器的介电质层,可以使用氮化硅膜、氧化硅膜、氧化铝膜等。贴合层将在后面进行详述。

[0221] 作为可以作为用于器件间的电连接的布线、电极及插头使用的导体,适当地选择选自铝、铬、铜、银、金、铂、钽、镍、钛、钼、钨、钨、钒、铌、锰、镁、锆、铍、铟、钇、铈和镧等中的金属元素、以上述金属元素为成分的合金或者组合上述金属元素的合金等而使用即可。该导体既可以为单层又可以为由不同材料构成的多个层。

[0222] <层563a>

层563a包括像素100的构成要素。在此,作为像素100的构成要素的一部分示出晶体管102及晶体管108。图18所示的截面图中没有示出两者电连接的样子。

[0223] 层563a中设置有硅衬底632、绝缘层631、633、634、635、637、638。另外,还设置有导电层636、639。

[0224] 绝缘层631及导电层639可以用作贴合层。绝缘层634、635、637可以用作层间绝缘膜及平坦化膜。绝缘层633可以用作保护膜。绝缘层638可以使硅衬底632与导电层639绝缘。绝缘层638可以使用与其他绝缘层同样的材料形成。另外,绝缘层638可以使用与绝缘层631相同的材料形成。

[0225] 导电层639与晶体管108的源极和漏极中的另一方及导电层619电连接。另外,导电层636与布线113(参照图3A)电连接。

[0226] 图18所示的Si晶体管是在硅衬底(硅衬底611、632)中具有沟道形成区的鳍型晶体管。图19A示出沟道宽度方向的截面(图18的层563a的A1-A2截面)。另外,Si晶体管也可以是图19B所示的平面型晶体管。

[0227] 另外,如图19C所示,也可以采用包括硅薄膜的半导体层545的晶体管。例如,半导体层545可以使用在硅衬底611上的绝缘层546上形成的单晶硅(SOI(Silicon on Insulator:绝缘体上硅))。

[0228] <层561>

层561包括光电转换器件101。光电转换器件101可以形成在层563a上。图18中,示出作为光电转换器件101将图17C所示的有机光电膜用作光电转换层的结构。这里,层567a为阴极,层567e为阳极。

[0229] 层561中设置有绝缘层651、652、653、654及导电层655。

[0230] 绝缘层651、653、654用作层间绝缘膜及平坦化膜。另外,绝缘层654以覆盖光电转换器件101的端部的方式设置而能够防止层567e和层567a之间发生短路。绝缘层652用作元件分离层。元件分离层优选使用有机绝缘膜等。

[0231] 相当于光电转换器件101的阴极的层567a与层563a中的晶体管102的源极和漏极中的一方电连接。相当于光电转换器件101的阳极的层567e通过导电层655与层563a中的导电层636电连接。

[0232] <层560>

层560形成在层561上。层560包括遮光层671、光学转换层672及微透镜阵列673。

[0233] 遮光层671可以抑制光入射到相邻的像素。作为遮光层671可以使用铝、钨等的金属层。另外,也可以层叠该金属层与具有作为反射防止膜的功能的介电质膜。

[0234] 作为光学转换层672可以使用滤色片。通过按每个像素使各滤色片具有(红色)、G(绿色)、B(蓝色)、Y(黄色)、C(青色)和M(品红色)等的颜色,可以获得彩色图像。

[0235] 另外,在作为光学转换层672使用波长截止滤波器时,可以实现能够获得各种波长区域的图像的摄像装置。

[0236] 例如,当作为光学转换层672使用阻挡可见光线的波长以下的光的滤光片时,可以获得红外线摄像装置。另外,通过作为光学转换层672使用阻挡近红外线的波长以下的光的滤光片,可以形成远红外线摄像装置。另外,通过作为光学转换层672使用阻挡可见光线的波长以上的光的滤光片,可以形成紫外线摄像装置。

[0237] 另外,通过将闪烁体用于光学转换层672,可以形成用于X射线摄像装置等的获得使辐射强度可视化的图像的摄像装置。当透过拍摄对象的X射线等辐射入射到闪烁体时,由于光致发光现象而转换为可见光线或紫外光线等的光(荧光)。通过由光电转换装置101检测该光来获得图像数据。此外,也可以将该结构的摄像装置用于辐射探测器等。

[0238] 闪烁体含有如下物质:当闪烁体被照射X射线或伽马射线等辐射时吸收辐射的能量而发射可见光或紫外线的物质。例如,可以使用将 $Gd_2O_2S:Tb$ 、 $Gd_2O_2S:Pr$ 、 $Gd_2O_2S:Eu$ 、 $BaFCl:Eu$ 、 NaI 、 CsI 、 CaF_2 、 BaF_2 、 CeF_3 、 LiF 、 LiI 、 ZnO 等分散到树脂或陶瓷中的材料。

[0239] 在光学转换层672上设置微透镜阵列673。透过微透镜阵列673所包括的各透镜的光穿过正下方的光学转换层672而照射到光电转换装置101。通过设置微透镜阵列673,可以将所集聚的光入射到光电转换装置101,所以可以高效地进行光电转换。微透镜阵列673优选由对可见光具有高透光性的树脂或玻璃等形成。

[0240] <贴合>

接着,说明层563b与层563a的贴合。

[0241] 层563b中设置有绝缘层618及导电层619。导电层619具有嵌入绝缘层618中的区域。另外,绝缘层618及导电层619的表面以高度一致的方式被平坦化。

[0242] 层563a中设置有绝缘层631及导电层639。导电层639具有嵌入绝缘层631中的区域。另外,绝缘层631及导电层639的表面以高度一致的方式被平坦化。

[0243] 在此,导电层619及导电层639的主要成分优选为相同的金属元素。另外,绝缘层618及绝缘层631优选由相同的成分构成。

[0244] 例如,作为导电层619、639可以使用Cu、Al、Sn、Zn、W、Ag、Pt或Au等。从接合的容易性的观点来看,优选使用Cu、Al、W或Au。另外,绝缘层618、631可以使用氧化硅、氧氮化硅、氮氧化硅、氮化硅、氮化钛等。

[0245] 换言之,优选的是,作为导电层619和导电层639都使用在上面所示的相同金属材料。另外,优选的是,作为绝缘层618及绝缘层631都使用与上述绝缘材料相同的绝缘材料。通过采用上述结构,可以进行以层563b和层563a的边界为贴合位置的贴合。

[0246] 注意,导电层619及导电层639也可以具有多个层的多层结构,此时表面层(接合面)使用相同金属材料即可。另外,绝缘层618及绝缘层631也可以具有多个层的多层结构,此时表面层(接合面)为相同的绝缘材料即可。

[0247] 通过进行该贴合,可以获得导电层619与导电层639的电连接。另外,可以以足够的机械强度使绝缘层618及绝缘层631连接。

[0248] 当接合金属层时,可以利用表面活化接合法。在该方法中,通过溅射处理等去除表面的氧化膜及杂质吸附层等并使清洁化且活化了的表面接触而接合。或者,可以利用并用温度及压力使表面接合的扩散接合法等。上述方法都可以发生原子级的结合,因此可以获得电气上和机械上都优异的接合。

[0249] 另外,当接合绝缘层时,可以利用亲水性接合法等。在该方法中,在通过抛光等获得高平坦性之后,使利用氧等离子体等进行过亲水性处理的表面接触而暂时接合,利用热处理进行脱水,由此进行正式接合。亲水性接合法也发生原子级的结合,因此可以获得机械上优异的接合。

[0250] 在贴合层563b与层563a的情况下,由于在各接合面绝缘层与金属层是混合的,所

以,例如,组合表面活化接合法及亲水性接合法即可。

[0251] 例如,可以采用在进行抛光之后使表面清洁化,对金属层的表面进行防氧处理,然后进行亲水性处理来进行接合的方法等。另外,也可以作为金属层的表面使用Au等难氧化性金属,进行亲水性处理。另外,也可以使用上述以外的接合方法。

[0252] 通过上述贴合可以使层563b中的电路201与层563a中的像素100的构成要素电连接。

[0253] <叠层结构1的变形实例>

图20是图18所示的叠层结构的变形实例,层561中的光电转换器件101的结构以及层563a的部分结构不同,层561与层563a间有贴合面。

[0254] 层561包括光电转换器件101、绝缘层661、662、664、665及导电层135、136。

[0255] 光电转换器件101是形成在硅衬底上的pn接合型光电二极管,包括相当于p型区域的层565b及相当于n型区域的层565a。光电转换器件101是嵌入式光电二极管,通过设置在层565a的表面一侧(取出电流侧)的较薄的p型区域(层565b的一部分)抑制暗电流,从而减少噪声。

[0256] 绝缘层661、导电层135、136能够用作贴合层。绝缘层662能够用作层间绝缘膜及平坦化膜。绝缘层664能够用作元件分离层。绝缘层665能够抑制载流子的流出。

[0257] 硅衬底中设置有使像素分离的开口部,绝缘层665设置在硅衬底顶面及该开口部中。通过设置绝缘层665可以抑制光电转换器件101内产生的载流子流入到相邻的像素。另外,绝缘层665能够抑制杂散光的侵入。因此,利用绝缘层665可以抑制混色。另外,也可以在硅衬底的顶面与绝缘层665之间设置反射防止膜。

[0258] 元件分离层可以利用LOCOS(LOCal Oxidation of Silicon:硅局部氧化)法形成。或者,也可以利用STI(Shallow Trench Isolation:浅沟槽隔离)法等形成。绝缘层665例如可以使用氧化硅、氮化硅等无机绝缘膜、聚酰亚胺、丙烯酸等有机绝缘膜。另外,绝缘层665也可以采用多层结构。

[0259] 光电转换器件101的层565a(n型区域,相当于阴极)与导电层135电连接。层565b(p型区域,相当于阳极)与导电层136电连接。导电层135、136具有嵌入绝缘层661中的区域。另外,绝缘层661及导电层135、136的表面以高度一致的方式被平坦化。

[0260] 在层563a中绝缘层637上形成有绝缘层638。此外,还形成有与晶体管102的源极和漏极中的一方电连接的导电层133及与导电层636电连接的导电层134。

[0261] 绝缘层638、导电层133、134能够用作贴合层。导电层133、134具有嵌入绝缘层638的区域。另外,绝缘层638及导电层133、134的表面以高度一致的方式被平坦化。

[0262] 在此,导电层133、134、135、136是与上述导电层619、639相同的贴合层。另外,绝缘层638、661是与上述绝缘层618、631相同的贴合层。

[0263] 因此,通过贴合导电层133和导电层135,可以使光电转换器件的层565a(n型区域,相当于阴极)与晶体管102的源极和漏极中的一方电连接。另外,通过贴合导电层134与导电层136,可以使光电转换器件的层565b(p型区域,相当于阳极)与布线113(参照图3)电连接。另外,通过贴合绝缘层638与绝缘层661,可以进行层561与层563a的电接合及机械接合。

[0264] <叠层结构2>

图21是包括层560、561、562、563而不具有贴合面的叠层体的截面图的一个例子。

层563中设置有Si晶体管。层562中设置有OS晶体管。在此,对层562及层563中设置有存储电路的构成要素且层563中设置有存储电路的驱动电路的例子进行说明。注意,层561及层560的结构与图18所示的结构相同,所以省略其说明。

[0265] <层563>

层563包括设置在硅衬底611上的功能电路。在此,作为功能电路的一部分示出存储电路的驱动电路中的晶体管251以及存储电路中的晶体管252、253。

[0266] <层562b>

层562b形成在层563上。层562b包括OS晶体管。在此,作为存储电路的一部分示出晶体管254。

[0267] 层562b中设置有绝缘层621、622、623、624、625、626、628、629。另外,还设置有导电层627。导电层627可以与布线113(参照图3)电连接。

[0268] 绝缘层621用作阻挡层。绝缘层622、623、625、626、628、629用作层间绝缘膜及平坦化膜。绝缘层624用作保护膜。

[0269] 阻挡层优选使用能够防止氢扩散的膜。在Si器件中,为了使悬空键终结需要氢,但是OS晶体管附近的氢成为在氧化物半导体层中产生载流子的原因之一而降低可靠性。因此,在形成Si器件的层与形成OS晶体管的层间优选设置氢的阻挡膜。

[0270] 作为该阻挡膜,例如可以使用氧化铝、氧氮化铝、氧化镓、氧氮化镓、氧化钇、氧氮化钇、氧化钪、氧氮化钪、氧化钕稳定氧化锆(YSZ)等。

[0271] 在此,层563及层562b中的存储电路在存储单元中包括晶体管254、晶体管253及晶体管252。晶体管254的源极和漏极中的一方与晶体管253的栅极电连接。晶体管254的栅极与存储电路的驱动电路中的晶体管251电连接。

[0272] 存储单元以晶体管253的栅极为数据保持部利用晶体管254进行数据写入。通过使晶体管252导通进行存储单元的读出。通过作为与数据保持部连接的晶体管254使用关态电流小的OS晶体管,可以延长数据的保持时间。详细可以参照后面所述的实施方式中的NOSRAM等的说明。

[0273] 图22A示出详细的OS晶体管。图22A所示的OS晶体管具有通过在氧化物半导体层及导电层的叠层上设置绝缘层而设置到达该氧化物半导体层的开口部来形成源电极705及漏电极706的自对准型的结构。

[0274] 除了形成在氧化物半导体层的沟道形成区域、源极区域703及漏极区域704以外,OS晶体管还可以包括栅电极701、栅极绝缘膜702。在该开口部中至少设置栅极绝缘膜702及栅电极701。在该槽中也可以还设置氧化物半导体层707。

[0275] 如图22B所示,OS晶体管也可以采用使用栅电极701作为掩模在半导体层形成源极区域703及漏极区域704的自对准型的结构。

[0276] 或者,如图22C所示,可以采用具有源电极705或漏电极706与栅电极701重叠的区域的非自对准型的顶栅极型晶体管。

[0277] OS晶体管包括背栅极535,但也可以不包括背栅极。如图22D所示的晶体管的沟道宽度方向的截面图那样,背栅极535也可以与相对的晶体管的前栅极电连接。作为一个例子,图22D示出图22A所示的晶体管的B1-B2的截面,其他结构的晶体管也是同样的。另外,也可以采用能够对背栅极535供应与前栅极不同的固定电位的结构。

[0278] <层562a>

层562a形成在层562b上。层562a包括具有OS晶体管的像素100的构成要素。在此，作为像素100的构成要素的一部分示出晶体管102及晶体管103。

[0279] 层562a设置有绝缘层641、642、643、644、645、647。此外，设置有导电层646。

[0280] 绝缘层641、642、644、645、647用作层间绝缘膜及平坦化膜。绝缘层643用作保护膜。

[0281] 晶体管102的源极和漏极中的一方与层561中的光电转换器件101的阴极电连接。导电层646与层561中的光电转换器件101的阳极及层562b中的导电层627电连接。

[0282] 注意，虽然图21的截面图中没有示出，层562a中的像素电路可以与层563中的电路201电连接。另外，电路201可以与其他的功能电路电连接。

[0283] <叠层结构2的变形实例>

图23是图22所示的叠层结构的变形实例，层561中的光电转换器件101的结构以及层562a的一部分结构不同，在层561与层562a间具有贴合面。

[0284] 层561中的光电转换器件101是形成在硅衬底上的pn接合型光电二极管，与图20所示的结构相同。

[0285] 在层562a中，绝缘层647上形成有绝缘层648。此外，还形成有与晶体管102的源极和漏极中的一方电连接的导电层138以及与导电层646电连接的导电层139。

[0286] 绝缘层648、导电层138、139能够用作贴合层。导电层138、139具有嵌入绝缘层648的区域。另外，绝缘层648及导电层133、134的表面以高度一致的方式被平坦化。

[0287] 在此，导电层138、139是与上述导电层619、639相同的贴合层。另外，绝缘层648是与上述绝缘层618、631相同的贴合层。

[0288] 因此，通过贴合导电层138与导电层135，可以使光电转换器件的层565a (n型区域、相当于阴极) 与晶体管102的源极和漏极中的一方电连接。另外，通过贴合导电层139与导电层136，可以使光电转换器件的层565b (p型区域、相当于阳极) 与布线113 (参照图3) 电连接。另外，通过贴合绝缘层648与绝缘层661，可以进行层561与层562a的电接合及机械接合。

[0289] 当层叠多个Si器件时，需要多次进行抛光工序、贴合工序。因此其存在工序数多、需要专用装置、成品率低等问题且制造成本高。由于OS晶体管可以以层叠在形成有器件的硅衬底上的方式形成，所以可以减少贴合工序。

[0290] 图24A1是收纳图像传感器芯片的封装的顶面一侧的外观立体图。该封装包括使图像传感器芯片450 (参照图24A3) 固定的封装衬底410、玻璃盖板420及贴合它们的粘合剂430等。

[0291] 图24A2是该封装的底面一侧的外观立体图。在封装的底面包括以焊球为凸块440的BGA (Ball grid array:球栅阵列)。注意，不局限于BGA，也可以包括LGA (Land grid array:地栅阵列)、PGA (Pin Grid Array:针栅阵列) 等。

[0292] 图26A3是省略玻璃盖板420及粘合剂430的一部分而图示的封装的立体图。在封装衬底410上形成电极焊盘460，电极焊盘460与凸块440通过通孔电连接。电极焊盘460通过引线470与图像传感器芯片450电连接。

[0293] 另外，图24B1是将图像传感器芯片收纳在透镜一体型封装内的相机模块的顶面一侧的外观立体图。该相机模块包括使图像传感器芯片451 (图24B3) 固定的封装衬底411、透

镜盖421及透镜435等。另外,在封装衬底411及图像传感器芯片451之间设置有用作摄像装置的驱动电路及信号转换电路等的IC芯片490(图24B3),具有SiP(System inpackage:系统封装)的结构。

[0294] 图24B2是该相机模块的底面一侧的外观立体图。封装衬底411的底面及侧面具有设置有安装用连接盘441的QFN(Quad flat no-lead package:四侧无引脚扁平封装)的结构。注意,该结构是一个例子,也可以设置QFP(Quad flatpackage:四侧引脚扁平封装)或上述BGA。

[0295] 图24B3是省略透镜盖421及透镜435的一部分而图示的模块的立体图。连接盘441与电极焊盘461电连接,电极焊盘461通过导线471与图像传感器芯片451或IC芯片490电连接。

[0296] 通过将图像传感器芯片容纳于上述方式的封装中,可以容易实现安装于印刷电路板等,将图像传感器芯片安装在各种半导体装置及电子设备中。

[0297] 本实施方式可以与其他实施方式的记载适当地组合。

[0298] (实施方式3)

本实施方式中说明能够用作实施方式2中说明的功能电路并能够与像素电路层叠的存储电路。

[0299] 存储电路能够储存像素电路拍摄的数据或积和运算结果。因此,具有存储电路的摄像装置能够进行高速的拍摄及运算。

[0300] 图25A是示出存储电路321所包括的构成要素(存储单元321a、行驱动器312与列驱动器313)的连接关系的图。构成存储单元321a的晶体管优选使用0S晶体管。

[0301] 存储电路321包括在一个列上 m (m 为1以上的整数)个且在一个行上 n (n 为1以上的整数)个,共 $m \times n$ 个的存储单元321a,存储单元321a以矩阵状配置。图25A也示出存储单元321a的地址。例如,[1,1]表示位于第1行第1列的地址的存储单元321a,[i , j](i 为1以上且 m 以下的整数、 j 为1以上且 n 以下的整数)表示位于第 i 行第 j 列的地址的存储单元321a。使存储电路321与行驱动器312连接的布线的数量根据存储单元321a的结构、一个列上的存储单元321a的数量等而决定。另外,使存储电路321与列驱动器313连接的布线的数量根据存储单元321a的结构、一行上的存储单元321a的数量等而决定。

[0302] 图25B至图25E是说明能够用于存储单元321a的存储单元321aA至存储单元321aD的图。注意,在以下说明中,位线类可以连接到列驱动器313。另外,字线类可以连接到行驱动器312。

[0303] 作为行驱动器312及列驱动器313,例如可以使用解码器或移位寄存器。另外,也可以设置多个行驱动器312及多个列驱动器313。

[0304] [DOSRAM]

图25B示出DRAM型的存储单元321aA的电路结构实例。在本说明书等中,将使用0S晶体管的DRAM称为DOSRAM(Dynamic Oxide Semiconductor Random Access Memory:动态氧化物半导体随机存取存储器)。存储单元321aA包括晶体管M11及电容器Cs。

[0305] 晶体管M11的第一端子与电容器Cs的第一端子连接,晶体管M11的第二端子与布线B1L连接,晶体管M11的栅极与布线WL连接,晶体管M11的背栅极与布线BGL连接。电容器Cs的第二端子与布线GNDL连接。布线GNDL是供应低电平电位(也称为基准电位)的布线。

[0306] 布线BIL被用作位线。布线WL被用作字线。布线BGL用作对晶体管M11的背栅极施加电位的布线。通过对布线BGL施加任意电位,可以增减晶体管M11的阈值电压。

[0307] 数据的写入及读出通过对布线WL施加高电平电位使晶体管M11变为导通状态而使布线BIL与电容器Cs的第一端子电连接而进行。

[0308] 作为晶体管M11优选使用0S晶体管。另外,0S晶体管的半导体层优选使用含有镧、元素M(元素M为铝、镓、铋和锡中的一个或多个)、锌中的任意一个的氧化物半导体。尤其是,优选使用包含镧、镓及锌的氧化物半导体。

[0309] 使用含有镧、镓、锌的氧化物半导体的0S晶体管具有关态电流极小的特性。通过作为晶体管M11使用0S晶体管,可以使晶体管M11的泄漏电流非常低。也就是说,可以利用晶体管M11长时间地保持写入数据,由此可以降低存储单元的刷新频率。或者,可以无需进行存储单元的刷新工作。

[0310] [NOSRAM]

图25C示出包括2个晶体管和1个电容器的增益单元型(也称为“2Tr1C型”)的存储单元321aB的电路结构实例。存储单元321aB包括晶体管M11、晶体管M3及电容器Cs。

[0311] 晶体管M11的第一端子与电容器Cs的第一端子连接,晶体管M11的第二端子与布线WBL连接,晶体管M11的栅极与布线WL连接,晶体管M11的背栅极与布线BGL连接。电容器Cs的第二端子与布线RL连接。晶体管M3的第一端子与布线RBL连接,晶体管M3的第二端子与布线SL连接,晶体管M3的栅极与电容器Cs的第一端子连接。

[0312] 布线WBL被用作写入位线。布线RBL被用作读出位线。布线WL被用作字线。布线RL用作对电容器Cs的第二端子施加预定电位的布线。数据写入时、正在进行数据保持时,优选对布线RL施加基准电位。

[0313] 布线BGL用作对晶体管M11的背栅极施加电位的布线。通过对布线BGL施加任意电位,可以增减晶体管M11的阈值电压。

[0314] 数据的写入通过对布线WL施加高电平电位使晶体管M11变为导通状态以使布线WBL与电容器Cs的第一端子电连接来进行。具体地,在晶体管M11为导通状态时,对布线WBL施加对应于要记录的信息的电位来对电容器Cs的第一端子及晶体管M3的栅极写入该电位。然后,对布线WL施加低电平电位使晶体管M11变为非导通状态,由此保持电容器Cs的第一端子的电位及晶体管M3的栅极的电位。

[0315] 数据的读出通过对布线RL和布线SL施加预定的电位来进行。由于晶体管M3的源极-漏极间流过的电流及晶体管M3的第一端子的电位由晶体管M3的栅极的电位及晶体管M3的第二端子的电位决定,所以通过读出与晶体管M3的第一端子连接的布线RBL的电位,可以读出电容器Cs的第一端子(或晶体管M3的栅极)所保持的电位。也就是说,可以从电容器Cs的第一端子(或晶体管M3的栅极)所保持的电位读出该存储单元中写入的信息。或者,可以知道该存储单元是否被写入信息。

[0316] 另外,如图25D所示,也可以采用将布线WBL与布线RBL合为一个布线BIL的结构。在图25D所示的存储单元321aC中,存储单元321aB的布线WBL与布线RBL合为一个布线BIL,晶体管M11的第二端子及晶体管M3的第一端子与布线BIL连接。也就是说,存储单元321aC将写入位线和读出位线合为一个布线BIL工作。

[0317] 另外,存储单元321aB及存储单元321aC的晶体管M11也优选使用0S晶体管。将使用

存储单元321aB及存储单元321aC那样的作为晶体管M11使用0S晶体管的2Tr1C型的存储单元的存储装置称为NOSRAM(Non-volatile Oxide Semiconductor Random Access Memory:氧化物半导体非易失性随机存取存储器)。

[0318] 另外,图25E示出3个晶体管1个电容器的增益单元型(也称为“3Tr1C型”)的存储单元321aD的电路结构实例。存储单元321aD包括晶体管M11、晶体管M5、晶体管M6及电容器Cs。

[0319] 晶体管M11的第一端子与电容器Cs的第一端子连接,晶体管M11的第二端子与布线BIL连接,晶体管M11的栅极与布线WL连接,晶体管M11的背栅极与布线BGL电连接。电容器Cs的第二端子与晶体管M5的第一端子、布线GNDL电连接。晶体管M5的第二端子与晶体管M6的第一端子连接,晶体管M5的栅极与电容器Cs的第一端子连接。晶体管M6的第二端子与布线BIL连接,晶体管M6的栅极与布线RL连接。

[0320] 布线BIL用作位线,布线WL用作写入字线,布线RL用作读出字线。

[0321] 布线BGL用作对晶体管M11的背栅极施加电位的布线。通过对布线BGL施加任意电位,可以增减晶体管M11的阈值电压。

[0322] 数据的写入通过对布线WL施加高电平电位使晶体管M11变为导通状态以使布线BIL与电容器Cs的第一端子连接来进行。具体地,在晶体管M11为导通状态时,对布线BIL施加对应于要记录的信息的电位来对电容器Cs的第一端子及晶体管M5的栅极写入该电位。然后,对布线WL施加低电平电位使晶体管M11变为非导通状态,由此保持电容器Cs的第一端子的电位及晶体管M5的栅极的电位。

[0323] 数据的读出通过将布线BIL预充电至预定的电位之后使布线BIL变为电浮动状态并对布线RL施加高电平电位来进行。通过使布线RL变为高电平电位,晶体管M6变为导通状态,布线BIL与晶体管M5的第二端子变为电连接状态。此时,晶体管M5的第二端子被施加布线BIL的电位,但是晶体管M5的第二端子的电位及布线BIL的电位会对应电容器Cs的第一端子(或晶体管M5的栅极)所保持的电位改变。这里,可以通过读出布线BIL的电位来读出电容器Cs的第一端子(或晶体管M5的栅极)所保持的电位。也就是说,可以从电容器Cs的第一端子(或晶体管M5的栅极)所保持的电位读出该存储单元中写入的信息。或者,可以知道该存储单元是否被写入信息。

[0324] 另外,存储单元321aD的晶体管M11也优选使用0S晶体管。作为晶体管M11使用了0S晶体管的3Tr1C型的存储单元321aD是前面所述的NOSRAM的一个方式。存储单元可以适当地改变其电路结构。另外,构成存储单元的晶体管也可以使用Si晶体管。

[0325] (实施方式4)

在本实施方式中说明能够用作实施方式2中说明的功能电路并能够与像素电路层叠的半导体装置。

[0326] 本实施方式中说明的半导体装置包括处理器并能够控制摄像装置的工作。本实施方式中说明的半导体装置是处理器及其外围电路的基本结构的一个例子,也可以将具有该结构的电路称为CPU、MCU等。

[0327] 该半导体装置为常关闭型半导体装置并能够进行像素电路及驱动电路的拍摄时序控制等。另外,半导体装置内的能够进行电源门控的电路或电源电路可以进行电源门控变为休眠状态。另外,可以根据需要仅使特定的电路及电源电路变为电源开启模式对像素电路及驱动电路输出拍摄许可信号。此外,半导体装置内如有其他需要的处理等也可以执

行。

[0328] 在设置有上述半导体装置的本发明的一个方式的摄像装置中,例如,在动作检测模式时可以进行电源门控,由此能够实现低功耗化。

[0329] 对半导体装置的结构及其电源管理机构等进行说明。

[0330] <半导体装置的结构实例1>

参照图26A和图26B对半导体装置及其电源管理进行说明。图26A所示的半导体装置包括电源电路10及处理单元(PU:Processing Unit) 20。PU20为具有执行指令的功能的电路。PU20包括集成在一个芯片上的多个功能电路。PU20包括处理器核心30、电源管理单元(PMU) 60、时钟控制电路65、电源开关(PSW) 70以及端子80至端子83。图26A示出电源电路10与PU20设置在不同芯片上的例子。电源电位VDD从电源电路10被输入到端子80。参考时钟信号CLKM从外部被输入到端子81。信号INT从外部被输入到端子82。信号INT为要求中断处理的中断信号。信号INT被输入到PU20及PMU60。由PMU60生成的控制信号被输出到端子83,端子83电连接到电源电路10。

[0331] <处理器核心30、存储电路31>

处理器核心30为具有处理指令的功能的电路,可以被称为运算处理电路。处理器核心30包括存储电路31及组合电路32等,它们构成各种功能电路。例如,存储电路31包括在寄存器中。另外,D表示输入信号,Q表示输出信号。

[0332] 如图26B所示,存储电路31包括电路MemC1及电路BKC1。电路MemC1具有保持由处理器核心30生成的数据的功能,例如,可以由触发器电路、锁存电路等构成。电路BKC1具有作为电路MemC1的备份电路的功能,即使停止供电或者停止时钟信号的供应,也可以长期间地保持数据。通过设置这种存储电路31,能够进行处理器核心30的电源门控。这是因为如下缘故:通过在停止供电之前,在存储电路31中,将电路MemC1的数据备份在电路BKC1中,来保持停止供电时的处理器核心30的状态。当再次开始供电时,由电路BKC1保持的数据被写入电路MemC1,因此可以将处理器核心30恢复到停止供电时的状态。由此,在再次开始供电之后,PU20能够立即进行常规处理工作。

[0333] 电路BKC1至少包括具有一个晶体管(MW1) 及一个电容器(CB1) 的保持电路。图26B所示的保持电路具有与标准的DRAM(动态随机存储器)的1T1C(1晶体管1电容器)型存储单元同样的电路结构,能够与此同样地进行写入、读出工作。通过控制晶体管MW1的导通状态,可以控制电容器CB1的充电和放电。当使晶体管MW1处于关闭状态时,节点FN1成为电浮动状态。通过使晶体管MW1的关闭状态下的漏极电流(关态电流)极小,可以抑制节点FN1的电位变动,因此可以延长电路BKC1的数据保持时间。电路BKC1的数据保持时间取决于晶体管MW1的泄漏电流或电容器CB1的电容等。作为晶体管MW1使用关态电流极小的晶体管,不需要在PU21工作的期间对电路BKC1进行刷新。由此,可以使电路BKC1实际上用作非易失性存储电路。

[0334] 晶体管MW1优选使用0S晶体管。由于0S晶体管关态电流极小,在PU20工作期间,电路BKC1实际上可以用作非易失性存储电路。

[0335] 电路BKC1利用电压进行数据写入,因此与利用电流进行写入的MRAM(磁阻随机存储器)相比可以降低写入功率。另外,由于利用节点FN1的负载电容保持数据,因此与快闪存储器不同,对数据改写次数没有限制。

[0336] 在电路BKC1中,数据写入所需要的能量相当于电容器CB1中的电荷的充放电所需要的能量。另一方面,在使用MRAM等2端子存储元件的存储电路中,数据写入所需要的能量相当于电流流过该存储元件时消耗的能量。在MRAM中,在数据写入期间中电流持续流动,因此数据写入所需要的能量很大。与MRAM相比,电路BKC1可以抑制数据写入所消耗的能量。因此,与由MRAM构成备份电路的存储电路相比,在存储电路31中,可以频繁地进行用来降低能量消耗的电压调节及电源门控,因此可以降低PU20的功耗。

[0337] <电源管理>

PMU60具有控制电源门控工作、时钟门控工作及电压调节工作等的功能。更具体而言,PMU60具有控制电源电路10、存储电路31、时钟控制电路65以及PSW70的功能。因此,PMU60具有生成控制这些电路(电源电路10、存储电路31、时钟控制电路65、PSW70)的控制信号的功能。PMU60包括电路61。电路61具有测定时间的功能。PMU60具有根据由电路61得到的时间的数据进行电源管理的功能。

[0338] PSW70具有根据PMU60的控制信号控制向PU20的电源电位MVDD的供应。在此,将经由PSW70供应到PU20的电源电位称为电源电位VDD。处理器核心30也可以具有多个电源域(power domain)。此时,由PSW70独立地控制向多个电源域供电即可。处理器核心30还可以具有不需要进行电源门控的电源域。此时,也可以向该电源域不经由PSW70供应电源电位。

[0339] 时钟控制电路65具有接收参考时钟信号CLKM而生成门控时钟信号并将其输出的功能。时钟控制电路65具有根据PMU60的控制信号停止向处理器核心30供应时钟信号的功能。电源电路10具有根据PMU60的控制信号改变VDD的电位电平的功能。

[0340] 从处理器核心30输出到PMU60的信号SLP为用来将处理器核心30转移到休眠状态的触发信号。PMU60在接收信号SLP时生成用来将处理器核心30转移到休眠状态的控制信号,将其输出到控制对象的功能电路。电源电路10根据PMU60的控制信号将MVDD设定为比常规工作低的电位。在休眠状态下经过一定时间后,PMU60控制PSW70以停止向处理器核心30供电。当处理器核心30从常规状态转移到休眠状态时,PMU60进行降低处理器核心30的电源电位VDD的电压调节工作。如果休眠状态期间超过指定时间,为了进一步降低处理器核心30的功耗,则进行停止向处理器核心30供应VDD的电源门控工作。下面,对图26A和图26B所示的半导体装置的电源管理进行说明。

[0341] 图27A至图27D是示意性地示出电源线的电位变化的图。电源电位VDD经由PSW70被供应到该电源线。附图中的横轴表示从常规状态转移休眠状态时经过的时间, t_0 、 t_1 等表示时刻。图27A示出在休眠状态下只进行电源门控的例子,图27B示出在休眠状态下只进行电压调节的例子。图27C及图27D示出进行电压调节及电源门控的例子。在常规状态下,从电源电路10供应的电源电位MVDD的电位为VH1。

[0342] 下面,将PU20的电源模式分类成三个模式:电源开启模式、电源关闭模式以及低电源模式。电源开启模式是将能够进行常规处理的电源电位VDD供应到PU20的模式。电源关闭模式是利用PSW70停止VDD的供应的模式。低电源模式是供应比电源开启模式低的电源电位VDD的模式。

[0343] 对图27A的例子进行说明。在时刻 t_0 开始将处理器核心30转移到休眠状态的处理。例如,在存储电路31中进行备份。PMU60控制PSW70以在时刻 t_1 停止向处理器核心30供电。电源线35自放电,其电位降低至0V。由此,可以大幅度降低休眠状态下的处理器核心30的泄漏

电流,而可以降低休眠状态下的功耗(以下,有时称为待机功率)。在根据来自外部的中断要求等将处理器核心30恢复到常规状态的情况下,PMU60控制PSW70以再次开始VDD的供应。在此,在时刻 t_4 再次开始VDD的供应。电源线35的电位上升,在时刻 t_6 达到 V_{H1} 。

[0344] 在图27B的例子中,因为进行电压调节,所以在时刻 t_1 PMU60控制电源电路10以将MVDD的电位降低至 V_{H2} 。在一段时间之后电源线35的电位达到 V_{H2} 。在时刻 t_4 ,电源电位MVDD从 V_{H2} 回升至 V_{H1} ,电源线35的电位相应地上升,在时刻 t_5 达到 V_{H1} 。

[0345] 在图27A的例子中,从休眠状态恢复到常规状态时所需要的时间(开销时间)为电源线35的电位从0V上升至 V_{H1} 所需要的时间,另外,恢复所需要的能量开销为电源线35的负载电容从0V充电至 V_{H1} 所需要的能量。如果电源关闭模式期间(t_1-t_4)足够长,则可以通过电源门控有效地降低PU20的待机功率。另一方面,如果期间(t_1-t_4)短,恢复到常规状态所需要的功率则比通过停止供电来减少的功率大,因此不能获得电源门控的效果。

[0346] 在图27B所示的电压调节的例子中,休眠状态下的电源线35的电位为 V_{H2} ,因此待机功率的减少量比图27A的电源门控的例子少。在图27B的例子中,由于电源线35的电位变动量小,因此恢复到常规状态所需要的时间比图27A的例子短,并且恢复所需要的能量更少。因此,在图26所示的半导体装置中,为了更高效地降低PU20的待机功率,进行组合电源门控及电压调节的电源管理。图27C及图27D示出电源管理的例子。

[0347] 如图27C所示,首先,在休眠状态下进行电压调节工作,PU20从电源开启模式转移到低电源模式。与图27B同样,在时刻 t_1 PMU60控制电源电路10以将MVDD的电位降低至 V_{H2} ,因此在一段时间之后电源线35的电位到达 V_{H2} 。在从转移到低电源模式经过指定期间(t_1-t_3)之后,PMU60控制PSW70以将PU20转移到电源关闭模式。在期间(t_3-t_4),即使通过电源门控停止向PU20供电时的功率包括恢复到常规状态所消耗的功率,也比向PU20供应 V_{H2} 时低。

[0348] 例如,电位 V_{H2} 为足以在存储电路31的电路MemC1中保持数据的电源电位,电位 V_{H3} 为电路MemC1的数据会消失的电位。在图26A的PU20中,电路BKC1在停止供电的期间也能够保持数据。在期间(t_0-t_1),通过将存储电路31的数据备份在电路BKC1中,可以在低电源模式中将VDD降低至电路MemC1的数据会消失的电位 V_{H3} 。由此,可以进一步降低PU20的待机功率。

[0349] PMU60具有根据中断要求等将PU20恢复到常规状态的功能。PMU60控制电源电路10以将MVDD的电位上升至 V_{H1} ,另外,控制PSW70以再次开始对PU20供应VDD。时刻 t_4 之后为电源开启模式。在时刻 t_6 电源线35的电位稳定,因此时刻 t_6 之后,PU20能够进行常规工作。

[0350] 图27D示出时刻 t_3 之前输入恢复到常规工作的中断要求的例子。时刻 t_2 之后为电源开启模式。在时刻 t_2 ,PMU60控制电源电路10以将MVDD的电位改变为电源开启模式的电位 V_{H1} 。在时刻 t_3 ,电源线35的电位上升至 V_{H1} 。

[0351] 如图27C及图27D所示,在休眠状态下,在处理器核心30从电源关闭模式恢复到电源开启模式时电源线35的电位达到 V_{H1} 所需要的时间比从处理器核心30低电源模式恢复到电源开启模式时长。因此,PMU60根据电源模式调节将处理器核心30从休眠状态恢复到常规状态的工作的时机。由此,可以以最短时间将处理器核心30从休眠状态恢复到常规状态。

[0352] 另外,在休眠状态下,从低电源模式到电源关闭模式的转移可以通过利用设置在PMU60中的电路61测定时间来实现。PMU60在从PU20接收信号SLP时,使用电路61开始测定时间。转移到低电源模式经过指定时间之后,PMU60将PU20转移到电源关闭模式。根据PMU60的

控制信号,PSW70处于关闭状态,停止供应VDD。如此,根据基于电路61的测定数据的中断要求,可以将PU20从低电源模式转移到电源关闭模式。下面,参照图28所示的时序图对PMU60的电源管理工作的实例进行说明。

[0353] PU20进行常规工作。电源模式为电源开启模式,PMU60处于静止状态(S10)。PMU60直到接收信号SLP为止处于静止状态,以信号SLP的输入为触发条件执行备份序列(S11)。在图28的备份序列的例子中,首先,PMU60将控制信号输出到时钟控制电路65,停止时钟信号的输出(S12)。接着,将用来进行数据备份的控制信号输出到存储电路31(S13)。在存储电路31中,根据PMU60的控制信号将由电路MemC1保持的数据备份在电路BKC1中。最后,PMU60控制电源电路10以降低MVDD。通过上述工作,电源模式转移到低电源模式(S14)。当接收信号SLP时,PMU60控制内置的电路61,测定低电源模式的时间 T_a (S15)。电路61进行工作的时机只要在执行备份序列的期间内就是任意的,例如,可以举出接收信号SLP时、向时钟控制电路65输出控制信号时、开始数据备份时、结束数据备份时、向电源电路10输出控制信号时等。

[0354] 执行备份序列之后,PMU60成为静止状态(S16),监视信号INT的输入以及时钟控制电路65的测定时间 T_a 。在接收信号INT时,转移到恢复序列(S17)。判定时间 T_a 是否超过指定时间 T_{vs} (S18)。PMU60在时间 T_a 超过时间 T_{vs} 时将电源模式转移到电源关闭模式(S19),而在时间 T_a 没有超过时间 t_{vs} 时维持静止状态(S16)。将时间 T_{vs} 设定为其中电源关闭模式的处理器核心30的待机功率比低电源模式低的时间。

[0355] 在S19,PMU60向PSW70输出停止向处理器核心30供电的控制信号。在转移到电源关闭模式之后,PMU60再次处于静止状态(S20),监视信号INT的输入(S21)。如果接收信号INT,PMU60则执行恢复序列。

[0356] 在恢复序列中,首先,PMU60将电源关闭模式转移到电源开启模式(S22)。PMU60控制电源电路10以使其输出常规工作的电源电位。并且,PMU60控制PSW70以再次开始向处理器核心30供应VDD。接着,向存储电路31输出控制信号,将存储电路31的数据恢复(S23)。存储电路31根据PMU60的控制信号将保持在电路BKC1中的数据返回到电路MemC1。PMU60向时钟控制电路65输出控制信号以使其输出时钟信号(S24)。时钟控制电路65根据PMU60的控制信号再次开始输出时钟信号。

[0357] 在根据S17的判定处理执行恢复序列的情况下,将低电源模式恢复到电源开启模式,因此与根据S21的判定处理执行恢复序列的情况相比,能够迅速使电源线35的电位稳定。因此,PMU60在S17中转移到恢复序列时的执行S23的时机比在S21中转移到恢复序列时早。由此,可以缩短将处理器核心30从休眠状态恢复到常规状态的时间。

[0358] 如上所述,在图26A和图26B所示的半导体装置的电源管理中,在PU20成为休眠状态时,首先,进行电压调节工作,降低供应到处理器核心30的电源电位以在降低泄漏电流的同时抑制从休眠状态恢复到常规状态的处理的时间及能量的开销。如果在休眠状态下经过指定期间,则进行电源门控工作,尽可能地抑制处理器核心30的泄漏电流。由此,能够降低PU20的休眠状态下的功耗,而无需降低PU20的处理能力。

[0359] <半导体装置的结构实例2>

图29A示出图26A的半导体装置的变形例子。图29A所示的处理单元(PU)21具有在PU20中追加高速缓冲存储器40及电源开关(PSW)71的结构。高速缓冲存储器40与PU20同样

地能够进行电源门控及电压调节,高速缓冲存储器40的电源模式与PU21的电源模式相应地变化。PSW71为控制向高速缓冲存储器40供应电源电位MVDD的电路,被PMU60控制。在此,将经由PSW71被输入到高速缓冲存储器40的电源电位称为VDD_MEM。与处理器核心30同样,来自PMU60的控制信号及来自时钟控制电路65的门控时钟信号被输入到高速缓冲存储器40。

[0360] <高速缓冲存储器40>

高速缓冲存储器40为具有暂时储存使用频率高的数据的功能的存储装置。高速缓冲存储器40包括存储器阵列41、外围电路42及控制电路43。存储器阵列41包括多个存储单元45。控制电路43根据处理器核心30的要求,控制高速缓冲存储器40的工作。例如,控制存储器阵列41的写入工作及读出工作。外围电路42具有根据来自控制电路43的控制信号生成用来驱动存储器阵列41的信号的功能。存储器阵列41包括保持数据的存储单元45。

[0361] 如图29B所示,存储单元45包括电路MemC2及电路BKC2。电路MemC2在常规工作中为访问对象的存储单元。例如,使用SRAM(静态随机存储器)的存储单元即可。电路BKC2具有作为电路MemC2的备份电路的功能,即使停止供电或者停止时钟信号的供应,也可以长期间地保持数据。通过设置这种存储单元45,可以进行高速缓冲存储器40的电源门控。在停止供电之前,在存储单元45中,将电路MemC2的数据备份在BKC2中。当再次开始供电之后,通过将保持在电路BKC2中的数据返回到电路MemC2,能够迅速使PU21恢复到停止供电之前的状态。

[0362] 存储单元45的电路BKC2也与图26B的电路BKC1同样地至少包括具有一个晶体管(MW2)及一个电容器(CB2)的保持电路。换言之,电路BKC2也包括具有与标准的DRAM的1T1C型存储单元同样的结构的保持电路。晶体管MW2可以与晶体管MW1同样地使用关态电流极小的0S晶体管。通过采用这种结构,在电路BKC2中,也可以抑制电浮动状态下的节点FN2的电位变动,因此,电路BKC2能够长期间保持数据。电路BKC2的数据保持时间取决于晶体管MW2的泄漏电流或电容器CB2的电容等。通过作为晶体管MW2使用关态电流极小的晶体管,可以将电路BKC2用作不需要刷新工作的非易失性存储电路。

[0363] 在图29A所示的PU21中,PMU60与PU20同样地进行电源管理(参照图28)。在图28所示的S13,在存储电路31及高速缓冲存储器40中进行数据备份工作。在S19,控制PSW70及PSW71以停止向处理器核心30及高速缓冲存储器40供电。在S22,控制PSW70及PSW71以再次开始向处理器核心30及高速缓冲存储器40供电。在S23,在存储电路31及高速缓冲存储器40中进行数据恢复工作。

[0364] 图29所示的半导体装置也与图26所示的半导体装置同样地进行组合电压调节与电源门控的电源管理,因此能够降低PU21的休眠状态下的功率,而无需降低PU21的处理能力。

[0365] <处理器核心的结构实例>

图30所示的处理器核心180是能够用作处理器核心30的电路的一个实例。处理器核心180包括控制装置181、程序计数器182、流水线寄存器183、流水线寄存器184、寄存器堆185、算术逻辑运算装置(ALU)186及数据总线187。处理器核心180与PMU或高速缓冲存储器等外围电路之间的数据传输经由数据总线187进行。

[0366] 控制装置181通过总括控制程序计数器182、流水线寄存器183、流水线寄存器184、寄存器堆185、ALU186、数据总线187的工作,对包含在被输入的应用软件等程序中的指令进行译码及执行。ALU186具有进行四则运算和逻辑运算等各种运算处理的功能。程序计数器

182具有储存接下来要执行的指令的地址的功能的寄存器。

[0367] 流水线寄存器183是具有暂时储存指令数据的功能的寄存器。寄存器堆185具有包括通用寄存器的多个寄存器,可以储存从主存储器读出的数据或者由ALU186的运算处理结果得出的数据等。流水线寄存器184是具有暂时储存用于ALU186的运算处理的数据或者由ALU186的运算处理得出的数据等的寄存器。

[0368] 图26B的存储电路31被用于处理器核心180所包括的寄存器。

[0369] <存储电路的结构实例>

对图26B所示的存储电路31的更具体的结构实例进行说明。图31为示出存储电路的结构的一个例子的电路图。图31所示的存储电路190被用作触发器电路。

[0370] 作为电路MemC1可以使用标准的触发器电路,例如,可以采用主从型触发器电路。图31示出此时的结构实例。触发器电路110包括传输门(TG1、TG2、TG3、TG4、TG5)、反相器电路(INV1、INV2、INV3、INV4)及NAND电路(NAND1、NAND2)。信号RESET及信号OSR为从PMU60输出的控制信号。信号OSR及其反转信号被输入到TG5。时钟信号CLK及其反转信号被输入到TG1至TG4。另外,也可以设置一个时钟反相器电路代替TG1及INV1。此外,也可以设置一个时钟NAND电路代替TG2及NAND2。此外,也可以设置一个时钟反相器电路代替TG3及INV3。TG5被用作控制NAND1的输出节点与节点NR1之间的导通的开关。节点NB1电连接到电路BKC10的输入节点,节点NR1电连接到电路BKC10的输出节点。

[0371] 图31所示的电路BKC10被用作触发器电路110的备份电路。电路BKC10包括电路RTC10及电路PCC10。输入到电路BKC10的信号(OSG、OSC、OSR)为从PMU60输出的控制信号。电源电位VSS为低电源电位,例如为接地电位(GND)或0V即可。触发器电路110也与电路BKC10同样地被输入电源电位VSS、电源电位VDD。PMU60控制向存储电路190的VDD的供应。

[0372] 电路RTC10包括晶体管MW1、晶体管MA1、晶体管MR1、节点FN1及节点NK1。电路RTC10具有保持数据的功能,在此,由3T型增益单元结构的存储电路构成。晶体管MW1为写入晶体管,为OS晶体管。晶体管MR1为读出晶体管,晶体管MA1为放大晶体管且是读出晶体管。节点FN1保持数据。节点NK1为数据的输入节点。节点NR1为电路RTC10的数据的输出节点。

[0373] 图31示出电路BKC10在备份工作中读出触发器电路110的从侧锁存电路的数据而在恢复工作中将所保持的数据返回到主侧锁存电路的结构实例。此外,也可以将主侧锁存电路的数据备份。另外,也可以将数据返回到从侧锁存电路。此时,在从侧锁存电路设置TG5即可。

[0374] 电路RTC10的晶体管MR1及晶体管MA1可以为n型晶体管或p型晶体管,根据晶体管MR1及晶体管MA1的导电型改变信号OSR的电位及供应到晶体管MA1的电源电位的电平即可。另外,适当地设定触发器电路110的逻辑电路即可。例如,在晶体管MR1及晶体管MA1为p型晶体管的情况下,调换主侧锁存电路中的NAND1和INV3并调换从侧锁存电路中的INV2和NAND2即可。另外,将VDD输入晶体管MA1,而不输入VSS即可。

[0375] 电路BKC10利用电压进行数据写入,因此与利用电流进行写入的MRAM(磁阻随机存储器)相比可以降低写入功率。另外,由于利用节点FN1的负载电容保持数据,因此与快闪存储器不同,对数据改写次数没有限制。

[0376] 在电路RTC10中,数据写入所需要的能量相当于电容器CB1中的电荷的充放电所需要的能量。另一方面,在使用MRAM等2端子存储元件的存储电路中,数据写入所消耗的能量

相当于电流流过该存储元件时消耗的能量。因此,与使用数据写入期间电流持续流动的MRAM等的情况相比,在电路BKC10中数据备份所消耗的能量更小。因此,通过作为备份电路设置电路BKC10,与设置MRAM的情况相比,可以缩短BET(Break Even Time:损益平衡时间)。其结果,进行用来降低能量消耗电源门控的机会增加,因此可以降低半导体装置的功耗。

[0377] 电路PCC10包括晶体管MC1及晶体管MC2。电路PCC10具有对节点FN1进行预充电的功能。此外,也可以不设置电路PCC10。在下面所示那样,通过设置电路PCC10,可以缩短电路BKC10的数据备份时间。

[0378] <存储电路的工作实例>

图32示出存储电路190的工作的一个例子的时序图,其中示出控制信号(SLP、RESET、CLK、OSG、OSC、OSR)的波形以及电源电位VDD、节点FN1和节点NR1的电位变化。

[0379] [常规工作]

电源电位VDD及信号CLK被供应到存储电路190。触发器电路110被用作顺序电路。信号RESET维持高电平,因此NAND1及NAND2被用作反相器电路。在电路BKC10中,晶体管MC1处于关闭状态,晶体管MC2及晶体管MW1处于导通状态,因此节点FN1的电位被预充电至高电平。

[0380] [数据备份]

首先,停止时钟信号CLK。由此,停止节点NB1的数据的改写。在图32的例子中,节点NB1的电位电平在节点NR1的电位为高电平(“1”)时为低电平(“0”),而在节点NR1的电位为低电平(“0”)时为高电平(“1”)。在信号OSC为高电平的期间,将节点NB1的数据备份在节点FN1中。具体而言,由于晶体管MC1及晶体管MW1处于导通状态,因此节点FN1与节点NB1电连接。通过将信号OSG设定为低电平,来使晶体管MW1处于关闭状态,由此节点FN1成为电浮动状态,而使电路BKC10处于数据保持状态。节点FN1的电位在节点NR1的电位为低电平(“0”)时为高电平,而在节点NR1的电位为高电平(“1”)时为低电平。

[0381] 当将信号OSG设定为低电平时数据备份结束,因此,将信号OSG设定为低电平之后,能够立即进行PU20的电压调节工作。另外,在常规工作中利用晶体管MC2将节点FN1的电位预充电至高电平,因此在使节点FN1的电位成为高电平的数据备份工作中,不需要传输节点FN1的电荷。因此,电路BKC10能够在短时间内完成备份工作。

[0382] 在数据备份工作中,信号CLK处于不活动状态即可,在图32的例子中,信号CLK的电位为低电平,但是也可以为高电平。

[0383] [低电源模式中的电压调节]

根据信号OSC的下降,PMU60进行电压调节工作。由此存储电路190转移到低电源模式。

[0384] [电源关闭模式中的电源门控]

在转移到低电源模式经过指定期间之后,PMU60进行电源门控工作以使存储电路190转移到电源关闭模式。

[0385] [电源开启模式]

PMU60根据中断要求将存储电路190恢复到电源开启模式。在图32的例子中,在供应VDD的电源线的电位稳定之后,信号CLK成为高电平。

[0386] [数据恢复]

在信号OSR为高电平的期间进行数据恢复工作。通过将信号RESET设定为高电平，来将节点NR1的电位预充电至高电平（“1”）。通过将信号OSR设定为高电平，TG5成为高阻态，且晶体管MR1成为导通状态。晶体管MA1的导通状态由节点FN1的电位决定。在节点FN1为高电平的情况下，晶体管MA1处于导通状态，因此节点NR1的电位降低至低电平（“0”）。而在节点FN1为低电平的情况下，节点NR1的电位维持高电平。换言之，触发器电路110恢复到转移到休眠状态之前的状态。

[0387] 如上所述，通过利用信号RESET及信号OSR的上升，可以将高电平的数据返回到节点NR1。因此，存储电路190可以缩短恢复工作期间。

[0388] 图32示出从电源关闭模式恢复到电源开启模式的例子。在从低电源模式恢复到电源开启模式的情况下，直到供应VDD的电源线的电位稳定为止的期间 T_{on} 较短。此时，可以使信号OSR的上升的时机比从电源关闭模式恢复时早。

[0389] [常规工作]

通过再次开始信号CLK的供应，存储电路190恢复到能够进行常规工作的状态。当将信号OSG设定为高电平时，利用电路PCC10将节点FN1预充电至高电平。

[0390] <高速缓冲存储器>

下面，对由SRAM构成高速缓冲存储器40时的例子进行说明。

[0391] <存储单元的结构实例>

图33示出高速缓冲存储器的存储单元的结构的一个例子。图33所示的存储单元120包括电路SMC20及电路BKC20。电路SMC20具有与标准的SRAM的存储单元同样的电路结构即可。图33所示的电路SMC20包括反相器电路INV21、反相器电路INV22、晶体管M21及晶体管M22。

[0392] 电路BKC20被用作电路SMC20的备份电路。电路BKC20包括晶体管MW11、晶体管MW12、电容器CB11及电容器CB12。晶体管MW11及MW12为0S晶体管。电路SMC20包括两个1T1C型保持电路，在节点SN1和节点SN2中分别保持数据。由晶体管MW11及电容器CB11构成的保持电路具有将节点NET1的数据备份的功能。由晶体管MW12及电容器CB12构成的保持电路具有将节点NET2的数据备份的功能。

[0393] 电源电位VDDMC及VSS被供应到存储单元120。存储单元120与布线(WL、BL、BLB、BRL)电连接。信号SLC被输入到布线WL。在数据写入时，数据信号D及数据信号DB分别被输入到布线BL及布线BLB。数据的读出通过检测布线BL及布线BLB的电位来进行。信号OSS被输入到布线BRL。信号OSS为从PMU60输入的信号。

[0394] <存储单元的工作实例>

对存储单元120的工作的一个例子进行说明。图34为存储单元120的时序图的一个例子。

[0395] [常规工作]

输入访问电路MemC20的要求，进行数据的写入及读出。在电路BKC20中，信号OSS为低电平，因此节点SN1及节点SN2处于电浮动状态，为数据保持状态。在图34的例子中，节点SN1的电位为低电平（“0”），而节点SN2的电位为高电平（“1”）。

[0396] [数据备份]

通过将信号OSS设定为高电平，晶体管MW11及MW12成为导通状态，节点SN1及SN2的

电位分别成为与节点NET1及NET2相同的电位电平。在图34的例子中,节点SN1、SN2的电位分别成为高电平及低电平。信号OSS成为低电平,电路BKC20成为数据保持状态,数据备份工作就结束。

[0397] [低电源模式中的电压调节]

根据信号OSS的下降,PMU60进行电压调节工作。由此高速缓冲存储器40转移到低电源模式。

[0398] [电源关闭模式中的电源门控]

在转移到低电源模式经过指定期间之后,PMU60进行电源门控工作以使高速缓冲存储器40转移到电源关闭模式。

[0399] [电源开启模式中的数据恢复]

根据中断要求,PMU60将高速缓冲存储器40恢复到常规状态。通过将信号OSS设定为高电平,来将保持在电路BKC20中的数据返回到电路SMC20。在信号OSS为高电平的期间,PMU60进行电压调节工作及电源门控工作,将存储电路190恢复到电源开启模式。在图32的例子中,在供应VDD的电源线的电位稳定之后,信号CLK成为高电平。当供应VDDMC的电源线的电位稳定时,将信号OSS返回到低电平,结束数据恢复工作。节点SN1及SN2的状态恢复到转移到休眠状态之前的状态。

[0400] [常规工作]

通过再次开始VDDMC的供应,电路SMC20恢复到能够进行常规工作的常规模式。

[0401] 如上所述,通过使用OS晶体管,可以提供即使在停止供电的情况下也能够长期间保持数据的备份电路。通过设置这种备份电路,能够实现处理器核心及高速缓冲存储器的电源门控。另外,通过在休眠状态下进行组合电压调节和电源门控的电源管理,可以降低从休眠状态恢复到常规状态的处理的能量及时间的开销。因此,能够高效地降低功耗,而无需降低处理单元的处理能力。

[0402] 本实施方式可以与其他实施方式的记载适当地组合。

[0403] (实施方式5)

作为可以使用根据本发明的一个方式的摄像装置的电子设备,可以举出显示装置、个人计算机、具备记录媒体的图像存储装置及图像再现装置、移动电话机、包括便携式的游戏机、便携式数据终端、电子书阅读器、拍摄装置诸如视频摄像机或数码照相机等、护目镜型显示器(头戴式显示器)、导航系统、音频再现装置(汽车音响系统、数字音频播放器等)、复印机、传真机、打印机、多功能打印机、自动柜员机(ATM)以及自动售货机等。图35A至图35F示出这些电子设备的具体例子。

[0404] 图35A是移动电话机的一个例子,该移动电话机包括外壳981、显示部982、操作按钮983、外部连接接口984、扬声器985、麦克风986、摄像头987等。该移动电话机在显示部982具有触摸传感器。通过用手指或触屏笔等触摸显示部982可以进行打电话或输入文字等各种操作。此外,也可以将本发明的一个方式的摄像装置及其工作方法用于该移动电话机。

[0405] 图35B是便携式数据终端,该便携式数据终端包括外壳911、显示部912、扬声器913、摄像头919等。通过显示部912所具有的触摸面板功能可以输入且输出信息。另外,可以从由摄像头919获取的图像中识别出文字等,并可以使用扬声器913以语音输出该文字。可以将本发明的一个方式的摄像装置及其工作方法用于该便携式数据终端。

[0406] 图35C是监控摄像机,该监控摄像机包括支架951、摄像单元952及保护罩953等。在摄像单元952中设置旋转机构等,通过设置在天花板可以拍摄周围。可以将本发明的一个方式的摄像装置及其工作方法用于该摄像单元。注意,“监控摄像机”是一般名称,不局限于其用途。例如,具有作为监控摄像机的功能的装置被称为摄影机或视频摄像机。

[0407] 图35D是视频摄像机,该视频摄像机包括第一外壳971、第二外壳972、显示部973、操作键974、透镜975、连接部976、扬声器977、麦克风978等。操作键974及透镜975设置在第一外壳971中,显示部973设置在第二外壳972中。可以将本发明的一个方式的摄像装置及其工作方法用于该视频摄像机。

[0408] 图35E是数码照相机,该数码照相机包括外壳961、快门按钮962、麦克风963、发光部967以及透镜965等。可以将本发明的一个方式的摄像装置及其工作方法用于该数码照相机。

[0409] 图35F是手表型信息终端,该手表型信息终端包括显示部932、外壳兼腕带933以及摄像头939等。显示部932也可以包括用来进行信息终端的操作的触摸面板。显示部932及外壳兼腕带933具有柔性,并且适合佩戴于身体。可以将本发明的一个方式的摄像装置及其工作方法用于该信息终端。

[0410] 本实施方式可以与其他实施方式的记作适当地组合。

[符号说明]

[0411] 10:电源电路、12:MW、20:PU、21:PU、30:处理器核心、31:存储电路、32:电路、35:电源线、40:高速缓冲存储器、41:存储器阵列、42:外围电路、43:控制电路、45:存储单元、60:PMU、61:电路、65:时钟控制电路、70:PSW、71:PSW、80:端子、81:端子、82:端子、83:端子、100:像素、101:光电转换器件、102:晶体管、103:晶体管、104:电容器、105:晶体管、106:电容器、107:晶体管、108:晶体管、109:晶体管、110:触发器电路、111:布线、112:布线、113:布线、114:布线、115:布线、120:存储单元、121:布线、122:布线、123:布线、124:布线、125:布线、133:导电层、134:导电层、135:导电层、136:导电层、138:导电层、139:导电层、151:电容器、161:晶体管、162:晶体管、163:电容器、170:电路、180:处理器核心、181:控制装置、182:程序计数器、183:流水线寄存器、184:流水线寄存器、185:寄存器堆、186:ALU、187:数据总线、190:存储电路、200:像素区块、201:电路、202:电容器、203:晶体管、204:晶体管、205:晶体管、206:晶体管、207:电阻器、211:布线、212:布线、213:布线、215:布线、216:布线、217:布线、218:布线、219:布线、221:布线、251:晶体管、252:晶体管、253:晶体管、254:晶体管、300:像素阵列、301:电路、302:电路、303:电路、304:电路、305:电路、311:布线、312:行驱动器、313:列驱动器、320:存储单元、321:存储电路、321a:存储单元、321aA:存储单元、321aB:存储单元、321aC:存储单元、321aD:存储单元、325:参照存储单元、330:电路、350:电路、360:电路、370:电路、410:封装衬底、411:封装衬底、420:玻璃盖板、421:透镜盖、430:粘合剂、435:透镜、440:凸块、441:连接盘、450:图像传感器芯片、451:图像传感器芯片、460:电极焊盘、461:电极焊盘、470:引线、471:引线、490:IC芯片、535:背栅极、545:半导体层、546:绝缘层、560:层、561:层、562:层、562a:层、562b:层、563:层、563a:层、563b:层、563c:层、565a:层、565b:层、566a:层、566b:层、566c:层、566d:层、567a:层、567b:层、567c:层、567d:层、567e:层、611:硅衬底、612:绝缘层、613:绝缘层、614:绝缘层、615:绝缘层、616:绝缘层、617:绝缘层、618:绝缘层、619:导电层、621:绝缘层、622:绝缘层、623:绝缘层、624:绝缘层、

625:绝缘层、626:绝缘层、627:导电层、628:绝缘层、629:绝缘层、631:绝缘层、632:硅衬底、633:绝缘层、634:绝缘层、635:绝缘层、636:导电层、637:绝缘层、638:绝缘层、639:导电层、641:绝缘层、642:绝缘层、643:绝缘层、644:绝缘层、645:绝缘层、646:导电层、647:绝缘层、648:绝缘层、651:绝缘层、652:绝缘层、653:绝缘层、654:绝缘层、655:导电层、661:绝缘层、662:绝缘层、664:绝缘层、665:绝缘层、671:遮光层、672:光学转换层、673:微透镜阵列、701:栅电极、702:栅极绝缘膜、703:源极区域、704:漏极区域、705:源电极、706:漏电极、707:氧化物半导体层、911:外壳、912:显示部、913:扬声器、919:摄像头、932:显示部、933:外壳兼腕带、939:摄像头、951:支架、952:摄像单元、953:保护罩、961:外壳、962:快门按钮、963:麦克风、965:透镜、967:发光部、971:外壳、972:外壳、973:显示部、974:操作键、975:透镜、976:连接部、977:扬声器、978:麦克风、981:外壳、982:显示部、983:操作按钮、984:外部连接端口、985:扬声器、986:麦克风、987:摄像头

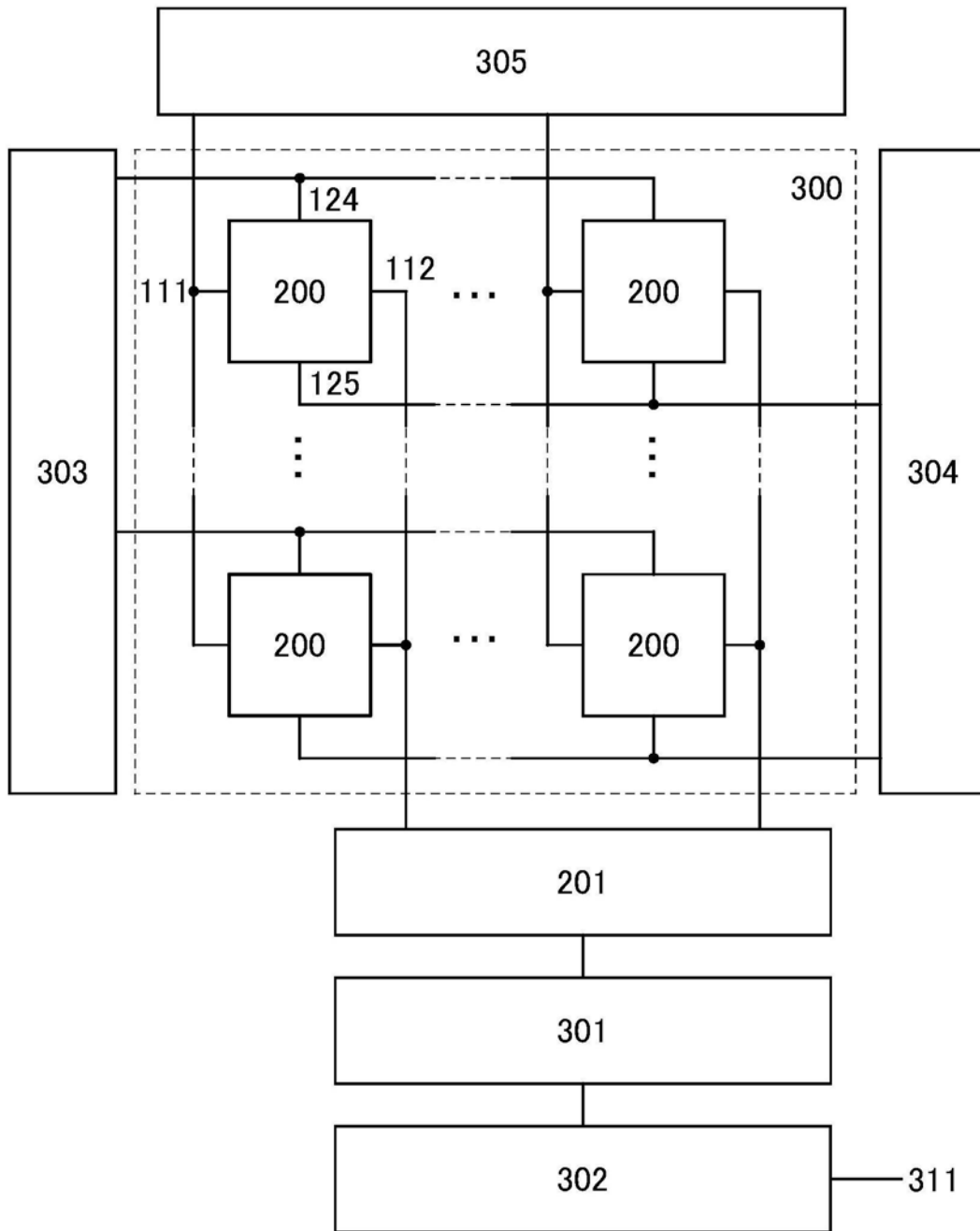


图1

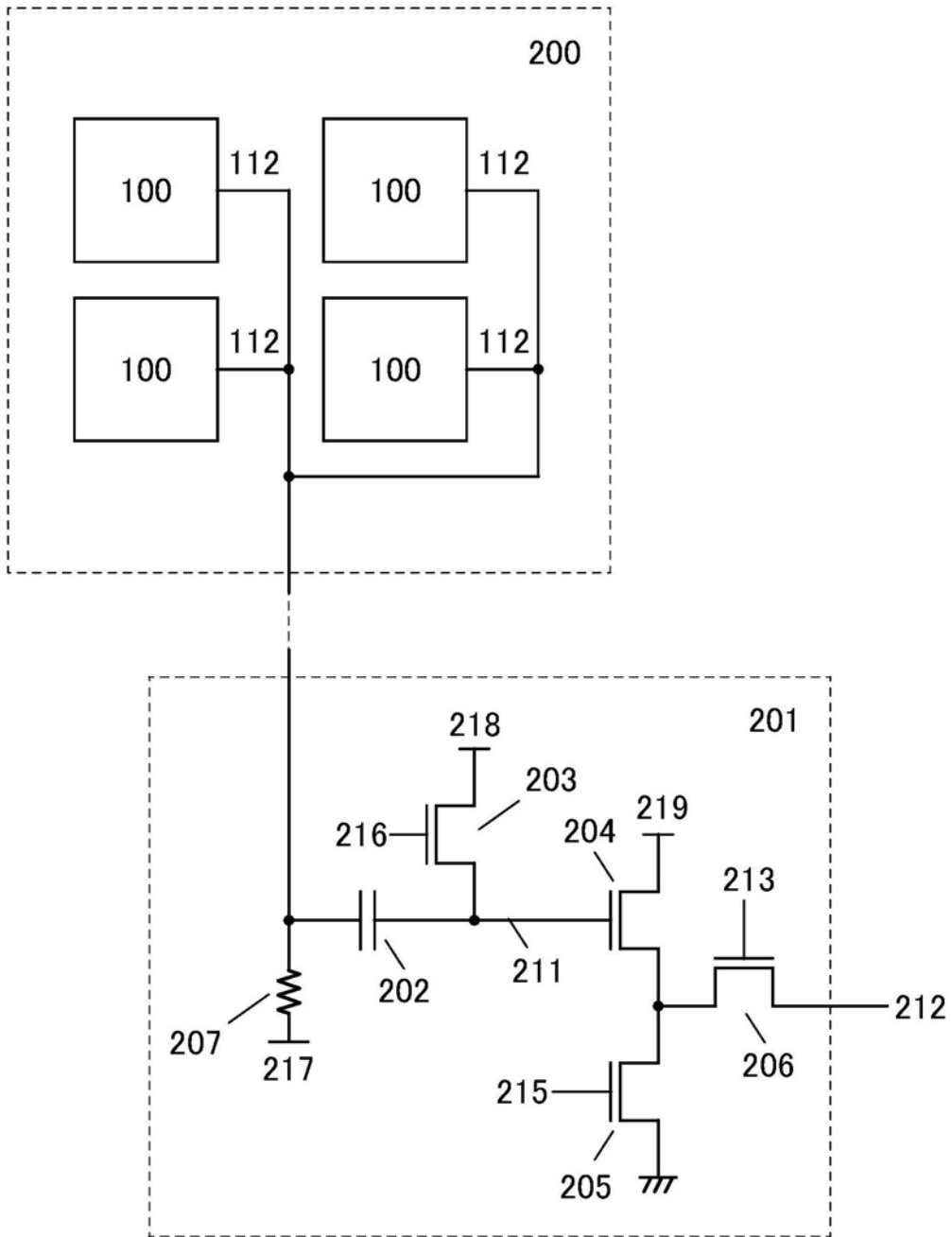


图2

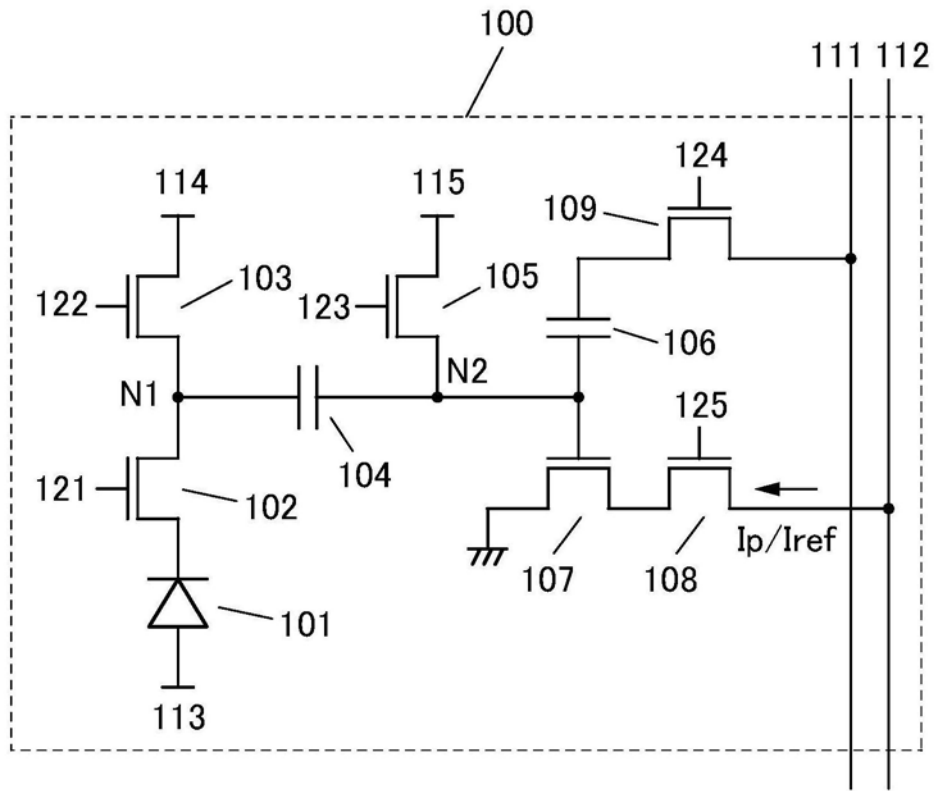


图3A

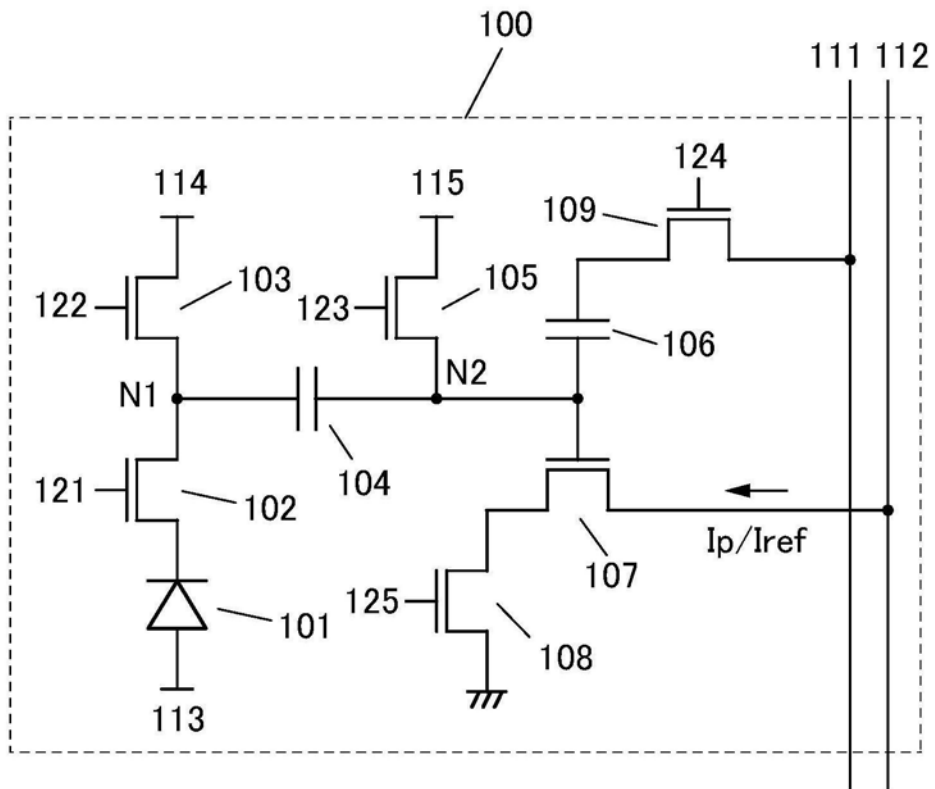


图3B

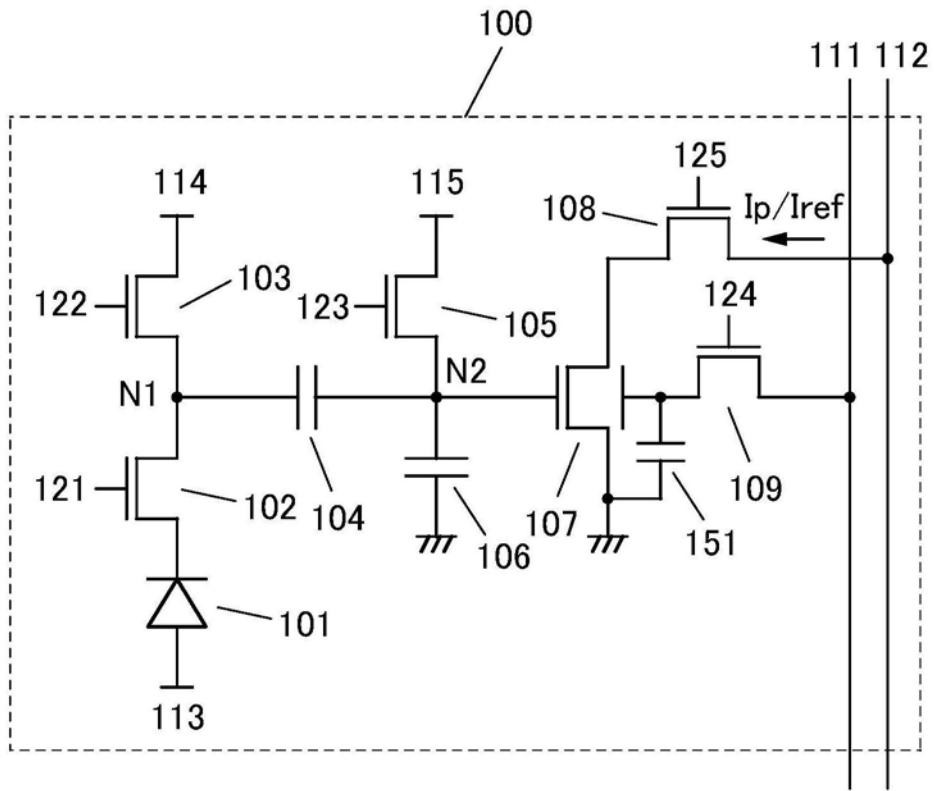


图4A

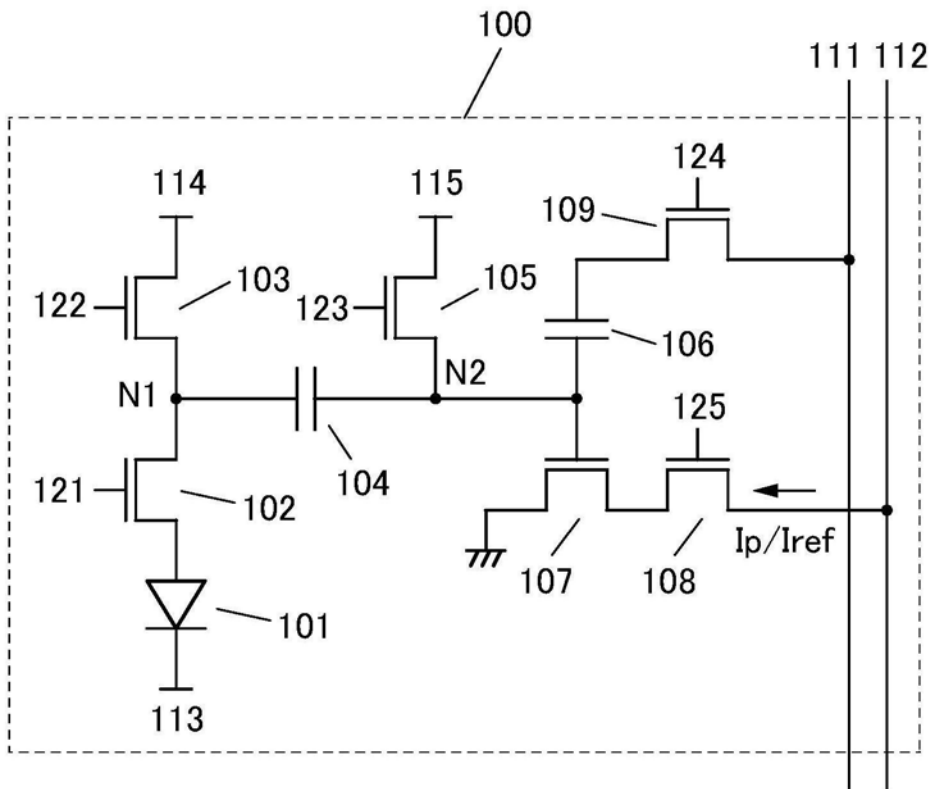


图4B

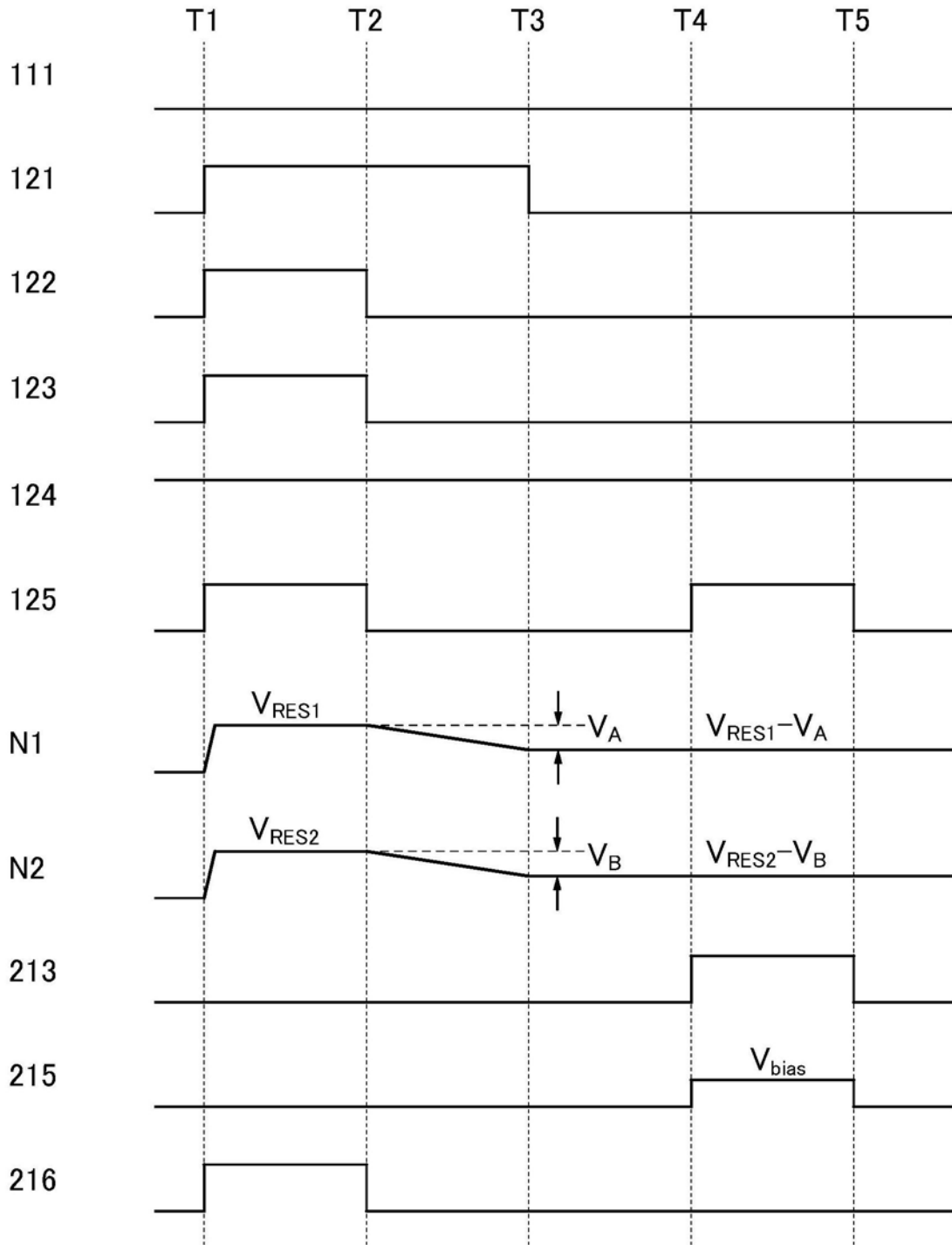


图5

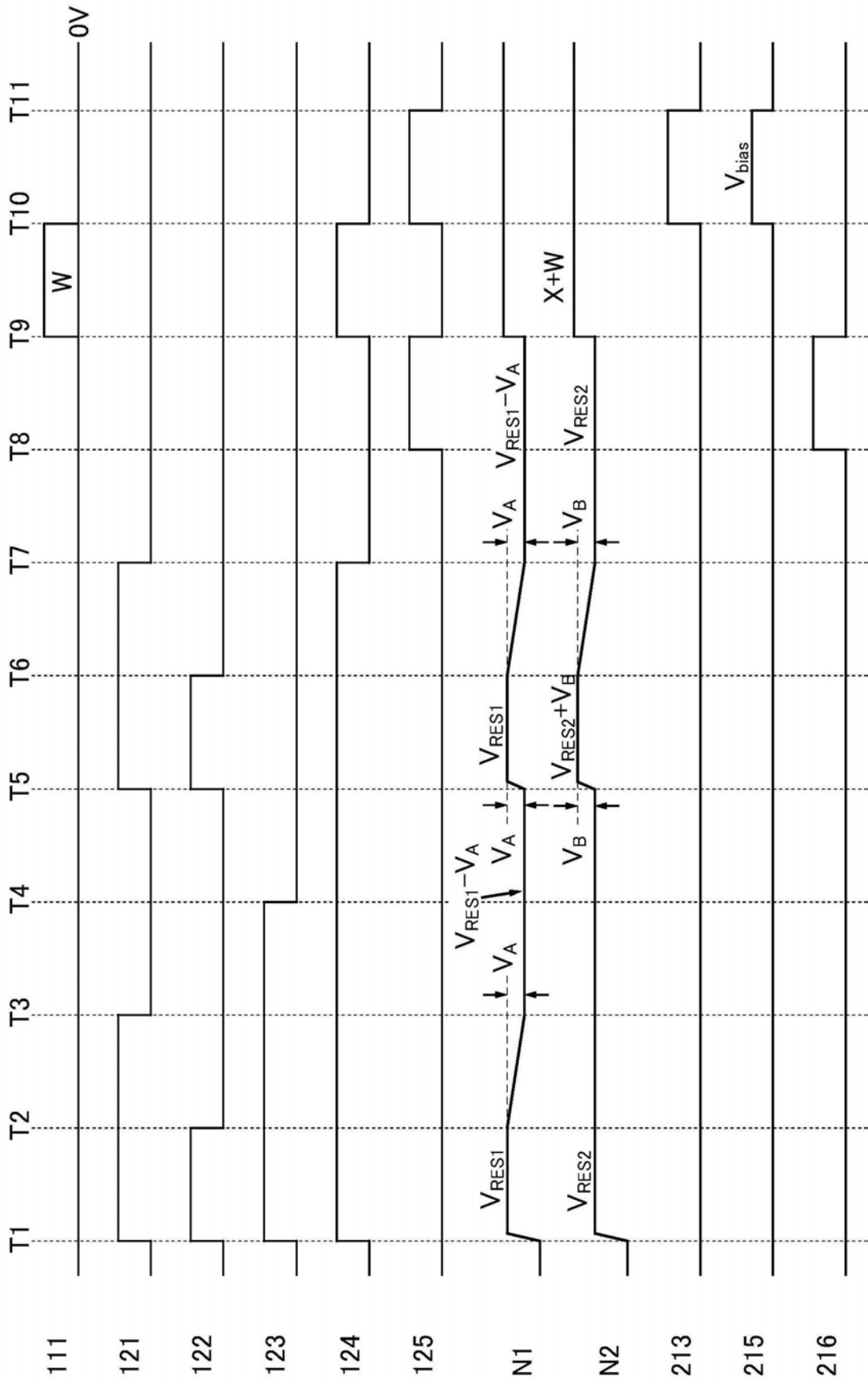


图6

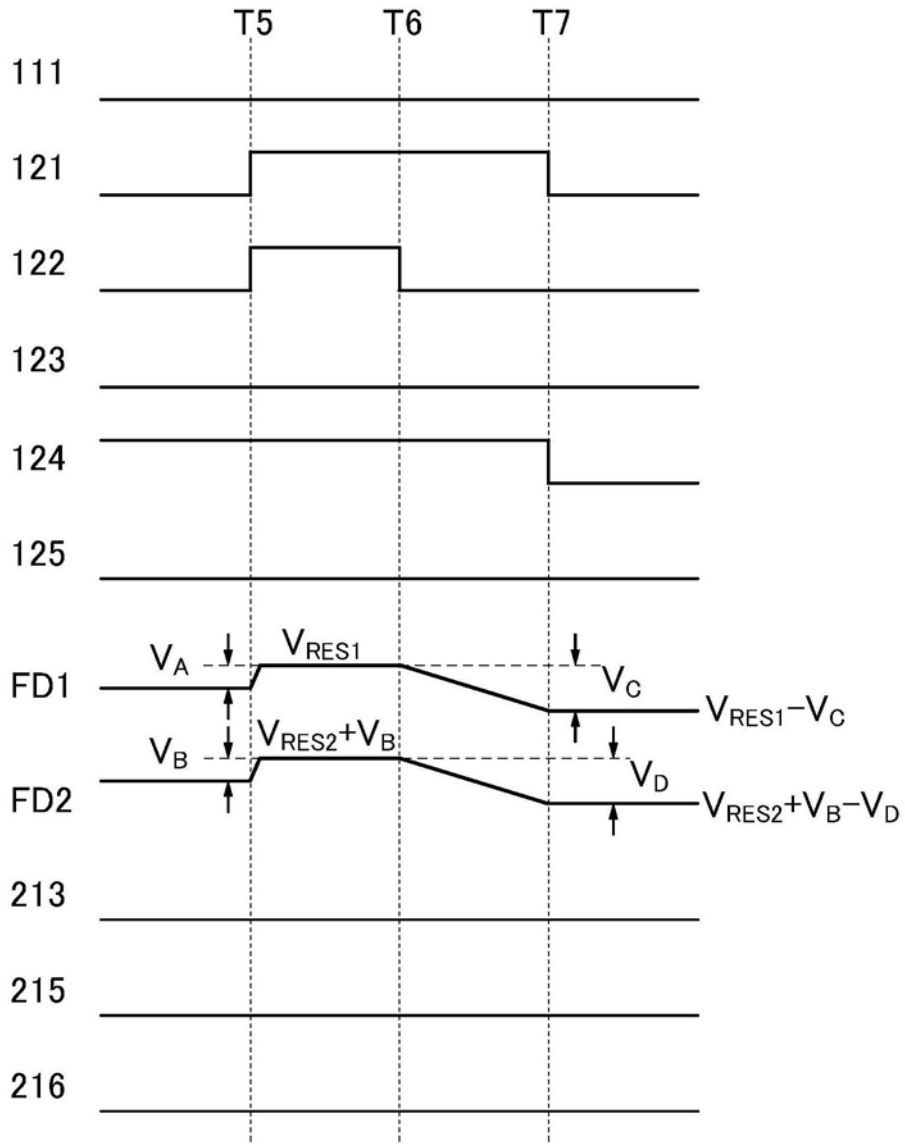


图7

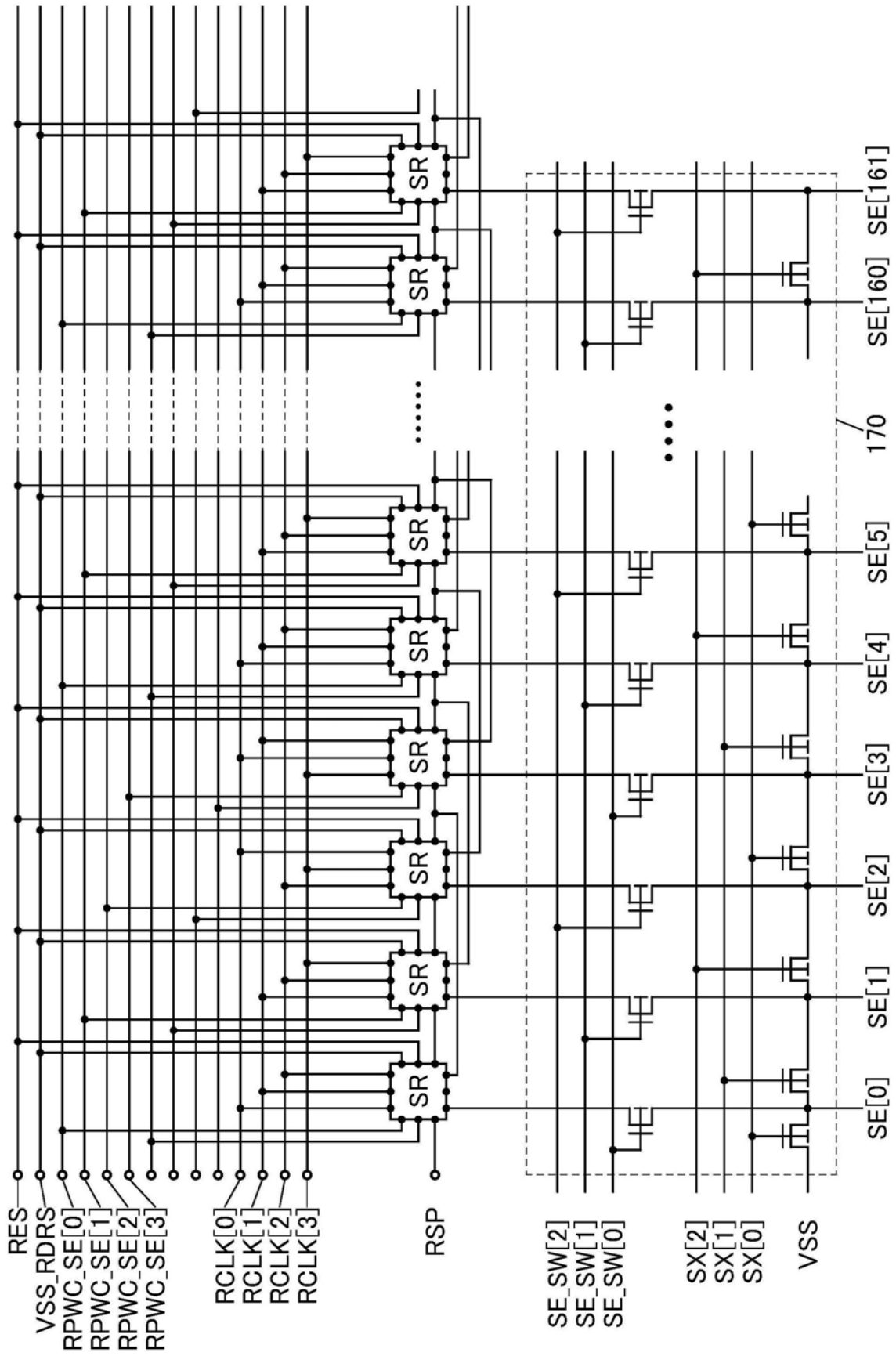


图8

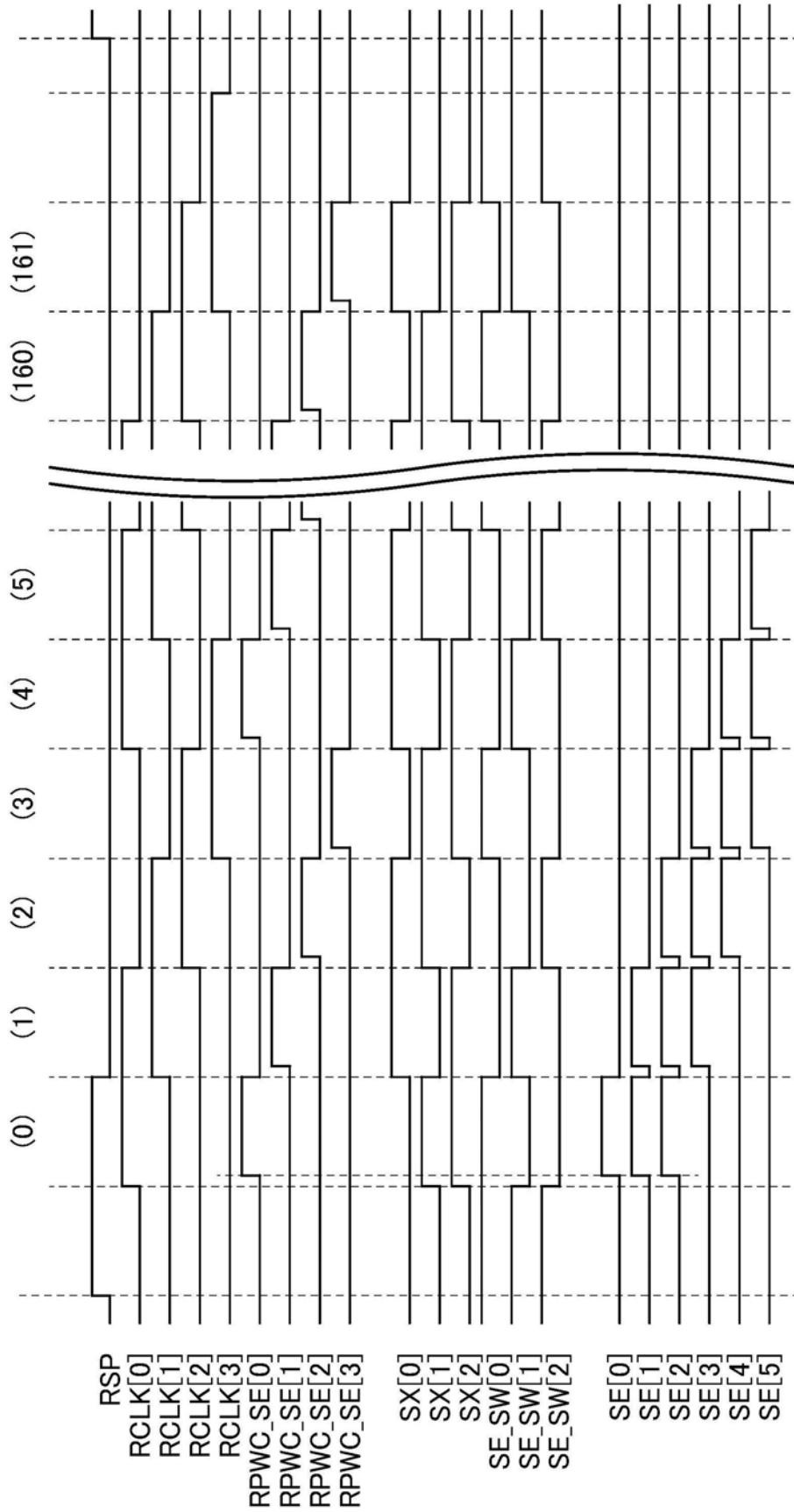


图9

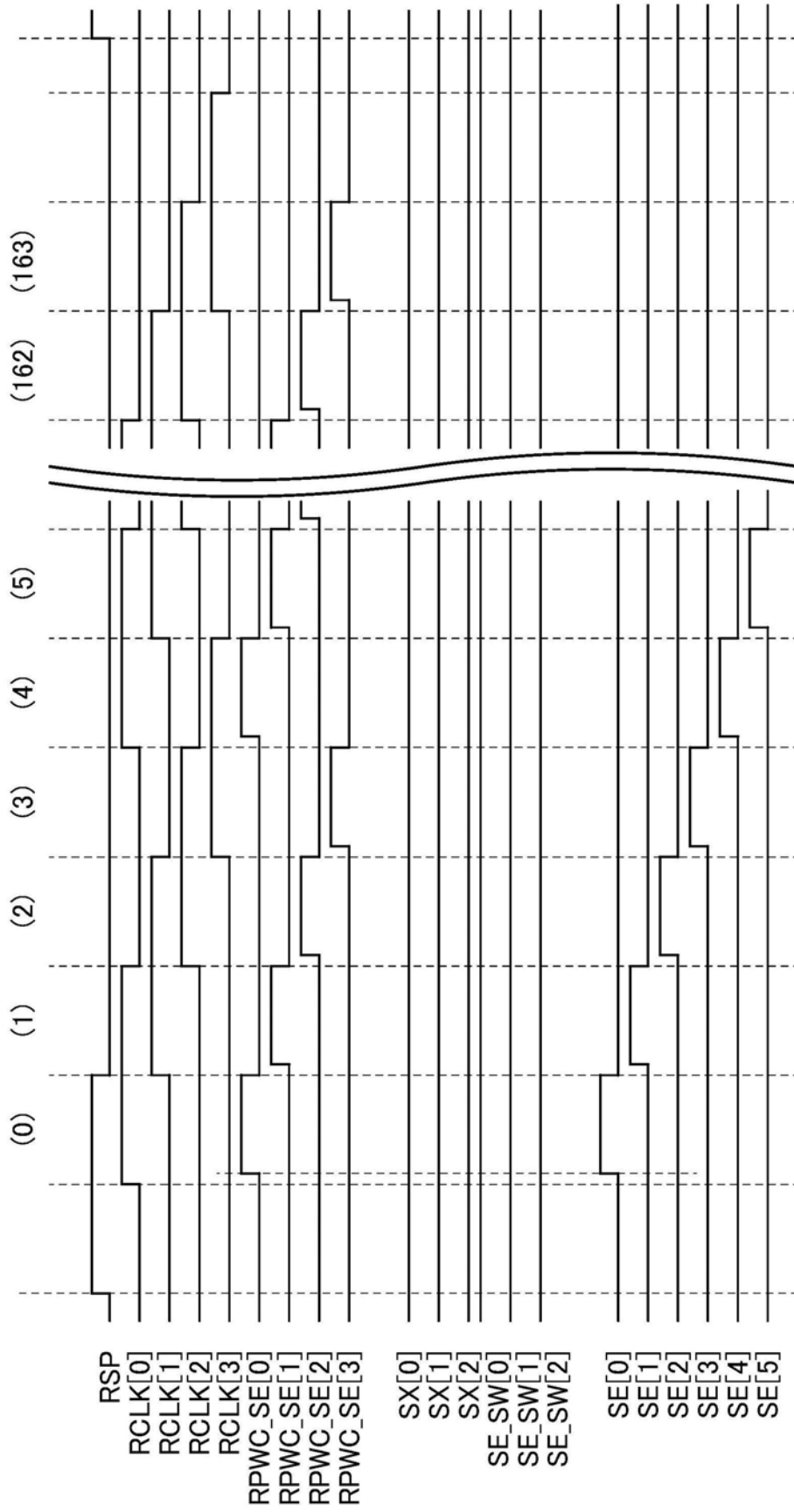


图10

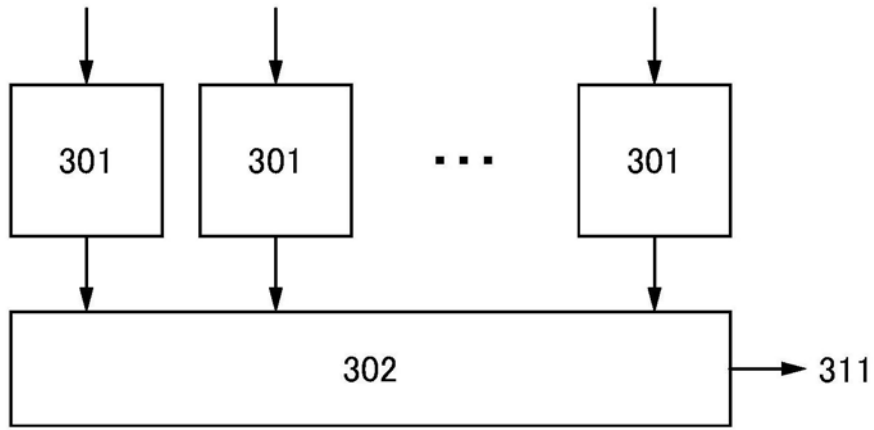


图11A

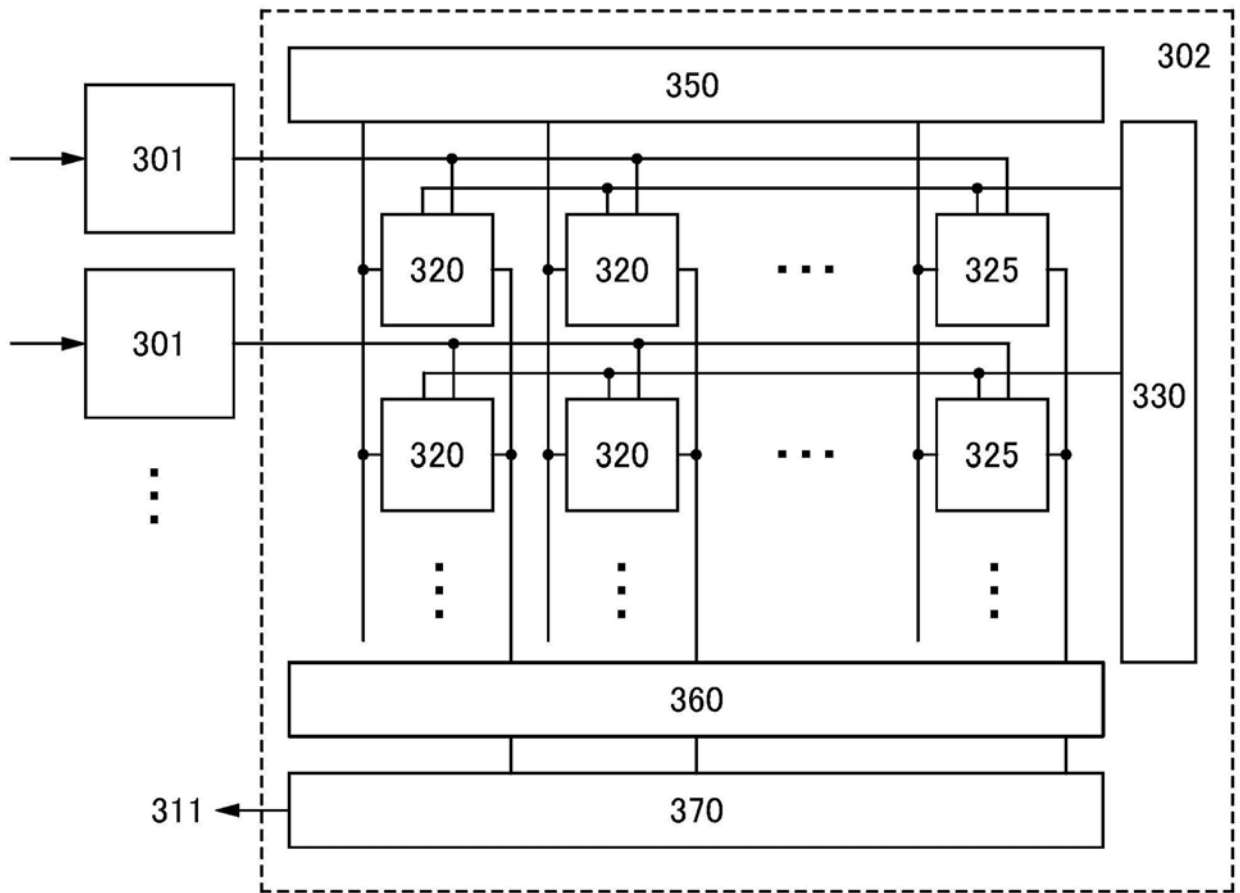


图11B

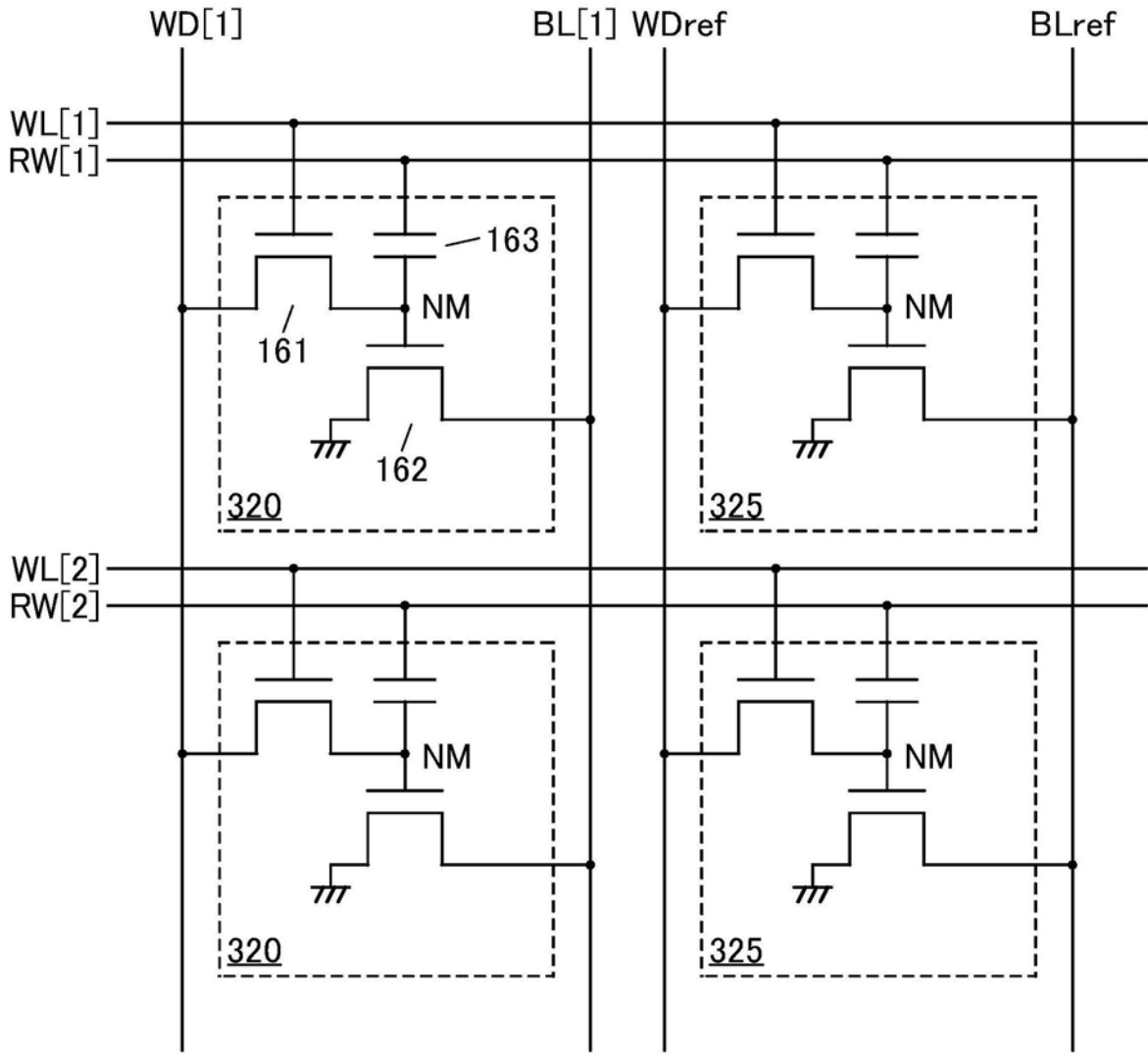


图12

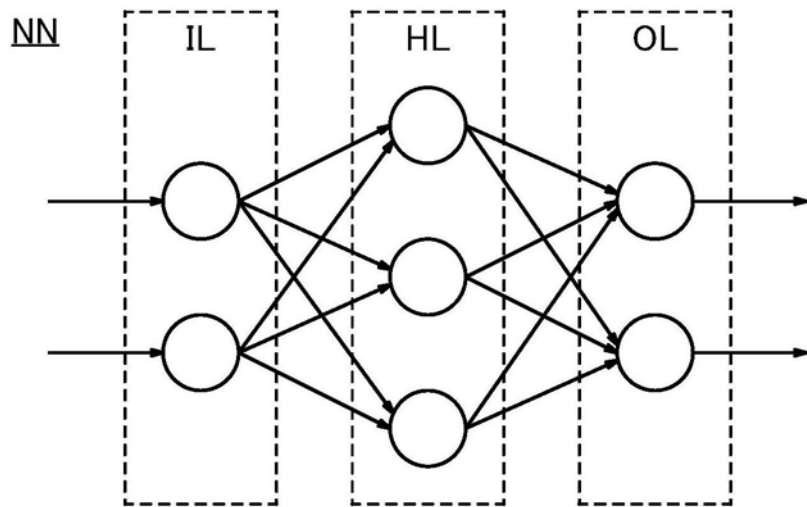


图13A

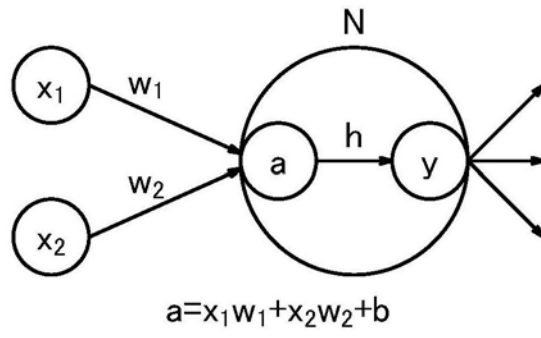


图13B

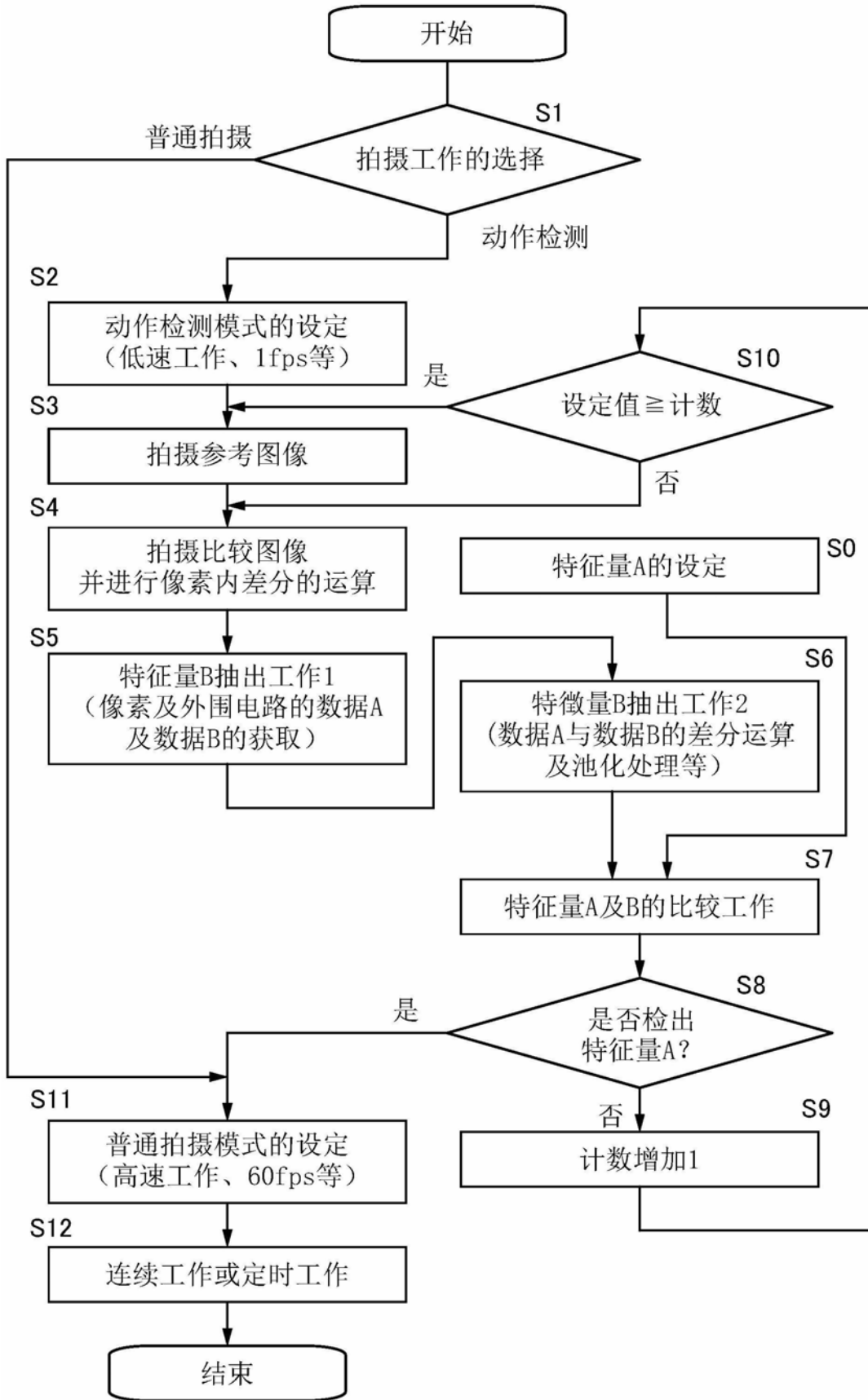
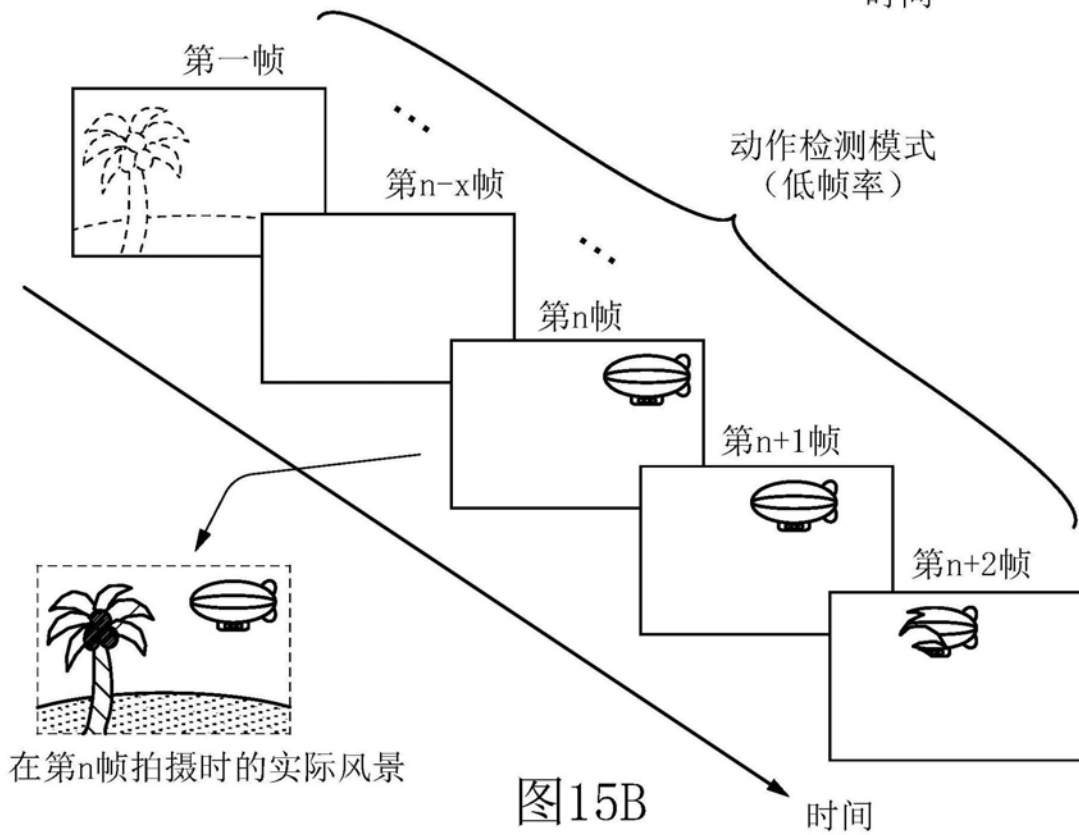
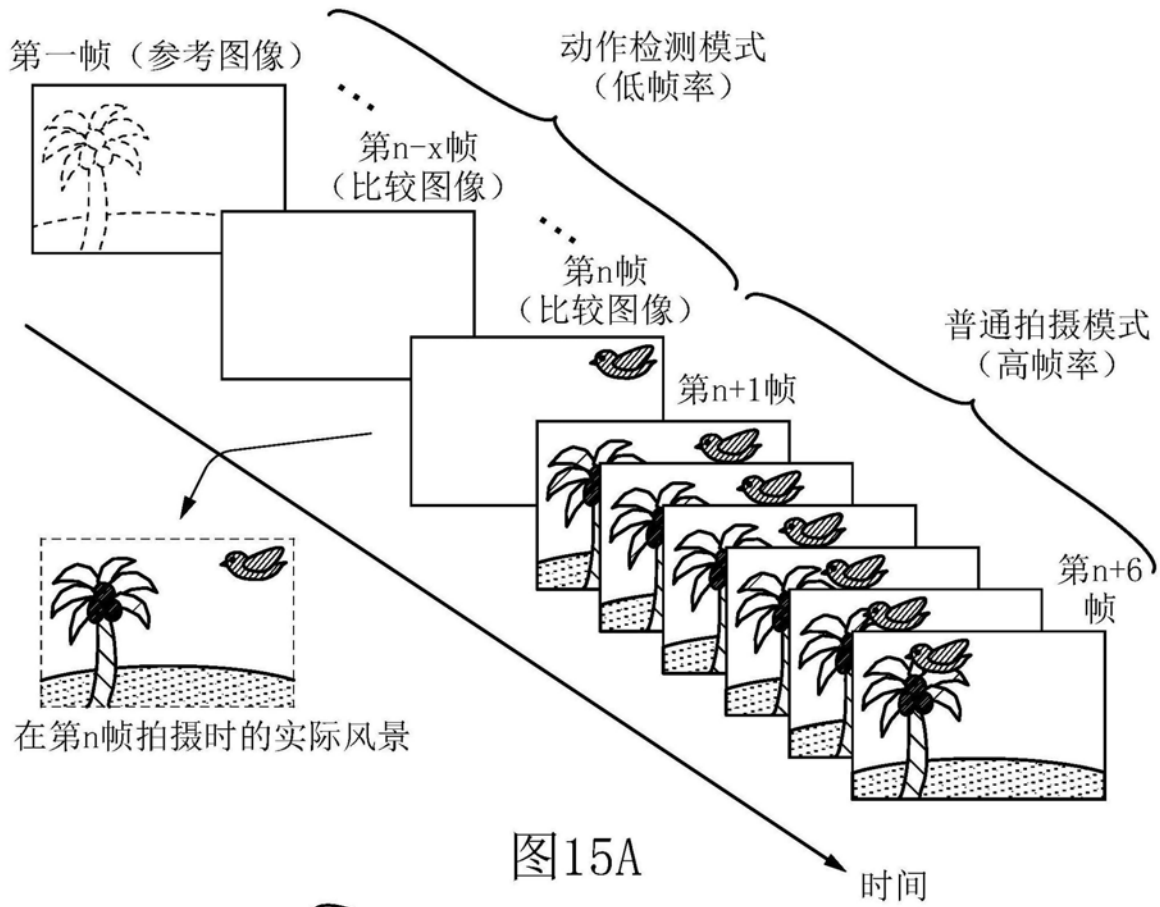


图14



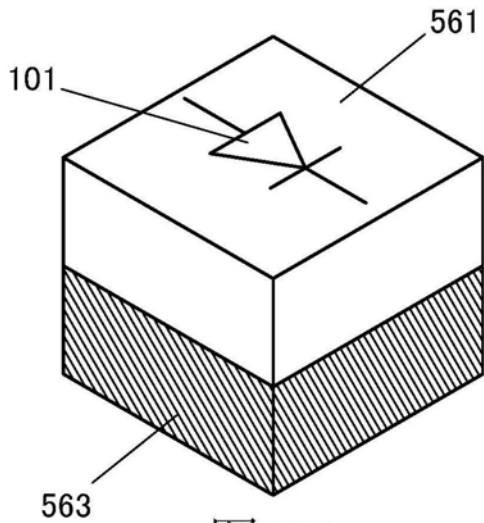


图16A

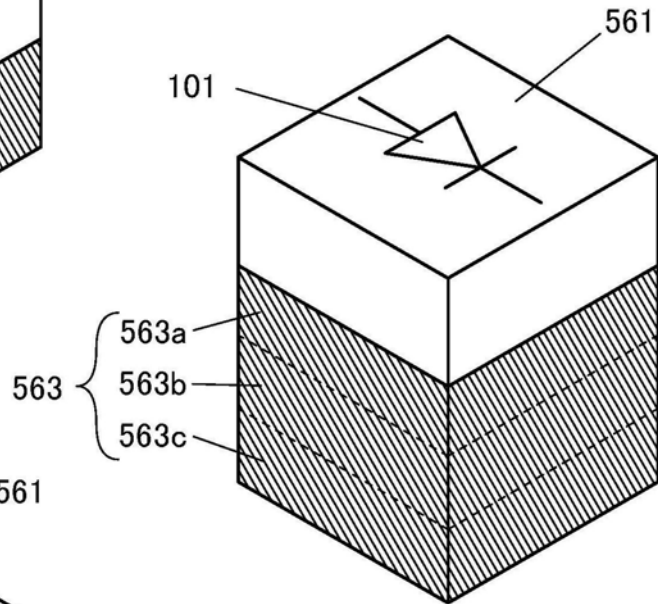


图16B

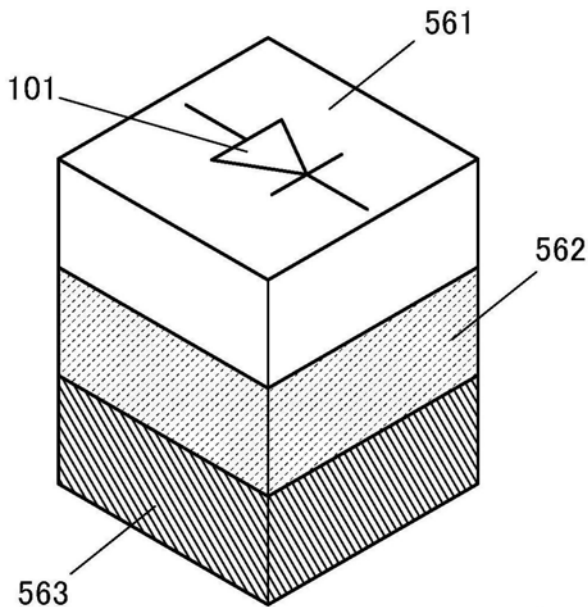


图16C

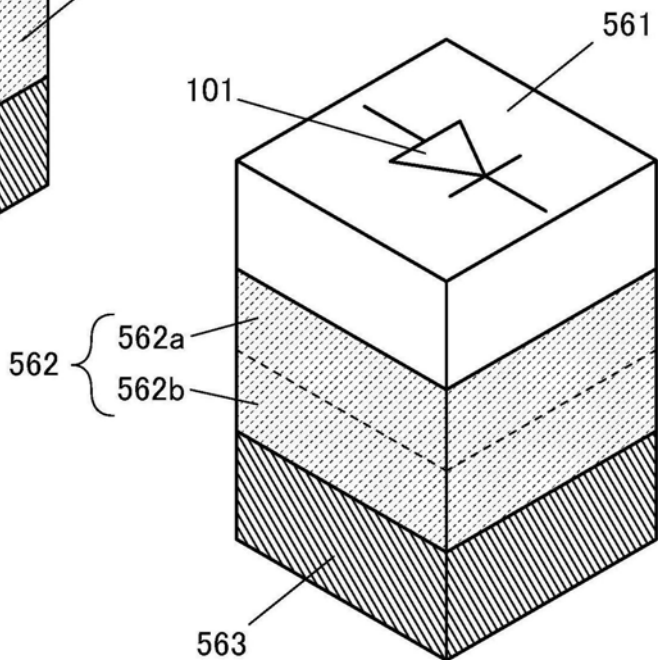


图16D

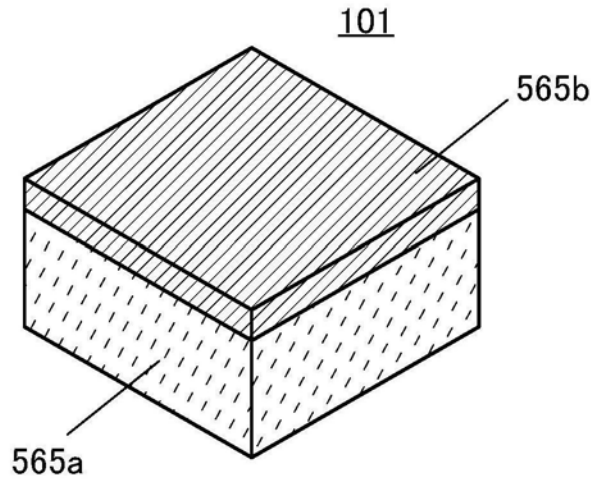


图17A

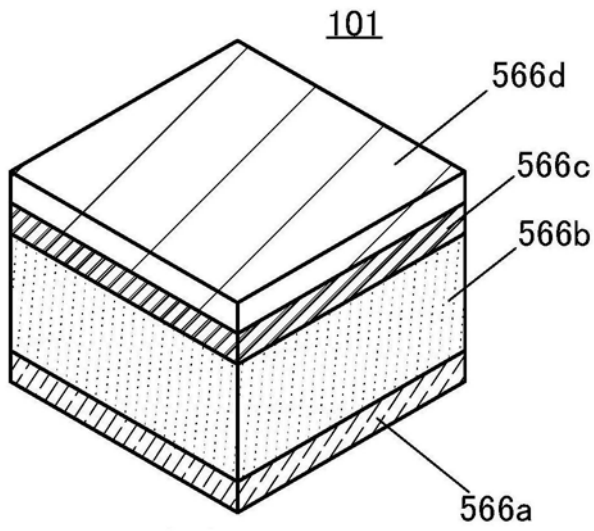


图17B

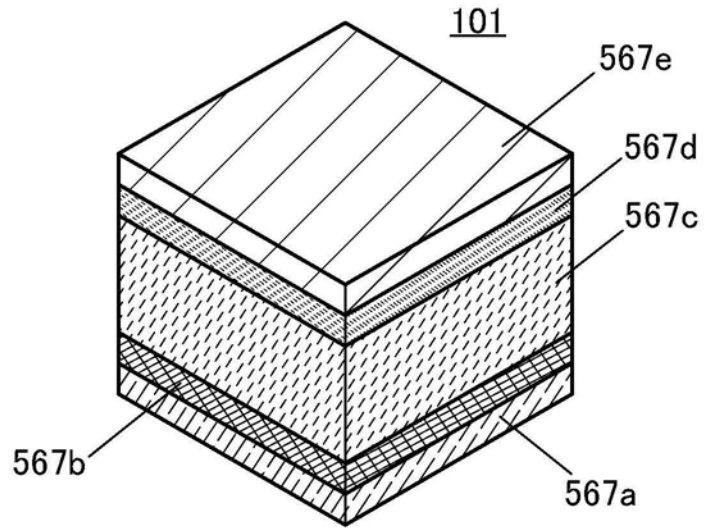


图17C

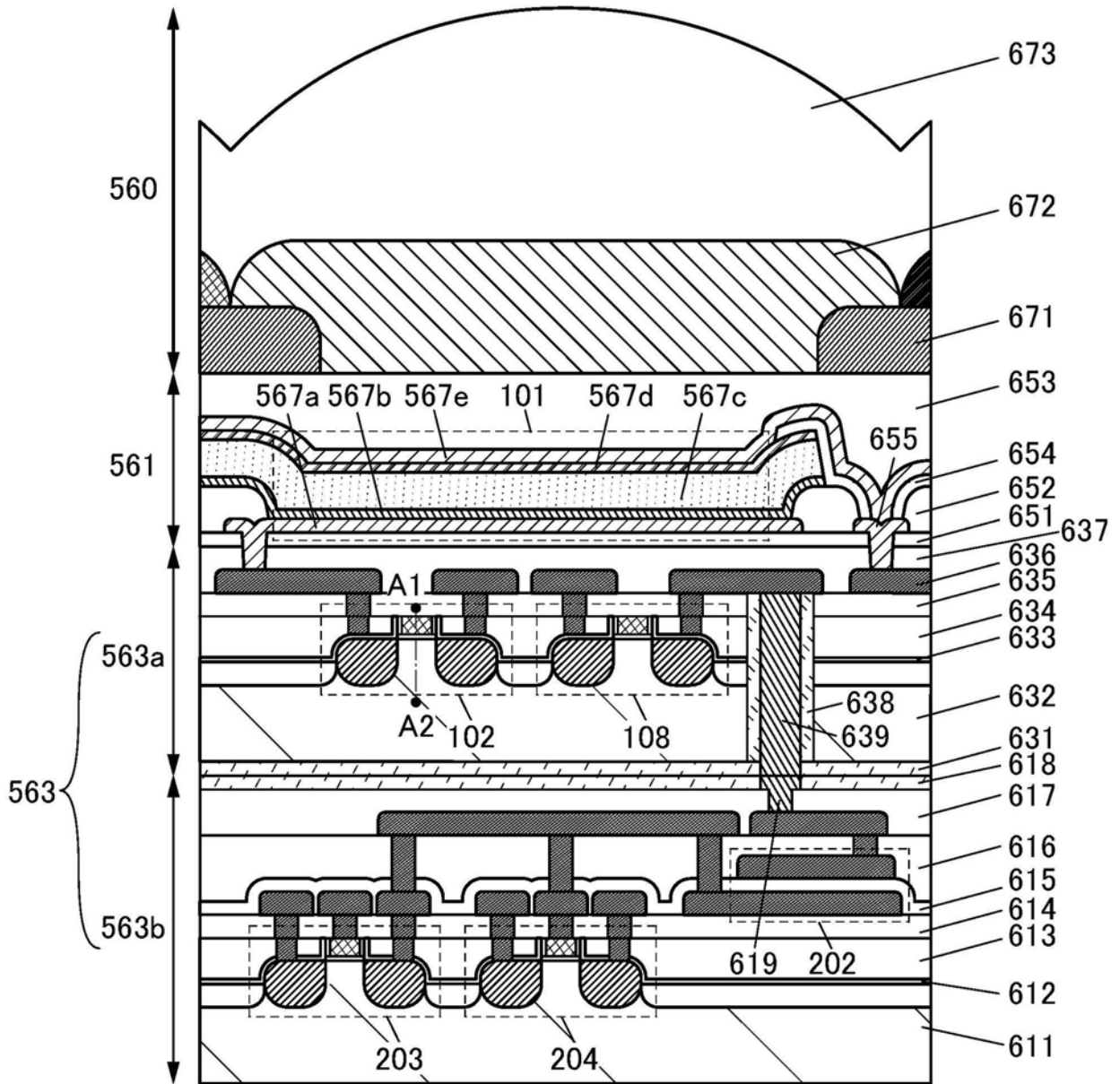


图18

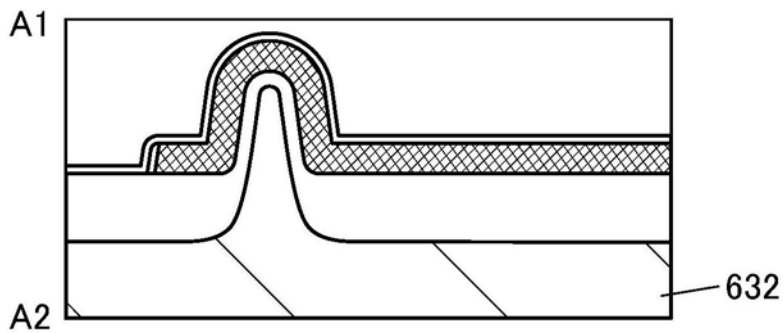


图19A

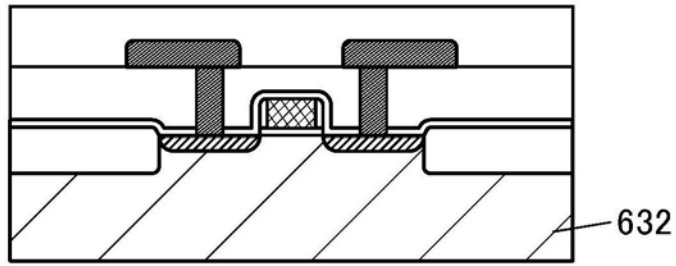


图19B

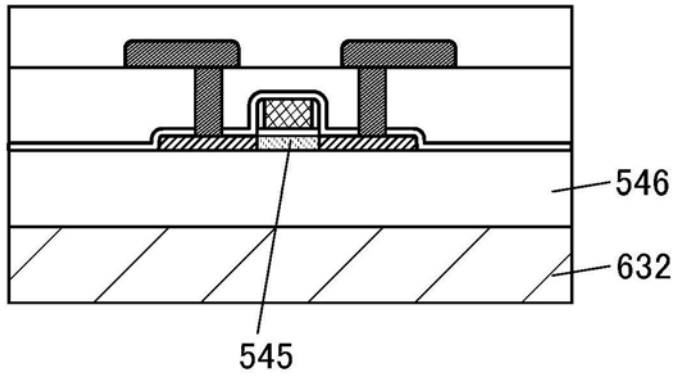


图19C

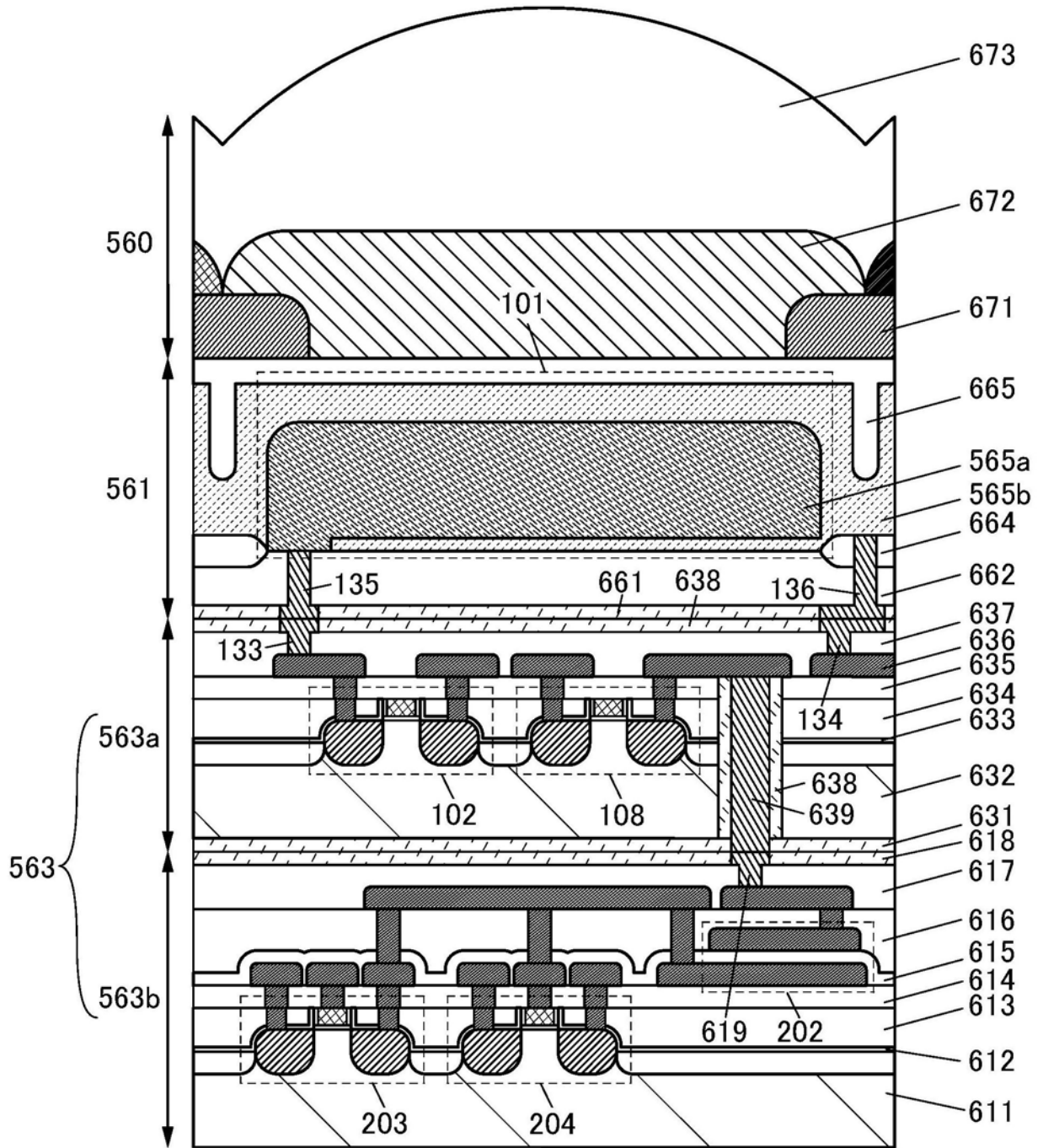


图20

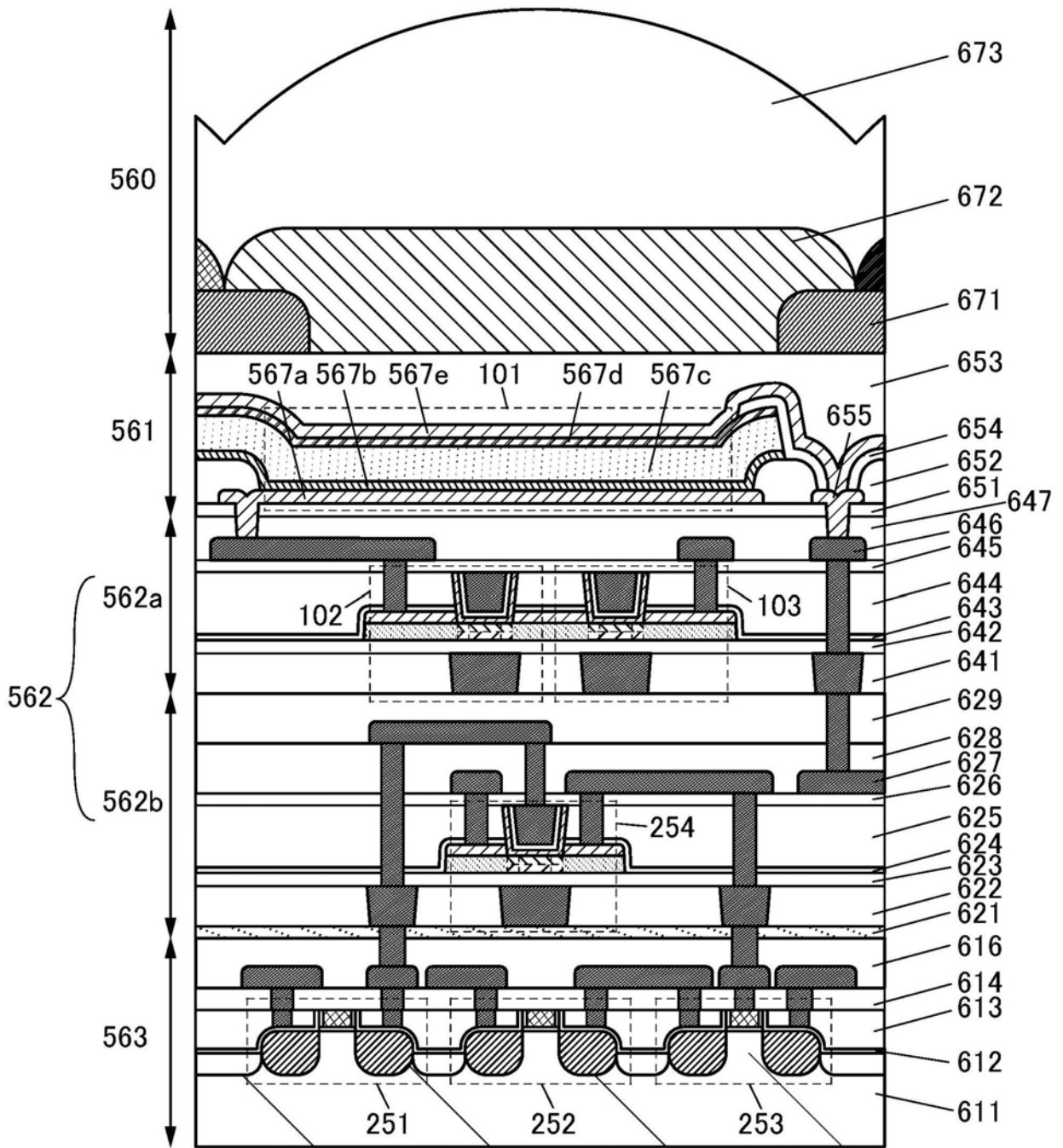


图21

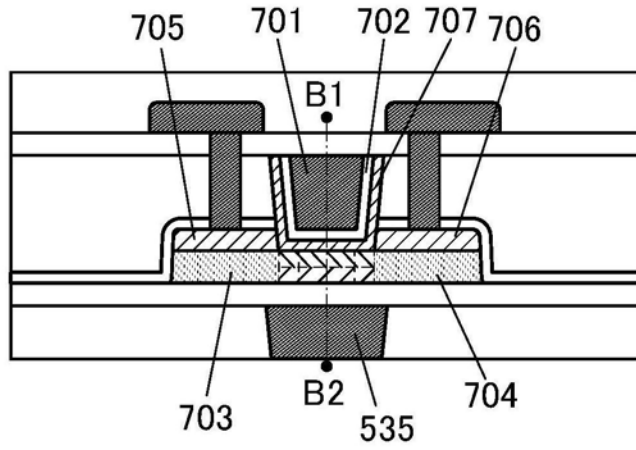


图22A

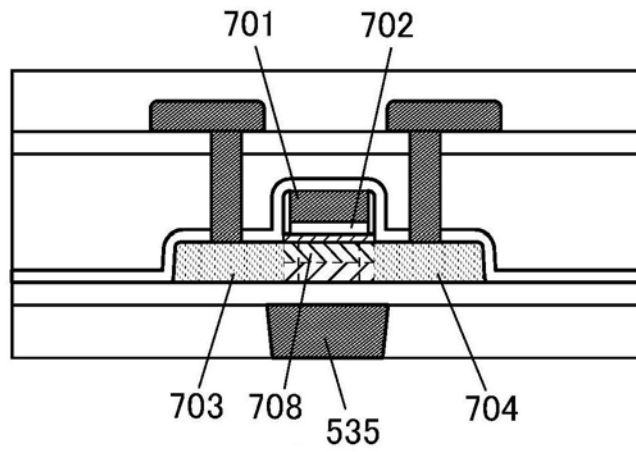


图22B

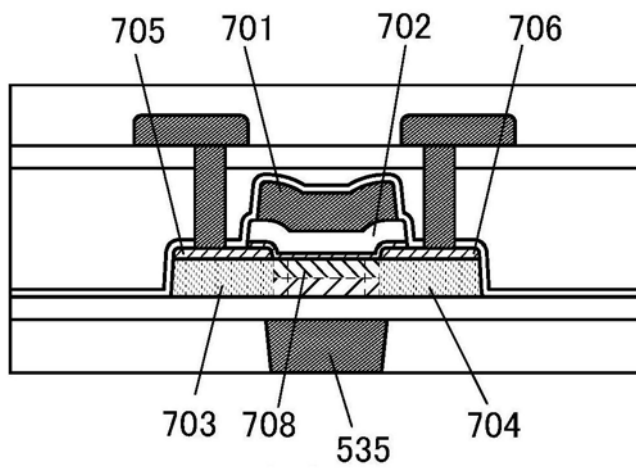


图22C

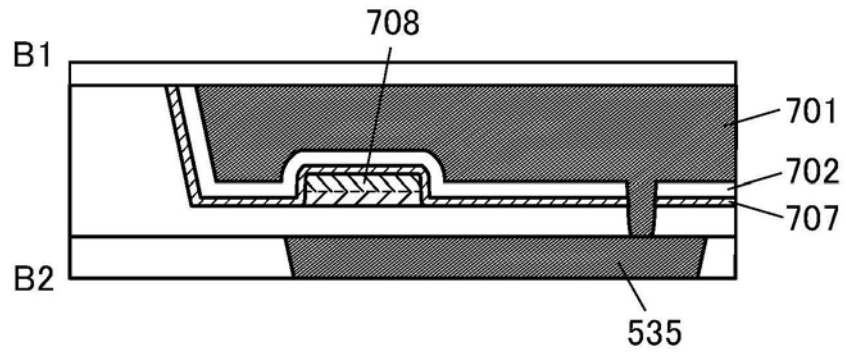


图22D

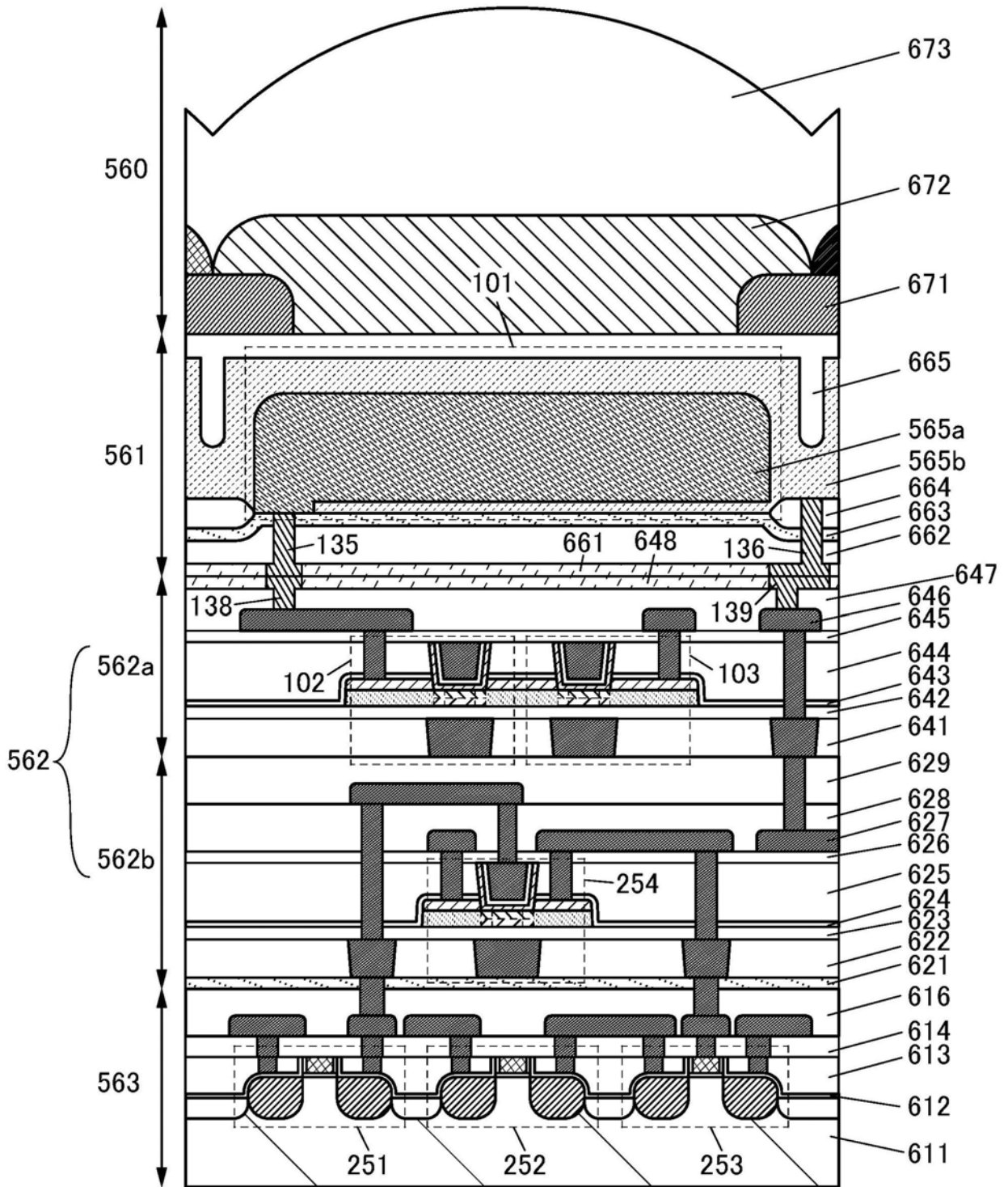


图23

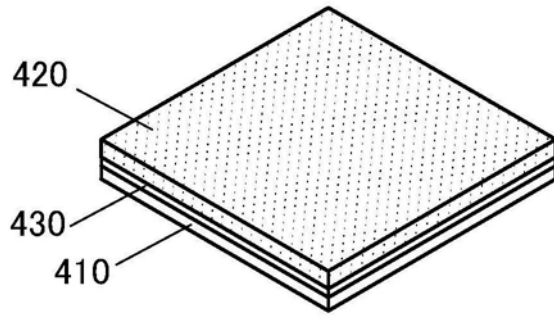


图24A1

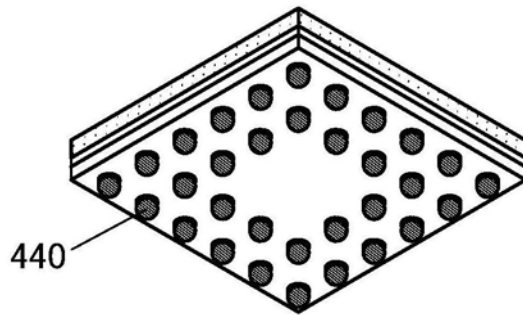


图24A2

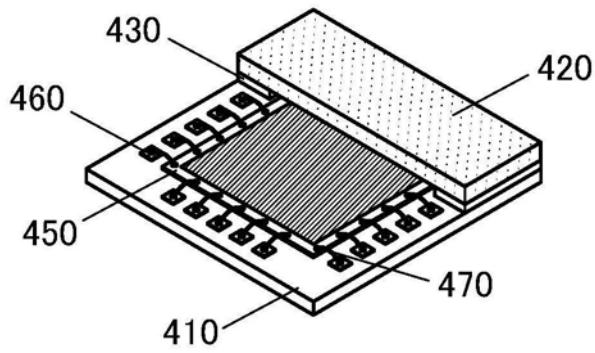


图24A3

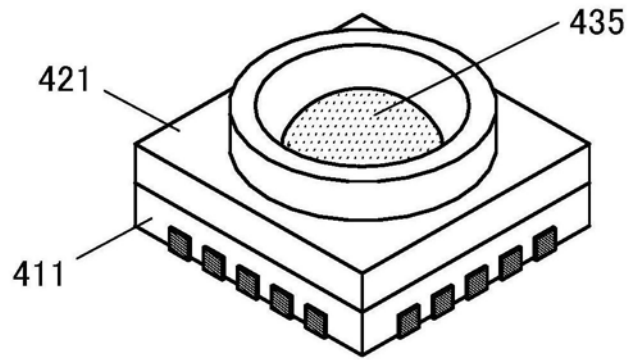


图24B1

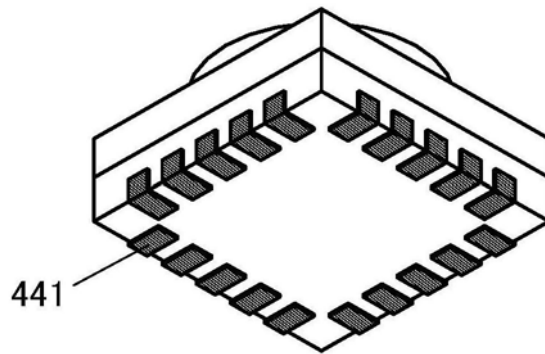


图24B2

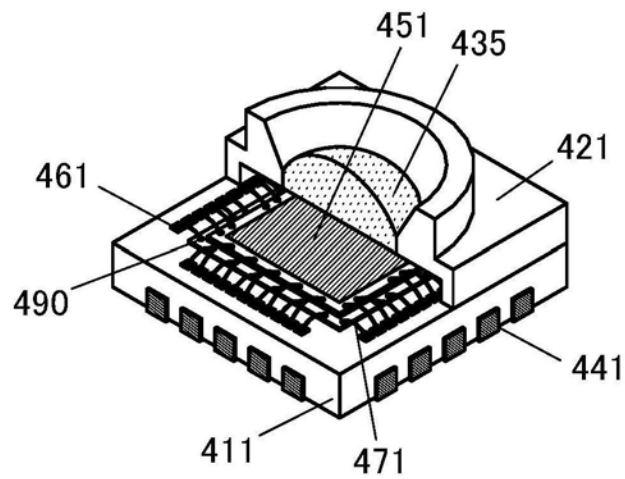


图24B3

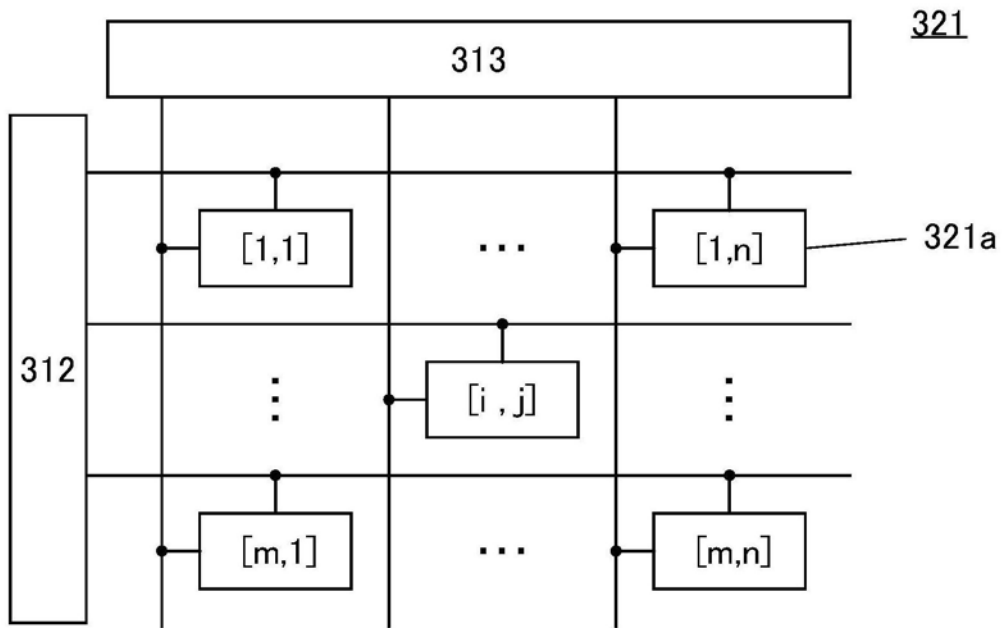


图25A

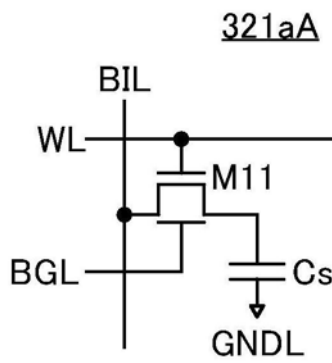


图25B

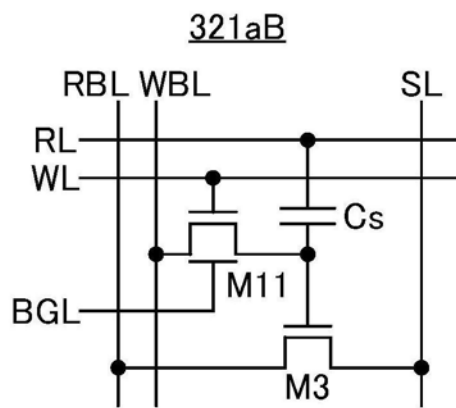


图25C

321aC

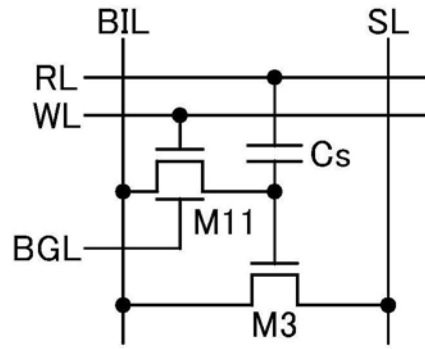


图25D

321aD

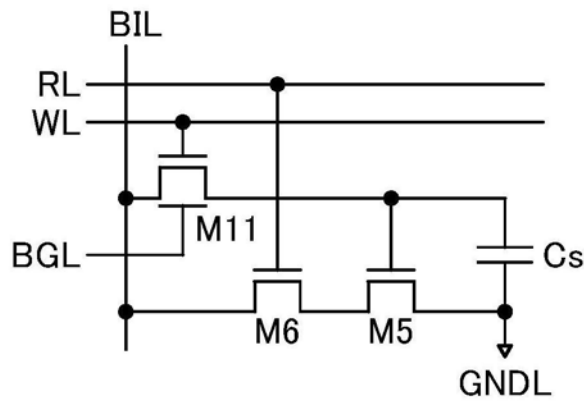


图25E

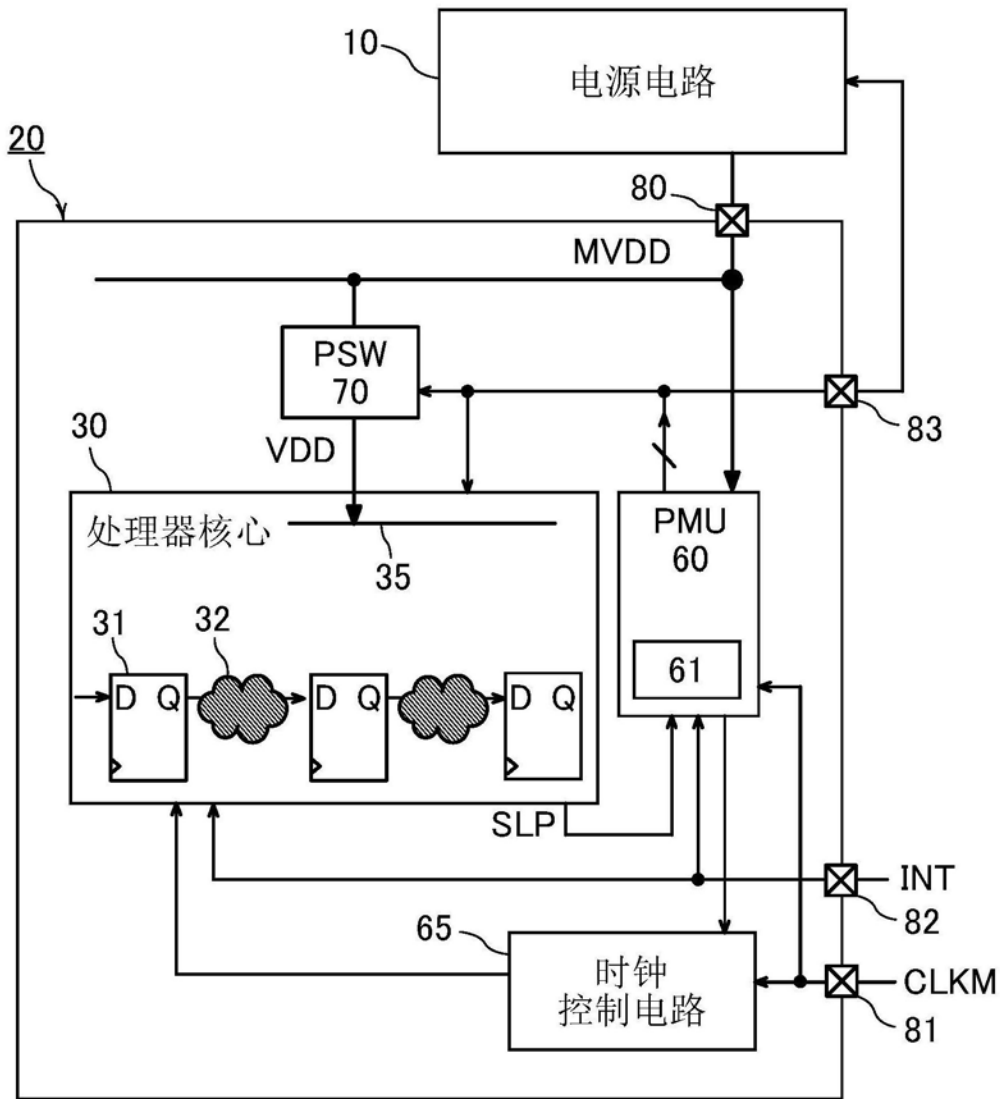


图26A

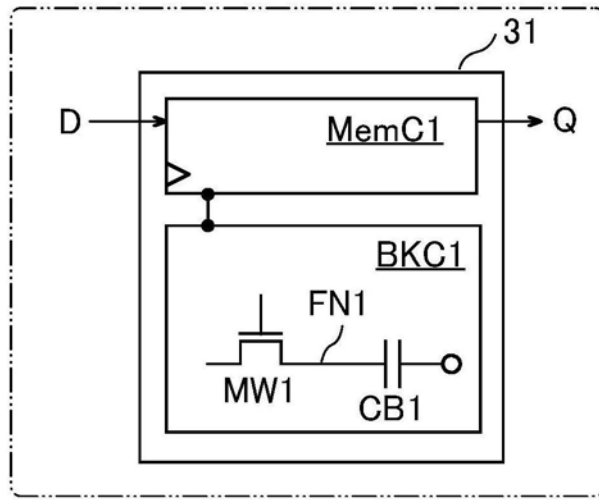


图26B

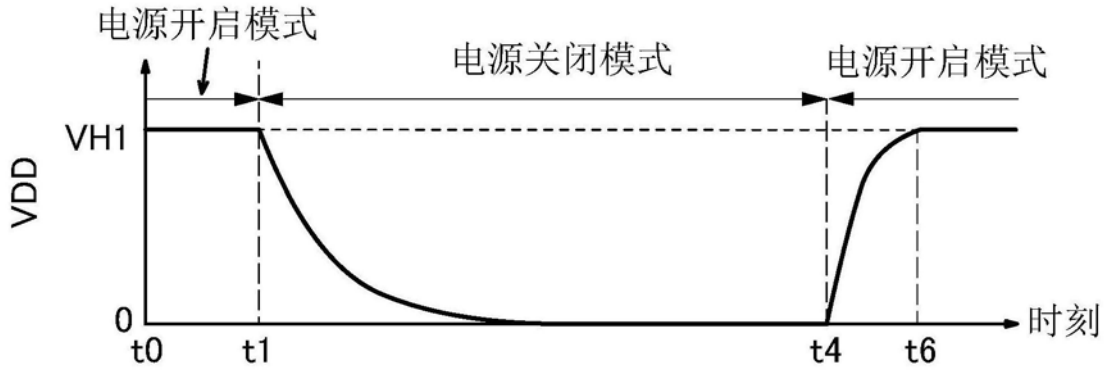


图27A

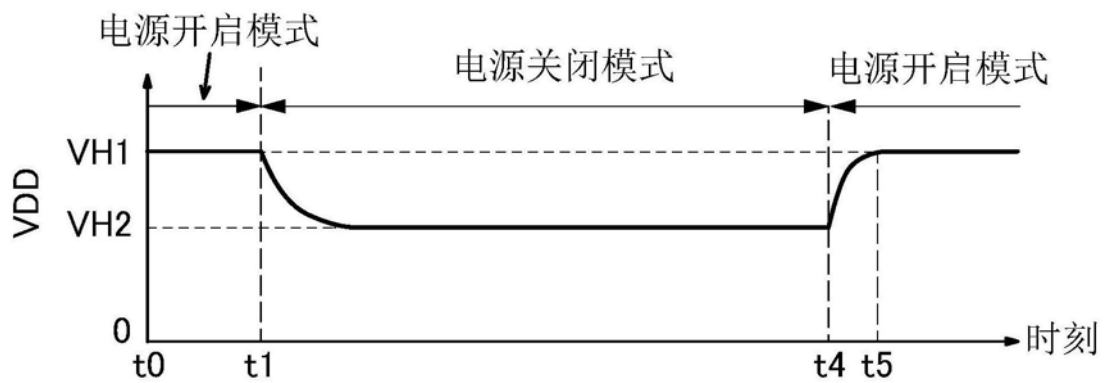


图27B

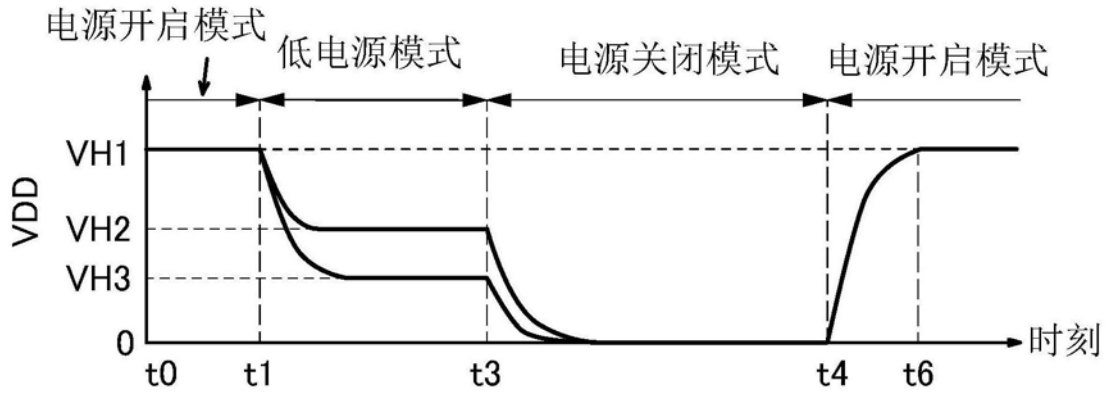


图27C

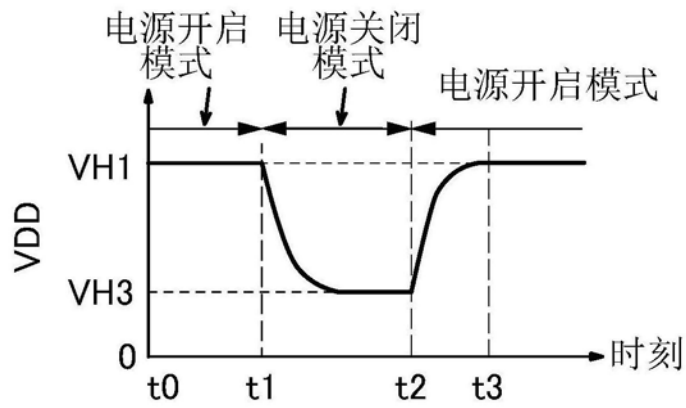


图27D

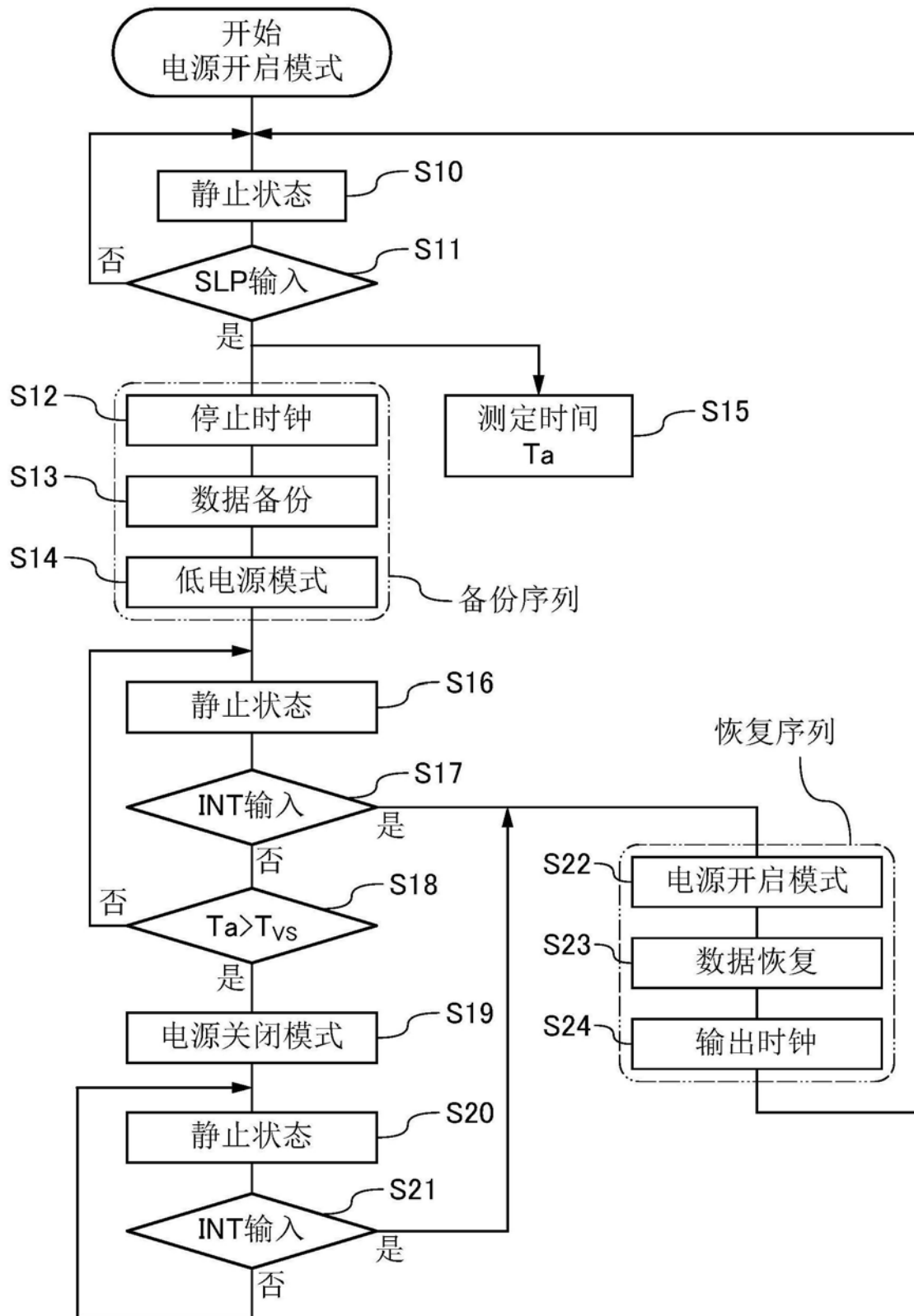


图28

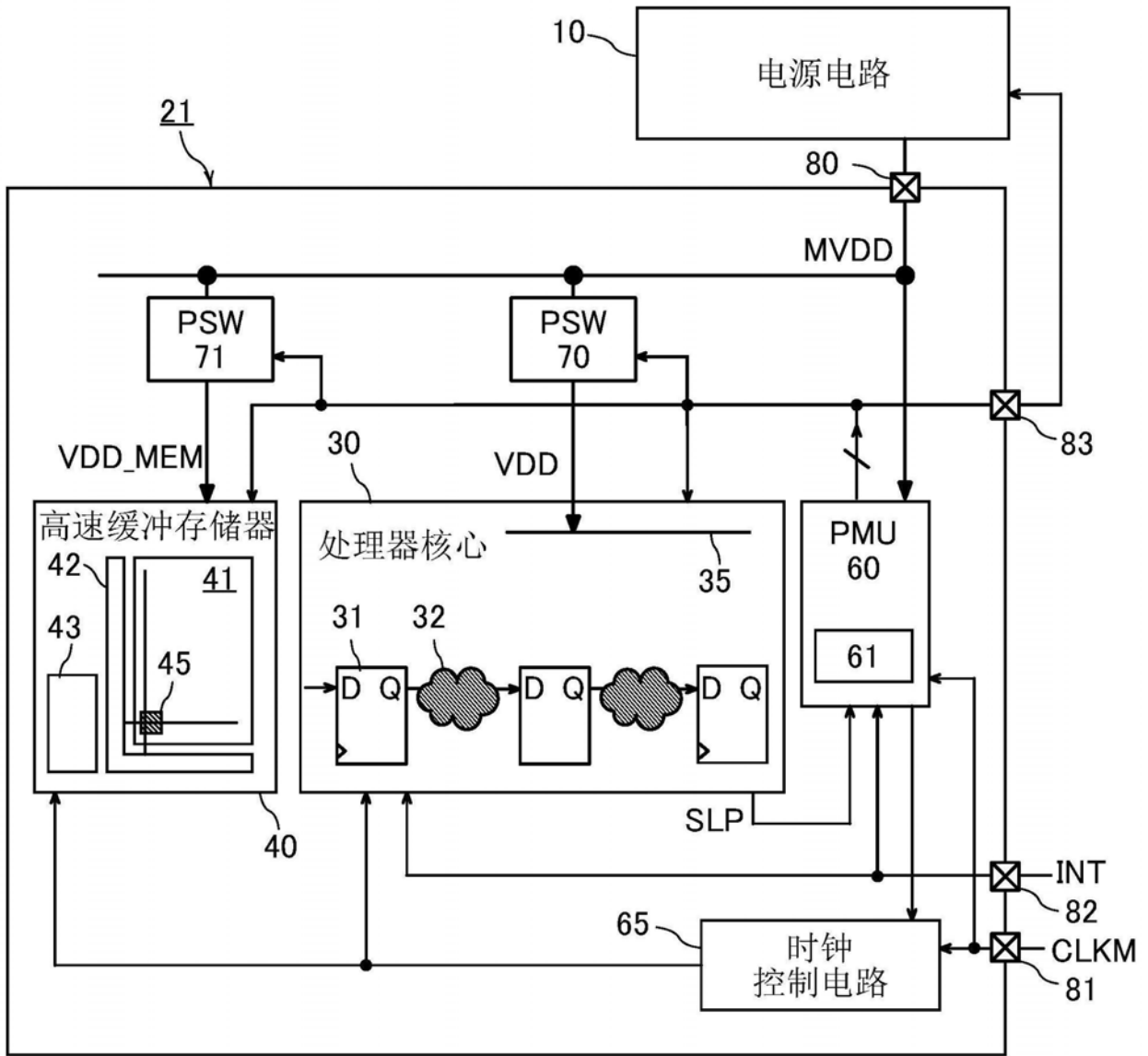


图29A

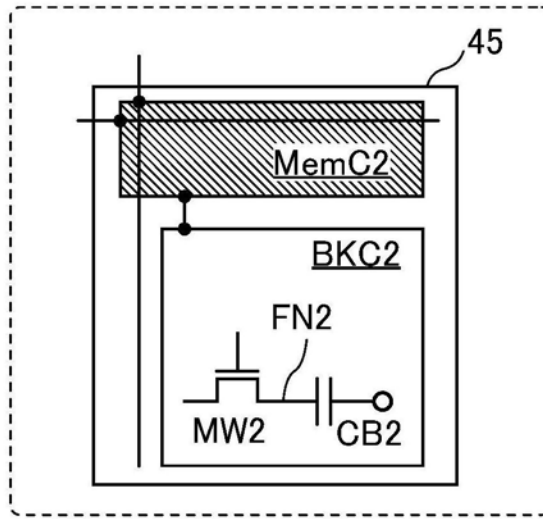


图29B

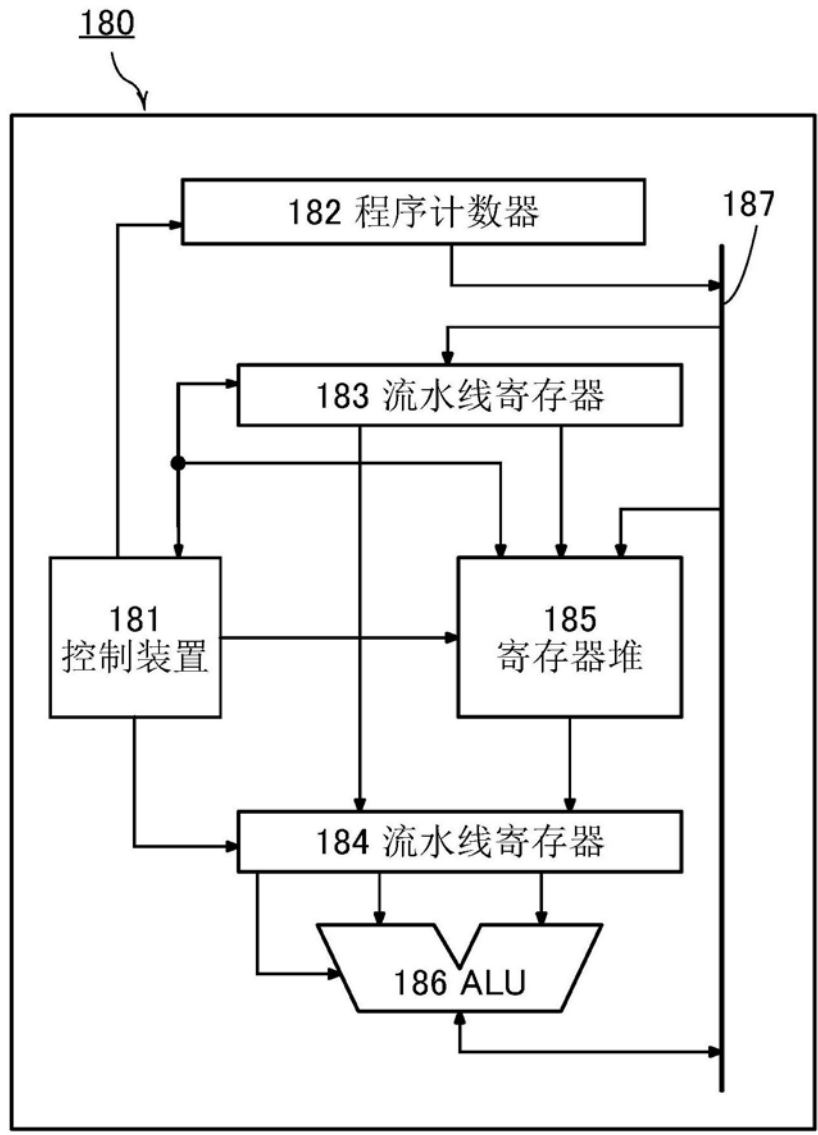


图30

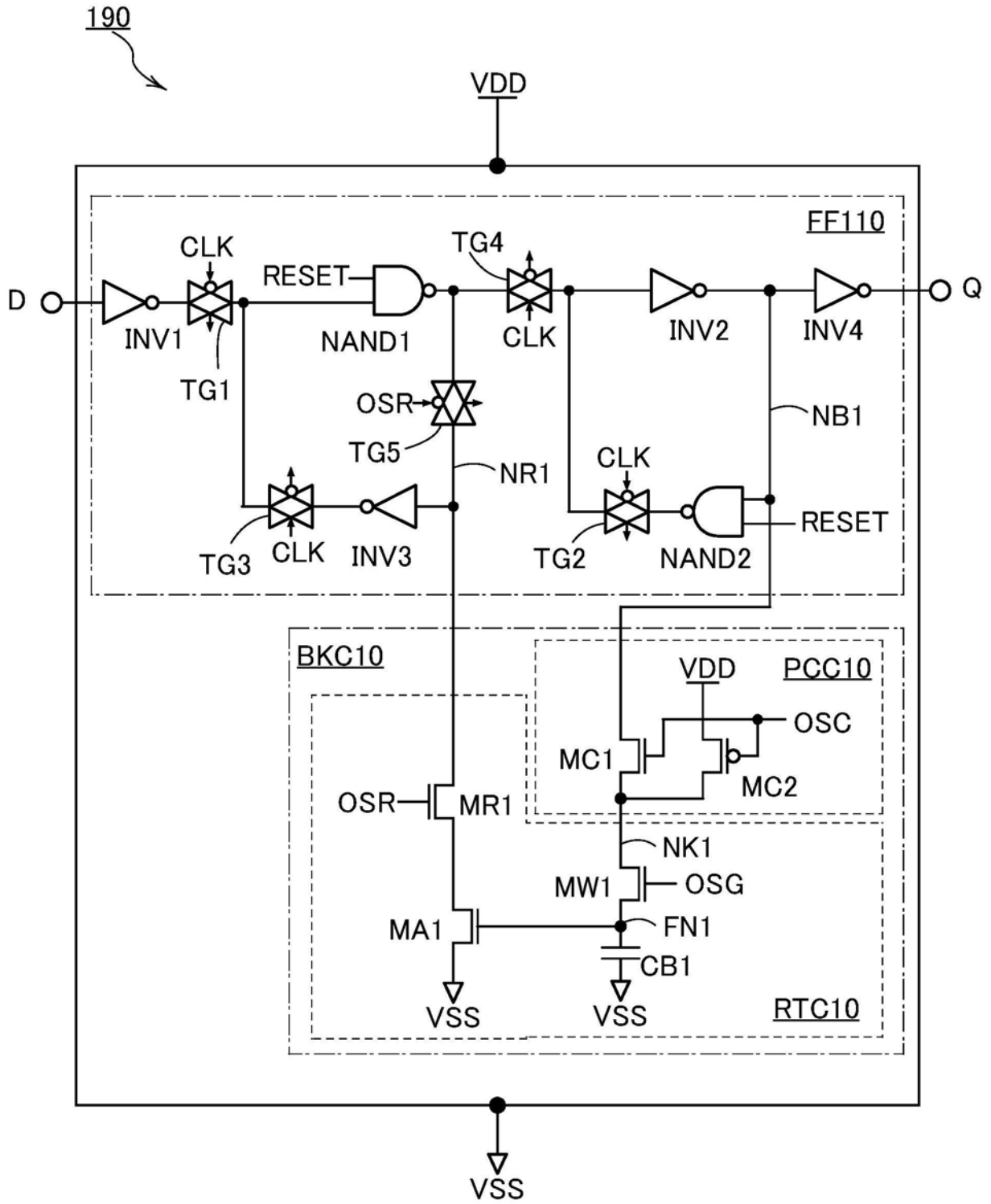


图31

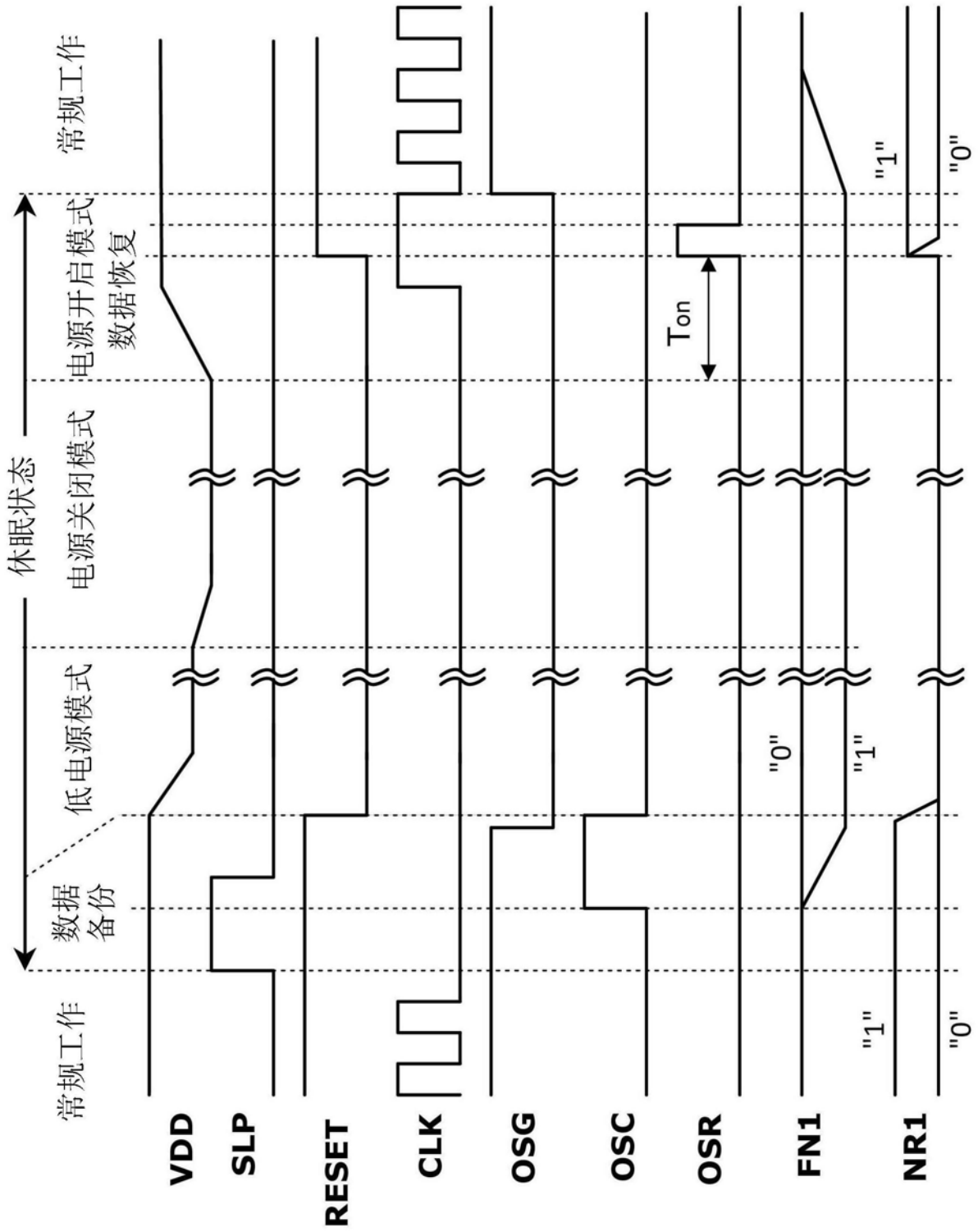


图32

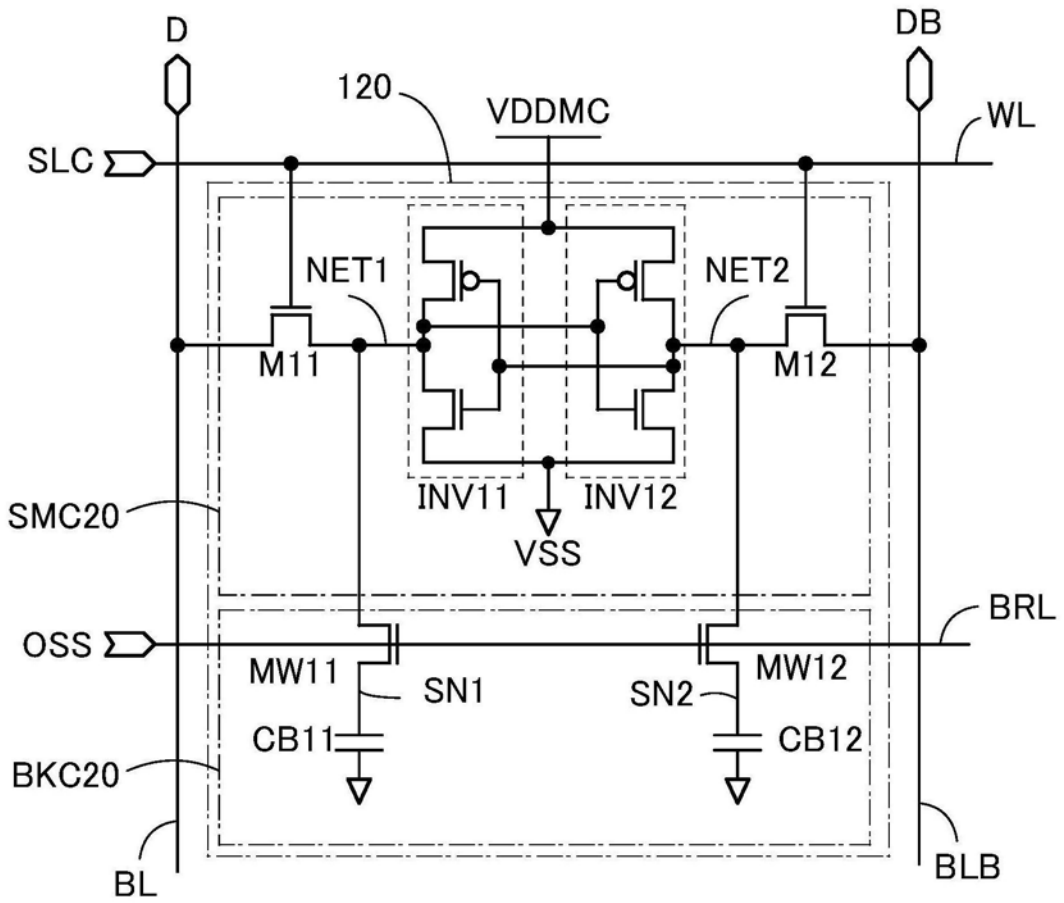


图33

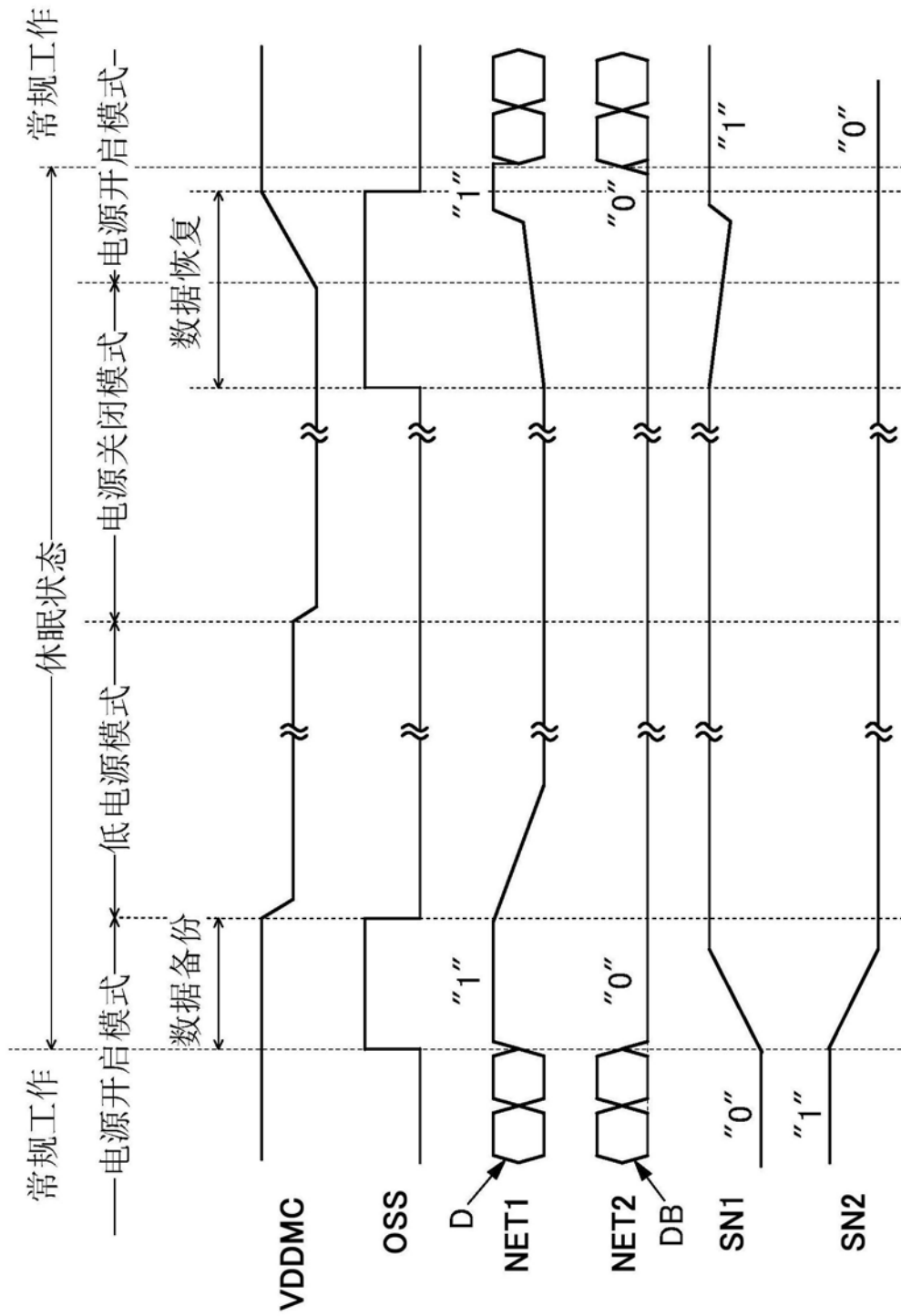


图34

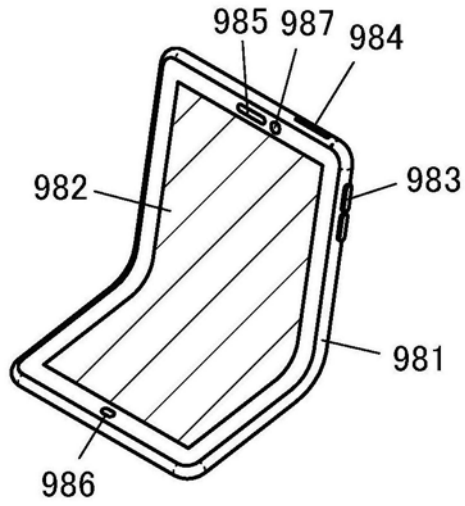


图35A

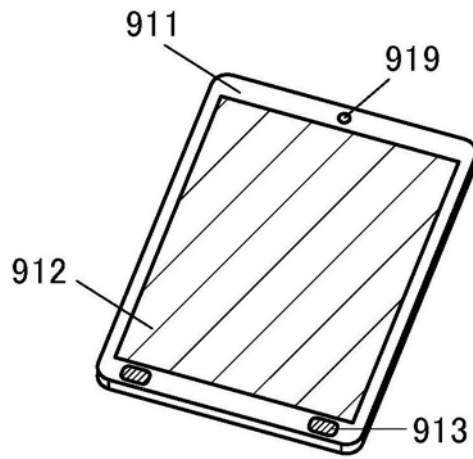


图35B

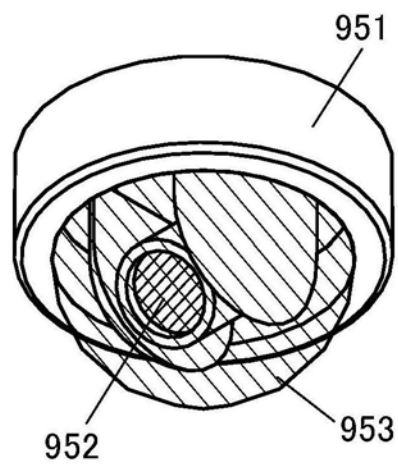


图35C

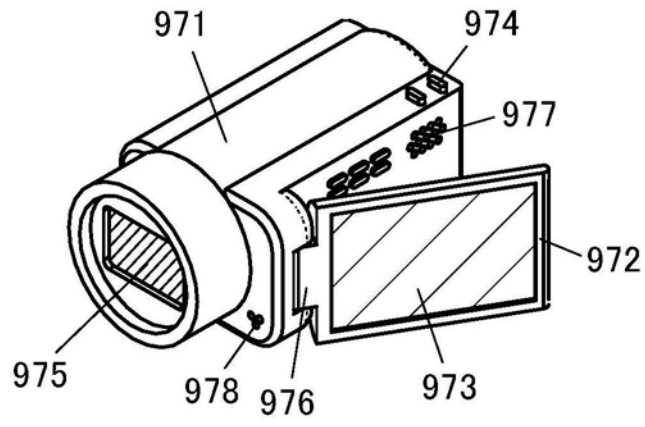


图35D

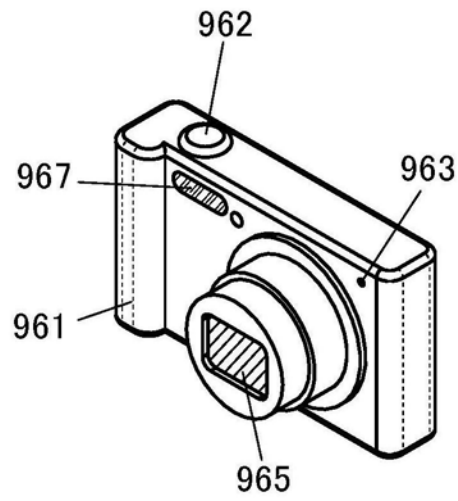


图35E

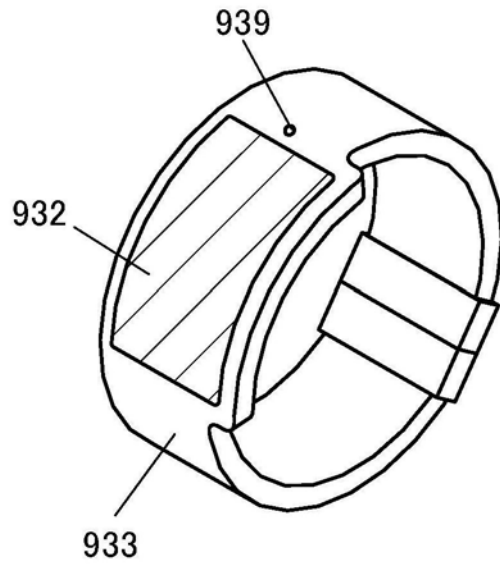


图35F