

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4752331号
(P4752331)

(45) 発行日 平成23年8月17日 (2011. 8. 17)

(24) 登録日 平成23年6月3日 (2011. 6. 3)

(51) Int. Cl.

F I

G 0 9 G 3 / 3 0 (2006. 01)

G 0 9 G 3 / 2 0 (2006. 01)

H 0 1 L 5 1 / 5 0 (2006. 01)

G 0 9 G 3 / 3 0 K

G 0 9 G 3 / 3 0 J

G 0 9 G 3 / 2 0 6 1 1 H

G 0 9 G 3 / 2 0 6 2 1 F

G 0 9 G 3 / 2 0 6 4 1 D

請求項の数 12 (全 21 頁) 最終頁に続く

(21) 出願番号 特願2005-151895 (P2005-151895)
 (22) 出願日 平成17年5月25日 (2005. 5. 25)
 (65) 公開番号 特開2006-330223 (P2006-330223A)
 (43) 公開日 平成18年12月7日 (2006. 12. 7)
 審査請求日 平成18年3月16日 (2006. 3. 16)

(73) 特許権者 000002369
 セイコーエプソン株式会社
 東京都新宿区西新宿2丁目4番1号
 (74) 代理人 100095728
 弁理士 上柳 雅誉
 (74) 代理人 100107261
 弁理士 須澤 修
 (72) 発明者 高橋 香十里
 長野県諏訪市大和3丁目3番5号 セイコ
 ーエプソン株式会社内
 (72) 発明者 神田 栄二
 長野県諏訪市大和3丁目3番5号 セイコ
 ーエプソン株式会社内

最終頁に続く

(54) 【発明の名称】 発光装置、その駆動方法及び駆動回路、並びに電子機器

(57) 【特許請求の範囲】

【請求項 1】

複数の走査線、複数のデータ線及び複数の制御線を備え、前記複数の走査線と前記複数のデータ線との交差に対応して複数の画素回路が配列された発光装置の駆動方法であって、

前記画素回路は発光素子と前記発光素子に流れる駆動電流の電流量を制御する駆動トランジスタと、前記駆動トランジスタのゲートとドレインとの間に設けられ、前記制御線から供給される制御信号によって制御される第1スイッチング手段と、前記走査線から供給される走査信号によって制御される第2スイッチング手段と、前記駆動トランジスタのゲートに接続された容量素子と、を備え、前記発光素子が前記駆動トランジスタのドレインに接続されるものとし、

第1の水平走査期間において、前記制御信号によって前記第1スイッチング手段をオン状態とする一方、前記走査信号によって前記第2スイッチング手段をオフ状態とすることで、当該制御信号が供給された制御線に接続される複数の画素回路において、前記駆動トランジスタのしきい値電圧を補償するための電圧が前記容量素子に印加された後、前記第1スイッチング手段をオフ状態とし、

前記第1の水平走査期間の後の第2の水平走査期間における第1の期間において、前記複数の走査線のうちの走査線を選択し、前記走査信号によって前記第2スイッチング手段をオンにした状態で、選択した走査線に接続される複数の画素回路に前記データ線を介して固定電圧が供給されるとともに、前記制御信号によって前記第1スイッチング手段

10

20

をオン状態とすることで、前記複数の画素回路において、前記駆動トランジスタのしきい値電圧を補償するための電圧が前記容量素子に印加された後、前記第 1 スイッチング手段をオフ状態とし、

前記第 2 の水平走査期間における前記第 1 の期間の後に設けられた第 2 の期間において、

前記第 2 スイッチング手段がオンした状態で、選択した走査線に接続される複数の画素回路に対して、前記複数のデータ線を

介して、前記発光素子が発光すべき輝度に応じたデータ電圧を供給することを特徴とする発光装置の駆動方法。

【請求項 2】

前記複数の画素回路の各々において、前記データ電圧を前記駆動トランジスタのゲートに供給して保持する期間を書込期間としたとき、前記第 2 の水平走査期間より前にある複数の水平走査期間の一部又は全部に複数の補正期間を割り当て、当該複数の補正期間において前記駆動トランジスタから出力される前記駆動電流のバラツキを補償する、ことを特徴とする請求項 1 に記載の発光装置の駆動方法。

【請求項 3】

前記複数の画素回路の各々は、前記駆動トランジスタのゲート電位を保持する保持手段と、一端が前記駆動トランジスタのゲートに接続される容量素子と、前記データ線と前記容量素子の他端との間に設けられた前記第 2 スイッチング手段とを備え、

前記複数の補正期間において、前記第 1 スイッチング手段をオン状態にして前記駆動トランジスタから出力される前記駆動電流のバラツキを補償し、

前記複数の補正期間のうち少なくとも最後の補正期間において、前記データ線に基準電圧を供給すると共に前記第 2 スイッチング手段をオン状態にし、

前記書込期間において、前記データ線に前記データ電圧を供給し、前記第 1 スイッチング手段をオフ状態にするとともに前記第 2 スイッチング手段をオン状態にして、前記駆動トランジスタのゲートに前記データ電圧を供給し、当該データ電圧を前記保持手段で保持することを特徴とする請求項 2 に記載の発光装置の駆動方法。

【請求項 4】

前記複数の補正期間は、前記書込期間より前にある複数の前記水平走査期間の一部に割り当てられており、

前記複数の補正期間のうちある補正期間と次の補正期間との間の前記水平走査期間に休止期間を設け、当該休止期間では、前記駆動トランジスタから出力される前記駆動電流のバラツキを補償しないことを特徴とする請求項 2 又は 3 に記載の発光装置の駆動方法。

【請求項 5】

前記複数の補正期間のうち最初の補正期間より前の前記水平走査期間に初期化期間を設け、当該初期化期間において、前記駆動トランジスタのゲート電位を初期化電位に設定することを特徴とする請求項 2 乃至 4 のうちいずれか 1 項に記載の発光装置の駆動方法。

【請求項 6】

前記複数の画素回路の各々は、前記駆動トランジスタのドレインと前記発光素子との間に設けられた第 3 スイッチング手段を備え、

前記初期化期間において、前記第 1 スイッチング手段をオン状態とし、前記第 2 スイッチング手段をオフ状態とし、前記第 3 スイッチング手段をオン状態とする、

ことを特徴とする請求項 5 に記載の発光装置の駆動方法。

【請求項 7】

前記書込期間が終了した後に、前記駆動電流を前記発光素子に供給する発光期間を設け、前記発光期間を、複数の期間に分割して設けたことを特徴とする請求項 2 に記載の発光装置の駆動方法。

【請求項 8】

複数の走査線と、複数のデータ線と、複数の第 1 制御線と、複数の走査線と複数のデータ線との交差に対応して配置され、各々が、発光素子と、前記発光素子に流れる駆動電流

10

20

30

40

50

の電流量を制御する駆動トランジスタと、前記駆動トランジスタのゲートとドレインとの間に設けられ前記第 1 制御線を介して供給される第 1 制御信号に基づいてオン・オフが制御される第 1 スイッチング手段と、一端が前記駆動トランジスタのゲートに接続される容量素子と、前記データ線と前記容量素子の他端との間に設けられ前記走査線を介して供給される走査信号に基づいてオン・オフが制御される第 2 スイッチング手段と、を備え、前記発光素子が前記駆動トランジスタのドレインに接続された複数の画素回路とを備えた発光装置を駆動する発光装置の駆動回路であって、

前記走査線に信号を供給する走査線駆動回路、前記データ線に信号を供給するデータ線駆動回路及び前記第 1 制御線に信号を供給する制御線駆動回路を備え、

第 1 の水平走査期間において、前記制御線駆動回路が供給する前記第 1 制御信号によって前記第 1 スイッチング手段をオン状態にする一方、前記走査線駆動回路が供給する前記走査信号によって前記第 2 スイッチング手段をオフ状態にすることで、当該第 1 制御信号が供給された制御線に接続される複数の画素回路において、前記駆動トランジスタのしきい値電圧を補償するための電圧が前記容量素子に印加された後、前記第 1 制御信号によって前記第 1 スイッチング手段をオフ状態にし、

前記第 1 の水平走査期間の後の第 2 の水平走査期間における第 1 の期間において、前記走査線駆動回路が前記複数の走査線のうち一つの走査線に走査信号を供給し、前記走査信号によって前記第 2 スイッチング手段をオンにした状態で、前記走査線に接続される複数の画素回路に前記データ線を介して固定電圧が供給されるとともに、前記制御信号によって前記第 1 スイッチング手段をオン状態とすることで、前記複数の画素回路において、前記駆動トランジスタのしきい値電圧を補償するための電圧が前記容量素子に印加された後、前記第 1 スイッチング手段をオフ状態とし、

前記第 2 の水平走査期間における前記第 1 の期間の後に設けられた第 2 の期間において、前記第 2 スイッチング手段がオンした状態で、前記走査線に接続される複数の画素回路に対して、前記複数のデータ線を介して、前記発光素子が発光すべき輝度に応じたデータ電圧を供給することを特徴とする発光装置の駆動回路。

【請求項 9】

前記発光装置は、複数の第 2 制御線を備え、前記複数の画素回路の各々は、前記駆動トランジスタのドレインと前記発光素子との間に設けられ、前記第 2 制御線を介して供給される第 2 制御信号に基づいてオン・オフが制御される第 3 スイッチング手段を有し、

前記制御線駆動回路は、前記複数の画素回路の各々において、前記第 1 の水平走査期間の前に設けられた初期化期間において、前記第 3 スイッチング手段がオン状態になるように前記複数の第 2 制御線の各々に前記第 2 制御信号を供給する、

ことを特徴とする請求項 8 に記載の発光装置の駆動回路。

【請求項 10】

複数の走査線と、

複数のデータ線と、

複数の第 1 制御線と、

複数の走査線と複数のデータ線との交差に対応して配置され、各々が、発光素子と、前記発光素子に流れる駆動電流の電流量を制御する駆動トランジスタと、前記駆動トランジスタのゲートとドレインとの間に設けられ前記第 1 制御線を介して供給される第 1 制御信号に基づいてオン・オフが制御される第 1 スイッチング手段と、前記データ線に接続され、前記走査線から供給される走査信号に基づいてオン・オフが制御される第 2 スイッチング手段と、前記駆動トランジスタのゲートに接続された容量素子と、を備え、前記発光素子が前記駆動トランジスタのドレインに接続された複数の画素回路と、

前記走査線に前記走査信号を供給する走査線駆動回路と、

前記データ線にデータ電圧を供給するデータ線駆動回路と、

前記第 1 制御線に前記第 1 制御信号を供給する制御線駆動回路と、を備え、

第 1 の水平走査期間において、前記制御線駆動回路が供給する前記第 1 制御信号によって前記第 1 スイッチング手段をオン状態にする一方、前記走査線駆動回路が供給する前記

10

20

30

40

50

走査信号によって前記第 2 スイッチング手段をオフ状態にすることで、当該第 1 制御信号が供給された制御線に接続される複数の画素回路において、前記駆動トランジスタのしきい値電圧を補償するための電圧が前記容量素子に印加された後、前記第 1 制御信号によって前記第 1 スイッチング手段をオフ状態にし、

前記第 1 の水平走査期間の後の第 2 の水平走査期間における第 1 期間において、前記走査線駆動回路が前記複数の走査線のうちの走査線に走査信号を供給し、前記走査信号によって前記第 2 スイッチング手段をオンにした状態で、前記走査線に接続される複数の画素回路に前記データ線を介して固定電圧が供給されるとともに、前記制御信号によって前記第 1 スイッチング手段をオン状態とすることで、前記複数の画素回路において、前記駆動トランジスタのしきい値電圧を補償するための電圧が前記容量素子に印加された後、前記第 1 スイッチング手段をオフ状態とし、

10

前記第 2 の水平走査期間における前記第 1 の期間の後に設けられた第 2 の期間において、前記第 2 スイッチング手段がオンした状態で、前記データ線駆動回路が、前記走査線に接続される複数の画素回路に対して、前記複数のデータ線を介して、前記発光素子が発光すべき輝度に応じたデータ電圧を供給することを特徴とする発光装置。

【請求項 1 1】

複数の第 2 制御線を備え、

前記複数の画素回路の各々は、前記駆動トランジスタのドレインと前記発光素子との間に設けられ、前記第 2 制御線を介して供給される第 2 制御信号に基づいてオン・オフが制御される第 3 スイッチング手段を有し、

20

前記制御線駆動手段は、前記複数の画素回路の各々において、前記第 1 の水平走査期間より前に設けられた初期化期間において、前記第 3 スイッチング手段がオン状態になるように前記複数の第 2 制御線の各々に前記第 2 制御信号を供給する、

ことを特徴とする請求項 1 0 に記載の発光装置。

【請求項 1 2】

請求項 1 0 または 1 1 に記載の発光装置を備えた電子機器。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

30

本発明は、有機発光ダイオード素子のような発光素子を備えた発光装置、その駆動方法及び駆動回路、並びに電子機器に関する。

【背景技術】

【0 0 0 2】

近年、液晶素子に代わる次世代の発光デバイスとして、有機エレクトロルミネッセンス素子や発光ポリマー素子などと呼ばれる有機発光ダイオード (Organic Light Emitting Diode、以下適宜「OLED 素子」と略称する) 素子が注目されている。この OLED 素子は、自発光型であるために視野角依存性が少なく、また、バックライトや反射光が不要であるために低消費電力化や薄型化に向いているなど、表示パネルとして優れた特性を有している。

40

ここで、OLED 素子は、液晶素子のように電圧保持性を有さず、電流が途絶えると、発光状態が維持できなくなる電流型の被駆動素子である。このため、OLED 素子をアクティブ・マトリクス方式で駆動する場合、書込期間 (選択期間) において、画素の階調に応じた電圧を駆動トランジスタのゲートに書き込んで、当該電圧をゲート容量などにより保持し、当該ゲート電圧に応じた電流を駆動トランジスタが OLED 素子に流し続ける事が一般的となっている。

【0 0 0 3】

この構成では、駆動トランジスタのしきい値電圧特性がばらつくことによって、画素ごとに、OLED 素子の明るさが相違して表示品位が低下する、という問題が指摘されている。このため、特許文献 1 には、書込期間において、当該駆動トランジスタをダイオード

50

接続させるとともに、駆動トランジスタからデータ線に定電流を流し、これによって、当該駆動トランジスタのゲートに、OLED素子に流すべき電流に応じた電圧を書き込むようにプログラミングして、駆動トランジスタのしきい値電圧特性のばらつきを補償する技術が開示されている。

【特許文献1】特開2003-177709号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

ところで、しきい値電圧の近傍では駆動トランジスタを流れる電流が零に漸近する。したがって、駆動トランジスタのゲートにしきい値電圧に応じた電圧を保持しようとする

10

と、十分な時間を確保する必要がある。したがって、十分な補償を実現するためには、書込期間が長くなってしまふといった問題がある。

【0005】

本発明は、上述した事情に鑑みてなされたものであって、書込期間を延長することなく駆動トランジスタのしきい値電圧特性のばらつきを十分に補償可能な電子回路の駆動方法及び駆動回路、発光装置、並びに電子機器を提供することを解決課題とする。

【課題を解決するための手段】

【0006】

上記課題を解決するために本発明に係る発光装置の駆動方法は、複数の走査線と複数のデータ線との交差に対応して複数の画素回路が配列された発光装置を駆動し、前記画素回路は発光素子と前記発光素子に流れる駆動電流の電流量を制御する駆動トランジスタとを備え、第1期間と前記第1期間より後の第2期間とを含む単位期間の処理を繰り返して発光装置を駆動する方法であって、前記第2期間では、前記複数の走査線のうち一つの走査線を選択し、選択した走査線に接続される複数の画素回路に対して、前記データ線を介して、前記前記発光素子の輝度に応じたデータ電圧を前記駆動トランジスタのゲートに供給して保持し、前記第1期間では、前記複数の走査線のうち2以上の走査線を選択し、選択した走査線に接続される複数の画素回路において、前記駆動トランジスタから出力される前記駆動電流のバラツキを補正することを特徴とする。

20

【0007】

この発明によれば、発光装置の駆動は、単位期間の処理を繰り返して実行される。対期間には、第1期間と第2期間が排他的に設けられている。第2期間では、画素回路へデータ電圧の書き込み動作が行われる一方、第1期間では、補正動作が実行される。この結果、ある画素回路に着目すると、書き込み動作と補正動作が重複しない。換言すれば、処理の基本単位となる単位期間において、時分割で2つの動作を実行する。これにより、補正動作を複数の単位期間に割り当てることが可能となる。第2期間では、2以上の走査線を選択するから、ある画素回路に着目すると、2以上の第2期間において補正動作が実行される。したがって、補正のために十分な時間を確保することができ、この結果、駆動トランジスタのしきい値電圧が製造プロセスでばらついても輝度ムラを改善することができる。但し、第1期間と第2期間は連続していてもよいし、不連続であってもよい。第1期間と第2期間が不連続である場合には、補正動作とデータ電圧の書込動作との間に時間的な

30

40

マージンを設けることできる。なお、発光素子は駆動電流の供給を受けて発光する素子であればどのような素子であってもよく、例えば、有機発光ダイオード及び無機発光ダイオードが該当する。

【0008】

ここで、前記複数の画素回路の各々において、前記第2期間のうち、前記データ電圧を前記駆動トランジスタのゲートに供給して保持する期間を書込期間としたとき、前記書込期間より前にある複数の前記第1期間の一部又は全部に複数の補正期間を割り当て、当該複数の補正期間において前記駆動トランジスタから出力される前記駆動電流のバラツキを補正することが好ましい。「書込期間より前にある複数の第1期間」には、書込期間が属する単位期間の第1期間も含まれ得る。「書込期間より前にある複数の第1期間の一部又

50

は全部に複数の補正期間を割り当て」とは、例えば、書込期間の直前の第1期間から3つ前までの第1期間（合計4個の第1期間）を複数の第1期間としたとき、4個の第1期間の全てを補正期間としてもよいし、そのうちの2個又は3個の第1期間を補正期間にしてもよいことを意味する。

【0009】

より具体的な態様では、前記複数の画素回路の各々は、前記駆動トランジスタのゲート電位を保持する保持手段と、前記駆動トランジスタのゲートとドレインとの間に設けられた第1スイッチング手段と、一端が前記駆動トランジスタのゲートに接続される容量素子と、前記データ線と前記容量素子の他端との間に設けられた第2スイッチング手段とを備え、前記複数の補正期間において、前記第1スイッチング手段をオン状態にして前記駆動トランジスタから出力される前記駆動電流のバラツキを補正し、前記複数の補正期間のうち少なくとも最後の補正期間において、前記データ線に基準電圧を供給すると共に前記第2スイッチング手段をオン状態にし、前記書込期間において、前記データ線に前記データ電圧を供給し、前記第1スイッチング手段をオフ状態にするとともに前記第2スイッチング手段をオン状態にして、前記駆動トランジスタのゲートに前記データ電圧を供給し、当該データ電圧を前記保持手段で保持することが好ましい。

10

【0010】

この場合、複数の補正期間においては、第1スイッチング手段がオン状態となるので、駆動トランジスタはダイオードとして機能する。このとき、保持手段には駆動トランジスタのしきい値電圧に応じたゲート電位が保持される。また、最後の補正期間において容量素子の他端に基準電圧が供給される一方、書込期間において容量素子の他端にはデータ電圧が供給されるので、書込期間が終了した時点では、駆動トランジスタのしきい値電圧を補償したゲート電位が供給される。これにより、個々の駆動トランジスタのしきい値電圧バラツキがあってもこれを補正して、画面全体の輝度ムラを無くすることが可能となる。なお、補正期間の全部において、データ線に基準電圧を供給すると共に前記第2スイッチング手段をオン状態にしてもよい。

20

【0011】

また、上述した発光装置の駆動方法において、前記複数の補正期間は、前記書込期間より前にある複数の前記第1期間の一部に割り当てられており、前記複数の補正期間のうちある補正期間と次の補正期間との間の前記第1期間に休止期間を設け、当該休止期間では、前記駆動トランジスタから出力される前記駆動電流のバラツキを補正しないことが好ましい。この場合には、最初の補正期間が属する単位期間から最後の補正期間が属する単位期間までの全ての単位期間において、補正動作を実行しなくてよいので、補正動作の処理に自由度を持たせることができる。

30

【0012】

また、上述した発光装置の駆動方法において、前記複数の補正期間のうち最初の補正期間より前の前記第1期間に初期化期間を設け、当該初期化期間において、前記駆動トランジスタのゲート電位を初期化電位に設定することが好ましい。この場合には、補正期間が開始される前に駆動トランジスタのゲート電位を初期化できるので、確実に補正動作を実行することができる。ここで、初期化電位は、駆動トランジスタのゲートとドレインを短絡した場合に電流が流れるように、しきい値電圧を超えるように設定することが好ましい。また、補正期間は第1期間に割り当てられるが、最初の補正期間が第1期間の一部に割り当てられている場合、初期化期間を、最初の補正期間が割り当てられる第1期間であって、最初の補正期間の前の第1期間に割り当ててもよい。つまり、第1期間の前半に初期化期間が割り当てられ、その後半に最初の補正期間を割り当ててもよい。

40

【0013】

より具体的には、前記複数の画素回路の各々は、前記駆動トランジスタのドレインと前記発光素子との間に設けられた第3スイッチング手段を備え、前記初期化期間において、前記第1スイッチング手段をオン状態とし、前記第2スイッチング手段をオフ状態とし、前記第3スイッチング手段をオン状態とする。この場合には、初期化期間において保持手

50

段に蓄えられた電荷が第3スイッチング手段及び発光素子を介して放電され、この結果、駆動トランジスタのゲート電位が初期化電位に設定される。

【0014】

くわえて、前記初期化期間を、前記複数の画素回路の全てに共通に設けることが好ましい。この場合には、初期化動作を1回行えば、全ての画素回路において駆動トランジスタのゲート電位を初期化電位に設定できるので、処理を簡易にできる。より具体的には、複数の走査線を全て選択するのに要する期間を1フレーム期間としたとき、1フレーム期間に1回、初期化期間を設けることが好ましい。

【0015】

また、上述した発光装置の駆動方法において、前記書込期間が終了した後に、前記駆動電流を前記発光素子に供給する発光期間を設けることが好ましい。この場合には、駆動電流のバラツキが補正された状態で、発光素子を発光させることが可能となる。さらに、前記発光期間を、複数の期間に分割して設けることが好ましい。この場合には、発光期間を分散させることができるのでフリッカを防止することができる。

【0016】

次に、本発明に係る発光装置の駆動回路は、複数の走査線と、複数のデータ線と、複数の第1制御線と、複数の走査線と複数のデータ線との交差に対応して配置され、各々が、発光素子と、前記発光素子に流れる駆動電流の電流量を制御する駆動トランジスタと、前記駆動トランジスタのゲート電位を保持する保持手段と、前記駆動トランジスタのゲートとドレインとの間に設けられ前記第1制御線を介して供給される第1制御信号に基づいてオン・オフが制御される第1スイッチング手段と、一端が前記駆動トランジスタのゲートに接続される容量素子と、前記データ線と前記容量素子の他端との間に設けられ前記走査線を介して供給される走査信号に基づいてオン・オフが制御される第2スイッチング手段とを備えた複数の画素回路とを備えた発光装置を、第1期間と前記第1期間より後の第2期間とを含む単位期間の処理を繰り返して駆動する発光装置の駆動回路であって、前記第2期間では前記複数の走査線のうち一つの走査線を順次選択し、前記第1期間では前記複数の走査線のうち2以上の走査線を選択する複数の前記走査信号を前記複数の走査線に供給して、前記第2スイッチング手段がオン状態となるように制御する走査線駆動手段と、前記第1期間において基準電圧を前記データ線に供給するとともに、前記第2期間において前記発光素子の輝度に応じたデータ電圧を前記データ線に供給するデータ線駆動手段と、前記複数の画素回路の各々において、前記第2期間のうち、前記データ電圧を前記駆動トランジスタのゲートに供給して保持する期間を書込期間としたとき、前記書込期間より前にある複数の前記第1期間の一部又は全部に複数の補正期間を割り当て、当該複数の補正期間において前記第1スイッチング手段がオン状態になるように前記複数の第1制御線の各々に前記第1制御信号を供給する制御線駆動手段と、を備えることを特徴とする。この発明によれば、書込期間だけでなく当該書込期間に至る前の第1期間においても駆動トランジスタから出力される駆動電流のバラツキを補正するための補正動作が行われる。したがって、補正のために十分な時間を確保することができ、この結果、駆動トランジスタのしきい値電圧が製造プロセスでばらついても輝度ムラを改善することができる。

【0017】

また、発光装置の駆動回路において、前記発光装置は、複数の第2制御線を備え、前記複数の画素回路の各々は、前記駆動トランジスタのドレインと前記発光素子との間に設けられ、前記第2制御線を介して供給される第2制御信号に基づいてオン・オフが制御される第3スイッチング手段を有し、前記制御線駆動手段は、前記複数の画素回路の各々において、前記複数の補正期間のうち最初の補正期間より前の前記第1期間を初期化期間としたとき、当該初期化期間において、前記第3スイッチング手段がオン状態になるように前記複数の第2制御線の各々に前記第2制御信号を供給することが好ましい。この発明によれば、最初の補正期間より前に初期化期間を設けたので、确实の補正動作を実行することができる。

【0018】

また、本発明に係る発光装置は、複数の走査線と、複数のデータ線と、複数の第1制御線と、複数の走査線と複数のデータ線との交差に対応して配置され、各々が、発光素子と、前記発光素子に流れる駆動電流の電流量を制御する駆動トランジスタと、前記駆動トランジスタのゲート電位を保持する保持手段と、前記駆動トランジスタのゲートとドレインとの間に設けられ前記第1制御線を介して供給される第1制御信号に基づいてオン・オフが制御される第1スイッチング手段と、一端が前記駆動トランジスタのゲートに接続される容量素子と、前記データ線と前記容量素子の他端との間に設けられ前記走査線を介して供給される走査信号に基づいてオン・オフが制御される第2スイッチング手段とを備えた複数の画素回路と、第1期間と前記第1期間より後の第2期間とを含む単位期間の処理を繰り返し、前記第1期間において基準電圧を前記データ線に供給するとともに、前記第2期間において前記発光素子の輝度に応じたデータ電圧を前記データ線に供給するデータ線駆動手段と、前記第2期間では前記複数の走査線のうち一つの走査線を順次選択し、前記第1期間では前記複数の走査線のうち2以上の走査線を選択する複数の前記走査信号を前記複数の走査線に供給して、前記第2スイッチング手段がオン状態となるように制御する走査線駆動手段と、前記複数の画素回路の各々において、前記第2期間のうち、前記データ電圧を前記駆動トランジスタのゲートに供給して保持する期間を書込期間としたとき、前記書込期間より前にある複数の前記第1期間の一部又は全部に複数の補正期間を割り当て、当該複数の補正期間において前記第1スイッチング手段がオン状態になるように前記複数の第1制御線の各々に前記第1制御信号を供給する制御線駆動手段とを備えることを特徴とする。

【0019】

この発明によれば、複数の補正期間において補正動作を実行するので、駆動電流のバラツキを正確に補正することができ、この結果、駆動トランジスタの製造プロセスでそのしき値電圧にバラツキがあっても輝度ムラを防止することができる。さらに、データ線に基準電圧とデータ電圧とを時分割でデータ線に供給して画素回路に取り込むようにしたので、基準電圧を各画素回路に供給する配線を特別に設ける必要もない。この結果、画素回路における発光素子の面積を拡大することができ、開口率を向上させることができる。

【0020】

上述した発光装置において、複数の第2制御線を備え、前記複数の画素回路の各々は、前記駆動トランジスタのドレインと前記発光素子との間に設けられ、前記第2制御線を介して供給される第2制御信号に基づいてオン・オフが制御される第3スイッチング手段を有し、前記制御線駆動手段は、前記複数の画素回路の各々において、前記複数の補正期間のうち最初の補正期間より前の前記第1期間を初期化期間としたとき、当該初期化期間において、前記第3スイッチング手段がオン状態になるように前記複数の第2制御線の各々に前記第2制御信号を供給することを特徴とする。この発明によれば、最初の補正期間より前に初期化期間を設けたので、確実の補正動作を実行することができる。

また、本発明は、複数の走査線と複数のデータ線との交差に対応して複数の画素回路が配列され、前記画素回路は発光素子と前記発光素子を流れる駆動電流の電流量を制御する駆動トランジスタとを備える発光装置であって、第1期間において、1水平期間において前記複数の走査線のうち2以上の走査線が選択され、選択した走査線に接続される複数の画素回路において、前記駆動トランジスタのしきい値電圧を補正する電圧を生成し、前記第1期間の後の第2期間において、前記複数の走査線のうちの走査線が選択され、選択した走査線に接続される複数の画素回路に対して、前記複数のデータ線を介して、前記前記発光素子が発光すべき輝度に応じたデータ電圧を供給することを特徴とする。

複数の走査線と複数のデータ線との交差に対応して複数の画素回路が設けられ、前記画素回路は、発光素子、前記発光素子を流れる駆動電流を制御する駆動トランジスタ及び前記駆動トランジスタのゲートに印加されるべき電圧を保持する容量を備える発光装置であって、前記走査線が選択される期間を水平走査期間とし、複数の前記水平走査期間からなる補正期間によって、前記画素回路で前記駆動トランジスタのしきい値を補正するための電圧が前記容量に保持され、前記補正期間の後のプログラム期間において、前記データ線

からデータ信号が前記画素回路に供給され、前記プログラム期間の後の発光期間において、前記駆動トランジスタの閾値を補正するための電圧と前記データ信号とに基づく電圧が前記駆動トランジスタのゲートに印加されていることにより、前記発光素子が発光することを特徴とする。

【 0 0 2 1 】

次に、本発明に係る電子機器は、上述した発光装置を備えたものであって、例えば、携帯電話機、パーソナルコンピュータ、デジタルカメラ、及び携帯情報端末などが該当する。

【発明を実施するための最良の形態】

【 0 0 2 2 】

< 発光装置の構成 >

図 1 は、本発明の実施形態に係る発光装置の構成を示すブロック図であり、図 2 は、画素回路の回路図である。図 1 に示されるように発光装置 1 0 は、複数の画素回路 2 0 0 がマトリクス状に配列された発光領域 Z を備える。発光領域 Z には、複数本の走査線 1 0 2 が横方向（X 方向）に延設される一方、複数本のデータ線（信号線）1 1 2 が図において縦方向（Y 方向）に延設されている。そして、これらの走査線 1 0 2 とデータ線 1 1 2 との交差の各々に対応するように画素回路（電子回路）2 0 0 がそれぞれ設けられている。

説明の便宜上、本実施形態では、発光領域 Z の走査線 1 0 2 の本数（行数）を「3 6 0」とし、データ線の本数（列数）を「4 8 0」として、画素回路 2 0 0 が、縦 3 6 0 行×横 4 8 0 列のマトリクス状に配列する構成を想定する。ただし、本発明をこの配列に限定する趣旨ではない。発光領域 Z には、図示せぬ電源回路から高位側電圧 V E L 及び低位側電圧 G N D が供給される。画素回路 2 0 0 には、後述する O L E D 素子 2 3 0 が含まれ、この O L E D 素子 2 3 0 への電流を画素回路 2 0 0 毎に制御することによって、所定の画像が階調表示される。

また、図 1 においては、X 方向に延設されるのは走査線 1 0 2 のみであるが、本実施形態では、走査線 1 0 2 のほかにも、図 2 に示されるように、制御線 1 0 4 及び 1 0 6 がそれぞれ行ごとに X 方向に延設されている。このため、走査線 1 0 2、制御線 1 0 4（第 1 制御線）及び制御線 1 0 6（第 2 制御線）が 1 組となって、1 行分の画素回路 2 0 0 に兼用されている。

【 0 0 2 3 】

Y ドライバ 1 4 は、1 水平走査期間ごとに 1 行ずつ走査線 1 0 2 を選択するとともに、選択した走査線 1 0 2 に対して、H レベルの走査信号を供給するとともに、この選択に同期した各種制御信号を、制御線 1 0 4 及び 1 0 6 に、それぞれ供給する。すなわち、Y ドライバ 1 4 は、走査線 1 0 2、制御線 1 0 4 及び 1 0 6 に対し、行ごとに、走査信号や制御信号をそれぞれ供給する。説明の便宜上、i 行目（i は、1 i 3 6 0 を満たす整数であり、行を一般化して説明するためのもの）の走査線 1 0 2 に供給される走査信号を G_{WRT-i} と表記する。同様に、i 行目の制御線 1 0 4 及び 1 0 6 に供給される制御信号を G_{SET-i} （第 1 制御信号）及び G_{EL-i} （第 2 制御信号）と、それぞれ表記する。

【 0 0 2 4 】

一方、X ドライバ 1 6 は、Y ドライバ 1 4 によって選択された走査線 1 0 2 に対応する 1 行分の画素回路、すなわち、選択された行に位置する 1 ~ 4 8 0 列の画素回路 2 0 0 の各々に、当該画素回路 2 0 0 の O L E D 素子 2 3 0 に流すべき電流（すなわち、画素の階調）に応じた電圧のデータ信号を、1 ~ 4 8 0 列目のデータ線 1 1 2 を介して、それぞれ供給する。ここで、データ信号（データ電圧）は、電圧が低いほど、画素が明るくなるように指定し、反対に、電圧が高いほど、画素が暗くなるように指定する。説明の便宜上、j 列目（j は、1 j 4 8 0 を満たす整数であり、列を一般化して説明するためのもの）のデータ線 1 1 2 に供給されるデータ信号を $X-j$ と表記する。

【 0 0 2 5 】

すべての画素回路 2 0 0 には、O L E D 素子 2 3 0 の電源となる高位側電圧 V E L が給

10

20

30

40

50

電線 114 を介してそれぞれ供給される。また、すべての画素回路 200 は、本実施形態において電圧の基準となる低位側電圧 GND に接地されている。なお、画素の最低階調である黒色を指定するデータ信号 $X - j$ の電圧は高位側電圧 V_{EL} よりも低く、画素の最高階調である白色を指定するデータ信号 $X - j$ の電圧は低位側電圧 GND よりも高く設定される。換言すれば、データ信号 $X - j$ の電圧範囲は、電源電圧の内に収まるように設定されている。制御回路 12 は、Y ドライバ 14 及び X ドライバ 16 に、それぞれクロック信号（図示省略）などを供給して両ドライバを制御するとともに、X ドライバ 16 に、階調を画素ごとに規定する画像データを供給する。

【0026】

図 2 に示されるように、画素回路 200 は、p チャネル型の駆動トランジスタ 210 と、スイッチング素子として機能する n チャネル型のトランジスタ 211（第 3 スwitchング手段）、212（第 1 スwitchング手段）、および 213（第 2 スwitchング手段）と、容量素子として機能する容量 221 及び 222 と、電気光学素子たる OLED 素子 230 とを有する。

このうち、トランジスタ 211 の一端（ドレイン）は、駆動トランジスタ 210 のドレイン及びトランジスタ 212 の一端（ドレイン）に接続される一方、トランジスタ 211 の他端（ソース）は、OLED 素子 230 の陽極に接続される。OLED 素子 230 の陰極は接地されている。ここで、トランジスタ 211 のゲートは、 i 行目の制御線 106 に接続されている。このため、トランジスタ 211 は、制御信号 G_{EL-i} が H レベルであればオンし、L レベルであればオフする。OLED 素子 230 は、電源の高位側電圧 V_{EL} 及び低位側電圧 GND の間の経路に、駆動トランジスタ 210 及びトランジスタ 211 とともに電氣的に介挿された構成となっている。

駆動トランジスタ 210 のゲートは、容量 221 及び容量 222 の一端、並びにトランジスタ 212 のソースにそれぞれ接続されている。容量 222 の他端は給電線 114 に接続される。容量 222 は駆動トランジスタ 210 のゲート電位を保持する保持手段として機能する。なお、説明の便宜上、容量 221 の一端（駆動トランジスタ 210 のゲート）をノード A とする。また、容量 222 は、駆動トランジスタ 210 のゲート容量などに起因する寄生容量であってもよい。

【0027】

トランジスタ 212 は、駆動トランジスタ 210 のドレイン及びゲート間に電氣的に介挿されるとともに、トランジスタ 212 のゲートは、 i 行目の制御線 104 に接続されている。このため、トランジスタ 212 は、制御信号 G_{SET-i} が H レベルとなったときにオンして、駆動トランジスタ 210 をダイオードとして機能させる。

トランジスタ 213 の一端（ドレイン）は、 j 列目のデータ線 112 に接続される一方、その他端（ソース）は、容量 221 の他端に接続され、また、そのゲートは、 i 行目の走査線 102 に接続されている。このため、トランジスタ 213 は、走査信号 G_{WR-i} が H レベルとなったときにオンして、 j 列目のデータ線 112 に供給されるデータ信号 $X - j$ （の電圧）を容量 221 の他端に印加する。説明の便宜上、容量 221 の他端（トランジスタ 213 のソース）をノード B とする。

【0028】

なお、マトリクス型に配列する画素回路 200 は、ガラス等の透明基板に、走査線 102 やデータ線 112 とともに形成されている。このため、駆動トランジスタ 210 や、トランジスタ 211、212、及び 213 は、ポリシリコンプロセスによる TFT（薄膜トランジスタ）によって構成される。また、OLED 素子 230 は、基板上において、ITO（酸化錫インジウム）などの透明電極膜を陽極（個別電極）とし、アルミニウムやリチウムなどの単体金属膜又はこれらの積層膜を陰極（共通電極）として、発光層を挟持した構成となっている。

【0029】

< 発光装置の動作 >

図 3 に、発光装置 10 の動作を説明するためのタイミングチャートを示す。まず、Y ド

10

20

30

40

50

ライバ14は、図3に示されるように、1垂直走査期間(1F)の開始時から、1行目、2行目、3行目、...、360行目の走査線102を、順番に1本ずつ1水平走査期間(1H)ごとに選択して、選択した走査線102の走査信号のみをHレベルとし、他の走査線への走査信号をLレベルとする。ここで、水平走査期間は駆動動作の単位となり、これを繰り返すことによって、1画面の画像が形成される。

ここで、 i 行目の走査線102が選択されて、走査信号 G_{WRT-i} がHレベルとなる1水平走査期間(1H)に着目して、当該水平走査期間及びその前後の動作について、図3とともに、図4～図9を参照して説明する。

【0030】

図3に示されるように、走査信号 G_{WRT-i} がHレベルに変化するタイミング t_1 から開始する1水平走査期間(1H)、および、この1水平走査期間に先行し、タイミング t_0 から開始する2つの1水平走査期間($1H \times 2$)のそれぞれの水平走査期間において、 i 行 j 列における画素回路200の書込動作の事前準備が行われる。そして、タイミング t_1 から開始する1水平走査期間(1H)の間に書込動作が行われ、書込動作が終了してから1水平走査期間(1H)が経過した後、発光が開始する。

より詳細には、走査信号 G_{WRT-i} がHレベルに変化する1水平走査期間(1H)、および、この1水平走査期間(1H)に先行する2つの1水平走査期間($1H \times 2$)のそれぞれの期間が前半/後半に2分割され、前半の期間において書込動作の事前準備が行われる。また、走査信号 G_{WRT-i} がHレベルに変化する1水平走査期間(1H)は、前半の第1期間と後半の第2期間からなり、第2期間において書込動作が行われる。

以下の説明では、事前準備の期間を補正期間 T_{SET} と称し、書込動作の期間をプログラム期間 T_{WRT} (書込期間)と称し、また、OLED素子230に電流が供給される期間を発光期間 T_{EL} と称する。上記補正期間 T_{SET} では駆動トランジスタ210のしきい値電圧 V_{th} に対する駆動電流 I_{EL} の電流量が補償される。また、プログラム期間 T_{WRT} は水平走査期間の後半(第2期間)に割り当てられ、補正期間 T_{SET} はプログラム期間 T_{WRT} より前に位置する複数の水平走査期間の前半(第1期間)に割り当てられる。

【0031】

さらに、タイミング t_0 から開始する1水平走査期間(1H)においては、その前半の期間(第1期間)の間に、書込動作の事前準備に先行して、 i 行 j 列の画素回路200を初期化するための初期化期間 T_{INI} が設けられている。

この初期化期間 T_{INI} において、Yドライバ14は、制御信号 G_{SET-i} をHレベルにするとともに、制御信号 G_{EL-i} をHレベルとする。このため、画素回路200では、図4に示されるように、Hレベルの制御信号 G_{SET-i} によりトランジスタ212がオンし、同じくHレベルの制御信号 G_{EL-i} によりトランジスタ211がオンする。これにより、初期化期間 T_{INI} において、画素回路200では、ノードAに初期化電圧として、トランジスタ212及びOLED素子211を介して低位側電圧GNDが供給され、ノードAの電位が低位側電圧GNDからOLED素子211のしきい値電圧だけ上昇した電圧に固定される。また、初期化期間 T_{INI} では、走査信号 G_{WRT-i} がLレベルとなりトランジスタ213はオフするので、 j 番目のデータ線112の電圧が画素回路200に取り込まれることはない。したがって、 j 番目のデータ線112に基準電圧 V_{ref} が供給されていても、これが画素回路200に取り込まれることはない。

【0032】

初期化期間 T_{INI} に続く補正期間 T_{SET} において、Yドライバ14は、制御信号 G_{SET-i} を初期化期間 T_{INI} から継続してHレベルにする一方、制御信号 G_{EL-i} をLレベルとする。換言すれば、初期化期間 T_{INI} は最初の補正期間 T_{SET} より前の第1期間に設けられている。補正期間 T_{SET} において画素回路200では、図5に示されるように、Hレベルの制御信号 G_{SET-i} によりトランジスタ212が初期化期間 T_{INI} から継続してオンする一方、Lレベルの制御信号 G_{EL-i} によりトランジスタ211がオフする。これにより、駆動トランジスタ210がダイオードとして機能する。

【 0 0 3 3 】

ここで、駆動トランジスタ 210 のしきい値電圧を V_{th} とし、補正期間 T_{SET} が長い場合、ノード A の電位 V_g は、低位側電圧 GND から時間をかけて上昇し「 $V_{EL} - V_{th}$ 」に漸近する。トランジスタ 211 がオフとなっても直ちに電位 V_g が「 $V_{EL} - V_{th}$ 」とならないのは、トランジスタ 212 の抵抗や配線抵抗、容量 222 等によって等価的に積分回路が構成されているからである。すなわち、補正期間 T_{SET} が短い場合、この補正期間 T_{SET} 終了時には、ノード A の電位 V_g が「 $V_{EL} - V_{th}$ 」に十分には漸近せず、補正期間 T_{SET} の長さに応じた電位 V_h ($0 < V_h < (V_{EL} - V_{th})$) となる。

【 0 0 3 4 】

10

次に、タイミング t_0 から開始した 1 水平走査期間 (1H) の後半の期間は、画素回路 200 の電気的狀態、特に、ノード A の電位を保持する保持期間 T_H である。すなわち、この保持期間 T_H において、Y ドライバ 14 は、制御信号 G_{SET-i} および制御信号 G_{EL-i} をともに L レベルとする。このため、画素回路 200 において、図 6 に示されるように、L レベルの制御信号 G_{SET-i} および制御信号 G_{EL-i} によりトランジスタ 211、212 が共にオフする。このため、ノード A の電位 V_g は、1 水平走査期間 (1H) の前半の補正期間 T_{SET} の間に变化した電位 V_h に保持される。

【 0 0 3 5 】

次の 1 水平走査期間 (1H) は、その前半が補正期間 T_{SET} 、後半が保持期間 T_H である。したがって、補正期間 T_{SET} において、先と同様に、制御信号 G_{SET-i} を H レベルにする一方、制御信号 G_{EL-i} を L レベルとする。これにより、駆動トランジスタ 210 がダイオードとして機能する。このため、ノード A の電位 V_g は、先の保持期間 T_H にて保持されていた電位 V_h よりも、さらに上昇して「 $V_{EL} - V_{th}$ 」に近づく電位 V_h' ($V_h < V_h' < (V_{EL} - V_{th})$) となる。そして、今回の補正期間 T_{SET} に続く保持期間 T_H において、ノード A の電位 V_g が变化後の電位 V_h' に保持される。

20

【 0 0 3 6 】

次に、タイミング t_1 からの 1 水平走査期間 (1H) は、その前半が補正期間 T_{SET} 、後半がプログラム期間 T_{WRT} である。前半の補正期間 T_{SET} においては、Y ドライバ 14 は、先と同様に、制御信号 G_{SET-i} を H レベルにする一方、制御信号 G_{EL-i} を L レベルとすることにより、駆動トランジスタ 210 がダイオードとして機能とし、さらに、走査信号 G_{WRT-i} を H レベルにする。これにより、ノード A の電位 V_g が先の保持期間 T_H にて保持されていた電位 V_h' よりも、さらに上昇し、複数回に亘る補正期間 T_{SET} により、電位 V_g が電位「 $V_{EL} - V_{th}$ 」に十分に漸近する。

30

また、H レベルの走査信号 G_{WRT-i} により、画素回路 200 において、図 7 に示されるように、トランジスタ 213 がオンする。そして、この 1 水平走査期間 (1H) の前半の補正期間 T_{SET} 、即ち、最後の補正期間 T_{SET} においては、X ドライバ 16 が基準電圧 V_{ref} を j 列目のデータ線 112 に供給する。これにより、トランジスタ 213 を介してノード B に初期化電圧として基準電圧 V_{ref} が供給され、このノード B の電位 V_q が基準電圧 V_{ref} に固定される。

40

【 0 0 3 7 】

次に後半のプログラム期間 T_{WRT} においては、走査信号 G_{WRT-i} が継続して H レベルとなり、制御信号 G_{SET-i} および制御信号 G_{EL-i} がともに L レベルとなる。従って、図 8 に示されるように、トランジスタ 213 がオンする一方、トランジスタ 211 および 212 がオフする。

また、このプログラム期間 T_{WRT} において、X ドライバ 16 は、i 行 j 列の画素の階調に応じた電圧のデータ信号 $X(i, j)$ を j 列目のデータ線 112 に供給する。表示すべき階調に応じたデータ信号 $X(i, j)$ のデータ電圧を V_{data} とすると、 V_{data} は以下の式 (a) で与えられる。

$$V_{data} = (V_{ref} + V) \dots \dots (a)$$

50

なお、画素を最大階調に指定する場合は「データ電圧 $V_{data} = 0$ 」すなわち「 $V = -V_{ref}$ 」であり、暗い階調を指定するにつれてデータ電圧 V_{data} は大きくなり（ V は小さくなり）、最低階調の黒色に指定する場合は「データ電圧 $V_{data} = V_{EL}$ 」すなわち「 $V = -V_{EL}$ 」である。従って、ノード B の電位 V_q は、プログラム期間 T_{WRT} 直前の補正期間 T_{SET} から V だけ変動する。

【0038】

一方、プログラム期間 T_{WRT} において、画素回路 200 では、トランジスタ 212 がオフであるので、ノード A は、容量 222 によって保持される。このため、ノード A の電位 V_g は、ノード B における電圧変化分 V を容量 221 と容量 222 との容量比で配分した分だけ、プログラム期間 T_{WRT} 直前の補正期間 T_{SET} における電位 $V_{EL} - V_{th}$ から下降する。

詳細には、容量 221 の容量値を C_a とし、容量 222 の容量値を C_b としたときに、ノード A は、電位 $V_{EL} - V_{th}$ から、 $\{ V \cdot C_a / (C_a + C_b) \}$ だけ変化するので、結果的に、ノード A の電位 V_g は、次式のように表すことができる。

$$V_g = V_{EL} - V_{th} - V \cdot C_a / (C_a + C_b) \dots \dots (b)$$

【0039】

次に、プログラム期間 T_{WRT} が終了し、次の 1 水平走査期間（1H）において、Yドライバ 14 は、走査信号 G_{WRT-i} 、制御信号 G_{SET-i} および制御信号 G_{EL-i} をともに L レベルとする。このため、画素回路 200 では、前掲図 6 に示されるように、トランジスタ 213 がオフするが、容量 221 における電圧保持状態は変化しないので、ノード A の電位 V_g は式（b）で与えられる値に維持される。

【0040】

そして、次の 1 水平走査期間（1H）が経過した後、Yドライバ 14 は、制御信号 G_{EL-i} を H レベルとする。このため、画素回路 200 においては、図 9 に示されるように、トランジスタ 211 がオンする。これにより、OLED 素子 230 には、駆動トランジスタ 210 のゲート・ソース間の電圧に応じた電流 I_{EL} が、給電線 114 駆動トランジスタ 210 トランジスタ 211 OLED 素子 230 グラウンド GND といった経路にて流れる。この結果、OLED 素子 230 は、当該電流 I_{EL} に応じた明るさで発光し続ける。

【0041】

発光期間 T_{EL} において、OLED 素子 230 に流れる電流 I_{EL} は、駆動トランジスタ 210 のソース・ドレイン間の導通状態によって定まり、当該導通状態は、ノード A の電位で設定される。ここで、駆動トランジスタ 210 のソースからみたゲートの電圧は、「 $-(V_g - V_{EL})$ 」であるので、電流 I_{EL} は、次のように示される。

$$I_{EL} = (/ 2) (V_{EL} - V_g - V_{th})^2 \dots \dots (c)$$

なお、この式において k は、駆動トランジスタ 210 の利得係数である。

【0042】

ここで、式（c）に式（a）及び式（b）を代入して整理すると、式（d）が得られる。

$$I_{EL} = (/ 2) \{ k \cdot V \}^2 \dots \dots (d)$$

但し、 k は定数であって $k = C_a / (C_a + C_b)$ となる。この式（d）に示されるように、OLED 素子 230 に流れる電流 I_{EL} は、駆動トランジスタ 210 のしきい値 V_{th} に依存することなく、データ電圧 V_{data} と基準電圧 V_{ref} との差分 $V (= V_{data} - V_{ref})$ のみによって定まる。

【0043】

そして、発光期間 T_{EL} が予め指定された期間だけ継続すると、Yドライバ 14 は、制御信号 G_{EL-i} を L レベルにする。これにより、トランジスタ 211 がオフするので、電流経路が遮断される結果、OLED 素子 230 は消灯する。

【 0 0 4 4 】

上述したように本実施形態においては、駆動路トランジスタ 210 のしきい値電圧特性を補正する補正期間 T_{SET} を複数の水平走査期間に割り当てたので、補正期間 T_{SET} を十分長くとることができ、発光輝度のバラツキを大幅に改善することができる。

また、データ電圧 V_{data} と基準電圧 V_{ref} とを各画素回路 200 に書き込むためには、走査線 102 を水平走査期間ごとに順次選択する必要があるが、1本のデータ線 112 に両者を同時に供給することはできない。本実施形態では、1つの水平走査期間を第1期間と第2期間に分割し、第1期間に初期化期間 T_{INI} 及び補正期間 T_{SET} を割り当て、第2期間にプログラム期間 T_{WRT} を割り当てたので、時分割で動作させることができる。これにより、複数の水平走査期間に補正期間 T_{SET} を分散させることが可能となる。

10

さらに、データ線 112 を介して基準電圧 V_{ref} を供給するので、基準電圧 V_{ref} を供給するために専用の配線を設ける必要がない。この結果、配線構造を簡易にでき、しかも開口率を向上させることができる。

【 0 0 4 5 】

< 変形例 >

本発明は上述した実施形態に限定されるものではなく、例えば、以下の述べる各種の変形が可能である。

【 0 0 4 6 】

(1) 上述した実施形態では、図3に示すように発光期間 T_{EL} の開始を水平走査期間の開始にあわせたが、図10に示すように発光期間 T_{EL} の開始を水平走査期間の開始にあわせる必要はなく、プログラム期間 T_{WRT} が水平走査期間の途中で終了する場合には、プログラム期間 T_{WRT} 終了直後から発光期間 T_{EL} を開始しても良い。この場合には、プログラム期間 T_{WRT} と発光期間 T_{EL} との間に保持期間 T_H を設ける必要もない。

20

【 0 0 4 7 】

(2) 上述した実施形態では、図3に示すように初期化期間 T_{INI} が割り当てられる水平走査期間から、プログラム期間 T_{WRT} が割り当てられる水平走査期間までの各水平走査期間に補正期間 T_{SET} を配置したが、本発明はこれに限定されるものではない。即ち、図11に示すように初期化期間 T_{INI} が割り当てられる水平走査期間から、プログラム期間 T_{WRT} が割り当てられる水平走査期間までの各水平走査期間のうち、一部の水平走査期間に補正期間 T_{SET} を配置するものであってもよい。つまり、複数の補正期間 T_{SET} のうちある補正期間 T_{SET} と次の補正期間 T_{SET} との間の水平走査期間の前半(第1期間)を休止期間とし、休止期間では、駆動トランジスタ 210 から出力される駆動電流のバラツキを補正しない。この場合には、飛び飛びの水平走査期間に補正期間 T_{SET} が割り当てられるが、それらの長さを十分長くとることができることには変わりがない。したがって、この場合にも発光輝度のバラツキを大幅に改善することができる。

30

【 0 0 4 8 】

(3) 上述した実施形態では、図3に示すように発光期間 T_{EL} の終了時期が明らかでなかったが、図12に示すように次の初期化期間 T_{INI} が開始される前であれば、いつでも終了してよい。この場合、発光期間 T_{EL} の長さを画面全体の明るさに応じて調整してもよい。より具体的には、外光の照度が高い場合には発光期間 T_{EL} の長さを長くして画面全体を明るくする一方、外光の照度が低い場合には発光期間 T_{EL} の長さを短くして画面全体を暗くしてもよい。このように、環境の明るさに応じて発光期間 T_{EL} の長さを調整することによって、画面の見易さを維持したまま消費電力を低減することができる。

40

【 0 0 4 9 】

(4) 上述した実施形態では、図3に示すように発光期間 T_{EL} が連続していたが、本発明はこれに限定されるものではなく、図13に示すように発光期間 T_{EL} を不連続に配置してもよい。このように1フレームの中で発光期間 T_{EL} を分散して配置すると、フリッカを抑圧することができる。

【 0 0 5 0 】

50

(5) 上述した実施形態において、Yドライバ14は、図3に示すように複数の制御線106の各々に初期化期間 T_{INI} が1水平走査期間だけ順次シフトするように制御信号 $G_{EL-1} \sim G_{EL-360}$ を供給したが、本発明はこれに限定されるものではなく、図14に示すように1フレームに一回、全ての画素回路200に共通する初期化期間 T_{INI} を設けてもよい。では図4に示すようにノードAの電位が下がるだけなので、全ての画素回路200の初期化期間 T_{INI} を共通にしても高位側電圧 V_{EL} が下がらない。この共通化により、Yドライバ14の構成を簡易にすることができる。

【0051】

(6) 上述した実施形態においては、図2に示すように画素回路200はpチャネル型の駆動トランジスタ210を用いたが、pチャネル型の変わりにnチャネル型のトランジスタを用いてもよい。

10

図15にnチャネル型の駆動トランジスタ210Nを用いた画素回路200Nの回路図を示す。この画素回路200Nでは、容量素子222Nを駆動トランジスタ210NのゲートとグランドGNDとの間に設けることが好ましい。

【0052】

(7) 上述した実施形態及び変形例においては、図3、図10～図14に示すように、複数の補正期間 T_{SET} のうち最後の補正期間 T_{SET} についてのみ走査信号 G_{WRT-i} がアクティブとなり、トランジスタ213を介してデータ線112から基準電圧 V_{ref} を取り込んだ。また、初期化期間 T_{INI} についても同様にトランジスタ213をオフ状態にしてデータ線112と画素回路200を分離した。しかしながら、図16に示すように、複数の補正期間 T_{SET} 及び初期化期間 T_{INI} において、走査信号 G_{WRT-i} をアクティブとして、基準電圧 V_{ref} を画素回路200に取り込むようにしてもよい。この場合には、単位期間たる水平走査期間のうち前半の第1期間において、データ線112へ基準電圧 V_{ref} を供給するとともに、複数の走査線102のうち2以上の走査線102を選択する。すると、当該走査線に接続された複数の画素回路200に基準電圧 V_{ref} が取り込まれる。また、単位期間の後半の第2期間においては、複数の走査線102のうち一つの走査線が選択され、選択された走査線102に接続された複数の画素回路200で書込動作が実行される。

20

【0053】

即ち、データ線112に、基準電圧 V_{ref} を与える第1期間と、データ電圧 V_{data} を与える第2期間とを交互に繰り返す。第1期間では複数の走査線102において補正又は初期化動作を行い、第2期間では1つの走査線102が選択され書き込み動作が行われる。また、ある走査線102に接続される画素回路200にデータ電圧 V_{data} を書き込む第1期間と、次の走査線102にデータ電圧 V_{data} を書き込む次の第1期間があり、その間において補正もしくは初期化する第2期間がある。

30

【0054】

このように、複数の補正期間 T_{SET} 及び初期化期間 T_{INI} において、基準電圧 V_{ref} を画素回路200に取り込むと、それらの期間においてノードBの電圧を基準電圧 V_{ref} に固定することができる。最後の補正期間 T_{SET} においてのみノードBに基準電圧 V_{ref} を供給すると、最後の補正期間 T_{SET} の開始において、容量素子221と容量素子222との間で電荷の移動が起こり、その時点でノードAの電位がずれることがある。これに対して、複数の補正期間 T_{SET} 及び初期化期間 T_{INI} において基準電圧 V_{data} を画素回路200に取り込むと、そのような不都合がなく正確な補正が可能となる。

40

【0055】

< 電子機器 >

次に、上述した実施形態に係る発光装置10を適用した電子機器について説明する。図17に、発光装置10を適用したモバイル型のパーソナルコンピュータの構成を示す。パーソナルコンピュータ2000は、表示ユニットとしての発光装置10と本体部2010を備える。本体部2010には、電源スイッチ2001及びキーボード2002が設けられている。この発光装置10はOLED素子230を用いるので、視野角が広く見やすい画

50

面を表示できる。

図 18 に、発光装置 10 を適用した携帯電話機の構成を示す。携帯電話機 3000、複数の操作ボタン 3001 及びスクロールボタン 3002、並びに表示ユニットとしての発光装置 10 を備える。スクロールボタン 3002 を操作することによって、発光装置 10 に表示される画面がスクロールされる。

図 19 に、発光装置 10 を適用した情報携帯端末 (PDA: Personal Digital Assistants) の構成を示す。情報携帯端末 4000 は、複数の操作ボタン 4001 及び電源スイッチ 4002、並びに表示ユニットとしての発光装置 10 を備える。電源スイッチ 4002 を操作すると、住所録やスケジュール帳といった各種の情報が発光装置 10 に表示される。

10

なお、発光装置 10 が適用される電子機器としては、図 16 ~ 図 18 に示すものの他、デジタルスチルカメラ、液晶テレビ、ビューファインダ型、モニタ直視型のビデオテープレコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS 端末、タッチパネルを備えた機器等などが挙げられる。そして、これらの各種電子機器の表示部として、前述した発光装置 10 が適用可能である。また、直接画像や文字などを表示する電子機器の表示部に限られず、被感光体に光を照射することにより間接的に画像もしくは文字を形成するために用いられる印刷機器の光源として適用してもよい。

【図面の簡単な説明】

【0056】

20

【図 1】本発明の実施形態に係る発光装置の構成を示すブロック図である。

【図 2】同発光装置の画素回路を示す回路図である。

【図 3】同発光装置の動作を示すタイミングチャートである。

【図 4】同画素回路の動作説明図である。

【図 5】同画素回路の動作説明図である。

【図 6】同画素回路の動作説明図である。

【図 7】同画素回路の動作説明図である。

【図 8】同画素回路の動作説明図である。

【図 9】同画素回路の動作説明図である。

【図 10】変形例における発光期間 T_{EL} の開始を示すタイミングチャートである。

30

【図 11】変形例における補正期間 T_{SET} の配置を示すタイミングチャートである。

【図 12】変形例における発光期間 T_{EL} の終了を示すタイミングチャートである。

【図 13】変形例における発光期間 T_{EL} の分散配置を示すタイミングチャートである。

【図 14】変形例における共通化された初期化期間 T_{INI} の配置を示すタイミングチャートである。

【図 15】変形例における画素回路 200N の構成を示す回路図である。

【図 16】変形例における補正期間 T_{SET} 及び初期化期間 T_{INI} 補正期間 T_{SET} と走査信号 G_{WRT} との関係を示すタイミングチャートである。

【図 17】同発光装置を用いたパーソナルコンピュータを示す図である。

【図 18】同発光装置を用いた携帯電話を示す図である。

40

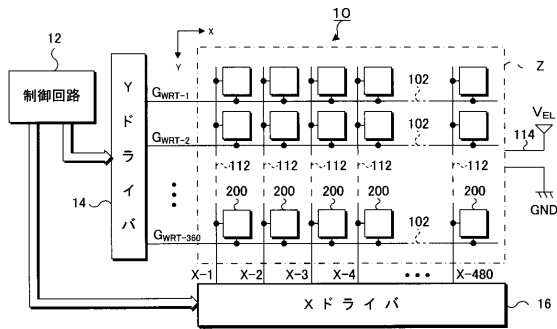
【図 19】同発光装置を用いた携帯情報端末を示す図である。

【符号の説明】

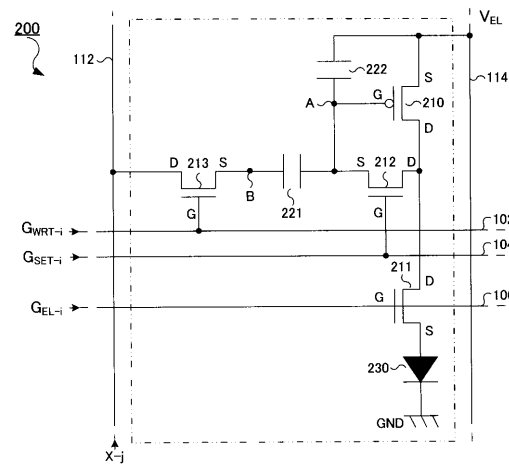
【0057】

10 ... 発光装置、12 ... 制御回路、14 ... Y ドライバ、16 ... X ドライバ、102 ... 走査線、104、106、108 ... 制御線、112 ... データ線、114、116 ... 給電線、200、201 ... 画素回路、210 ... 駆動トランジスタ、211、212、213、... トランジスタ、221、222 ... 容量、230 ... OLED 素子、 T_{INI} ... 初期化期間、 T_{SET} ... 補正期間、 T_{WRT} ... 書込期間、 T_{EL} ... 発光期間。

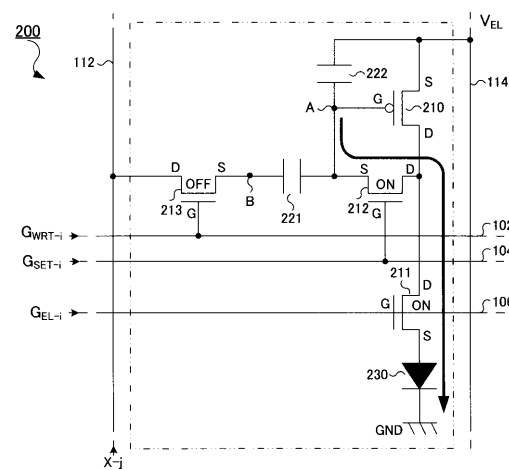
【図 1】



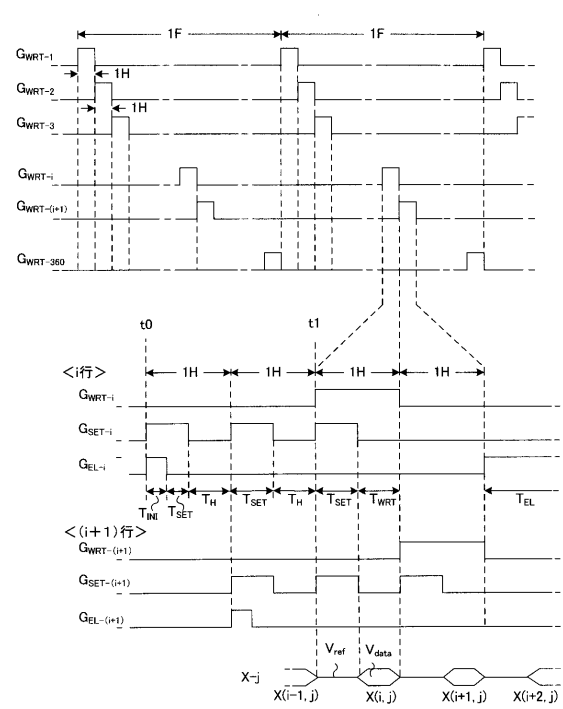
【図 2】



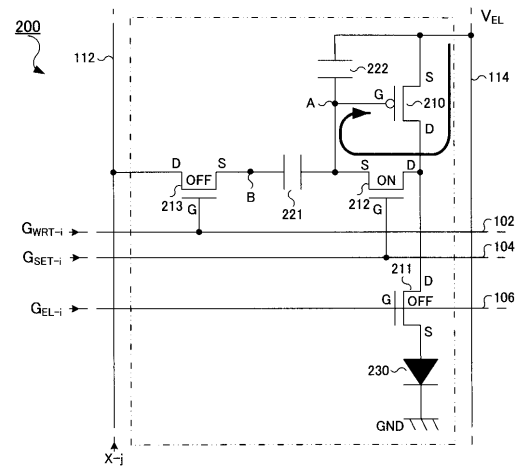
【図 4】



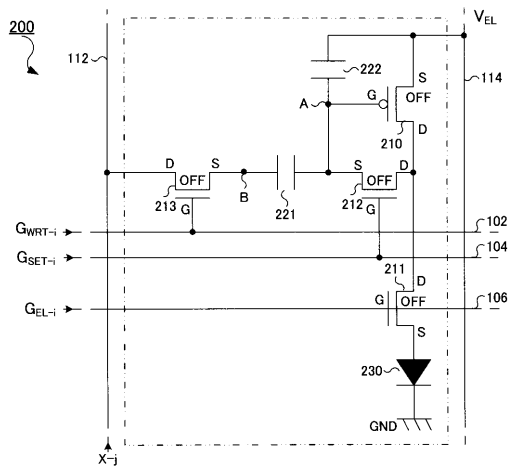
【図 3】



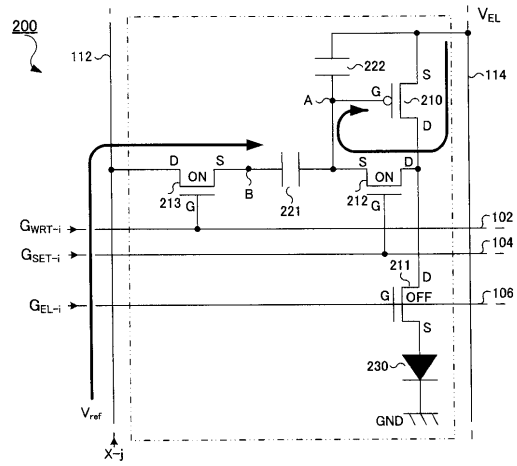
【図 5】



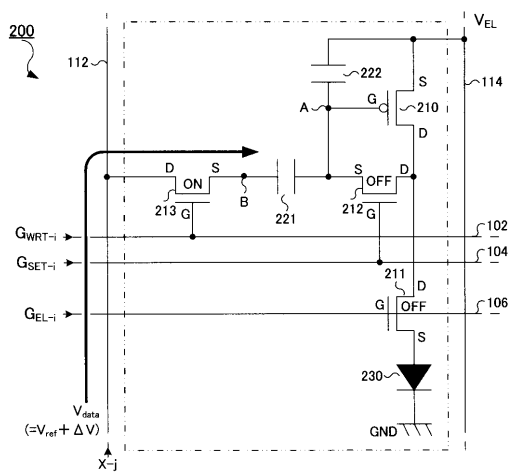
【 図 6 】



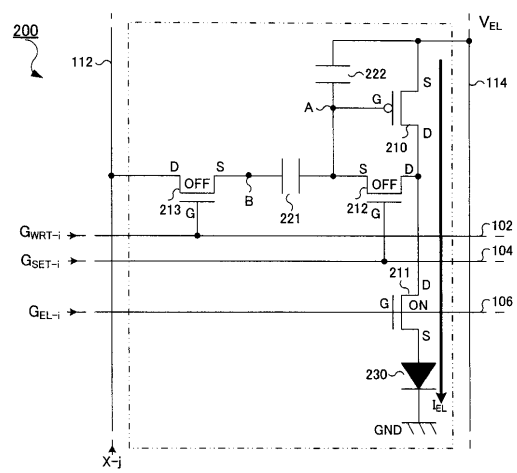
【圖 7】



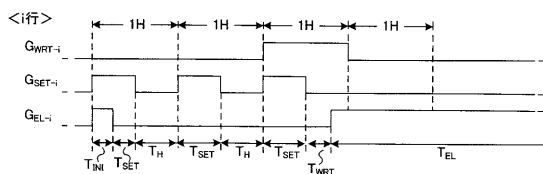
【圖 8】



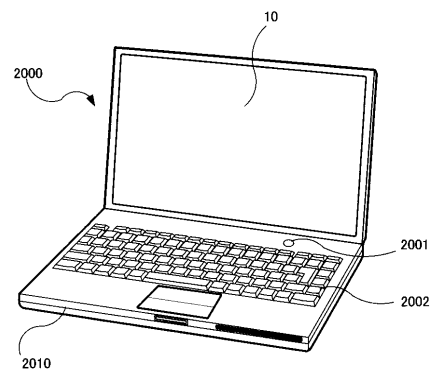
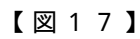
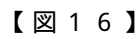
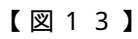
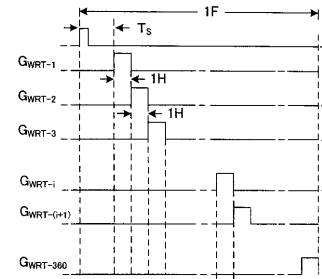
【 図 9 】



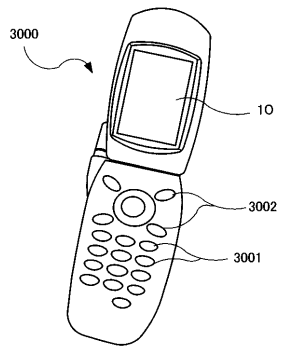
【 図 1 0 】



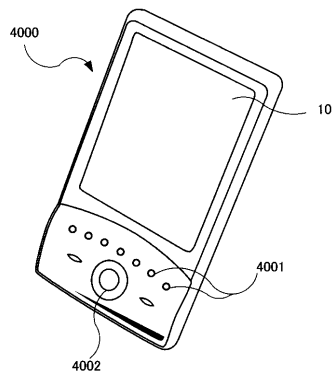
【 図 1 4 】



【図 18】



【図 19】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 2 4 B
G 0 9 G 3/20 6 2 1 A
G 0 9 G 3/20 6 4 2 A
G 0 9 G 3/20 6 1 1 E
H 0 5 B 33/14 A

(72)発明者 小澤 徳郎
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

審査官 奈良田 新一

(56)参考文献 特開2004-133240(JP,A)
特開2004-286816(JP,A)
特開2005-326793(JP,A)
特開2005-258326(JP,A)
特開2004-341359(JP,A)
特開2003-255856(JP,A)
特開2003-108067(JP,A)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3 / 2 0 , 3 / 3 0 - 3 / 3 2