



(21)申請案號：098118223

(22)申請日：中華民國 98 (2009) 年 06 月 02 日

(51)Int. Cl. : **H01L23/28 (2006.01)**

(30)優先權：2008/06/03 美國 12/132,085

(71)申請人：英特爾股份有限公司(美國) INTEL CORPORATION (US)
美國

(72)發明人：帕瑪 艾瑞克 PALMER, ERIC C. (US)；格柴克 約翰 GUZEK, JOHN (US)

(74)代理人：林志剛

(56)參考文獻：

TW	200810057A	US	7332823B2
US	2003/0157747A1		

審查人員：詹惟雯

申請專利範圍項數：20 項 圖式數：5 共 0 頁

(54)名稱

使用無凸塊建立層 (BBUL) 封裝之層疊封裝

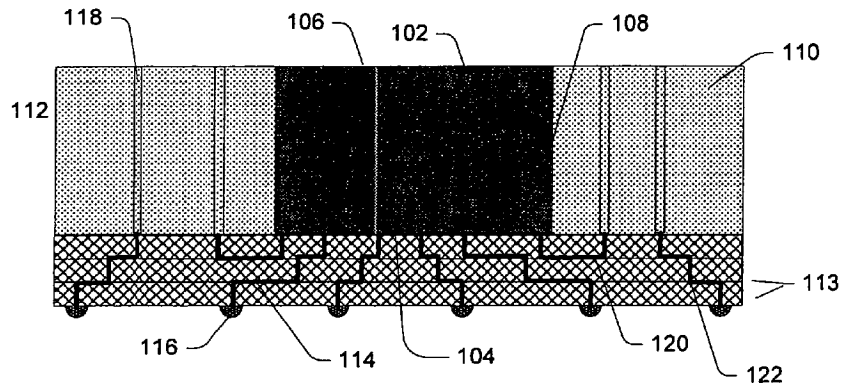
PACKAGE ON PACKAGE USING A BUMP-LESS BUILD UP LAYER (BBUL) PACKAGE

(57)摘要

在一些實施例中，提出使用無凸塊建立層(BBUL)之封裝的層疊封裝。在這點上，介紹一種設備，包含具有主動表面、與該主動表面平行之非主動表面及至少一側之微電子晶粒；與該至少一微電子晶粒側相鄰之密封材料，其中該密封材料包括與該微電子晶粒主動表面在實質上一平面的底表面及與該微電子晶粒非主動表面在實質上一平面的頂表面；從該頂表面延伸至該底表面的在該密封材料中之通孔連結；設置在該微電子晶粒主動表面及該密封材料底表面的至少一部分上之第一介電質材料層；設置在該第一介電質材料層上之複數建立層；以及設置在該第一介電質材料層及該些建立層上並與該微電子晶粒主動表面電性接觸之複數導電跡線。亦揭露其他實施例並主張其專利權。

In some embodiments, package on package using a bump-less build up layer (BBUL) package is presented. In this regard, an apparatus is introduced comprising a microelectronic die having an active surface, an inactive surface parallel to said active surface, and at least one side, an encapsulation material adjacent said at least one microelectronic die side, wherein said encapsulation material includes a bottom surface substantially planar to said microelectronic die active surface and a top surface substantially planar to said microelectronic die inactive surface, a through via connection in said encapsulation material extending from said top surface to said bottom surface, a first dielectric material layer disposed on at least a portion of said microelectronic die active surface and said encapsulation material surface, a plurality of build-up layers disposed on said first dielectric material layer, and a plurality of conductive traces disposed on said first dielectric material layer and said build-up layers and in electrical contact with said microelectronic die active surface. Other embodiments are also disclosed and claimed.

第1圖



- 100 . . . 積體電路封裝
- 102 . . . 微電子晶粒
- 104 . . . 微電子晶粒主動表面
- 106 . . . 微電子晶粒非主動表面
- 108 . . . 微電子晶粒側
- 110 . . . 密封材料
- 112 . . . 第一介電質材料層
- 113 . . . 建立層
- 114 . . . 導電跡線
- 116 . . . 導電接點
- 118 . . . 通孔連結
- 120、122 . . . 互連

六、發明說明：

【發明所屬之技術領域】

本發明實施例主要有關於積體電路封裝設計之領域，詳言之，有關於使用無凸塊建立層（BBUL）之封裝的層疊封裝。

【先前技術】

在電子裝置尺寸持續縮小及功能不斷增加的趨勢下，積體電路裝置封裝會需要佔據更少的空間。節省空間的一種方式為結合封裝於封裝上，然而這會造成過高的 z 高度，因為傳統上會需要升高頂部封裝使底部封裝晶粒得通過。

【發明內容及實施方式】

在下列說明中，為了解釋目的而提出各種特定細節以提供本發明之詳盡的了解。然而，對熟悉此技藝人士明顯地可在無這些特定細節下實行本發明之實施例。在其他例子中，以區塊圖形式顯示結構及裝置以避免混淆本發明。

在整份說明書中對於「一實施例」或「實施例」之參照意指連同該實施例所述之特定特徵、結構或特性係包括在本發明之至少一實施例中。因此，在說明書各處中詞「在一實施例中」或「在實施例中」的出現不絕對都參照相同的實施例。此外，可以適當的方式結合特定特徵、結構或特性於一或更多實施例。

第 1 圖為根據本發明之一範例實施例的無凸塊建立層 (BBUL) 封裝之剖面圖示。如所示，積體電路封裝 100 包括一或更多微電子晶粒 102、微電子晶粒主動表面 104、微電子晶粒非主動表面 106、微電子晶粒側 108、密封材料 110、第一介電質材料層 112、建立層 113、導電跡線 114、導電接點 116、通孔連結 118 及互連 120 與 122。

微電子晶粒 102 意圖代表任何類型之積體電路晶粒。在一實施例中，微電子晶粒 102 為多核心處理器。微電子晶粒 102 包括含有操作微電子晶粒 102 所需的電性連結之主動表面 104，及與主動表面 104 平行之非主動表面 106。

微電子晶粒 102 在至少一側 108 被密封材料 110 固定不動。密封材料 110 包括與主動表面 104 實質上在一平面上之至少一表面以及與非主動表面 106 實質上在一平面上之一表面。在一實施例中，主動表面 104 係置於保持板上，而密封材料 110 設置在微電子晶粒 102 周遭。在一實施例中，密封材料 110 可延伸超過非主動表面 106。

第一介電質材料層 112 係設置在主動表面 104 及密封材料 110 之至少一部分上。建立層 113 接著使用皆知的處理方法設置在第一介電質材料層 112 上。

導電跡線 114 係設置在第一介電質材料層 112 與建立層 113 上並與主動表面 104 電性接觸。導電接點 116 與導電跡線 114 耦合並允許積體電路封裝 100 藉由例如插座連

結電性耦合至電路板。在一實施例中，導電接點 116 包括焊接凸塊。在另一實施例中，導電接點 116 包括島狀物。

通孔連結 118 代表通過密封材料 110 與側 108 實質上平行之導電連結。在一實施例中，通孔連結 118 代表鍍覆通孔，其係藉由鑽孔穿過密封材料 110 並接著加以鍍覆與填充所形成。互連 120 與 122 代表將通孔連結 118 與微電子晶粒主動表面 104 或導電接點 116 分別電性耦合之導電跡線。

第 2 圖為根據本發明之一範例實施例的另一無凸塊建立層封裝之剖面圖示。如所示，積體電路封裝 200 包括一或更多微電子晶粒 202、微電子晶粒主動表面 204、微電子晶粒非主動表面 206、微電子晶粒側 208、密封材料 210、封裝核心 212、第一介電質材料層 214、建立層 215、導電跡線 216、導電接點 218、通孔連結 220 及互連 222 與 224。

微電子晶粒 202 意圖代表任何類型之積體電路晶粒。在一實施例中，微電子晶粒 202 為多核心處理器。微電子晶粒 202 包括含有以操作微電子晶粒 202 所需的電性連結之主動表面 204，及與主動表面 204 平行之非主動表面 206。

微電子晶粒 202 在至少一側 208 被封裝核心 212 固定不動。封裝核心 212 包括與主動表面 204 實質上在一平面上之至少一表面以及與非主動表面 206 實質上在一平面上之一表面。在一實施例中，封裝核心 212 代表多層有機

基底。微電子封裝核心 212 可具有其中設置微電子晶粒 202 之開口。在一實施例中，密封材料 210 係設置在封裝核心 212 與微電子晶粒 202 之間以增進配合度或黏結性。

第一介電質材料層 214 係設置在主動表面 204 及密封材料 210 之至少一部分上。建立層 215 接著使用皆知的處理方法設置在第一介電質材料層 214 上。

導電跡線 216 係設置在第一介電質材料層 214 與建立層 215 上並與主動表面 204 電性接觸。導電接點 218 與導電跡線 216 耦合並允許積體電路封裝 200 藉由例如插座連結電性耦合至電路板。在一實施例中，導電接點 218 包括焊接凸塊。在另一實施例中，導電接點 218 包括島狀物。

通孔連結 220 代表通過封裝核心 212 與側 208 實質上平行之導電連結。在一實施例中，通孔連結 220 代表因製程一部分而於封裝核心 212 內所形成之一系列堆疊微通孔。互連 222 與 224 代表將通孔連結 220 與微電子晶粒主動表面 204 或導電接點 218 分別電性耦合之導電跡線。

第 3 圖為根據本發明之一範例實施例的使用無凸塊建立層封裝之層疊封裝的剖面圖示。如所示，層疊封裝組件 300 包括與第二封裝 304 耦合之積體電路封裝 100。雖顯示成包括兩封裝，可包括任何數量。與通孔連結 118 耦合之電性接點 302 將第二封裝 304 與封裝 100 電性耦合。一底填充材料，如環氧化物，可流於封裝 100 及第二封裝 304 之間。散熱器 306 可包括在封裝 100 及第二封裝 304 之間在非主動表面 106 上以輔助散熱。在一實施例中，第

二封裝 304 中之積體電路裝置包括記憶體裝置。在一實施例中，第二封裝 304 中之積體電路裝置包括晶片組裝置。在一實施例中，第二封裝 304 代表多裝置晶片尺寸封裝。在一實施例中，第二封裝 304 代表另一無凸塊建立層封裝。在一實施例中，第二封裝 304 代表傳統覆晶型封裝。

第 4 圖為根據本發明之一範例實施例的使用無凸塊建立層封裝之另一層疊封裝的剖面圖示。如所示，層疊封裝組件 400 包括與第二封裝 404 耦合之積體電路封裝 200。雖顯示成包括兩封裝，可包括任何數量。與通孔連結 220 耦合之電性接點 402 將第二封裝 404 與封裝 200 電性耦合。一底填充材料，如環氧化物，可流於封裝 200 及第二封裝 404 之間。散熱器 406 可包括在封裝 200 及第二封裝 404 之間在非主動表面 206 上以輔助散熱。在一實施例中，第二封裝 404 中之積體電路裝置包括記憶體裝置。在一實施例中，第二封裝 404 中之積體電路裝置包括晶片組裝置。在一實施例中，第二封裝 404 代表多裝置晶片尺寸封裝。在一實施例中，第二封裝 404 代表另一無凸塊建立層封裝。在一實施例中，第二封裝 404 代表傳統覆晶型封裝。

第 5 圖為根據本發明之一範例實施例的適合用於實施積體電路封裝之一範例電子用具之區塊圖。電子用具 500 意圖代表各種傳統及非傳統電子用具、膝上型電腦、桌上型電腦、手機、無線通訊用戶單元、無線通訊電話架構元件、個人數位助理、機上盒、或可從本發明之教示獲益的

任何電性用具。根據所示之範例實施例，電子用具 500 可包括如第 5 圖中所示般耦合之一或更多處理器 502、記憶體控制器 504、系統記憶體 506、輸入/輸出 (I/O) 控制器 508、網路控制器 510、輸入/輸出 (I/O) 裝置 512。處理器 502 或電子用具 500 之其他積體電路構件可包含使用如前述作為本發明之一實施例之一 BBUL 封裝的層疊封裝。

處理器 502 可代表各種控制邏輯，包括但不限於一或更多微處理器、可編程邏輯裝置 (PLD)、可編程邏輯陣列 (PLA)、專門應用積體電路 (ASIC)、微控制器及類似者，雖本發明不限於此態樣。在一實施例中，處理器 502 為英特爾®相容處理器。處理器 502 可具有含有複數機器級指令的指令集，可例如被應用程式或操作系統引動。

記憶體控制器 504 可代表將系統記憶體 506 與電子用具 500 的其他構件介接之任何類型之晶片組或控制邏輯。在一實施例中，處理器 502 及記憶體控制器 504 之間的連結可為點對點序列鏈結。在另一實施例中，記憶體控制器 504 可稱為北橋。

系統記憶體 506 可代表已或將由處理器 502 使用的用來儲存資料及指令的任何類型之記憶體裝置。典型地，雖本發明不限於此態樣，系統記憶體 506 將由動態隨機存取記憶體 (DRAM) 所組成。在一實施例中，系統記憶體 506 可由倫巴斯 DRAM (RDRAM) 所組成。在另一實施例

中，系統記憶體 506 可由雙資料率同步 DRAM (DDRSDRAM) 所組成。

輸入/輸出 (I/O) 控制器 508 可代表將輸入/輸出裝置 512 與電子用具 500 的其他構件介接之任何類型之晶片組或控制邏輯。在一實施例中，輸入/輸出控制器 508 可稱為南橋。在另一實施例中，輸入/輸出控制器 508 可符合 PCI 特別利益團體在 2003 年 4 月 15 日釋出之周邊構件互連 (PCI) 快速基本規格 (版本 1.0a) 。

網路控制器 510 可代表允許電子用具 500 與其他電子用具或裝置通訊的任何類型之裝置。在一實施例中，網路控制器 510 可符合電氣與電子工程師學會 (IEEE) 802.11b 標準 (於 1999 年 9 月 16 日通過，為 ANIS/IEEE std 802.11 (1999 年版) 之補充) 。在一實施例中，網路控制器 510 可為乙太網路介面卡。

輸入/輸出裝置 (I/O) 512 可代表提供輸入至電子用具 500 或處理來自電子用具 500 之輸出的任何類型的裝置、周邊裝置或構件。

在上述說明中，為了解釋而提出各種特定細節以提供本發明之詳盡的了解。然而，對熟悉此技藝人士明顯地可在無這些特定細節下實行本發明之實施例。在其他例子中，以區塊圖形式顯示熟知的結構及裝置以避免混淆本發明。

方法之許多者以其最基本形式加以描述但可增加操作至方法的任何者或從其刪除，並可增加資訊至所述訊息之

任何者或從其刪除，而不背離本發明之基礎範疇。具本發明性原理之任何數量的變異係預期在本發明之範疇與精神內。在這點上，並不提供特定圖解範例實施例來限制本發明而僅作為描述。因此，本發明之範疇並非由於上提供之特定範例而僅由下列申請專利範圍之明語所決定。

【圖式簡單說明】

舉例而非限制地在附圖中圖解本發明，其中類似參考符號代表類似元件，且其中：

第 1 圖為根據本發明之一範例實施例的無凸塊建立層封裝之剖面圖示；

第 2 圖為根據本發明之一範例實施例的另一無凸塊建立層封裝之剖面圖示；

第 3 圖為根據本發明之一範例實施例的使用無凸塊建立層封裝之層疊封裝的剖面圖示；

第 4 圖為根據本發明之一範例實施例的使用無凸塊建立層封裝之另一層疊封裝的剖面圖示；以及

第 5 圖為根據本發明之一範例實施例的適合用來實施使用 BBUL 封裝之層疊封裝之一範例電子用具之區塊圖。

【主要元件符號說明】

100：積體電路封裝

102：微電子晶粒

104：微電子晶粒主動表面

- 106：微電子晶粒非主動表面
- 108：微電子晶粒側
- 110：密封材料
- 112：第一介電質材料層
- 113：建立層
- 114：導電跡線
- 116：導電接點
- 118：通孔連結
- 120、122：互連
- 200：積體電路封裝
- 202：微電子晶粒
- 204：微電子晶粒主動表面
- 206：微電子晶粒非主動表面
- 208：微電子晶粒側
- 210：密封材料
- 212：封裝核心
- 214：第一介電質材料層
- 215：建立層
- 216：導電跡線
- 218：導電接點
- 220：通孔連結
- 222、224：互連
- 300：層疊封裝組件
- 302：電性接點

- 304 : 第二封裝
- 306 : 散熱器
- 400 : 層疊封裝組件
- 402 : 電性接點
- 404 : 第二封裝
- 406 : 散熱器
- 500 : 電子用具
- 502 : 處理器
- 504 : 記憶體控制器
- 506 : 系統記憶體
- 508 : 輸入/輸出控制器
- 510 : 網路控制器
- 512 : 輸入/輸出裝置

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：98118223

※申請日：98年06月02日

※IPC分類：

H01L 23/28

H2006.01

一、發明名稱：(中文/英文)

使用無凸塊建立層(BBUL)封裝之層疊封裝

Package on package using a bump-less build up layer (BBUL) package

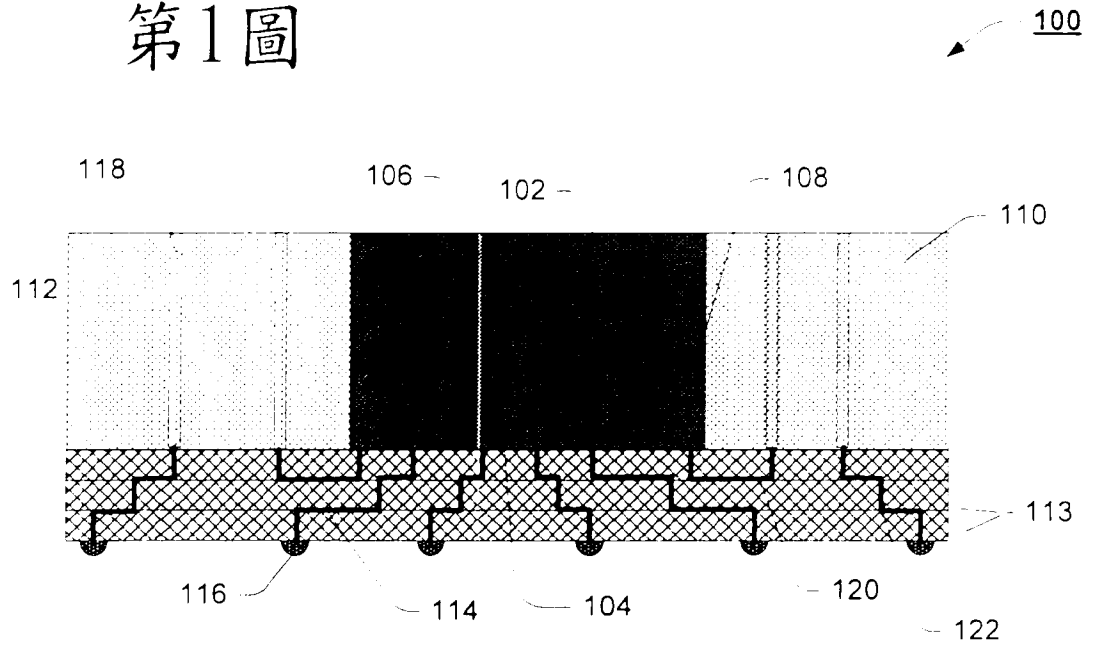
二、中文發明摘要：

在一些實施例中，提出使用無凸塊建立層(BBUL)之封裝的層疊封裝。在這點上，介紹一種設備，包含具有主動表面、與該主動表面平行之非主動表面及至少一側之微電子晶粒；與該至少一微電子晶粒側相鄰之密封材料，其中該密封材料包括與該微電子晶粒主動表面在實質上一平面的底表面及與該微電子晶粒非主動表面在實質上一平面的頂表面；從該頂表面延伸至該底表面的在該密封材料中之通孔連結；設置在該微電子晶粒主動表面及該密封材料底表面的至少一部分上之第一介電質材料層；設置在該第一介電質材料層上之複數建立層；以及設置在該第一介電質材料層及該些建立層上並與該微電子晶粒主動表面電性接觸之複數導電跡線。亦揭露其他實施例並主張其專利權。

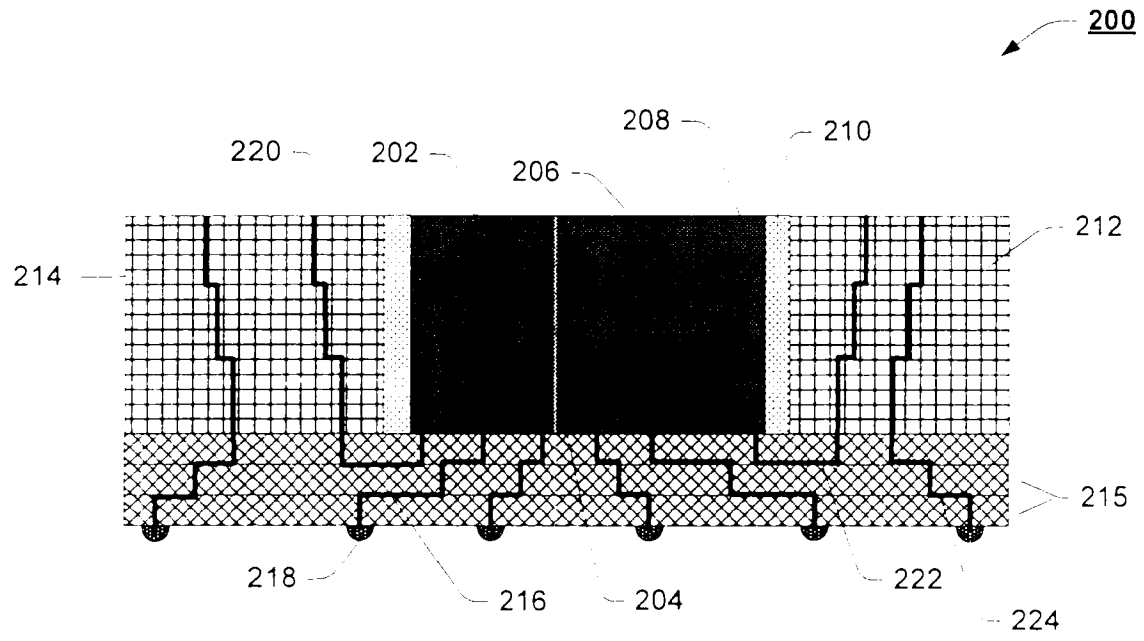
三、英文發明摘要：

In some embodiments, package on package using a bump-less build up layer (BBUL) package is presented. In this regard, an apparatus is introduced comprising a microelectronic die having an active surface, an inactive surface parallel to said active surface, and at least one side, an encapsulation material adjacent said at least one microelectronic die side, wherein said encapsulation material includes a bottom surface substantially planar to said microelectronic die active surface and a top surface substantially planar to said microelectronic die inactive surface, a through via connection in said encapsulation material extending from said top surface to said bottom surface, a first dielectric material layer disposed on at least a portion of said microelectronic die active surface and said encapsulation material surface, a plurality of build-up layers disposed on said first dielectric material layer, and a plurality of conductive traces disposed on said first dielectric material layer and said build-up layers and in electrical contact with said microelectronic die active surface. Other embodiments are also disclosed and claimed.

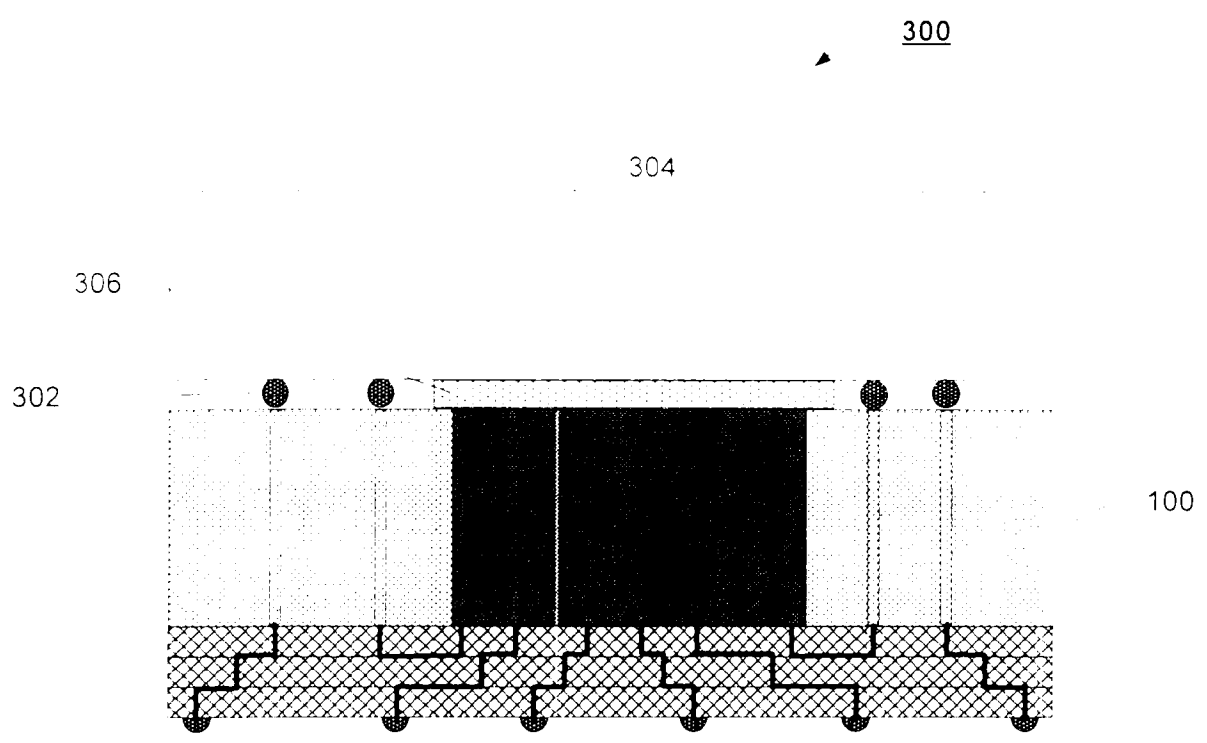
第1圖



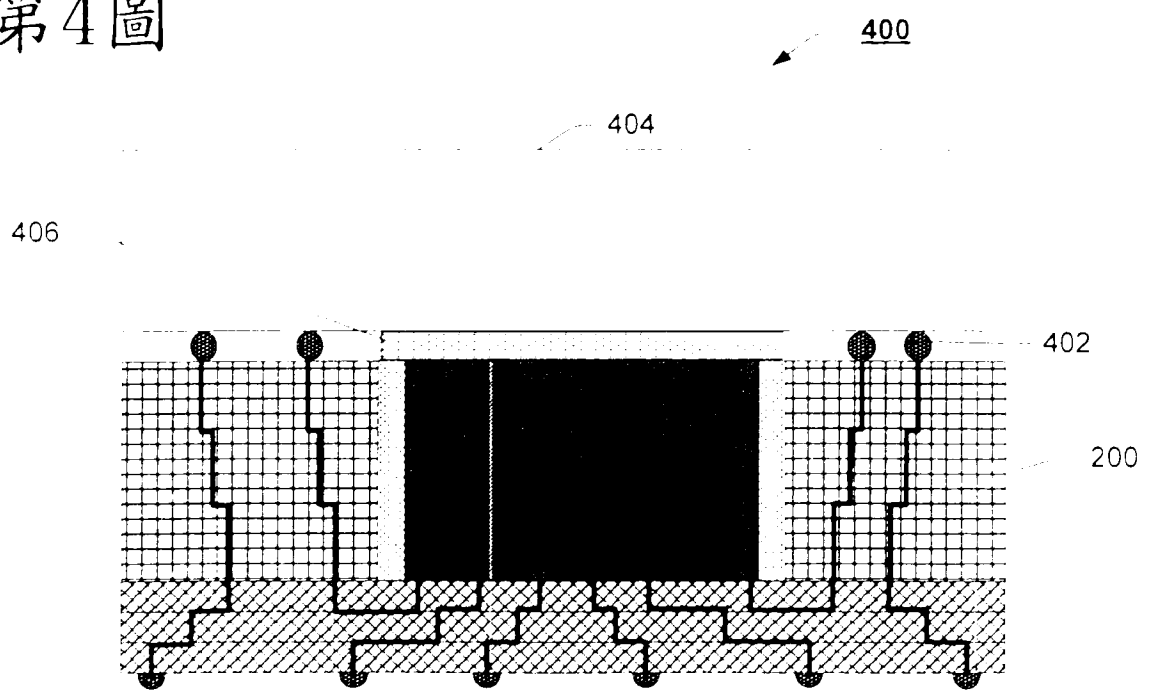
第2圖



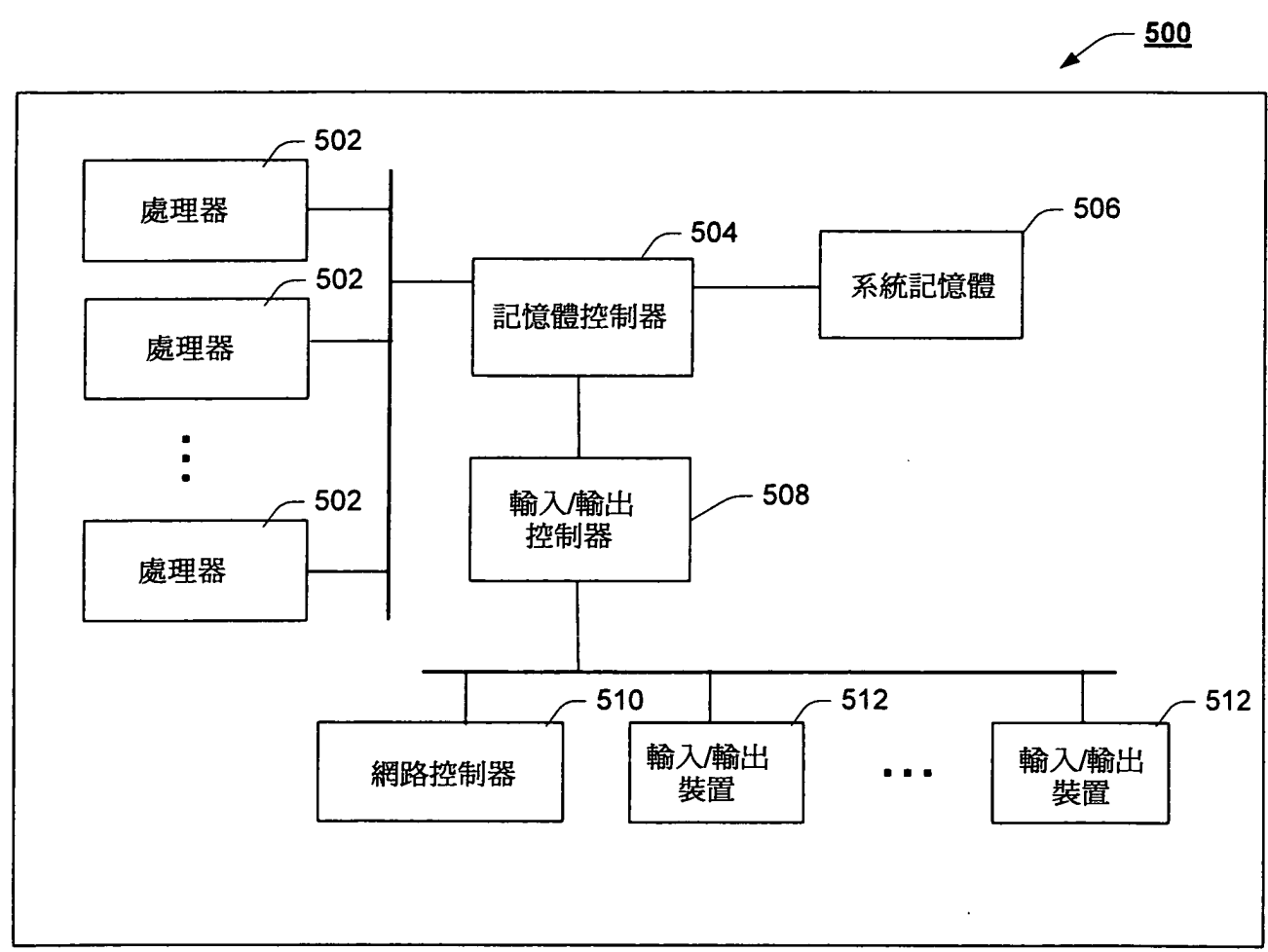
第3圖



第4圖



第5圖



四、指定代表圖：

(一)、本案指定代表圖為：第 (1) 圖。

(二)、本代表圖之元件符號簡單說明：

100：積體電路封裝

102：微電子晶粒

104：微電子晶粒主動表面

106：微電子晶粒非主動表面

108：微電子晶粒側

110：密封材料

112：第一介電質材料層

113：建立層

114：導電跡線

116：導電接點

118：通孔連結

120、122：互連

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

七、申請專利範圍：

1. 一種電子設備，包含：

微電子晶粒，具有主動表面、與該主動表面平行之非主動表面及至少一側；

與該至少一微電子晶粒側相鄰之密封材料，其中該密封材料包括與該微電子晶粒主動表面在實質上一平面的底表面及與該微電子晶粒非主動表面在實質上一平面的頂表面；

從該頂表面延伸至該底表面的在該密封材料中之通孔連結；

設置在該微電子晶粒主動表面及該密封材料底表面的至少一部分上之第一介電質材料層；

設置在該第一介電質材料層上之複數建立層；

設置在該第一介電質材料層及該些建立層上並與該微電子晶粒主動表面電性接觸之複數導電跡線；以及

在該頂表面上、與在該密封材料中之該通孔連結電性接觸之第二微電子晶粒封裝。

2. 如申請專利範圍第 1 項所述之設備，進一步包含在該第二微電子晶粒封裝及該微電子晶粒之該非主動表面間的散熱器。

3. 如申請專利範圍第 1 項所述之設備，其中該通孔連結包含鍍覆通孔。

4. 如申請專利範圍第 1 項所述之設備，進一步包含與該微電子晶粒主動表面電性接觸之該通孔連結。

5. 如申請專利範圍第 1 項所述之設備，進一步包含與形成在該些建立層上之凸塊電性接觸之該通孔連結。

6. 一種電子用具，包含：

網路控制器；

系統記憶體；以及

處理器，其中該處理器包含：

微電子晶粒，具有主動表面、與該主動表面平行之非主動表面、及至少一側；

與該至少一微電子晶粒側相鄰之密封材料，其中該密封材料包括與該微電子晶粒主動表面在實質上一平面的底表面及與該微電子晶粒非主動表面在實質上一平面的頂表面；

從該頂表面延伸至該底表面的在該密封材料中之通孔連結；

設置在該微電子晶粒主動表面及該密封材料底表面的至少一部分上之第一介電質材料層；

設置在該第一介電質材料層上之複數建立層；

設置在該第一介電質材料層及該些建立層上並與該微電子晶粒主動表面電性接觸之複數導電跡線；以及

在該頂表面上、與在該密封材料中之該通孔連結電性接觸之第二微電子晶粒封裝。

7. 如申請專利範圍第 6 項所述之電子用具，其中該第二微電子晶粒封裝包含該系統記憶體。

8. 如申請專利範圍第 6 項所述之電子用具，其中該

第二微電子晶粒封裝包含晶片組裝置。

9. 如申請專利範圍第 6 項所述之電子用具，其中該第二微電子晶粒封裝包含無凸塊建立層封裝。

10. 如申請專利範圍第 6 項所述之電子用具，其中該第二微電子晶粒封裝包含晶片尺寸封裝。

11. 一種電子設備，包含

微電子晶粒，具有主動表面、與該主動表面平行之非主動表面、及至少一側；

與該至少一微電子晶粒側相鄰之基底核心，其中該基底核心包括與該微電子晶粒主動表面在實質上一平面的底表面及與該微電子晶粒非主動表面在實質上一平面的頂表面；

從該頂表面延伸至該底表面的在該基底核心中之通孔連結；

設置在該微電子晶粒主動表面及該基底核心底表面的至少一部分上之第一介電質材料層；

設置在該第一介電質材料層上之複數建立層；

設置在該第一介電質材料層及該些建立層上並與該微電子晶粒主動表面電性接觸之複數導電跡線；以及

在該頂表面上、與在該基底核心中之該通孔連結電性接觸之第二微電子晶粒封裝。

12. 如申請專利範圍第 11 項所述之設備，進一步包含在該第二微電子晶粒封裝及該微電子晶粒之該非主動表面間的散熱器。

13. 如申請專利範圍第 11 項所述之設備，其中該通孔連結包含堆疊微孔。

14. 如申請專利範圍第 11 項所述之設備，進一步包含與該微電子晶粒主動表面電性接觸之該通孔連結。

15. 如申請專利範圍第 11 項所述之設備，進一步包含與形成在該些建立層上之凸塊電性接觸之該通孔連結。

16. 一種電子用具，包含：

網路控制器；

系統記憶體；以及

處理器，其中該處理器包含：

微電子晶粒，具有主動表面、與該主動表面平行之非主動表面、及至少一側；

與該至少一微電子晶粒側相鄰之基底核心，其中該基底核心包括與該微電子晶粒主動表面在實質上一平面的底表面及與該微電子晶粒非主動表面在實質上一平面的頂表面；

從該頂表面延伸至該底表面的在該基底核心中之通孔連結；

設置在該微電子晶粒主動表面及該基底核心底表面的至少一部分上之第一介電質材料層；

設置在該第一介電質材料層上之複數建立層；

設置在該第一介電質材料層及該些建立層上並與該微電子晶粒主動表面電性接觸之複數導電跡線；以及

在該頂表面上、與在該基底核心中之該通孔連結

電性接觸之第二微電子晶粒封裝。

17. 如申請專利範圍第 16 項所述之電子用具，其中該第二微電子晶粒封裝包含該系統記憶體。

18. 如申請專利範圍第 16 項所述之電子用具，其中該第二微電子晶粒封裝包含晶片組裝置。

19. 如申請專利範圍第 16 項所述之電子用具，其中該第二微電子晶粒封裝包含無凸塊建立層封裝。

20. 如申請專利範圍第 16 項所述之電子用具，其中該第二微電子晶粒封裝包含晶片尺寸封裝。