

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-63591

(P2004-63591A)

(43) 公開日 平成16年2月26日(2004.2.26)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 21/76	HO 1 L 21/76 L	5 F O 3 2
HO 1 L 27/08	HO 1 L 27/08 3 3 1 A	5 F O 4 8

審査請求 未請求 請求項の数 5 O L (全 11 頁)

(21) 出願番号	特願2002-217107 (P2002-217107)	(71) 出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22) 出願日	平成14年7月25日 (2002.7.25)	(74) 代理人	100122884 弁理士 角田 芳末
		(74) 代理人	100113516 弁理士 磯山 弘信
		(72) 発明者	館下 八州志 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		Fターム(参考)	5F032 AA35 AA44 AA69 AA77 BA01 BB01 CA03 CA17 CA20 DA02 DA04 DA23 DA33 DA53 5F048 AA04 AB03 AC03 BA01 BB05 BB08 BB12 BC06 BE03 BF06 BG13 BG14 DA23 DA25

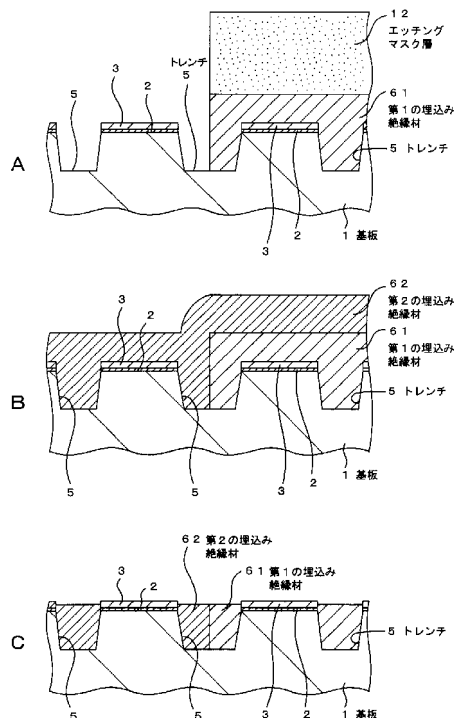
(54) 【発明の名称】 半導体装置とその製造方法

(57) 【要約】

【課題】例えばCMOSの素子間分離がSTI (Shallow Trench Isolation) によってなされる半導体装置におけるキャリアの移動度の制御を各MOSに関して独立に行うことができるようにする。

【解決手段】本発明による半導体装置は、半導体基板上に、ホールをキャリアとする第1の半導体素子例えばPMOSと、電子をキャリアとする第2の半導体素子例えばNMOSとが形成されて成り、少なくとも第1および第2の半導体素子間を分離する絶縁分離用のトレンチが形成され、トレンチ内の少なくとも第1の半導体素子に隣接する側壁面側に、第1の埋込み絶縁材が充填され、トレンチ内の少なくとも第2の半導体素子に隣接する側壁面側に、第2の埋込み絶縁材が充填された構造を有して成る。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

半導体基板上に、ホールをキャリアとする第 1 の半導体素子と電子をキャリアとする第 2 の半導体素子とが形成されて成り、

少なくとも上記第 1 および第 2 の半導体素子間を分離する絶縁分離用のトレンチが形成され、

該トレンチ内の少なくとも上記第 1 の半導体素子に隣接する側壁面側に、第 1 の埋込み絶縁材が充填され、

上記トレンチ内の少なくとも上記第 2 の半導体素子に隣接する側壁面側に、第 2 の埋込み絶縁材が充填され、

上記第 1 の埋込み絶縁材は、上記第 1 の半導体素子に圧縮応力を与える埋込み絶縁材であり、

上記第 2 の埋込み絶縁材は、上記第 2 の半導体素子に引っ張り応力を与える埋込み絶縁材であることを特徴とする半導体装置。

10

【請求項 2】

上記ホールをキャリアとする第 1 の半導体素子は、Pチャネル絶縁ゲート型電界効果トランジスタであり、

上記電子をキャリアとする第 2 の半導体素子は、Nチャネル絶縁ゲート型電界効果トランジスタであることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

半導体基板上に、ホールをキャリアとする第 1 の半導体素子と電子をキャリアとする第 2 の半導体素子とが形成され、少なくとも上記第 1 および第 2 の半導体素子間を分離する絶縁分離用のトレンチが形成されて成る半導体装置の製造方法であって、

上記半導体基板に、上記トレンチを形成する工程と、

該トレンチ内の少なくとも上記第 1 の半導体素子に隣接する側壁面側に、第 1 の埋込み絶縁材を充填する工程と、

該第 1 の埋込み絶縁材を充填する工程の前または後に、上記トレンチ内の少なくとも上記第 2 の半導体素子に隣接する側壁面側に、第 2 の埋込み絶縁材を充填する工程と、

上記第 1 および第 2 のトレンチに対する上記第 1 および第 2 の埋込み絶縁材の充填の後に、上記第 1 および第 2 の半導体素子を形成する工程とを有し、

上記第 1 の埋込み絶縁材は、上記第 1 の半導体素子に圧縮応力を生じる埋込み絶縁材であり、上記第 2 の埋込み絶縁材は、上記第 2 の半導体素子に引っ張り応力を生じる埋込み絶縁材であることを特徴とする半導体装置の製造方法。

20

30

【請求項 4】

半導体基板上に、ホールをキャリアとする第 1 の半導体素子と電子をキャリアとする第 2 の半導体素子とが形成され、少なくとも上記第 1 および第 2 の半導体素子間を分離する絶縁分離用のトレンチが形成されて成る半導体装置の製造方法であって、

上記第 1 の半導体素子に隣接して形成される第 1 のトレンチを形成する工程と、

該第 1 のトレンチ内に第 1 の埋込み絶縁材を充填する工程と、

上記第 1 のトレンチの形成工程の前、または上記第 1 のトレンチ内に上記第 1 の埋込み絶縁材を充填する工程の後に、

上記第 2 の半導体素子に隣接して形成される第 2 のトレンチを形成する工程と、

該第 2 のトレンチ内に第 2 の埋込み絶縁材を充填する工程と、

上記第 1 および第 2 のトレンチに対する上記第 1 および第 2 の埋込み絶縁材の充填の後に、上記第 1 および第 2 の半導体素子を形成する工程とを有し、

上記第 1 の埋込み絶縁材は、上記第 1 の半導体素子に圧縮応力を生じる埋込み絶縁材であり、上記第 2 の埋込み絶縁材は、上記第 2 の半導体素子に引っ張り応力を生じる埋込み絶縁材であることを特徴とする半導体装置の製造方法。

40

【請求項 5】

上記ホールをキャリアとする第 1 の半導体素子は、Pチャネル絶縁ゲート型電界効果トラ

50

ンジスタであり、

上記電子をキャリアとする第2の半導体素子は、上記Nチャネル絶縁ゲート型電界効果トランジスタであることを特徴とする請求項3または4に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置、特にホールをキャリアとする第1の半導体素子と電子をキャリアとする第2の半導体素子とを有する半導体装置、例えばPチャネルおよびNチャネルの絶縁ゲート型電界効果トランジスタ（以下MOSと略称するが、ゲート絶縁膜は酸化膜に限定されるものではない）による相補型のMOSによる、いわゆるCMOSが形成され、素子間の絶縁分離がSTI（Shallow Trench Isolation）によってなされる半導体装置とその製造方法に係わる。

10

【0002】

【従来の技術】

MOSの電流駆動能力（ I_{ds} ）は、狭隘なトレンチによる絶縁分離いわゆるSTIの形成プロセスなどによって発生する圧縮応力により変動することが知られている。この圧縮応力は、例えばSi中の電子およびホールの移動度を変動させる。すなわち、圧縮応力によってホールの移動度は増加し、電子の移動度は低下する。

【0003】

この圧縮応力は、STIのトレンチ内に充填する代表的な埋込み絶縁材料のHDPCVD（High Density Plasma Chemical Vapor Deposition）によって生じ、この圧縮応力は、例えばNチャネルMOS（以下NMOSという）においては電子の移動度が低下し、PチャネルMOS（以下PMOSという）においては、ホールの移動度が増加する。

20

【0004】

このように、共通の半導体基板上に、ホールをキャリアとする第1の半導体素子例えばPMOSと、電子をキャリアとする第2の半導体素子例えばNMOSとが形成されるCMOSにおいては、STIによって異なる影響を受けることによって両半導体素子に関して望まれる特性を得ることが困難となる。そこで、その両半導体素子のNMOSとPMOSとが、それぞれ独立にそのキャリアの移動度を選定して所望の例えば電流駆動能力（ I_{ds} ）が得られるようにすることが望まれる。

30

【0005】

この応力を制御する方法としては、MOSの形成後に堆積される例えばSiNより成る層間絶縁膜にGe（ゲルマニウム）イオンを選択的にイオン注入するという方法が提案されている（「Local Mechanical-Stress Control（LMC）：A New Technique for CMOS-Performance Enhancement」A. Shimizu et al. IEDM Tech. Dig., 2001）。

【0006】

【発明が解決しようとする課題】

ところが、この方法による場合、半導体素子例えばCMOSの形成後に、この上に形成された例えば層間絶縁層上からGeのイオン注入がなされることから、このイオン注入後のアニール処理等によって、半導体素子例えばMOSの性能を低下させるおそれがあり、アニール温度を700程度以下とするなどの制約がある。

40

【0007】

本発明においては、STI構造を有する半導体装置、例えばCMOSを有する半導体装置において、PMOSおよびNMOSの双方に独立に、キャリア移動度の制御を行うことができるようにし、更に、この制御のための作業を、各MOSの形成前に行うことができるようにして、これらのキャリア移動度の制御に伴う望まないMOSの特性への影響を回避するものである。

50

【 0 0 0 8 】

【 課題を解決するための手段 】

本発明による半導体装置は、半導体基板上に、ホールをキャリアとする第1の半導体素子例えばPMOSと、電子をキャリアとする第2の半導体素子例えばNMOSとが形成されて成り、少なくとも第1および第2の半導体素子間を分離する絶縁分離用のトレンチが形成され、トレンチ内の少なくとも第1の半導体素子に隣接する側壁面側に、第1の埋込み絶縁材が充填され、トレンチ内の少なくとも第2の半導体素子に隣接する側壁面側に、第2の埋込み絶縁材が充填された構造を有して成る。

そして、第1の埋込み絶縁材は、第1の半導体素子に圧縮応力を与える埋込み絶縁材であり、第2の埋込み絶縁材は、第2の半導体素子に引っ張り応力を与える埋込み絶縁材とする。

10

【 0 0 0 9 】

また、本発明による半導体装置の製造方法は、上述した半導体基板上に、ホールをキャリアとする第1の半導体素子と電子をキャリアとする第2の半導体素子とが形成され、少なくとも第1および第2の半導体素子間を分離する絶縁分離用のトレンチが形成されて成る半導体装置の製造方法であって、半導体基板に、トレンチを形成する工程と、トレンチ内の少なくとも第1の半導体素子に隣接する側壁面側に、第1の埋込み絶縁材を充填する工程と、この第1の埋込み絶縁材を充填する工程の前または後に、トレンチ内の少なくとも第2の半導体素子に隣接する側壁面側に、第2の埋込み絶縁材を充填する工程と、これら第1および第2のトレンチに対する第1および第2の埋込み絶縁材の充填の後に、第1および第2の半導体素子を形成する工程とを有する。

20

【 0 0 1 0 】

更に、本発明による半導体装置の製造方法は、半導体基板上に、ホールをキャリアとする第1の半導体素子と電子をキャリアとする第2の半導体素子とが形成され、少なくとも上記第1および第2の半導体素子間を分離する絶縁分離用のトレンチが形成されて成る半導体装置の製造方法であって、第1の半導体素子の形成部に隣接して形成される第1のトレンチを形成する工程と、この第1のトレンチ内に第1の埋込み絶縁材を充填する工程と、第1のトレンチの形成工程の前、もしくはこの第1のトレンチ内に第1の埋込み絶縁材を充填する工程の後に、第2の半導体素子の形成部に隣接して形成される第2のトレンチを形成する工程と、この第2のトレンチ内に第2の埋込み絶縁材を充填する工程と、第1および第2のトレンチに対する第1および第2の埋込み絶縁材の充填の後に、第1および第2の半導体素子を形成する工程とを有する。

30

【 0 0 1 1 】

そして、上述した本発明によるいずれの半導体装置の製造方法においても、その第1の埋込み絶縁材は、第1の半導体素子に圧縮応力を生じる埋込み絶縁材であり、第2の埋込み絶縁材は、第2の半導体素子に引っ張り応力を生じる埋込み絶縁材とする。

【 0 0 1 2 】

上述したように、本発明による半導体装置は、絶縁分離を行う第1および第2の半導体素子に隣接するトレンチの、第1および第2の半導体素子に隣接する部分に、各半導体素子に適した応力を与える第1および第2の埋込み絶縁材を充填する構造とすることから、これら第1および第2の半導体素子の個々に、独立して各ホールおよび電子の移動度を制御することができるものである。

40

【 0 0 1 3 】

また、本発明による半導体装置の製造方法によれば、いずれも、第1および第2の半導体素子の形成前において、絶縁分離用のトレンチに、各素子に圧縮応力、および引っ張り応力を与える埋込み絶縁材を充填する作業がなされることから、この応力の調整のための作業によって、この応力調整の作業における、例えば冒頭の述べた例えば熱処理による各素子の特性に望まない影響を与えることを回避することができる。

【 0 0 1 4 】

【 発明の実施の形態 】

50

本発明による半導体装置の一実施形態の一例を、図1および図2の各工程の概略断面図による工程図を参照して説明する。

この例においては、CMOSを有する半導体装置に適用した場合であるが、本発明は、この実施形態および例に限定されるものではない。

【0015】

この例においては、先ず図1Aに示すように、基板1例えばSi基板上に、基板1の表面を酸化して犠牲酸化膜2を形成した後に、この犠牲酸化膜2上に、マスク層3を形成する。

【0016】

このマスク層3は、例えば基板1上に、SiN層を、例えばCVD法によって形成し、フォトリソグラフィによってSTIの形成部に、すなわち図示の例では、各MOSの形成部間およびこれらの周囲に開口3Wを形成する。

この開口3Wの形成は、図示しないが一旦SiN層を全面的に形成し、この上に、フォトレジスト層4を全面的に塗布し、パターン露光および現像を行って、フォトレジスト層4に、開口4Wを形成する。そして、このフォトレジスト層4をエッチングマスクとして、その開口4Wを通じて、SiN層によるマスク層3に開口3Wを穿設する。

図1Bに示すように、マスク層3をエッチングマスクとして、その開口3Wを通じて、基板1に対する選択的エッチングを行って、STIを形成するための狭隘なトレンチ5を形成する。

トレンチ5は、例えば幅が $0.06\mu\text{m} \sim 50\mu\text{m}$ 、例えば $0.1\mu\text{m}$ 程度、深さが $0.2\mu\text{m} \sim 0.5\mu\text{m}$ 、例えば $0.3\mu\text{m}$ に形成する。

このトレンチの形成は、例えばRIE（反応性イオンエッチング）によって構成することができる。

そして、このRIEは、例えば CF_4 と、 CHF_3 と、Arと、 O_2 との混合ガスを用いて、圧力 100mTorr 程度、パワー 200W 程度によって行うことができる。

【0017】

図1Cに示すように、このトレンチ5内を埋込んで全面的に、基板1に対して圧縮応力を与える、例えばHDPCVDによる SiO_2 からなる第1の埋込み絶縁材61を堆積する。

この第1の埋込み絶縁材61の形成は、例えば SiH_4 と、 O_2 と、Arとの混合ガスを用いてパワー 500W で行うことができる。

【0018】

次に、本発明においては、図2Aに示すように、全面的に形成された第1の埋込み絶縁材61上の、トレンチ5によって囲まれたPMOSの形成部上に、エッチングマスク層12を形成する。このエッチングマスク層12は、PMOSの形成部上から、これを取り囲むトレンチ5内のほぼ中央位置まで差し渡って形成する。そして、このエッチングマスク層12を、マスクとして、これによって覆われていない部分の第1の埋込み絶縁材61を、例えばRIEによってエッチングする。

【0019】

このようにして、NMOSの形成部と、その周囲のトレンチ5の、特に最終的にNMOSが形成されるNMOS形成部と隣接する側壁面に接する第1の埋込み絶縁材61を除去する。一方、このとき、このトレンチ5の、最終的にPMOSが形成されるPMOS形成部に隣接する側壁面側においては、第1の埋込み絶縁材61が残されるようにする。

【0020】

次にエッチングマスク層12を除去し、図2Bに示すように、トレンチ5の、第1の埋込み絶縁材61によって埋め込まれていない部分を埋込んで基板1上に全面的に、基板1に対して引っ張り応力を与える第2の埋込み絶縁材62を、例えばオゾン O_3 とTEOS（テトラ・エチル・オルソ・シリケート）の混合ガスによって、 $300 \sim 500$ によって SiO_2 を堆積して形成することができる。

【0021】

10

20

30

40

50

これら第1および第2の埋込み絶縁材61および62を、第2の埋込み絶縁材61の表面から、CMP (Chemical Mechanical Polish) によって、平面研磨して、図2Cに示すように、トレンチ5以外の第1および第2の埋込み絶縁材61および62を除去する。

【0022】

図3Aに示すように、図2Cにおけるマスク層3と犠牲酸化膜2を除去し、基板1の表面を露出させる。

このようにして、基板1の、所定のNMOS形成部とPMOS形成部間を、第1および第2の埋込み絶縁材61および62が充填されたトレンチ5による絶縁分離すなわちSTIによって分離する。

10

【0023】

図3Bに示すように、これら分離領域に、P型のウェル領域7Pと、N型のウェル領域7Nとを、それぞれの不純物を例えばイオン注入によって形成する。

この各ウェル領域7Pおよび7Nは、例えば図示しないが、一方の分離領域上に例えばフォトレジストによるイオン注入マスク層を形成して、外部に露呈させた他方の分離領域にPまたはNの不純物を導入し、次に、一旦マスク層を除去して他方の分離領域にマスク層を形成し、外部に露呈させた一方の分離領域に、NまたはPの不純物を導入することによって形成することができる。

【0024】

更に、各P型のウェル領域7Pと、N型のウェル領域7Nにそれぞれ、ゲート絶縁膜8、ゲート電極9を形成する。ゲート絶縁膜8は、埋込み絶縁材61および62が充填された形成されたトレンチ5によるSTI部13をマスクとして基板1の各分離領域の表面を熱酸化することによって酸化膜を形成し、ゲート電極9は、例えば多結晶シリコン層を全面的に形成して、多結晶シリコン層と酸化膜とを所定のパターンにエッチングすることによって形成することができる。

20

【0025】

このようにして形成されたゲート部をマスクとして、その両脇に、それぞれ低不純物濃度のN型およびP型のソースないしはドレイン領域10Nおよび10Pを、それぞれの不純物を例えばイオン注入によって導入して形成する。

この場合においても、例えばフォトレジストによるイオン注入マスクを、一方のウェル領域上を覆って形成して、他方のウェル領域上に、一方の導電型のソースないしはドレイン領域を不純物のイオン注入によって形成し、次にこのフォトレジストを除去し、他方のウェル領域上にフォトレジストを形成して、フォトレジストが除去された側のウェル領域に他方導電型の不純物をイオン注入してソースないしはドレイン領域を形成する。

30

【0026】

そして、図3Cに示すように、各ゲート電極9の側面に絶縁層によるサイドウォール12を形成する。これらサイドウォール12は、先ず、全面的に、例えばSiO₂をCVDによって形成し、上面から異方性エッチングすることによって、ゲート電極9の側面に沿ってすなわちゲート電極9の厚さに対応して基板面と直交する方向の厚さが実質的に大とされた絶縁層が残されて形成される。

40

【0027】

図3Dに示すように、ウェル領域7Pおよび7Nに、ゲート電極9とサイドウォール12とSTI部13とをマスクとして、それぞれP型およびN型の不純物を例えばイオン注入によって導入して高不純物濃度のソースないしはドレイン領域11Nおよび11Pを形成する。

この場合においても、一方のウェル領域を例えばフォトレジストによって覆って他方の高不純物濃度のソースないしはドレイン領域を形成し、このフォトレジストを除去して、他方のウェル領域を例えばフォトレジストによって覆って一方の高不純物濃度のソースないしはドレイン領域を形成することができる。

【0028】

50

その後、同様の図3Dに示すように、全面的にSiとの反応によってシリサイドを構成する金属層を被着し、シリサイド化して導電性の高いシリサイド層14を形成する。このようにして、ウェル領域7Nおよび7PにそれぞれPMOSおよびNMOSが形成される。

【0029】

このようにして本発明においては、少なくともホールをキャリアとする半導体素子としてのPMOSと隣接するトレンチ5の側壁面側が、圧縮応力を生じる第1の埋込み絶縁材61によって埋め込まれたことによって、この圧縮応力によってPMOSのホールの移動度が高められる。片や、少なくとも電子をキャリアとする半導体素子としてのNMOSと隣接するトレンチ5の側壁面側が、引っ張り応力を生じる第2の埋込み絶縁材62によって埋め込まれた構成とされることによってこの引っ張り応力によってNMOSの電子の移動度が高められる。

10

このようにするものであることから、PMOSおよびNMOSは、それぞれ独立に所要の応力が与えられる。つまり、これらPMOSおよびNMOSは、それぞれ独立して、応力の制御、ひいてはその特性例えば各キャリアの移動度の制御がなされる。

【0030】

また、本発明に製造方法によれば、この応力の制御のための作業、すなわち第1および第2の埋込み絶縁材61および62の形成を、半導体素子としてのPMOSやNMOSの形成前に行うことから、これら埋込み絶縁材61および62は、その形成条件、例えば温度条件等を、半導体素子への悪影響を考慮することなく選定できて、最適条件での設定が可能となるものである。

20

【0031】

図1～図3で説明した製造方法の実施形態の例では、トレンチの形成後に、第1および第2の埋込み絶縁材61および62の形成を行う方法による場合であるが、第1および第2の半導体素子、例えばPMOSとNMOSとを絶縁分離するSTI部のトレンチを、PMOS側のトレンチとNMOS側のトレンチとを別工程によって形成し、それぞれのトレンチ内に各トレンチの形成後に、第1および第2の埋込み絶縁材61および62の充填作業を行う方法によることができる。

【0032】

この場合の実施形態例を、図4および図5の各工程の概略断面図を参照して説明する。この例においても、CMOSを有する半導体装置に適用した場合であるが、本発明は、この実施形態および例に限定されるものではない。

30

【0033】

この例においても、先ず図4Aに示すように、基板1例えばSi基板上に、基板1の表面を酸化して犠牲酸化膜2を形成した後に、この犠牲酸化膜2上に、マスク層3を形成する。

【0034】

このマスク層3は、例えば基板1上に全面的に、SiN層を、例えばCVD法によって形成し、フォトリソグラフィによってSTIの形成部、特に、この実施形態の例では、一方のNMOSの形成部の周囲上に、開口3Wを形成する。

40

この開口3Wの形成は、全面的に形成されたSiN層上に、フォトレジスト層4を全面的に塗布し、パターン露光および現像を行って、フォトレジスト層4に、開口4Wを形成する。そして、このフォトレジスト層4をエッチングマスクとして、その開口4Wを通じて、SiN層によるマスク層3に開口3Wを穿設する。

図4Bに示すように、マスク層3をエッチングマスクとして、その開口3Wを通じて、例えば前述のトレンチ5の形成と同様の方法によって基板1に対してRIEを行って、この例ではNMOSの形成部を取り囲み、このNMOSの形成部の周囲に狭隘な第2のトレンチ52を形成する。

このトレンチ52の形成は、例えば前述したトレンチ5と、同様の幅、および深さに、トレンチ5の形成方法と同様の方法によって形成することができる。

50

【0035】

図4Cに示すように、このトレンチ52内を埋込んで全面的に、例えば前述した基板1に対して引っ張り応力を与える例えば第2の埋込み絶縁材62を形成する。この第2の埋込み絶縁材62は、前述したと同様の方法によって、すなわち O_3 とTEOSの混合ガスによって SiO_2 の堆積によって形成することができる。

【0036】

次に、第2の埋込み絶縁材62を、その表面から、CMPによって、平面研磨して、図4Dに示すように、トレンチ52以外の第2の埋込み絶縁材62を除去する。

【0037】

次に、図5Aに示すように、図4Dに示すように、マスク層3と犠牲酸化膜2を除去し、基板1の表面を露出させる。 10

このようにして、基板1の、NMOS形成部とPMOS形成部に位置し、NMOS形成部に隣接する位置に、第2のトレンチ52が形成され、この第2のトレンチ52に、第2の埋込み絶縁材62が充填された第2のSTI部132が形成される。

【0038】

次に、図5Bに示すように、再び基板1上に、基板1の表面を酸化して犠牲酸化膜2を形成した後に、この犠牲酸化膜2上に、マスク層3を形成する。

【0039】

このマスク層3は、図4Aにおけると同様に、例えば基板1上に、一旦全面的に、SiN層を、例えばCVD法によって形成し、フォトリソグラフィによって他方のPMOSの形成部の周囲上に、開口3Wを形成する。 20

この開口3Wの形成は、前述したと同様に、フォトレジスト層4を全面的に塗布し、パターン露光および現像を行って、フォトレジスト層4に、開口4Wを形成する。そして、このフォトレジスト層4をエッチングマスクとして、その開口4Wを通じて、SiN層によるマスク層3に開口3Wを穿設する。

【0040】

図5Cに示すように、マスク層3をエッチングマスクとして、その開口3Wを通じて、基板1に対する選択的エッチングを行って、PMOSの形成部を取り囲み、このPMOSの形成部の周囲に、トレンチ5の形成と同様の方法によって狭隘な第1のトレンチ51を形成する。 30

【0041】

図5Dに示すように、このトレンチ51内を埋込んで全面的に、例えば前述した基板1に対して圧縮応力を与える例えば前述したと同様のHDPCVDによって SiO_2 による第1の埋込み絶縁材61を、例えば前述したと同様の方法によって堆積する。

【0042】

次に、第2の埋込み絶縁材62を、第2の埋込み絶縁材62の表面から、CMPによって、平面研磨して、図6Aに示すように、トレンチ51以外の第1の埋込み絶縁材61を除去する。

【0043】

次に、図6Bに示すように、マスク層3と犠牲酸化膜2を除去し、基板1の表面を露出させる。 40

このようにして、基板1の、NMOS形成部とPMOS形成部に位置し、NMOS形成部に隣接する位置に、第1のトレンチ51が形成され、この第1のトレンチ51に、第1の埋込み絶縁材61が充填された第1のSTI部131が形成される。

【0044】

その後図6Cに示すように、第1のSTI部131によって他と分離された領域に図3B~図3Dで説明したと同様の方法によって、N型のウェル領域7Nを形成し、第2のSTI部132によって他と分離された領域に説明したと同様の方法によって、P型のウェル領域7Pを形成する。

そして、これら領域7Nおよび7PにそれぞれPMOSおよびNMOSを形成する。 50

図 6 C において、図 3 D に対応する部分には同一符号を付して重複説明を省略する。

【 0 0 4 5 】

この実施形態例による場合においても、P M O S と隣接する側壁面側が、圧縮応力を生じる第 1 の埋込み絶縁材 6 1 によって埋め込まれ、N M O S と隣接する側壁面側が、引っ張り応力を生じる第 2 の埋込み絶縁材 6 2 によって埋め込まれた構成とするものであることから、P M O S および N M O S は、それぞれこれに対する応力が独立に与えられる。つまり、これら P M O S および N M O S は、それぞれ独立して、応力の制御、ひいてはその特性例えば各キャリアの移動度の制御がなされる。

【 0 0 4 6 】

また、本発明に製造方法によれば、この応力の制御のための作業、すなわち第 1 および第 2 の埋込み絶縁材 6 1 および 6 2 の形成を、半導体素子としての P M O S や N M O S の形成前に行うことから、これら埋込み絶縁材 6 1 および 6 2 は、その形成条件、例えば温度条件等を、半導体素子への悪影響を考慮することなく選定できることから、最適条件での設定が可能となるものである。

【 0 0 4 7 】

尚、半導体基板 1 は、その全体が例えば S i による半導体基板のみを指称するものではなく、絶縁性基板あるいは半絶縁性基板上に、半導体層が形成された構成を有する基板等を指称する。

また、上述の図示した各例では、基板 1 に、C M O S が形成された例であるが、他の回路素子を有する集積回路等に本発明を適用することができるなど、本発明の範囲において、種々の変更を行うことができることはいうまでもない。

【 0 0 4 8 】

【発明の効果】

上述したように、本発明装置によれば、狭隘のトレンチによる素子の絶縁分離がなされる半導体装置において、その各ホールをキャリアとする半導体素子例えば P M O S と、電子をキャリアとする半導体素子例えば N M O S に対する異なる応力の相違を、一方に圧縮応力を生じる絶縁分離構造を、他方に引っ張り応力を生じる絶縁分離構造を採るようにしたことによって、それぞれ独立に、それぞれに適した、特性の制御を行うことができる。

【 0 0 4 9 】

また、本発明製造方法によれば、上述した構成によって、上述した圧縮応力を生じる絶縁分離構造と、引っ張り応力を生じる絶縁分離構造とを、半導体素子の形成前に形成することから、半導体素子への不都合な影響を回避でき、設計通りの半導体装置を構成することができるものである。

【図面の簡単な説明】

【図 1】 A ~ C は、本発明による半導体装置の製造方法の一例の各工程の概略断面図（その 1）である。

【図 2】 A ~ C は、本発明による半導体装置の製造方法の一例の各工程の概略断面図（その 2）である。

【図 3】 A ~ D は、本発明による半導体装置の製造方法の一例の各工程の概略断面図（その 3）である。

【図 4】 A ~ D は、本発明による半導体装置の製造方法の他の一例の各工程の概略断面図（その 1）である。

【図 5】 A ~ C は、本発明による半導体装置の製造方法の他の一例の各工程の概略断面図（その 2）である。

【図 6】 A ~ C は、本発明による半導体装置の製造方法の他の一例の各工程の概略断面図（その 3）である。

【符号の説明】

1・・・基板、2・・・犠牲酸化膜、3・・・マスク層、3W・・・開口、4・・・フォトレジスト層、4W・・・開口、5・・・トレンチ、6・・・埋込み絶縁材、7P・・・P型ウェル領域、7N・・・N型ウェル領域、8・・・ゲート絶縁膜、9・・・ゲート電

10

20

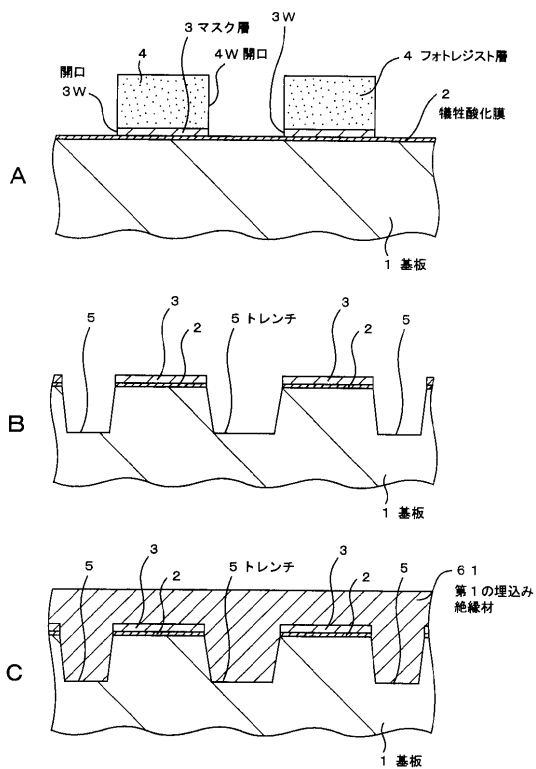
30

40

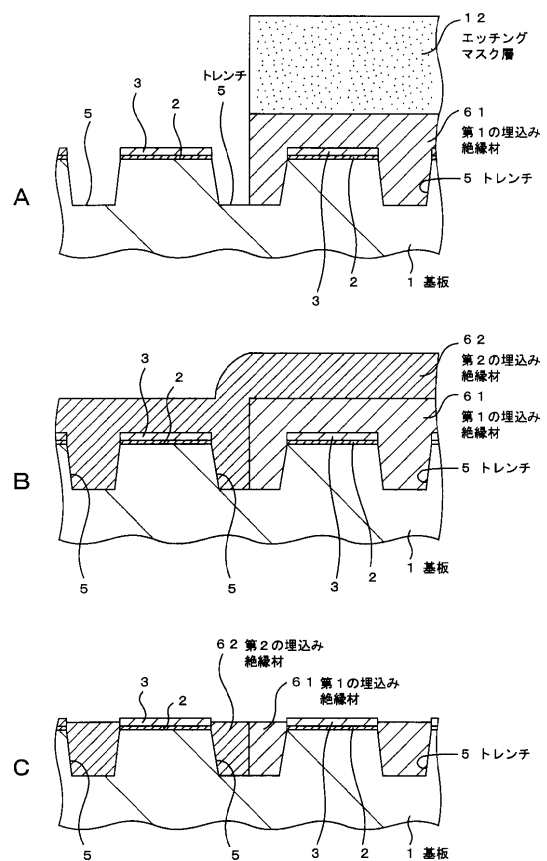
50

極、10N, 10P・・・低不純物濃度のソースないしはドレイン領域、11N, 11P
・・・高不純物濃度のソースないしはドレイン領域、12・・・サイドウォール、13・・・
STI部、131・・・第1のSTI部、132・・・第2のSTI部、51・・・
第1のトレンチ、52・・・第2のトレンチ、61・・・第1の埋込み絶縁材、62・・・
第2の埋込み絶縁材

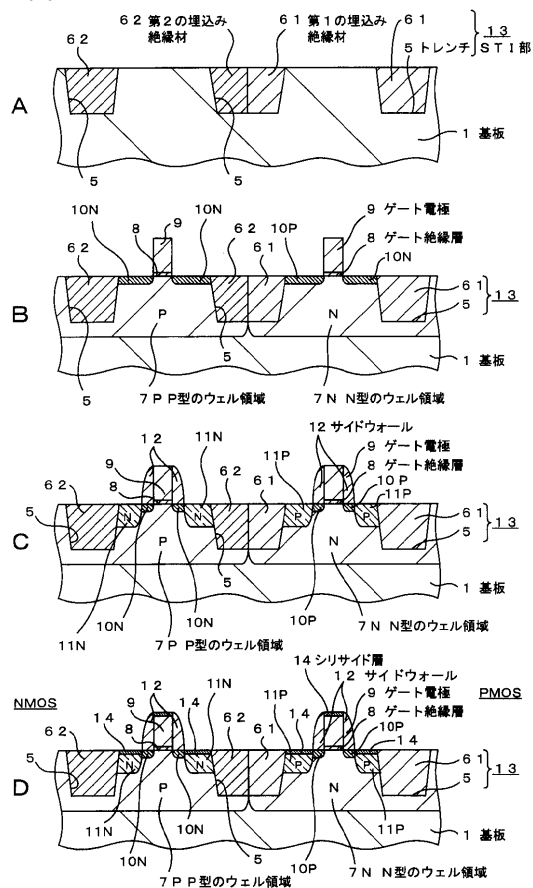
【図1】



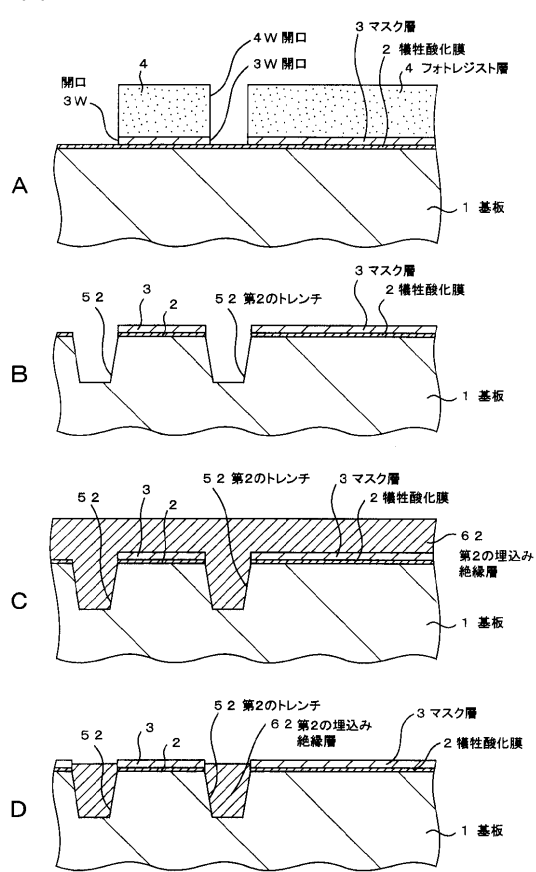
【図2】



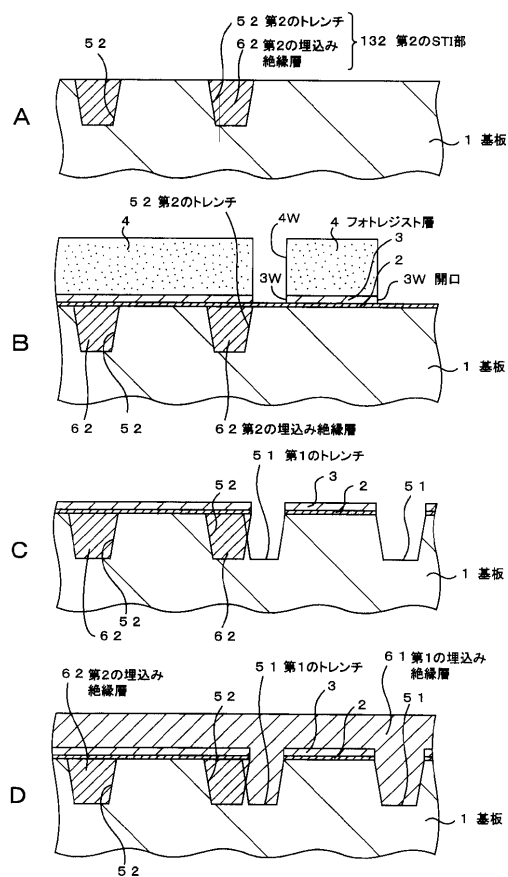
【図3】



【図4】



【図5】



【図6】

