



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0092278
(43) 공개일자 2008년10월15일

(51) Int. Cl.

H01Q 1/24 (2006.01)

(21) 출원번호 10-2008-0032754

(22) 출원일자 2008년04월08일

심사청구일자 없음

(30) 우선권주장

JP-P-2007-00102501 2007년04월10일 일본(JP)

(71) 출원인

신코오덴기 교교 가부시키키가이샤

일본국 나가노켄 나가노시 오시마다마치 80

(72) 발명자

후지이 도모하루

일본국 나가노켄 나가노시 오시마다마치 80 신코
오덴기 교교가부시키키가이샤 내

(74) 대리인

문기상, 문두현

전체 청구항 수 : 총 4 항

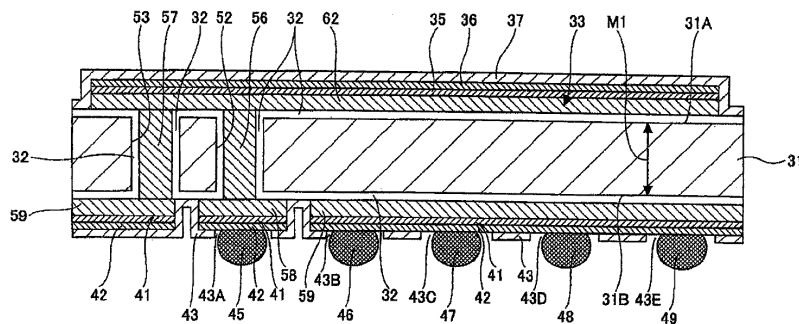
(54) 안테나 소자 및 반도체 장치

(57) 요약

안테나 소자는, 전자파를 송수신하는 전자파 송수신부와, 신호 입력용 패드와, 접지층과, 전자파 송수신부와 접지층을 전기적으로 접속하는 접속부를 가지는 안테나와, 안테나가 형성되는 실리콘 기판과, 실리콘 기판과 안테나를 전기적으로 절연하는 절연막을 포함한다. 실리콘 기판의 제 1 면에는 절연막을 사이에 두고 전자파 송수신부를 설치한다. 제 1 면의 반대측인 실리콘 기판의 제 2 면에는 절연막을 사이에 두고 접지층 및 신호 입력용 패드를 설치한다. 실리콘 기판을 관통하도록 접속부를 설치한다.

대표도

15



특허청구의 범위

청구항 1

전자파를 송수신하는 전자파 송수신부와,

신호 입력용 패드와,

접지층과,

상기 전자파 송수신부와 상기 접지층 및 상기 신호 입력용 패드를 전기적으로 접속하는 접속부를 가지는 안테나와,

상기 안테나가 형성되는 실리콘 기판과,

상기 실리콘 기판과 상기 안테나를 전기적으로 절연하는 절연막을 포함하고,

상기 실리콘 기판의 제 1 면에는 상기 절연막을 사이에 두고 상기 전자파 송수신부를 배치하고,

상기 제 1 면과 반대측인 상기 실리콘 기판의 제 2 면에는 상기 절연막을 사이에 두고 상기 접지층 및 상기 신호 입력용 패드를 배치하고,

상기 실리콘 기판을 관통하도록 상기 접속부를 배치하는 것을 특징으로 하는 안테나 소자.

청구항 2

전자파를 송수신하는 전자파 송수신부와,

신호 입력용 패드와,

접지층과,

상기 전자파 송수신부와 상기 신호 입력용 패드를 전기적으로 접속하는 접속부를 가지는 안테나와,

상기 안테나가 형성되는 실리콘 기판과,

상기 실리콘 기판과 상기 안테나를 전기적으로 절연하는 절연막을 포함하고,

상기 실리콘 기판의 제 1 면에는 상기 절연막을 사이에 두고 상기 전자파 송수신부를 배치하고,

상기 제 1 면과 반대측인 상기 실리콘 기판의 제 2 면에는 상기 절연막을 사이에 두고 상기 접지층 및 상기 신호 입력용 패드를 배치하고,

상기 실리콘 기판을 관통하도록 상기 접속부를 배치하는 것을 특징으로 하는 안테나 소자.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 안테나는 도금막으로 형성되는 것을 특징으로 하는 안테나 소자.

청구항 4

제 1 항 또는 제 2 항에 따른 안테나 소자와,

상기 안테나 소자와 전기적으로 접속되는 전자 부품과,

상기 안테나 소자 및 상기 전자 부품이 실장되는 배선 기판을 포함하는 것을 특징으로 하는 반도체 장치.

명 세 서

발명의 상세한 설명

기술 분야

<1> 본 발명은 안테나 소자 및 반도체 장치에 관한 것으로서, 특히 무선 통신에 이용되는 안테나 소자 및 반도체 장치에 관한 것이다.

배경 기술

<2> 무선 통신용 모듈로서 이용되는 반도체 장치 중에서, 도 1 및 도 2에 나타난 안테나 소자 또는 안테나 패턴을 가지는 반도체 장치가 알려져 있다.

<3> 도 1은 종래의 반도체 장치를 나타낸 단면도이다.

<4> 도 1을 참조하면, 반도체 장치(200)는 배선 기관(201), CPU용 칩(203) 등의 전자 부품, RF 디바이스(204), 및 매칭용 부품(205, 206)과, 칩 안테나(208) 등의 안테나 소자를 포함한다.

<5> 배선 기관(201)은 기관 본체(211) 및 배선(213~218)을 가진다. 기관 본체(211)는 배선(213~218)을 형성하기 위한 기관이다. 기관 본체(211)는 수지로 이루어질 수 있다. 배선(213~218)은 기관 본체(211) 상에 설치된다.

<6> CPU용 칩(203)은 배선(213, 214)에 플립 칩 접속된다. RF 디바이스(204)는 배선(214, 215)에 플립 칩 접속된다. RF 디바이스(204)는 배선(214)을 통해서, CPU용 칩(203)과 전기적으로 접속된다.

<7> 매칭용 부품(205)은 배선 기관(201) 상에 형성되고, 배선(215, 216)과 전기적으로 접속된다. 매칭용 부품(205)은 배선(215)을 통해 RF 디바이스(204)와 전기적으로 접속된다. 매칭용 부품(206)은 배선 기관(201) 상에 설치되고, 배선(216, 217)과 전기적으로 접속된다. 매칭용 부품(206)은 배선(216)을 통해서 매칭용 부품(205)과 전기적으로 접속된다. 매칭용 부품(205, 206)은 칩 안테나의 임피던스를 조정하기 위한 부품이다.

<8> 칩 안테나(208)는 배선 기관(201) 상에 설치되고, 배선(217, 218)과 전기적으로 접속된다. 칩 안테나(208)는 매칭용 부품(205, 206)과 전기적으로 접속된다. 칩 안테나(208)는 CPU용 칩(203), RF 디바이스(204), 및 매칭용 부품(205, 206)보다도 두께가 두꺼운 부품이다. 칩 안테나(208)는, 예를 들면 도체(소결 후에 안테나가 됨)가 형성된 복수의 그린(green) 시트(소결 후에 세라믹 판이 됨)를 적층시킨 후에, 적층된 복수의 그린 시트를 소결함으로써, 칩 안테나(208)를 형성한다(예를 들면, 일본국 특허 공개 공보 제2001-119224호 참조).

<9> 도 2는 종래의 다른 반도체 장치의 단면도이다. 도 2에서, 도 1에 나타난 반도체 장치(200)와 동일한 부분에는 동일한 참조 부호를 부여한다.

<10> 도 2를 참조하면, 다른 반도체 장치(220)는 배선 기관(221)과, CPU용 칩(203) 및 RF 디바이스(204) 등의 전자 부품과, 안테나 패턴(223) 등의 안테나 소자를 가진다.

<11> 배선 기관(221)은 수지로 이루어진 기관 본체(211) 및 배선(213~215)을 가진다. 안테나 패턴(223)은 기관 본체(211) 상에 설치된다. 안테나 패턴(223)은 배선 패턴에 의해서 형성된다. 안테나 패턴(223)은 배선(215)과 접속된다. 안테나 패턴(223)은 배선(215)을 통해서, RF 디바이스(204)와 전기적으로 접속된다. 안테나 패턴(223)의 두께는, 예를 들면 20 μ m 내지 30 μ m로 설정될 수 있다. 또한, 2.4GHz의 주파수로 반도체 장치(220)를 사용하는 경우, 평면에서의 안테나 패턴(223)의 치수는 10mm×24mm로 설정될 수 있다(예를 들면, 일본국 특허 공개 공보 제2004-22667호 참조).

발명의 내용

해결 하고자하는 과제

<12> 그러나, 칩 안테나(208)는 도체가 형성되는 복수의 세라믹 판을 적층시켜서 형성되기 때문에, 두께 방향의 크기가 소형화되기 곤란한 문제가 있다.

<13> 또한, 안테나 소자로서 칩 안테나(208)를 이용하는 경우에, 반도체 장치(200)의 두께 방향으로 크기가 대형화된 다. 그러므로, 반도체 장치(200)의 두께 방향의 크기를 소형화하는 것이 곤란해진다.

<14> 또한, 안테나 소자로서 안테나 패턴(223)을 이용하는 반도체 장치(220)의 경우에, 매칭용 부품(205, 206)이 불필요하다. 그러므로, 반도체 장치(220)를 반도체 장치(200)보다 두께 방향으로 소형화하는 것이 가능하다. 그러나, 안테나 패턴(223)을 유전율이 낮은 수지(수지의 유전율은 4임)로 이루어진 기관 본체(211) 상에 형성하기 때문에, 기관 본체(211) 상에 형성된 안테나 패턴(223)은 면 방향으로 대형화된다. 따라서, 반도체 장치(220)의 면 방향의 크기를 소형화하는 것이 곤란해지는 문제가 있다.

<15> 본 발명의 예시적인 실시예는 소형화를 이룰 수 있는 안테나 소자 및 반도체 장치를 제공하는 것이다.

과제 해결수단

<16> 본 발명의 하나 이상의 측면에 따르면, 안테나 소자는 전자파를 송수신하는 전자파 송수신부와, 신호 입력용 패드와, 접지층과, 상기 전자파 송수신부와 상기 접지층 및 상기 신호 입력용 패드를 전기적으로 접속하는 접속부를 가지는 안테나와, 상기 안테나가 형성되는 실리콘 기판과, 상기 실리콘 기판과 상기 안테나를 전기적으로 절연하는 절연막을 포함하고, 상기 실리콘 기판의 제 1 면에는 상기 절연막을 사이에 두고 상기 전자파 송수신부를 배치하고, 상기 제 1 면과 반대측인 상기 실리콘 기판의 제 2 면에는 상기 절연막을 사이에 두고 상기 접지층 및 상기 신호 입력용 패드를 배치하고, 상기 실리콘 기판을 관통하도록 상기 접속부를 배치한다.

<17> 본 발명에 따르면, 기판의 한쪽 면에만 안테나를 형성하는 공지된 안테나 소자와 비교해서 안테나 소자를 소형화하는 것이 가능하다.

<18> 또한, 실리콘 기판에 안테나를 형성하기 때문에, 수지 기판에 안테나를 형성하는 공지된 안테나 소자와 비교해서, 안테나의 가공 정밀도를 향상시킬 수 있다. 따라서, 원하는 형태의 안테나를 형성하는 것이 가능하다. 이러한 구조로, 원하는 안테나 특성을 얻는 것이 가능하다.

<19> 본 발명의 하나 이상의 측면에 따르면, 안테나 소자는 전자파를 송수신하는 전자파 송수신부와, 신호 입력용 패드와, 접지층과, 상기 전자파 송수신부와 상기 신호 입력용 패드를 전기적으로 접속하는 접속부를 가지는 안테나와, 상기 안테나가 형성되는 실리콘 기판과, 상기 실리콘 기판과 상기 안테나를 전기적으로 절연하는 절연막을 포함하고, 상기 실리콘 기판의 제 1 면에는 상기 절연막을 사이에 두고 상기 전자파 송수신부를 배치하고, 상기 제 1 면과 반대측인 상기 실리콘 기판의 제 2 면에는 상기 절연막을 사이에 두고 상기 접지층 및 상기 신호 입력용 패드를 배치하고, 상기 실리콘 기판을 관통하도록 상기 접속부를 배치한다.

<20> 본 발명에 따르면, 기판 본체의 한쪽 면에만 안테나를 형성하는 공지된 안테나 소자와 비교해서 안테나 소자를 소형화하는 것이 가능하다.

<21> 또한, 실리콘 기판에 안테나를 형성하기 때문에, 수지 기판에 안테나를 형성하는 공지된 안테나 소자와 비교해서, 안테나의 가공 정밀도가 향상된다. 따라서, 원하는 형상의 안테나를 형성하는 것이 가능하다. 이러한 구조로, 원하는 안테나 특성을 얻는 것이 가능하다.

<22> 본 발명의 하나 이상의 측면에 따르면, 안테나는 도금막으로 형성될 수 있다. 이러한 구조로, 안테나의 가공 정밀도를 향상시키는 것이 가능하다.

<23> 본 발명의 하나 이상의 측면에 따르면, 반도체 장치는 상술한 안테나 소자, 안테나 소자와 전기적으로 접속된 전자 부품, 및 안테나 소자와 전자 부품을 실장하는 배선 기판을 포함한다.

효 과

<24> 본 발명에 따르면, 반도체 장치를 소형화할 수 있다.

발명의 실시를 위한 구체적인 내용

<25> 본 발명의 다른 측면 및 이점은 다음의 설명, 도면 및 특허청구범위에서 분명해진다.

<26> 이하에서는 도면을 참조하여, 본 발명의 예시적인 실시예에 대하여 기술한다.

제 1 실시예

<28> 도 3은 본 발명의 제 1 실시예에 따른 반도체 장치의 단면도이다.

<29> 도 3을 참조하면, 제 1 실시예에 따른 반도체 장치(10)는 배선 기판(11)과, CPU 칩(12) 및 RF 디바이스(13) 등의 전자 부품과, 안테나 소자(15)를 포함한다.

<30> 배선 기판(11)은 기판 본체(17) 및 배선(21~27)을 가진다. 기판 본체(17)는 판상(板狀)으로 형성된다. 기판 본체(17)는 배선(21~27)을 형성하기 위한 기판이다. 배선(21~27)은 기판 본체(17)의 상면(17A)에 설치된다. 배선 기판(11)은 CPU 칩(12), RF 디바이스(13), 및 안테나 소자(15)를 전기적으로 서로 접속한다.

<31> CPU 칩(12)은 배선 기판(11)의 상면에 실장된다. CPU 칩(12)은 배선(21, 22)과 전기적으로 접속된다. CPU 칩

(12)은 데이터 처리를 하기 위한 칩이다.

- <32> RF 디바이스(13)는 배선 기관(11)의 상면에 실장되고 배선(22, 23)과 전기적으로 접속된다. RF 디바이스(13)는 배선(22)을 통해 CPU 칩(12)과 전기적으로 접속된다. RF 디바이스(13)는 신호를 변조 및 복조하기 위한 장치이다.
- <33> 도 4는 도 3에 나타난 안테나 소자를 확대한 단면도이다. 도 5 및 도 6은 도 4에 나타난 안테나 소자를 나타낸 상측 평면도이다. 도 5에서는, 설명의 편의상, 솔더 레지스트(37), Ni 층(35), 및 Au 층(36)의 도시를 생략한다. 또한, 도 6에서는, 설명의 편의상, 솔더 레지스트(43)의 도시를 생략한다.
- <34> 도 4 내지 도 6을 참조하면, 안테나 소자(15)는 실리콘 기관(31), 절연막(32), 안테나로서 기능하는 역 F형 안테나(33), Ni층(35, 41), Au층(36, 42), 솔더 레지스트(37, 43), 및 외부 접속 단자(45~49)를 포함한다.
- <35> 실리콘 기관(31)은 판상으로 형성된다. 실리콘 기관(31)은 관통 구멍(52, 53)을 가진다. 관통 구멍(52, 53)은 실리콘 기관(31)을 관통하도록 형성된다. 실리콘 기관(31)은 수지의 유전율(수지의 유전율은 통상 4 전후임)보다도 큰 유전율(실리콘의 유전율은 통상 11 전후임)을 가진다. 실리콘 기관(31)의 두께(M1)는, 예를 들면 200 μ m 내지 500 μ m로 설정될 수 있다. 실리콘 기관(31)의 폭 W1은, 예를 들면 전자과 송수신부(62)의 폭 W3보다도 0.1mm정도 크게 설정될 수 된다. 또한, 실리콘 기관(31)의 폭 W2은, 예를 들면 전자과 송수신부(62)의 폭 W4보다도 0.1mm정도 크게 설정될 수 있다.
- <36> 절연막(32)은 실리콘 기관(31)의 양면(31A, 31B), 및 관통 구멍(52, 53)에 대응하는 실리콘 기관(31)의 면을 덮도록 설치된다. 절연막(32)은 실리콘 기관(31)과 역 F형 안테나(33)를 전기적으로 절연하기 위한 막이다. 절연막(32)로서는, 예를 들면 SiO₂ 등의 산화막을 이용할 수 있다. 절연막(32)으로서 산화막을 이용하는 경우에, 절연막(32)의 두께는, 예를 들면 수십nm 내지 수백nm로 설정될 수 있다.
- <37> 역 F형 안테나(33)는 접속부(56, 57), 신호 입력용 패드(58), 접지층(59), 및 전자과 송수신부(62)를 포함한다. 접속부(56)는 절연막(32)이 형성된 관통 구멍(52)에 설치된다. 접속부(57)는 절연막(32)이 형성된 관통 구멍(53)에 설치된다. 접속부(56, 57)의 재료로서는, 예를 들면 Cu를 이용할 수 있다.
- <38> 신호 입력용 패드(58)는 접속부(56)의 하단면 및 그 근방의 절연막(32)(실리콘 기관(31)의 하면(31B)에 형성된 부분의 절연막(32))의 하면에 설치된다. 신호 입력용 패드(58)는 평면에서 볼 때, 원형으로 형성된다. 신호 입력용 패드(58)는 접속부(56)의 하단부와 접속된다. 신호 입력용 패드(58)에는, 외부 접속 단자(45), Ni층(41), 및 Au층(42)을 통해서 신호가 입력된다. 신호 입력용 패드(58)의 재료로서는, 예를 들면 Cu를 이용할 수 있다.
- <39> 접지층(59)은 신호 입력용 패드(58)로부터 이간되는 동시에, 실리콘 기관(31)의 하면(31B)(제 2 면)에 형성된 절연막(32)의 하면(신호 입력용 패드(58)가 형성되는 영역에 대응하는 부분의 절연막(32)의 하면은 제외함)을 덮도록 설치된다. 접지층(59)은 접속부(57)의 하단부와 접속된다. 접지층(59)은 접지 전위로 된다. 접지층(59)의 재료로서는, 예를 들면 Cu를 이용할 수 있다.
- <40> 전자과 송수신부(62)는 실리콘 기관(31)의 상면(31A)(제 1 면)에 형성된 절연막(32) 상에 설치된다. 전자과 송수신부(62)는 접속부(56, 57)의 상단부와 접속된다. 전자과 송수신부(62)는 접속부(56)를 통해서 신호 입력용 패드(58)와 전기적으로 접속되는 동시에, 접속부(57)를 통해서 접지층(59)과 전기적으로 접속된다. 전자과 송수신부(62)는 전자파를 송수신한다. 전자과 송수신부(62)의 재료로서는, 예를 들면 Cu를 이용할 수 있다. 2.4GHz의 주파수로 안테나 소자(15)를 사용하는 경우에, 전자과 송수신부(62)의 폭 W3은, 예를 들면 1mm 내지 10mm로 설정될 수 있고, 전자과 송수신부(62)의 폭 W4은, 예를 들면 15mm로 설정될 수 있다. 이 경우에, 전자과 송수신부(62)의 두께는, 예를 들면 10 μ m로 설정될 수 있다.
- <41> 상술한 바와 같이, 실리콘 기관(31)의 상면(31A)에는 절연막(32)을 사이에 두고 전자과 송수신부(62)를 설치하고, 실리콘 기관(31)의 하면(31B)에는 절연막(32)을 사이에 두고 신호 입력용 패드(58) 및 접지층(59)을 설치한다. 실리콘 기관(31)을 관통하도록 접속부(56, 57)를 설치하고, 신호 입력용 패드(58) 및 접지층(59)과 전자과 송수신부(62)를 전기적으로 접속한다. 따라서, 기관 본체(211)의 한쪽 면에 안테나 패턴(223)을 형성한 종래의 안테나 소자(220)와 비교해서, 안테나 소자(15)의 크기를 소형화할 수 있다.
- <42> 또한, 수지의 유전율(수지의 유전율은 통상 4 전후)보다도 큰 유전율을 가지는 실리콘 기관(31)(실리콘의 유전율은 통상 11 전후)에 역 F형 안테나(33)를 형성한다. 이로써, 수지로 이루어진 기관에 역 F형 안테나(33)를 형성한 경우와 비교해서, 전자과 송수신부(62)의 폭(W3, W4)을 작게 할 수 있다.

- <43> 또한, 실리콘 기판(31)에 역 F형 안테나(33)를 형성함으로써, 수지로 이루어진 기판에 역 F형 안테나(33)를 형성한 경우와 비교해서, 역 F형 안테나(33)의 가공 정밀도가 향상된다. 따라서, 원하는 형상(크기)으로 역 F형 안테나(33)를 형성하는 것이 가능하다. 이러한 구조에서는, 역 F형 안테나(33)의 원하는 안테나 특성을 얻는 것이 가능하다. 특히, 안테나의 치수 정밀도가 요구되는 고주파 대역(예를 들면, 60GHz) 및 밀리미터 주파수 대역에서 안테나 소자(15)를 사용하는 경우에 유효하다.
- <44> 역 F형 안테나(33)는, 예를 들면 도금막으로 형성될 수 있다. 이러한 구조에서는, 역 F형 안테나(33)를 도금막으로 형성하기 때문에, 역 F형 안테나(33)의 가공 정밀도(치수 정밀도)를 향상시킬 수 있다.
- <45> 수지로 이루어진 빌드업 기판 또는 실리콘 기판 중 어느 하나에 금속 패턴의 형성 시에 금속 패턴의 각 허용 오차는 표 1과 같다.

표 1

<46>	치수 허용 오차	유전율	2.4GHz에서의 주파수 변동(치수 허용 오차 내에서)	60GHz에서의 주파수 변동(치수 허용 오차 내에서)
빌드업 기판(수지)	$\pm 3\mu\text{m}$	4	$\pm 400\text{kHz}$	$\pm 240\text{MHz}$
Si	$\pm 0.5\mu\text{m}$	10	$\pm 54\text{kHz}$	$\pm 33\text{MHz}$

- <47> 표 1에 나타난 바와 같이, 금속 패턴의 치수 허용 오차는 빌드업 기판의 이용 시에는 $3\mu\text{m}$ 이내지만, 실리콘 기판의 이용 시에는 $0.5\mu\text{m}$ 이내이다. 빌드업 기판에서, 2.4GHz 및 60GHz에서의 각각의 주파수 변동은 400kHz 및 240kHz 이내이다. 반면, 실리콘 기판에서, 2.4GHz 및 60GHz에서의 각각의 주파수 변동은 54kHz 및 33kHz 이내이다. 즉, 빌드업 기판의 주파수 변동은 실리콘 기판보다 약 8배임을 알 수 있다.
- <48> 이것은 실리콘 기판의 치수 허용 오차(치수 에러)가 빌드업 기판보다 작기 때문에, 안테나의 치수 정밀도가 요구되는 고주파 대역(예를 들면, 60GHz) 및 밀리미터 주파수 대역에서 이용되는 안테나 소자(15)에는 실리콘 기판이 유효하다는 것을 의미한다.
- <49> Ni층(35)은 전자과 송수신부(62)의 상면을 덮도록 설치된다. Ni층(35)은 전자과 송수신부(62)에 포함된 Cu가 Au층(36)에 확산되는 것을 방지하기 위한 확산 방지층이다. Ni층(35)의 두께는, 예를 들면 $1\mu\text{m}$ 내지 $4\mu\text{m}$ 로 설정될 수 있다. Ni층(35) 및 Au층(36)은, 예를 들면 도금법에 의해서 형성될 수 있다.
- <50> Au층(36)은 Ni층(35)의 상면을 덮도록 설치된다. Au층(36)은 내식성이 우수하여서, Ni층(35)이 산화되는 것을 방지한다. Ni층(35)은 Au층(36)의 베이스이다. Au층(36)의 두께는, 예를 들면 $0.2\mu\text{m}$ 내지 $0.3\mu\text{m}$ 로 설정될 수 있다.
- <51> 솔더 레지스트(37)는 절연막(32) 상에 형성된 전자과 송수신부(62), Ni층(35), 및 Au층(36)을 덮도록 절연막(32)에 설치된다. 솔더 레지스트(37)의 두께는, 예를 들면 $20\mu\text{m}$ 로 설정될 수 있다.
- <52> Ni층(41)은 신호 입력용 패드(58) 및 접지층(59)의 하면을 덮도록 설치된다. Ni층(41)은 신호 입력용 패드(58) 및 접지층(59)에 포함된 Cu가 Au층(42)에 확산되는 것을 방지하기 위한 확산 방지막이다. Ni층(41)의 두께는, 예를 들면 $1\mu\text{m}$ 내지 $4\mu\text{m}$ 로 설정될 수 있다.
- <53> Au층(42)은 Ni층(41)의 하면을 덮도록 설치된다. Au층(42)은 내식성이 우수하여서, Ni층(41)이 산화되는 것을 방지한다. Au층(42)의 두께는, 예를 들면 $0.2\mu\text{m}$ 내지 $0.3\mu\text{m}$ 로 설정될 수 있다.
- <54> 솔더 레지스트(43)는 절연막(32)에 형성된 신호 입력용 패드(58), 접지층(59), Ni층(41), 및 Au층(42)을 덮도록 절연막(32)(실리콘 기판(31)의 하면(31B)에 형성된 부분의 절연막(32))에 설치된다. 솔더 레지스트(43)는 외부 접속 단자(45~49)가 설치되는 부분의 Au층(42)을 노출하는 개구부(43A~43E)를 가진다. 솔더 레지스트(43)의 두께는, 예를 들면 $20\mu\text{m}$ 로 설정될 수 있다.
- <55> 외부 접속 단자(45)는 개구부(43A)에 의해 노출된 부분의 Au층(42)에 설치된다. 외부 접속 단자(45)는 신호 입력용 단자이다. 외부 접속 단자(45)로부터 입력된 신호는, Au층(42), Ni층(41), 신호 입력용 패드(58), 및 접속부(56)를 통해서, 전자과 송수신부(62)에 전송된다. 또한, 외부 접속 단자(45)는 배선 기판(11)에 설치된 배선(23)과 접속된다. 이와 같은 구성으로, 안테나 소자(15)는 배선(23)을 통해서 RF 디바이스(13)와 전기적으로 접속된다.

- <56> 외부 접속 단자(46)는 개구부(43B)에 의해 노출된 부분의 Au층(42)에 설치된다. 외부 접속 단자(46)는 배선 기관(11)에 설치된 배선(24)과 접속된다. 외부 접속 단자(47)는 개구부(43C)에 노출된 부분의 Au층(42)에 설치된다. 외부 접속 단자(47)는 배선 기관(11)에 설치된 배선(25)과 접속된다. 외부 접속 단자(48)는 개구부(43D)에 노출된 부분의 Au층(42)에 설치된다. 외부 접속 단자(48)는 배선 기관(11)에 설치된 배선(26)에 접속된다. 외부 접속 단자(49)는 개구부(43E)에 의해 노출된 부분의 Au층(42)에 설치된다. 외부 접속 단자(49)는 배선 기관(11)에 설치된 배선(27)과 접속된다. 외부 접속 단자(46~49)는 접지 단자이다.
- <57> 예시적인 실시예의 안테나 소자에 따르면, 실리콘 기관(31)의 상면(31A)에는 절연막(32)을 사이에 두고 전자과 송수신부(62)를 설치하고, 실리콘 기관(31)의 하면(31B)에는 절연막(32)을 사이에 두고 신호 입력용 패드(58) 및 접지층(59)을 설치한다. 실리콘 기관(31)을 관통하도록 접속부(56, 57)를 설치하고, 신호 입력용 패드(58) 및 접지층(59)과 전자과 송수신부(62)를 전기적으로 접속한다. 따라서, 기관 본체(211)의 한쪽 면에 안테나 패턴(223)을 형성한 공지된 반도체 소자(220)와 비교해서, 안테나 소자(15)를 소형화할 수 있다.
- <58> 또한, 수지의 유전율(수지의 유전율은 통상 4 전후)보다도 유전율이 큰 실리콘 기관(31)(실리콘의 유전율은 통상 11 전후)에 역 F형 안테나(33)를 형성한다. 이로써, 수지로 이루어진 기관에 역 F형 안테나(33)를 형성한 경우와 비교해서, 전자과 송수신부(62)의 폭(W3, W4)을 작게 할 수 있다.
- <59> 예시적인 실시예의 반도체 장치에 따르면, 배선(21~27)을 가지는 배선 기관(11)과, 배선 기관(11)에 설치된 CPU 칩(12) 및 RF 디바이스(13)와, CPU 칩(12) 및 RF 디바이스(13)와 전기적으로 접속된 안테나 소자(15)를 설치한다. 이로써, 반도체 장치(10)의 크기를 소형화할 수 있다.
- <60> **제 2 실시예**
- <61> 도 7은 본 발명의 제 2 실시예에 따른 반도체 장치를 나타낸 단면도이다. 도 7에서, 제 1 실시예의 반도체 장치(10)와 동일한 구성 부분에는 동일한 참조 부호를 부여한다.
- <62> 도 7을 참조하면, 제 2 실시예의 반도체 장치(70)는, 제 1 실시예의 반도체 장치(10)에 설치된 안테나 소자(15)를 대신하여 안테나 소자(75)를 설치한 것 이외에는 제 1 실시예의 반도체 장치(10)와 동일한 구성을 가진다.
- <63> 도 8은 도 7에 나타난 안테나 소자를 확대한 단면도이다. 도 9 및 도 10은 도 8에 나타난 안테나 소자를 나타낸 상측 평면도이다. 도 9에서, 설명의 편의상, 솔더 레지스트(37), Ni층(35), 및 Au층(36)의 도시를 생략한다. 또한, 도 10에서는 설명의 편의상, 솔더 레지스트(43)의 도시를 생략한다.
- <64> 도 8 내지 도 10을 참조하면, 제 2 실시예의 안테나 소자(75)는 제 1 실시예에서 설명한 안테나 소자(15)에 설치된 실리콘 기관(31) 및 역 F형 안테나(33)를 대신하여, 실리콘 기관(76) 및 역 L형 안테나(77)를 설치한 것 이외에는 제 1 실시예의 안테나 소자(15)와 동일한 구성을 가진다.
- <65> 실리콘 기관(76)은 제 1 실시예에서 설명한 실리콘 기관(31)의 구성에서 관통 구멍(52)을 제거한 것 이외에는, 실리콘 기관(31)과 동일한 구성을 가진다.
- <66> 역 L형 안테나(77)는 제 1 실시예에서 설명한 역 F형 안테나(33)의 구성에서 접속부(56) 및 신호 입력용 패드(58)를 제거한 것과, 역 F형 안테나(33)에 설치된 접지층(59)을 대신해서 접지층(79)을 설치한 것 이외에는 역 F형 안테나(33)와 동일한 구성을 가진다.
- <67> 전자과 송수신부(62)는 실리콘 기관(76)의 상면(76A)(제 1 면)에 형성된 절연막(32) 상에 설치된다. 전자과 송수신부(62)는 접속부(57)의 상단부와 접속된다.
- <68> 접지층(79)은 실리콘 기관(76)의 하면(76B)에 형성된 절연막(32)의 하면을 덮도록 설치된다. 접지층(79)은 실리콘 기관(76)의 하면(76B)에 형성된 절연막(32)을 노출하는 홈부(81)(도 10 참조)를 가진다. 접지층(79)은 접속부(57)의 하단부와 접속된다. 접지층(79)은 접속부(57)를 통해서 전자과 송수신부(62)와 전기적으로 접속된다.
- <69> 상술한 바와 같이, 실리콘 기관(76)의 상면(76A)에는 절연막(32)을 사이에 두고 전자과 송수신부(62)를 설치하고, 실리콘 기관(76)의 하면(76B)에는 절연막(32)을 사이에 두고 접지층(79)을 설치한다. 실리콘 기관(76)을 관통하도록 접속부(57)를 설치하고, 전자과 송수신부(62)와 접지층(79)을 전기적으로 접속한다. 따라서, 기관 본체(211)의 한쪽 면에 안테나 패턴(223)을 형성한 공지된 안테나 소자(220)와 비교해서, 안테나 소자(75)를 소형화할 수 있다.
- <70> 또한, 수지의 유전율(수지의 유전율은 통상 4 전후)보다도 유전율이 큰 실리콘 기관(76)(실리콘의 유전율은 통

상 11 전후)에 역 L형 안테나(77)를 형성한다. 이로써, 수지로 이루어진 기판에 역 L형 안테나(77)를 형성하는 경우와 비교해서, 전자과 송수신부(62)의 폭(W3, W4)을 작게 할 수 있다.

<71> 또한, 실리콘 기판(76)에 역 L형 안테나(77)를 형성함으로써, 수지 기판에 역 L형 안테나(77)를 형성한 경우와 비교해서, 역 L형 안테나(77)의 가공 정밀도가 향상된다. 따라서, 원하는 형상으로 역 L형 안테나(77)를 형성하는 것이 가능하다. 이러한 구조로, 역 L형 안테나(77)의 원하는 안테나 특성을 얻을 수 있다. 특히, 안테나의 크기 정밀도가 요구되는 고주파 대역(예를 들면, 60GHz) 및 밀리미터 주파수 대역에서 안테나 소자(75)를 사용하는 경우에 유효하다.

<72> 역 L형 안테나(77)는, 예를 들면 Cu 도금막으로 형성될 수 있다. 이러한 구조로, 역 L형 안테나(77)를 도금막으로 형성하기 때문에, 역 L형 안테나(77)의 가공 정밀도(크기 정밀도)를 향상시킬 수 있다.

<73> Ni층(41)은 접지층(79)의 하면을 덮도록 설치된다. Au층(42)은 Ni층(41)의 하면을 덮도록 설치된다. 솔더 레지스트(43)는 홈부(81)에 대응하는 부분의 절연막(32), Ni층(41), Au층(42), 및 접지층(79)과, Au층(42)의 하면을 덮도록 설치된다. 솔더 레지스트(43)의 개구부(43A)는 홈부(81)에 의해 둘러싸인 부분의 Au층(42)에 형성된다. 외부 접속 단자(45)는 개구부(43A)에 의해 노출된 부분의 Au층(42)에 설치된다. 외부 접속 단자(46)는 개구부(43B)에 의해 노출된 부분의 Au층(42)에 설치된다. 외부 접속 단자(47)는 개구부(43C)에 의해 노출된 부분의 Au층(42)에 설치된다. 외부 접속 단자(48)는 개구부(43D)에 의해 노출된 부분의 Au층(42)에 설치된다. 외부 접속 단자(49)는 개구부(43E)에 의해 노출된 부분의 Au층(42)에 설치된다.

<74> 상술한 바와 같이 구성된 안테나 소자(75)에서는 외부 접속 단자(45)를 통해서 접지층(79)에 신호가 입력된다.

<75> 전술한 바와 같이 구성된 역 L형 안테나(77)의 외부 접속 단자(45~49)는 배선 기판에 설치된 배선(23~27)과 전기적으로 접속된다. 역 L형 안테나(77)는 배선 기판(11)에 실장된 CPU 칩(12) 및 RF 디바이스(13)와 전기적으로 접속된다.

<76> 상술한 바와 같이, 배선(21~27)을 가지는 배선 기판(11)과, 배선 기판(11)에 설치된 CPU 칩(12) 및 RF 디바이스(13)와, CPU 칩(12) 및 RF 디바이스(13)와 전기적으로 접속된 안테나 소자(75)를 설치한다. 이로써, 반도체 장치(70)를 소형화할 수 있다.

<77> 예시적인 실시예의 안테나 소자에 따르면, 실리콘 기판(76)의 상면(76A)에는 절연막(32)을 사이에 두고 전자과 송수신부(62)를 설치하고, 실리콘 기판(76)의 하면(76B)에는 절연막(32)을 사이에 두고 접지층(79)을 설치한다. 실리콘 기판(76)을 관통하도록 접속부(57)를 설치하고, 전자과 송수신부(62)와 접지층(79)을 전기적으로 접속한다. 기판 본체(211)의 한쪽 면에 안테나 패턴(223)을 형성한 공지된 안테나 장치(220)와 비교해서, 안테나 소자(75)를 소형화할 수 있다.

<78> 또한, 수지의 유전율(수지의 유전율은 통상 4 전후)보다도 유전율이 큰 실리콘 기판(76)(실리콘의 유전율은 통상 11 전후)에 역 L형 안테나(77)를 형성한다. 이로써, 수지로 이루어진 기판에 역 L형 안테나(77)를 형성하는 경우와 비교해서, 전자과 송수신부(62)의 폭(W3, W4)을 작게 할 수 있다.

<79> 본 실시예의 반도체 장치에 따르면, 배선(21~27)을 가지는 배선 기판(11)과, 배선 기판(11)에 설치된 CPU 칩(12) 및 RF 디바이스(13)와, CPU 칩(12) 및 RF 디바이스(13)와 전기적으로 접속된 안테나 소자(75)를 설치한다. 이로써, 반도체 장치(70)를 소형화할 수 있다.

<80> 제 3 실시예

<81> 도 11은 본 발명의 제 3 실시예에 따른 반도체 장치를 나타낸 단면도이다. 도 11에서, 제 1 실시예의 반도체 장치(10)와 동일한 부분에는 동일한 참조 부호를 부여한다.

<82> 도 11을 참조하면, 본 발명의 제 3 실시예에 따른 반도체 장치(90)는 배선 기판(91)과, CPU 칩(12) 및 RF 디바이스(13) 등의 전자 부품과, 안테나 소자(95)를 가진다.

<83> 배선 기판(91)은 기판 본체(17) 및 배선(21~23, 93, 94)을 가진다. 배선(21~23, 93, 94)은 기판 본체(17)의 상면(17A)에 설치된다. 배선 기판(91)은 CPU 칩(12), RF 디바이스(13), 및 안테나 소자(95)를 전기적으로 서로 접속하기 위한 기판이다.

<84> 도 12는 도 11에 나타난 안테나 소자를 도시한 확대 단면도이다. 도 13 및 도 14는 도 11에 나타난 안테나 소자를 도시한 상측 평면도이다. 도 12 내지 도 14에서, 제 1 실시예의 안테나 소자(15)와 동일한 부분에는 동일한 참조 부호를 부여한다. 또한, 도 13에서는, 설명의 편의상, 솔더 레지스트(37), Ni층(35), 및 Au층(36)의

도시를 생략한다. 또한, 도 14에서는, 설명의 편의상, 솔더 레지스트(99)의 도시를 생략한다.

- <85> 도 12 내지 도 14를 참조하여, 안테나 소자(95)는 실리콘 기판(96), 절연막(32), 안테나로 기능하는 패치(patch) 안테나(97), Ni층(35, 41), Au층(36, 42), 솔더 레지스트(37, 99), 및 외부 접속 단자(102~104)를 포함한다. 실리콘 기판(96)은 판상으로 형성되고, 관통 구멍(106)을 가진다. 관통 구멍(106)은 실리콘 기판(96)을 관통하도록 형성된다. 실리콘 기판(96)의 두께 M2는, 예를 들면 200 μ m 내지 500 μ m로 설정될 수 있다. 실리콘 기판(96)의 폭 W5은, 예를 들면 전자과 송수신부(112)의 폭 W7보다도 0.1mm정도 크게 설정될 수 있다. 또한, 실리콘 기판(96)의 폭 W6은, 예를 들면 전자과 송수신부(112)의 폭 W8보다도 0.1mm정도 크게 설정될 수 있다.
- <86> 절연막(32)은 실리콘 기판(96)의 양면(96A, 96B), 및 관통 구멍(106)에 대응하는 부분의 실리콘 기판(96)의 면을 덮도록 설치된다. 절연막(32)은 실리콘 기판(96)으로부터 패치 안테나(97)를 전기적으로 절연하기 위해 이용된다.
- <87> 패치 안테나(97)는 접속부(107), 신호 입력용 패드(109), 접지층(111), 및 전자과 송수신부(112)를 포함한다. 접속부(107)는 절연막(32)이 형성된 관통 구멍(106)에 설치된다. 접속부(107)의 재료로서는, 예를 들면 Cu를 이용할 수 있다.
- <88> 신호 입력용 패드(109)는 접속부(107)의 하단면 및 그 근방에 위치하는 절연막(32)(실리콘 기판(96)의 하면(96B)에 형성된 부분의 절연막(32))의 하면에 설치된다. 신호 입력용 패드(109)는 평면에서 볼 때, 원형으로 형성된다. 신호 입력용 패드(109)는 접속부(107)의 하단부와 접속된다. 신호 입력용 패드(109)의 재료로서는, 예를 들면 Cu를 이용할 수 있다.
- <89> 접지층(111)은 신호 입력용 패드(109)로부터 이간되고, 실리콘 기판(96)의 하면(96B)(제 2 면)에 형성된 절연막(32)의 하면(신호 입력용 패드(109)가 형성되는 영역에 대응하는 부분의 절연막(32)의 하면을 제외함)을 덮도록 설치된다. 접지층(111)과 신호 입력용 패드(109) 사이에는 링 형상의 홈부(115)가 형성된다. 접지층(111)은 접지 전위로 된다. 접지층(111)의 재료로서는, 예를 들면 Cu를 이용할 수 있다.
- <90> 전자과 송수신부(112)는 실리콘 기판(96)의 상면(96A)(제 1 면)에 형성된 절연막(32) 상에 설치된다. 전자과 송수신부(112)는 관통 비아(107)의 상단부와 접속된다. 전자과 송수신부(112)는 접속부(107)를 통해서 신호 입력용 패드(109)와 전기적으로 접속된다. 전자과 송수신부(112)는 전자파를 송수신하는 역할을 가진다. 전자과 송수신부(112)의 재료로서는, 예를 들면 Cu를 이용할 수 있다. 2.4GHz의 주파수로 안테나 소자(95)를 사용하는 경우에, 전자과 송수신부(112)의 폭 W7은, 예를 들면 30mm로 설정할 수 있고, 전자과 송수신부(112)의 폭 W8은, 예를 들면 30mm로 설정할 수 있다. 이 경우에, 전자과 송수신부(112)의 두께는, 예를 들면 10 μ m로 설정될 수 있다.
- <91> 상술한 바와 같이, 실리콘 기판(96)의 상면(96A)에는 절연막을 사이에 두고 전자과 송수신부(112)를 설치하고, 실리콘 기판(96)의 하면(96B)에는 절연막(32)을 사이에 두고 신호 입력용 패드(109) 및 접지층(111)을 설치한다. 실리콘 기판(96)을 관통하도록 접속부(107)를 설치하고, 전자과 송수신부(112)와 신호 입력용 패드(109)를 전기적으로 접속한다. 따라서, 기판 본체(211)의 한쪽 면에 안테나 패턴(223)을 형성한 공지된 반도체 장치(220)와 비교해서, 안테나 소자(95)를 소형화할 수 있다.
- <92> 또한, 수지의 유전율(수지의 유전율은 통상 4 전후)보다도 유전율이 큰 실리콘 기판(96)(실리콘의 유전율은 통상 11 전후)에 패치 안테나(97)를 형성한다. 이로써, 수지로 이루어진 기판에 패치 안테나(97)를 형성하는 경우와 비교해서, 전자과 송수신부(112)의 폭(W7, W8)을 작게 할 수 있다.
- <93> 또한, 실리콘 기판(96)에 패치 안테나(97)를 형성함으로써, 수지로 이루어진 기판에 패치 안테나(97)를 형성한 경우와 비교해서, 패치 안테나(97)의 가공 정밀도가 향상된다. 따라서, 원하는 형상으로 패치 안테나(97)를 형성하는 것이 가능하다. 이와 같은 구성으로, 패치 안테나(97)의 원하는 안테나 특성을 얻을 수 있다. 특히, 안테나의 크기 정밀도가 요구되는 고주파 대역(예를 들면, 60GHz) 및 밀리미터 주파수 대역에서 안테나 소자(95)를 사용하는 경우에 유효하다.
- <94> 패치 안테나(97)는, 예를 들면 도금막으로 형성될 수 있다. 이와 같은 구성으로, 패치 안테나(97)를 도금막으로 형성하기 때문에, 패치 안테나(97)의 가공 정밀도(크기 정밀도)를 향상시킬 수 있다.
- <95> Ni층(35)은 전자과 송수신부(112)의 상면을 덮도록 설치된다. Au층(36)은 Ni층(35)의 상면을 덮도록 설치된다. 솔더 레지스트(37)는 전자과 송수신부(112), Ni층(35), 및 Au층(36)을 덮도록 절연막(32)에 설치된다.

- <96> Ni층(41)은 신호 입력용 패드(109) 및 접지층(111)의 하면을 덮도록 설치된다. Au층(42)은 Ni층(41)의 하면을 덮도록 설치된다. 솔더 레지스트(99)는 홈(115)에 대응하는 부분의 절연막(32), Ni층(41), Au층(42), 및 접지층(111)과, Au층(42)의 하면을 덮도록 설치된다. 솔더 레지스트(99)는 신호 입력용 패드(109)의 하면에 설치된 부분의 Au층(42)을 노출하는 개구부(97A), 및 접지층(111)의 하면에 설치된 부분의 Au층(42)을 노출하는 개구부(97B, 97C)를 가진다. 솔더 레지스트(99)의 두께는, 예를 들면 20 μ m로 설정될 수 있다.
- <97> 외부 접속 단자(102)는 개구부(97A)에 노출된 부분의 Au층(42)에 설치된다. 외부 접속 단자(102)는 신호 입력용 단자이다. 외부 접속 단자(102)로부터 입력된 신호는 Au층(42), Ni층(41), 신호 입력용 패드(109), 및 관통부(107)를 통해서 전자과 송수신부(112)에 전송된다. 또한, 외부 접속 단자(102)는 배선 기판(91)에 설치된 배선(93)과 접속된다.
- <98> 외부 접속 단자(103)는 개구부(97B)에 노출된 부분의 Au층(42)에 설치된다. 외부 접속 단자(103)는 배선 기판(91)에 설치된 배선(23)과 접속된다. 이러한 구성으로, 안테나 소자(95)는 배선(23)을 통해서 RF 디바이스(13)와 전기적으로 접속된다.
- <99> 외부 접속 단자(104)는 개구부(97C)에 의해 노출된 부분의 Au층(42)에 설치된다. 외부 접속 단자(104)는 배선 기판(91)에 설치된 배선(94)과 접속된다. 외부 접속 단자(103, 104)는 접지 단자이다.
- <100> 예시적인 실시예의 안테나 소자에 따르면, 실리콘 기판(96)의 상면(96A)에는 절연막(32)을 사이에 두고 전자과 송수신부(112)를 설치하고, 실리콘 기판(96)의 하면(96B)에는 절연막(32)을 사이에 두고 신호 입력용 패드(109) 및 접지층(111)을 설치한다. 실리콘 기판(96)을 관통하도록 접속부(107)를 설치하고, 전자과 송수신부(112)와 신호 입력용 패드(109)를 전기적으로 접속한다. 따라서, 기판 본체(211)의 한쪽 면에 안테나 패턴(223)을 형성한 종래의 반도체 장치(220)와 비교해서, 안테나 소자(95)를 소형화할 수 있다.
- <101> 또한, 수지의 유전율(수지의 유전율은 통상 4 전후)보다도 유전율이 큰 실리콘 기판(96)(실리콘의 유전율은 통상 11 전후)에 패치 안테나 소자(97)를 형성한다. 이로써, 수지로 이루어진 기판에 패치 안테나(97)를 형성한 경우와 비교해서, 전자과 송수신부(112)의 폭(W7, W8)을 작게 할 수 있다.
- <102> 본 실시예의 반도체 장치에 따르면, 배선(21~23, 93, 94)을 가지는 배선 기판(91)과, 배선 기판(91)에 설치되고 배선(21~23)과 전기적으로 접속되는 CPU 칩(12) 및 RF 디바이스(13)와, CPU 칩(12) 및 RF 디바이스(13)와 전기적으로 접속된 안테나 소자(95)를 설치한다. 이로써, 반도체 장치(90)를 소형화할 수 있다.
- <103> **제 4 실시예**
- <104> 도 15는 본 발명의 제 4 실시예에 따른 반도체 장치의 단면도이다. 도 15에서, 제 1 실시예의 반도체 장치(10)와 동일한 부분에는 동일한 참조 부호를 부여한다.
- <105> 도 15를 참조하면, 제 4 실시예의 반도체 장치(120)는 배선 기판(121)과, CPU 칩(12) 및 RF 디바이스(13) 등의 전자 부품과, 안테나 소자(125)를 포함한다.
- <106> 배선 기판(121)은 기판 본체(17) 및 배선(21~23, 131~135)을 가진다. 배선(21~23, 131~135)은 기판 본체(17)의 상면(17A)에 설치된다. 배선 기판(121)은 CPU 칩(12), RF 디바이스(13), 및 안테나 소자(125)를 전기적으로 서로 접속하기 위한 기판이다.
- <107> 도 16은 도 15에 나타난 안테나 소자를 도시한 확대 단면도이다. 도 17 및 도 18은 도 16에 나타난 안테나 소자의 상측 평면도이다. 도 16 내지 도 18에서, 제 1 실시예의 안테나 소자(15)와 동일한 부분에는 동일한 참조 부호를 부여한다. 도 17에서, 설명의 편의상, 솔더 레지스트(37), Ni층(35), 및 Au층(36)의 도시를 생략한다. 또한, 도 18에서는 설명의 편의상, 솔더 레지스트(143)의 도시를 생략한다.
- <108> 도 16 내지 도 18을 참조하면, 안테나 소자(125)는 실리콘 기판(138), 절연막(32), 안테나로서 기능하는 다이폴 안테나(141), Ni층(35, 41), Au층(36, 42), 솔더 레지스트(37, 143), 및 외부 접속 단자(144~149)를 가진다.
- <109> 실리콘 기판(138)은 판상으로 형성되고, 관통 구멍(152, 153)을 가진다. 관통 구멍(152, 153)은 실리콘 기판(138)을 관통하도록 형성된다. 관통 구멍(152, 153)은 실리콘 기판(138)의 중앙부에 설치된다. 실리콘 기판(138)의 두께 M3은, 예를 들면 200 μ m 내지 500 μ m로 설정될 수 있다. 실리콘 기판(138)의 폭 W9은, 예를 들면 1mm 내지 10mm로 설정될 수 있고, 2.4GHz의 경우에, 실리콘 기판(138)의 폭 W10은, 예를 들면 15mm로 설정될 수 있다.
- <110> 절연막(32)은 실리콘 기판(138)의 양면(138A, 138B), 및 관통 구멍(152, 153)에 대응하는 부분의 실리콘 기판

(138)의 면을 덮도록 설치된다. 절연막(32)은 실리콘 기판(138)과 다이폴 안테나(141)를 전기적으로 절연하는데 이용된다.

- <111> 다이폴 안테나(141)는 접속부(157, 158), 신호 입력용 패드(161, 162), 접지층(163), 및 전자과 송수신부(165, 166)를 가진다. 접속부(157)는 절연막(32)이 형성된 관통 구멍(152)에 설치된다. 접속부(158)는 절연막(32)이 형성된 관통 구멍(153)에 설치된다. 접속부(157, 158)의 재료로서는, 예를 들면 Cu를 이용할 수 있다.
- <112> 신호 입력용 패드(161)는 접속부(157)의 하단면 및 그 근방의 절연막(32)(실리콘 기판(138)의 하면(138B) 측에 형성된 부분의 절연막(32))의 하면에 설치된다. 신호 입력용 패드(161)는 평면에서 볼 때 원형으로 형성된다. 신호 입력용 패드(161)는 홈부(169)에 의해서, 신호 입력용 패드(162) 및 접지층(163)과 전기적으로 절연된다. 홈부(169)는 평면에서 볼 때, 8자 형상을 가지고, 신호 입력용 패드(161), 신호 입력용 패드(162), 및 접지층(163) 사이에 형성된다. 홈부(169)는 절연막(32)을 노출시키도록 형성된다. 신호 입력용 패드(161)는 외부 접속 단자(157)의 하단부와 접속된다. 신호 입력용 패드(161)는 외부 접속 단자(144)를 통해서, 플러스의 신호가 입력되는 패드이다. 신호 입력용 패드(161)의 재료로서, 예를 들면 Cu를 이용할 수 있다.
- <113> 신호 입력용 패드(162)는 접속부(158)의 하단면 및 그 근방에 위치하는 부분의 절연막(32)(실리콘 기판(138)의 하면(138B)에 형성된 부분의 절연막(32))의 하면에 설치된다. 신호 입력용 패드(162)는 평면에서 볼 때 원형으로 형성된다. 신호 입력용 패드(162)는 홈부(169)에 의해서 신호 입력용 패드(161) 및 접지층(163)과 전기적으로 절연된다. 신호 입력용 패드(162)는 접속부(158)의 하단부와 접속된다. 신호 입력용 패드(162)는 외부 접속 단자(145)를 통해서 마이너스의 신호가 입력되는 패드이다. 신호 입력용 패드(162)의 재료로서는, 예를 들면 Cu를 이용할 수 있다.
- <114> 접지층(163)은 신호 입력용 패드(161, 162)로부터 이간된 상태에서, 실리콘 기판(138)의 하면(138B)(제 2 면)에 형성된 절연막(32)의 하면(신호 입력용 패드(161, 162)가 형성된 영역에 대응하는 부분의 절연막(32)의 하면은 제외)을 덮도록 설치된다. 접지층(163)은 신호 입력용 패드(161, 162)와 전기적으로 절연된다. 접지층(163)은 접지 전위로 된다. 접지층(163)의 재료로서는, 예를 들면 Cu를 이용할 수 있다.
- <115> 전자과 송수신부(165)는 실리콘 기판(138)의 상면(138A)(제 1 면)에 형성된 절연막(32)에 설치된다. 전자과 송수신부(165)는 접속부(157)의 상단부와 접속된다. 전자과 송수신부(165)는 접속부(157)를 통해서, 신호 입력용 패드(161)와 전기적으로 접속된다. 전자과 송수신부(165)는 전자파를 송수신한다. 전자과 송수신부(165)의 재료로서는, 예를 들면 Cu를 이용할 수 있다. 2.4GHz의 주파수로서 안테나 소자(125)를 사용하는 경우, 전자과 송수신부(165)의 폭 W11은, 예를 들면 1mm 내지 10mm로 설정될 수 있고, 전자과 송수신부(165)의 폭 W12은, 예를 들면 15mm로 설정될 수 있다. 이 경우에, 전자과 송수신부(165)의 두께는, 예를 들면 10 μ m로 설정될 수 있다.
- <116> 전자과 송수신부(166)는 실리콘 기판(138)의 상면(138A)(제 1 면)에 형성된 절연막(32) 상에 설치된다. 전자과 송수신부(166)는 접속부(158)의 상단부와 접속된다. 전자과 송수신부(166)는 접속부(158)를 통해서 신호 입력용 패드(162)와 전기적으로 접속된다. 전자과 송수신부(166)는 전자파를 송수신하는 역할을 수행한다. 전자과 송수신부(166)의 재료로서는, 예를 들면 Cu를 이용할 수 있다. 2.4GHz의 주파수로서 안테나 소자(125)를 사용하는 경우, 전자과 송수신부(166)의 폭 W13은, 예를 들면 1mm 내지 10mm로 설정될 수 있고, 전자과 송수신부(166)의 폭 W14은, 예를 들면 15mm로 설정될 수 있다. 이 경우에, 전자과 송수신부(166)의 두께는, 예를 들면 10 μ m로 설정될 수 있다.
- <117> 상술한 바와 같이, 실리콘 기판(138)의 상면(138A)에는 절연막(32)을 사이에 두고 전자과 송수신부(165, 166)를 설치하고, 실리콘 기판(138)의 하면(138B)에는 절연막(32)을 사이에 두고 신호 입력용 패드(161, 162) 및 접지층(163)을 설치한다. 실리콘 기판(138)을 관통하도록 접속부(157, 158)를 설치한다. 접속부(157)에 의해 신호 입력용 패드(161)와 전자과 송수신부(165)를 전기적으로 접속하고, 접속부(158)에 의해 신호 입력용 패드(162)와 전자과 송수신부(166)를 전기적으로 접속한다. 따라서, 기판 본체(211)의 한쪽 면에 안테나 패턴(223)을 형성한 공지된 반도체 장치(220)와 비교해서, 안테나 소자(125)를 소형화할 수 있다.
- <118> 또한, 수지의 유전율(수지의 유전율은 통상 4 전후)보다도 유전율이 큰 실리콘 기판(138)(실리콘의 유전율은 통상 11 전후)에 다이폴 안테나(141)를 형성한다. 이로써, 수지로 이루어진 기판에 다이폴 안테나(141)를 형성한 경우와 비교해서, 전자과 송수신부(165, 166)의 폭(W11~W14)을 작게 할 수 있다.
- <119> 또한, 실리콘 기판(138)에 다이폴 안테나(141)를 형성함으로써, 수지로 이루어진 기판에 다이폴 안테나(141)를 형성한 경우와 비교해서, 다이폴 안테나(141)의 가공 정밀도가 향상된다. 따라서, 원하는 형상으로 다이폴 안

테나(141)를 형성하는 것이 가능하다. 이러한 구성으로, 다이폴 안테나(141)의 원하는 안테나 특성을 얻을 수 있다. 특히, 안테나의 크기 정밀도가 요구되는 고주파 대역(예를 들면, 60GHz) 또는 밀리미터 주파수 대역에서 안테나 소자(125)를 사용하는 경우에 유효하다.

- <120> 다이폴 안테나(141)는, 예를 들면 Cu 도금막으로 형성될 수 있다. 이러한 구조로, 다이폴 안테나(141)를 도금막으로 형성하기 때문에, 다이폴 안테나(141)의 가공 정밀도(크기 정밀도)를 향상시킬 수 있다.
- <121> Ni층(35)은 전자과 송수신부(165, 166)의 상면을 덮도록 설치된다. Au층(36)은 Ni층(35)의 상면을 덮도록 설치된다. 솔더 레지스트(37)는 전자과 송수신부(165, 166), Ni층(35), 및 Au층(36)을 덮도록 절연막(32)(실리콘 기판(138)의 상면(138A)에 형성된 부분의 절연막(32))에 설치된다.
- <122> Ni층(41)은 신호 입력용 패드(161, 162)의 하면 및 접지층(163)의 하면을 덮도록 설치된다. Au층(42)은 Ni층(41)의 하면을 덮도록 설치된다. 솔더 레지스트(143)는 홈부(169)에 대응하는 부분의 절연막(32), 접지층(163), 신호 입력용 패드(161, 162), Ni층(41), 및 Au층(42)과, Au층(42)의 하면을 덮도록 설치된다. 솔더 레지스트(143)는 개구부(143A~143F)를 가진다. 개구부(143A)는 신호 입력용 패드(161)에 설치된 Ni층(41)의 하면에 형성된 Au층(42)의 일부를 노출하도록 형성된다. 개구부(143B)는 신호 입력용 패드(162)에 설치된 Ni층(41)의 하면에 형성된 Au층(42)의 일부를 노출하도록 형성된다. 개구부(143C~143F)는 접지층(163)에 설치된 Ni층(41)의 하면에 형성된 Au층(42)의 부분을 노출하도록 형성된다.
- <123> 외부 접속 단자(144)는 개구부(143A)에 의해 노출된 부분의 Au층(42)에 설치된다. 외부 접속 단자(144)는 플러스 신호 입력용의 단자이다. 외부 접속 단자(144)로부터 입력된 플러스 신호는 Au층(42), Ni층(41), 신호 입력용 패드(161), 및 접속부(157)를 통해서, 전자과 송수신부(165)에 전송된다. 또한, 외부 접속 단자(144)는 배선 기판(121)에 설치된 배선(132)과 접속된다.
- <124> 외부 접속 단자(145)는 개구부(143B)에 의해 노출된 부분의 Au층(42)에 설치된다. 외부 접속 단자(145)는 마이너스 신호 입력용의 단자이다. 외부 접속 단자(145)로부터 입력된 마이너스 신호는 Au층(42), Ni층(41), 신호 입력용 패드(162), 및 접속부(158)를 통해서, 전자과 송수신부(166)에 전송된다. 또한, 외부 접속 단자(145)는 배선 기판(121)에 설치된 배선(133)과 접속된다.
- <125> 외부 접속 단자(146)는 개구부(143C)에 의해 노출된 부분의 Au층(42)에 설치된다. 외부 접속 단자(146)는 배선 기판(121)에 설치된 배선(23)과 접속된다. 이러한 구성으로, 안테나 소자(125)는 배선(23)을 통해서 RF 디바이스(13)와 전기적으로 접속된다. 외부 접속 단자(147)는 개구부(143D)에 의해 노출된 부분의 Au층(42)에 설치된다. 외부 접속 단자(147)는 배선 기판(121)에 설치된 배선(131)과 접속된다.
- <126> 외부 접속 단자(148)는 개구부(143E)에 의해 노출된 부분의 Au층(42)에 설치된다. 외부 접속 단자(148)는 배선 기판(121)에 설치된 배선(134)과 접속된다. 외부 접속 단자(149)는 개구부(143F)에 의해 노출된 부분의 Au층(42)에 설치된다. 외부 접속 단자(149)는 배선 기판(121)에 설치된 배선(135)과 접속된다. 외부 접속 단자(146~149)는 접지 단자이다.
- <127> 본 실시예의 안테나 소자에 따르면, 실리콘 기판(138)의 상면(138A)에 절연막(32)을 사이에 두고 전자과 송수신부(165, 166)를 설치하고, 실리콘 기판(138)의 하면(138B)에 절연막(32)을 사이에 두고 신호 입력용 패드(161, 162) 및 접지층(163)을 설치한다. 실리콘 기판(138)을 관통하도록 접속부(157, 158)를 설치한다. 접속부(157)에 의해서 신호 입력용 패드(161)와 전자과 송수신부(165)를 전기적으로 접속하고, 접속부(158)에 의해서 신호 입력용 패드(162)와 전자과 송수신부(166)를 전기적으로 접속한다. 따라서, 기판 본체(211)의 한쪽 면에 안테나 패턴(223)을 형성한 공지된 반도체 장치(220)와 비교해서, 안테나 소자(125)를 소형화할 수 있다.
- <128> 또한, 수지의 유전율(수지의 유전율은 통상 4 전후)보다도 유전율이 큰 실리콘 기판(138)(실리콘의 유전율은 통상 11 전후)에 다이폴 안테나(141)를 형성한다. 이로써, 수지로 이루어진 기판에 다이폴 안테나(141)를 형성한 경우와 비교해서, 전자과 송수신부(165, 166)의 폭(W11~W14)을 작게할 수 있다.
- <129> 본 실시예의 반도체 장치에 따르면, 배선(21~23, 131~135)을 가지는 배선 기판(121)과, 배선 기판(121)에 설치되고 배선(21~23)과 전기적으로 접속되는 CPU 칩(12) 및 RF 디바이스(13)와, CPU 칩(12) 및 RF 디바이스(13)와 전기적으로 접속된 안테나 소자(125)를 설치한다. 이로써, 반도체 장치(120)를 소형화할 수 있다.
- <130> 이상, 본 발명의 몇몇 바람직한 실시예에 대하여 기술하였지만, 본 발명은 상술한 특정 실시예에 한정되는 것이 아니며, 본 발명의 특허청구범위 내에 기재된 기술적 사상에서 벗어나지 않고, 다양한 형태로 변형이 가능하다.

- <131> 본 발명에 따르면, 본 발명은 소형화가 필요한 안테나 소자 및 반도체 장치에 적용할 수 있다.
- <132> 본 발명의 예시적인 실시예와 함께 기술하였지만, 본 발명에서 벗어나지 않고 다양한 변형 및 변경이 이루어질 수 있다는 것은 당업자에게는 자명하다. 따라서, 본 발명의 본래의 사상과 범위 내에서 모든 변형 및 변경은 첨부된 특허청구범위에 포함된다.

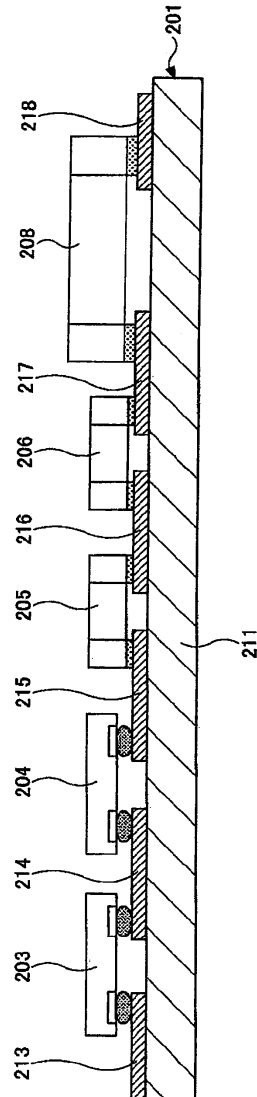
도면의 간단한 설명

- <133> 도 1은 종래의 반도체 장치를 나타낸 단면도.
- <134> 도 2는 종래의 다른 반도체 장치를 나타낸 단면도.
- <135> 도 3은 본 발명의 제 1 실시예에 따른 반도체 장치를 나타낸 단면도.
- <136> 도 4는 도 3에 나타낸 안테나 소자의 확대 단면도.
- <137> 도 5는 도 4에 나타낸 안테나 소자의 상측 평면도(#1).
- <138> 도 6은 도 4에 나타낸 안테나 소자의 상측 평면도(#2).
- <139> 도 7은 본 발명의 제 2 실시예에 따른 반도체 장치를 나타낸 단면도.
- <140> 도 8은 도 7에 나타낸 안테나 소자의 확대 단면도.
- <141> 도 9는 도 8에 나타낸 안테나 소자의 상측 평면도(#1).
- <142> 도 10은 도 8에 나타낸 안테나 소자의 상측 평면도(#2).
- <143> 도 11은 본 발명의 제 3 실시예에 따른 반도체 장치를 나타낸 단면도.
- <144> 도 12는 도 11에 나타낸 안테나 소자의 확대 단면도.
- <145> 도 13은 도 11에 나타낸 안테나 소자의 상측 평면도(#1).
- <146> 도 14는 도 11에 나타낸 안테나 소자의 상측 평면도(#2).
- <147> 도 15는 본 발명에 따른 제 4 실시예에 따른 반도체 장치를 나타낸 단면도.
- <148> 도 16은 도 15에 나타낸 안테나 소자의 확대 단면도.
- <149> 도 17은 도 16에 나타낸 안테나 소자의 상측 평면도(#1).
- <150> 도 18은 도 16에 나타낸 안테나 소자의 상측 평면도(#2).
- <151> * 도면의 주요 부분에 대한 부호의 설명 *
- <152> 10, 70, 90, 120 : 반도체 장치 11, 91, 121 : 배선 기판
- <153> 12 : CPU용 반도체 칩 13 : RF 디바이스
- <154> 15, 75, 95, 125 : 안테나 소자 17 : 기판 본체
- <155> 21~27, 93, 94, 131~135 : 배선 31, 76, 96, 138 : 실리콘 기판
- <156> 17A, 31A, 76A, 96A, 138A : 상면 31B, 76B, 96B, 138B : 하면
- <157> 32 : 절연막 33 : 역 F형 안테나
- <158> 35, 41 : Ni층 36, 42 : Au층
- <159> 37, 43, 99, 143 : 솔더 레지스트
- <160> 43A~43E, 97A~97C, 143A~143F : 개구부
- <161> 45~49, 102~104 : 외부 접속 단자 52, 53, 106, 152, 153 : 관통 구멍
- <162> 56, 57, 107, 157, 158 : 접속부
- <163> 58, 109, 161, 162 : 신호 입력용 패드

- | | | |
|-------|------------------------------|-------------------|
| <164> | 59, 77, 111, 163 : 접지층 | |
| <165> | 62, 112, 165, 166 : 전자파 송수신부 | |
| <166> | 77 : 역 L형 안테나 | 81, 115, 169 : 흡부 |
| <167> | 97 : 패치 안테나 | 141 : 다이폴 안테나 |
| <168> | M1~M3 : 두께 | W1~W14 : 폭 |

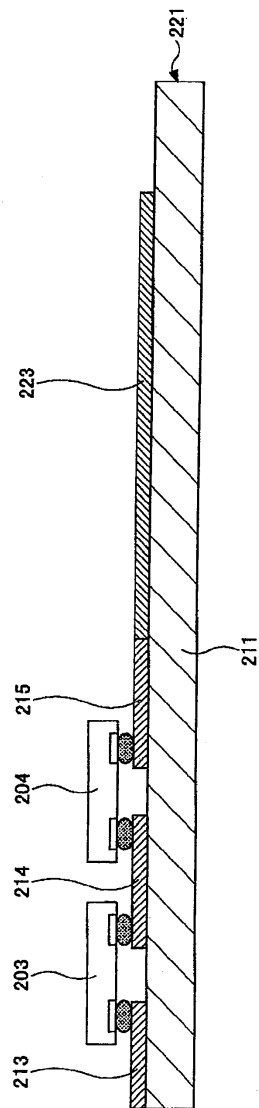
도면

도면1

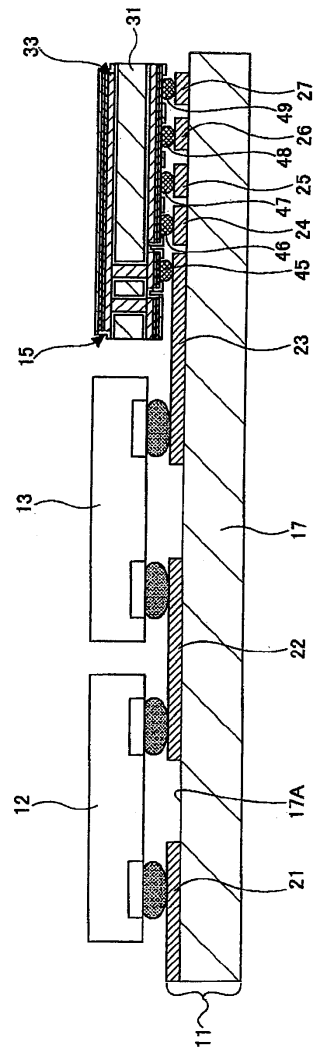


도면2

220

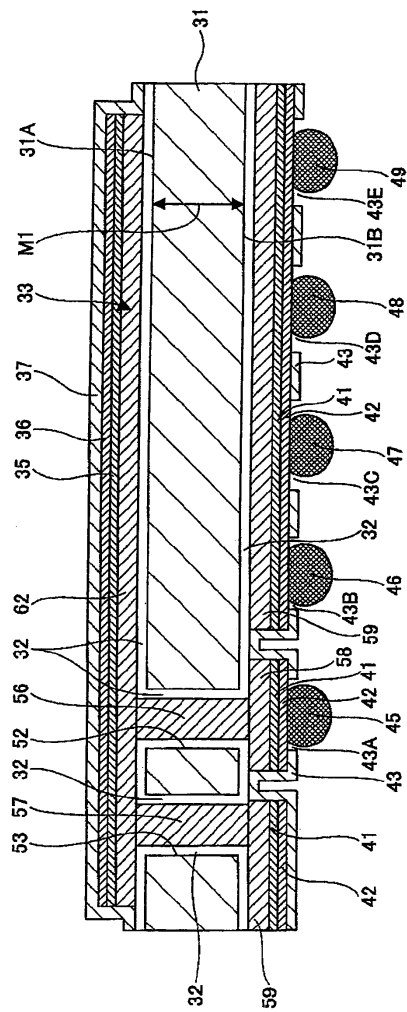


도면3

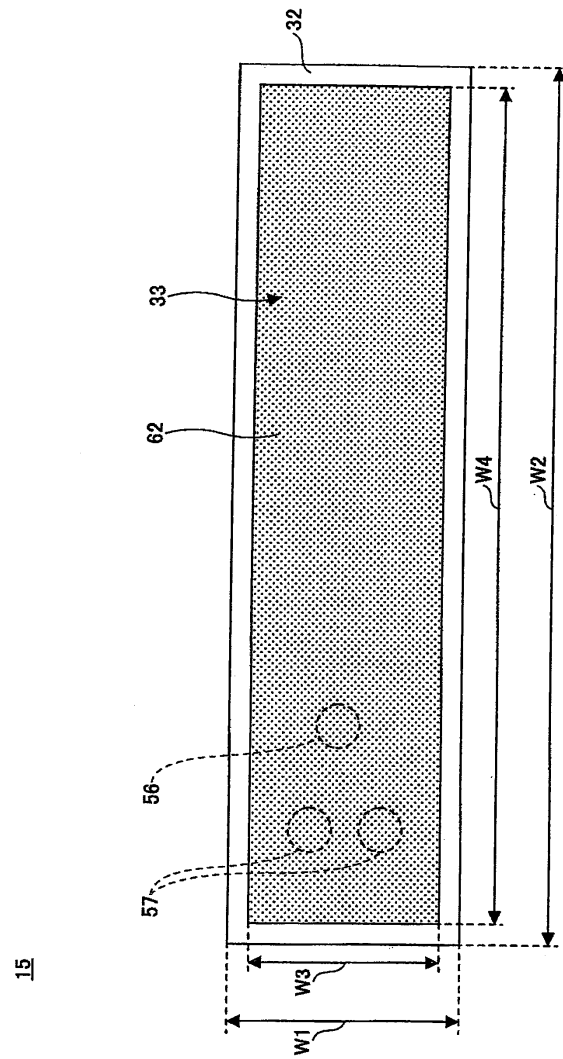


10

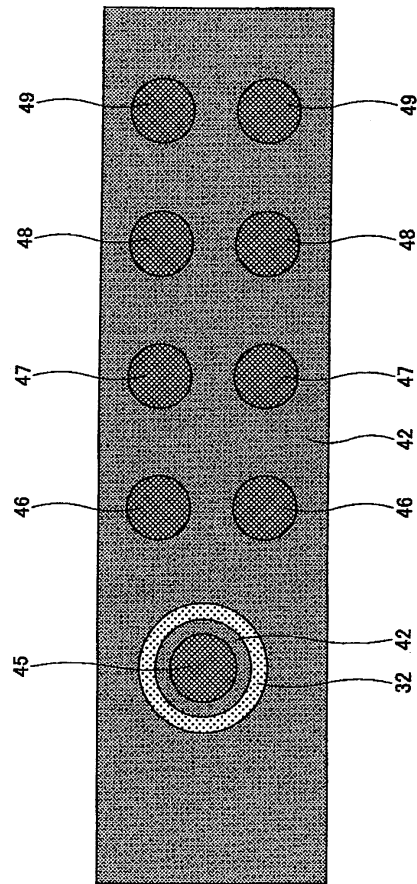
도면4



도면5

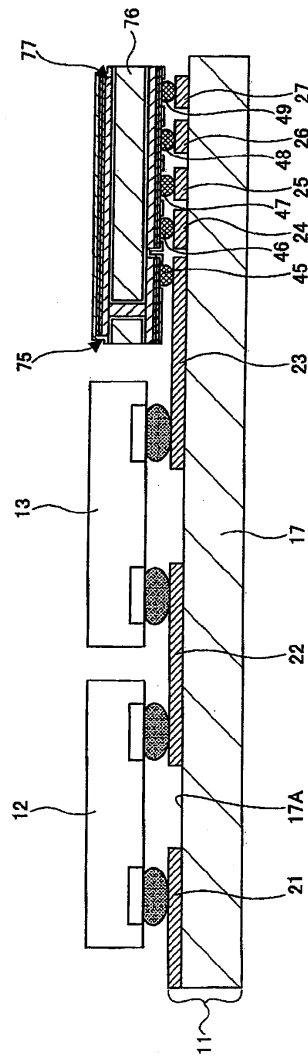


도면6



15

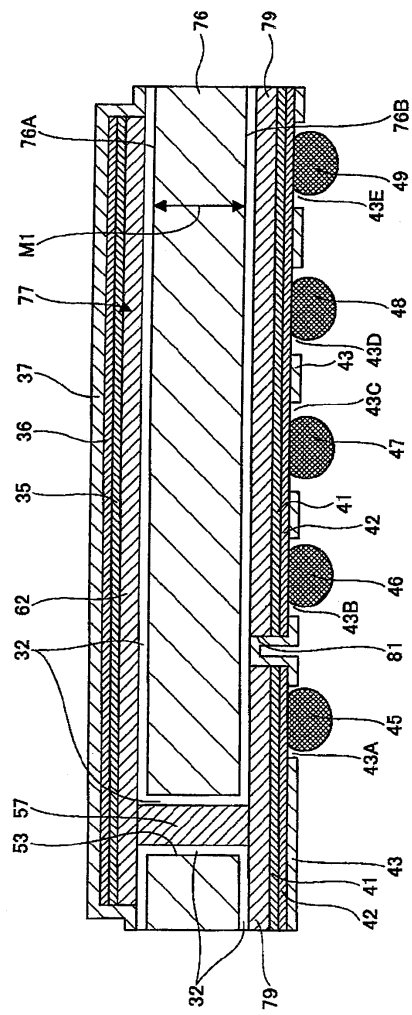
도면7



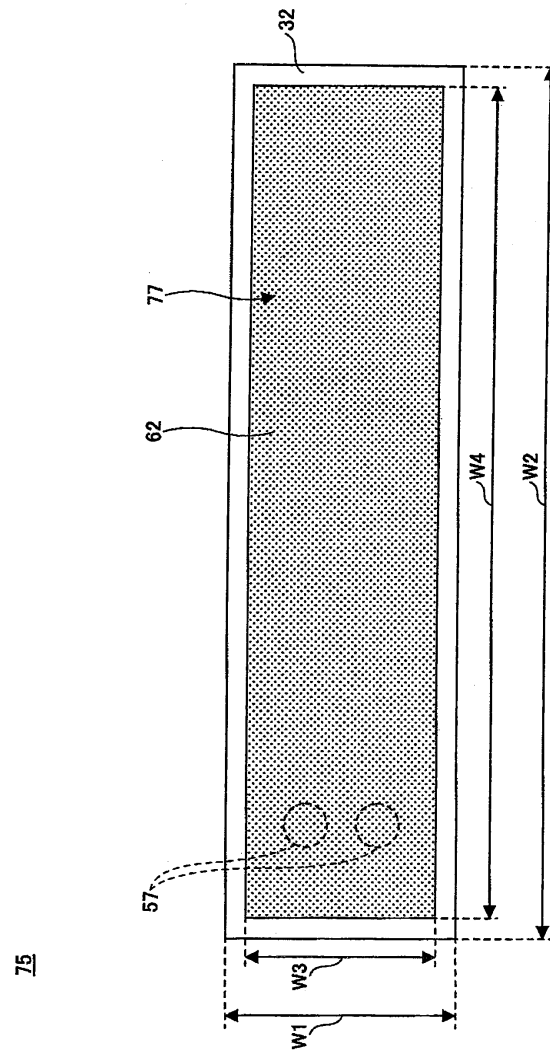
70

도면8

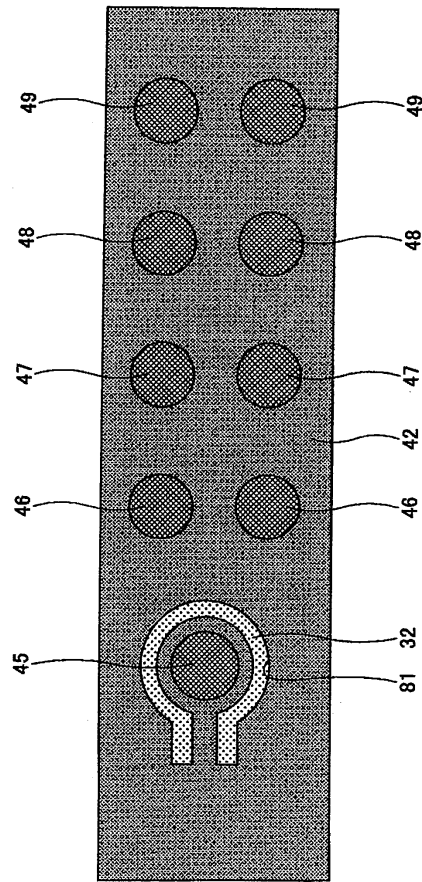
75



도면9

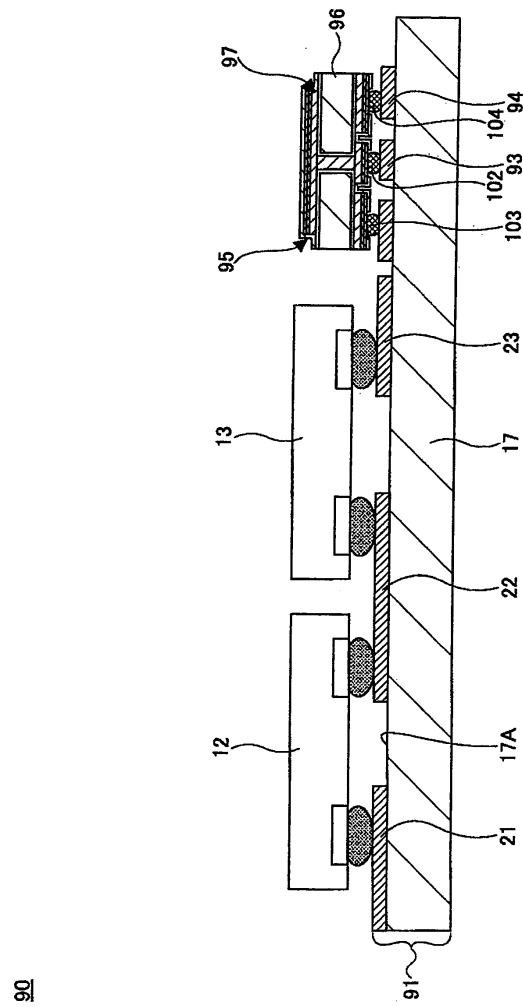


도면10



75

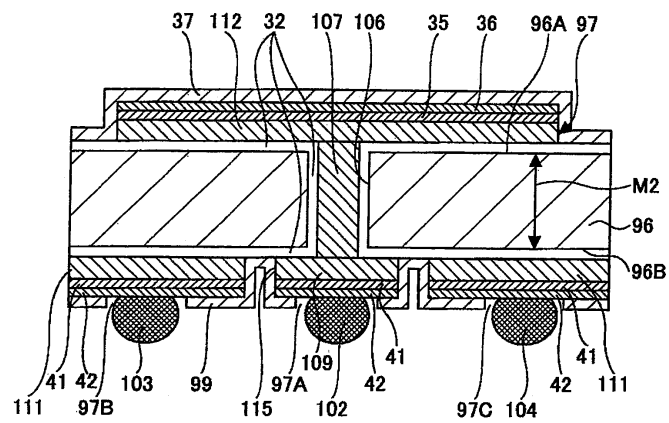
도면11



90

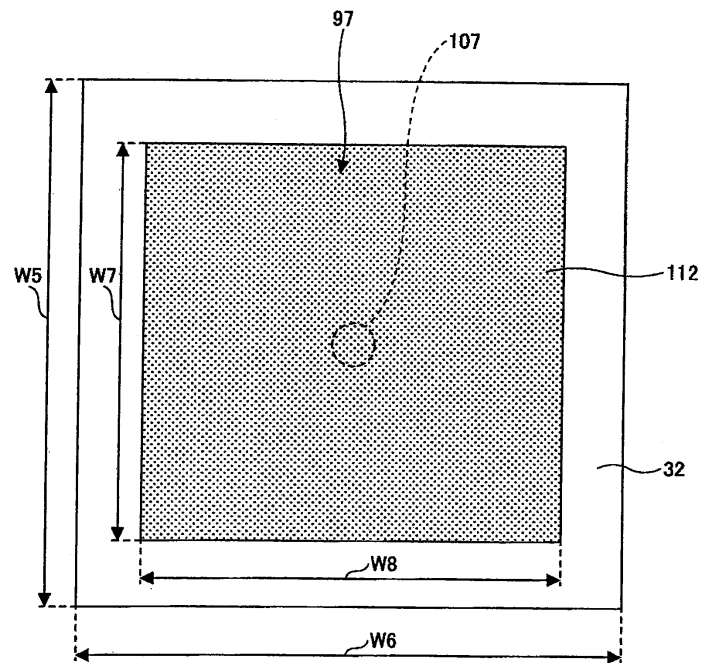
도면12

95



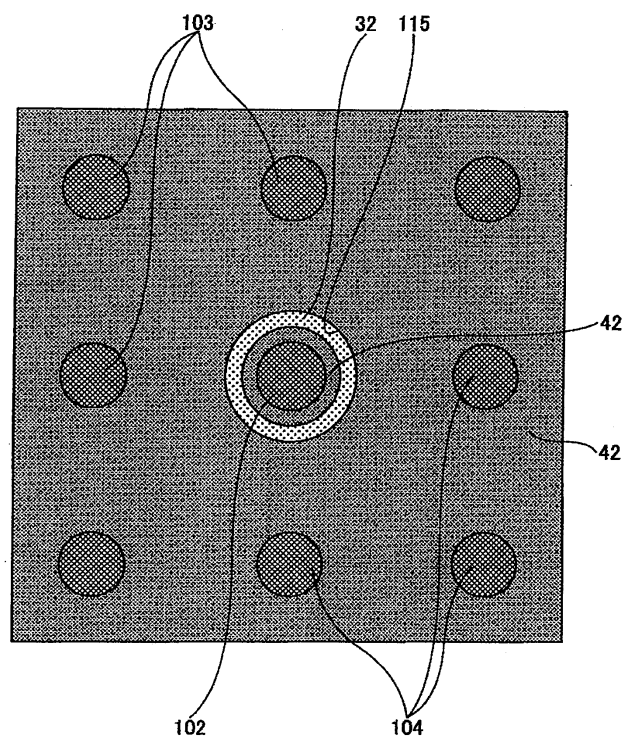
도면13

95



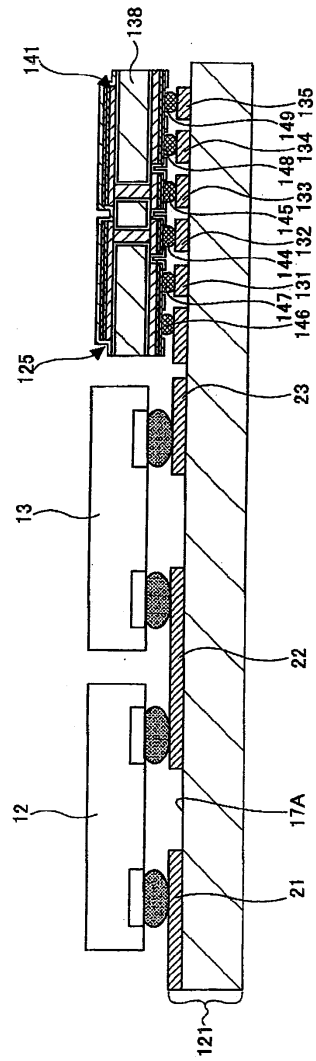
도면14

95



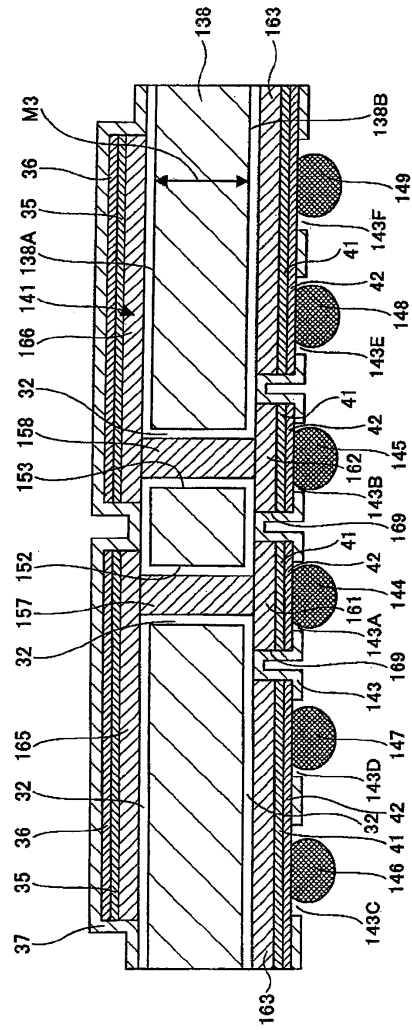
도면15

120

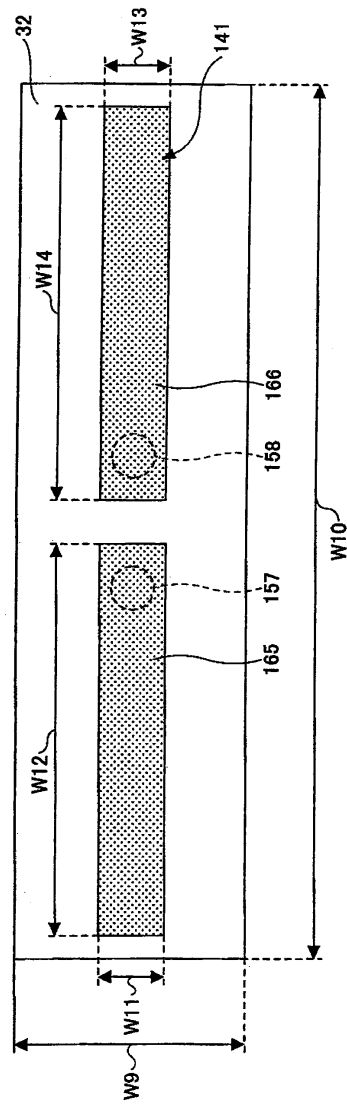


도면16

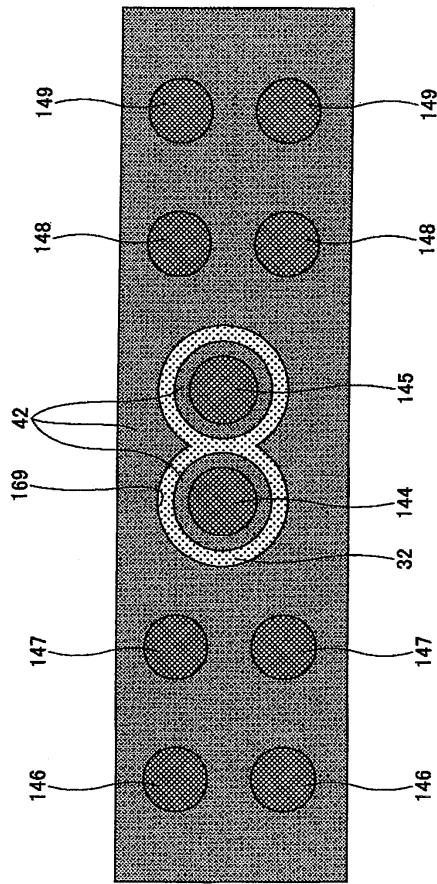
125



도면17



도면18



125