



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

209 315

(11) (B 1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 07 06 78
(21) PV 3715-78

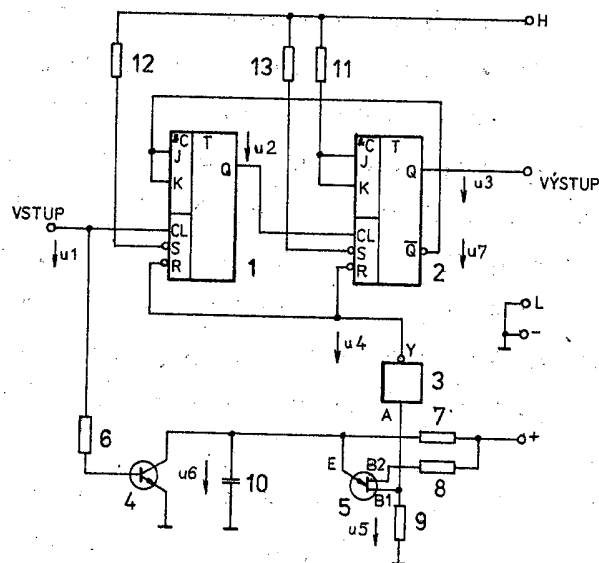
(51) Int. Cl.³
H 03 K 9/06

(40) Zveřejněno 27 02 81
(45) Vydáno 30 11 81

(75)
Autor vynálezu PROCHÁZKA ZDENĚK ing., PRAHA

(54) Detektor změny periody sledu impulzů

Detektor změny periody sledu impulzů. Účelem detektoru je vyhodnocování signalizace změnou periody signálu nebo kmitočtovým posuvem. Detektor má na vstup připojenou bázi tranzistoru 4, jehož přechod emitor-kolektor je připojen paralelně ke kondenzátoru 10, tvořícímu spolu s odporem 7 časový člen, určující dobu periody spínání dvoubázové diody 5. Ke vstupu je současně připojen hodinový vstup klopného obvodu 1, jehož výstup je připojen na hodinový vstup klopného obvodu 2. Výstup tohoto obvodu je výstupem detektoru. Nulovací vstupy obou klopných obvodů jsou připojeny přes invertor 3 na první bázi dvoubázové diody 5. Logický stav výstupu detektoru se mění podle toho je-li perioda vstupního signálu delší nebo kratší než je perioda spínání dvoubázové diody. Kromě uvedených znaků předmětu vynálezu existuje i varianta s nahrazením dvoubázové diody tranzistorem. Detektor je možno použít k vyhodnocování vysílání informací nebo povelů.



Vynález řeší zapojení detektoru změny periody sledu impulzů s výstupem ve dvoustavové logice TTL, rozlišující zda je doba periody vstupního sledu impulzů delší nebo kratší než určená doba.

Většina dosud používaných zapojení používá k rozlišení kmitočtového posuvu změnu amplitudy signálu pomocí selektivních obvodů. Tento způsob není dostatečně přesný a stabilní pro kmitočtové posuvy řádově jednotek Hz.

Uvedený nedostatek je odstraněn zapojením detektoru změny periody sledu impulzů s výstupem ve dvoustavové logice TTL podle vynálezu, jehož podstatou je, že ke vstupu je přes omezovací odpor připojena báze spínacího tranzistoru, připojeného svým přechodem kolektor-emiter paralelně ke kondenzátoru, který je připojen mezi emiter dvoubázové diody a nulovou sběrnici. Ke vstupu je rovněž připojen hodinový vstup prvního klopného obvodu, jehož výstup je připojen na hodinový vstup druhého klopného obvodu, jehož neogvaný výstup je připojen na paralelně spojené vstupy prvního klopného obvodu a jehož výstup je výstupem detektoru. Přitom je na paralelně spojené nulovací vstupy prvního i druhého klopného obvodu připojen výstup invertoru, jehož vstup je připojen na první bázi dvoubázové diody, připojené současně přes bázevý odpor na nulovou sběrnici. Druhá báze této dvoubázové diody je přitom spojena přes kompenzační odpor s kladnou svorkou, paralelně spojené vstupy druhého klopného obvodu jsou připojeny přes první pomocný odpor na svorku logické úrovně "1". Nastavovací vstupy prvního i druhého klopného obvodu jsou rovněž připojeny na svorku úrovně logické "1" přes druhý pomocný odpor, respektive třetí pomocný odpor a emitor dvoubázové diody je připojen na kladnou svorku přes nabíjecí odpor. Dvoubázovou diodu lze nahradit zapojením dvou komplementárních tranzistorů tak, že přechody báze-kolektor tranzistoru NPN a báze-emitor tranzistoru PNP jsou spojeny paralelně.

Tímto způsobem lze detekovat signalizaci kmitočtovým posuvem.

Provedení podle vynálezu je na přiloženém výkresu obr. 1 a časový diagram funkce je zřejmý z přiloženého výkresu obr.2.

Na vstup detektoru je připojen hodinový vstup CL prvního klopného obvodu 1 - typu J-K - spolu s omezovacím odporem 6, přes který je na vstup připojena báze spínacího tranzistoru 4. Přechod kolektor-emiter tohoto spínacího tranzistoru je připojen paralelně ke kondenzátoru 10. Tento kondenzátor je připojen přes nabíjecí odpor 7 na kladnou svorku +. Paralelně ke kondenzátoru 10 je připojen přechod emiter-báze B1 dvoubázové diody 2 v serii s bázevým odporem 9. Druhá báze B2 této diody 2 je připojena na kladnou svorku + přes kompenzační odpor 8. Výstup Q prvního klopného obvodu 1 je připojen na hodinový vstup CL druhého klopného obvodu 2. Neogvaný výstup Q druhého klopného obvodu 2 je připojen na paralelně spojené vstupy J, K prvního klopného obvodu 1. Výstup Q druhého klopného obvodu slouží jako výstup celého detektoru. Paralelně spojené vstupy J, K druhého klopného obvodu 2 jsou připojeny na svorku úrovně logické "1" přes první pomocný odpor 11. Nastavovací vstup S prvního klopného obvodu 1 je připojen na svorku úrovně logické "1" přes druhý pomocný odpor 12. Rovněž nastavovací vstup S druhého klopného obvodu 2 je připojen na svorku úrovně logické "1" přes třetí pomocný odpor 13. Nulovací vstupy R obou klopných obvodů

1 i 2 jsou spojeny paralelně a připojeny na výstup invertoru 3, jehož vstup je připojen na bázi B1 dvoubázové diody 5. Na nulovou sběrnici je připojena svorka záporná - a svorka úrovně logická "0".

Činnost detektoru je následující. Na vstup je přiváděn sled impulzů u1. Závěrná hrana impulzu způsobí překlopení výstupu Q prvního klopného obvodu 1 do stavu logické "1". Stav tohoto výstupu znázorňuje průběh u2. Vstupní impulzy se současně přivádí přes omezovací odpor 6 do báze spínacího tranzistoru 4, který sepne a vybijí kondenzátor 10 přes svůj přechod kolektor-emitor. Po vybití se kondenzátor 10 počíná znovu nabíjet z kladné svorky přes nabíjecí odpor 7. Stav napětí na kondenzátoru 10 znázorňuje průběh u6. Podle doby periody vstupního sledu impulzů nastávají dvě varianty činnosti obvodu.

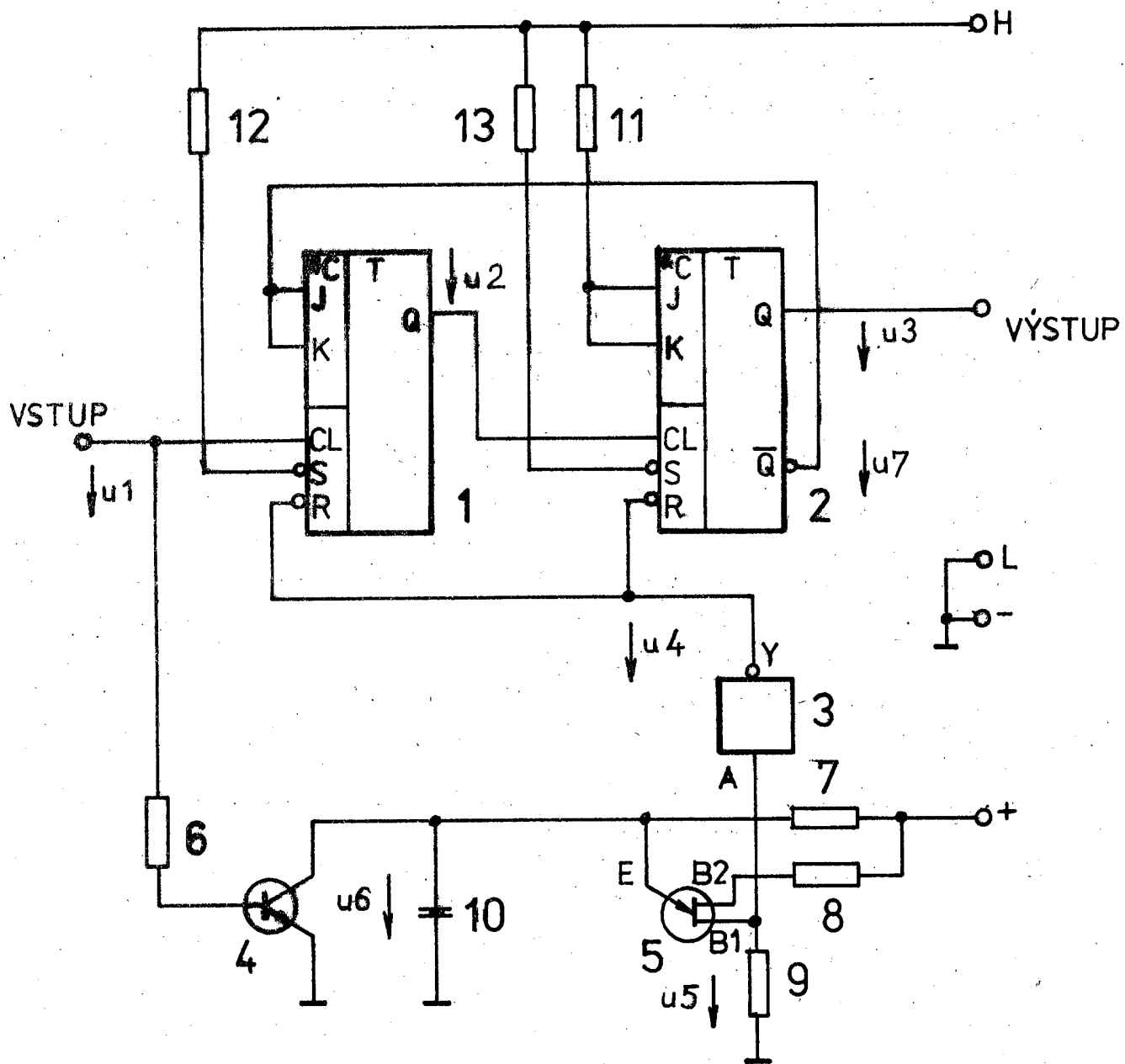
Je-li doba periody $T1$ kratší než je doba $T0$ potřebná k nabití kondenzátoru 10 na hodnotu potřebnou k sepnutí dvoubázové diody 5, je spínacím tranzistorem 4 kondenzátor 10 opakovaně vybíjen, dvoubázová dioda nespíná, vstup A invertoru 3 zůstává ve stavu logické "0" a jeho výstup Y ve stavu logické "1". Tento stav se přenáší na nulovací vstupy R obou klopných obvodů 1,2. V důsledku toho je funkce těchto klopných obvodů závislá na logických stavech vstupů J,K a na logickém stavu hodinového vstupu CL. Závěrná hrana následujícího vstupního impulzu způsobí opětné překlacení výstupu Q prvního klopného obvodu 1 do stavu logické "1" a současně i překlacení výstupu Q druhého klopného obvodu 2 do stavu logické "1" znázorněné průběhem u3. Protože se do vstupů J,K prvního klopného obvodu 1 přivádí z výstupu Q druhého klopného obvodu 2 stav logické "0" znázorněný průběhem u7, je další činnost obou klopných obvodů blokována. Výstup detektoru zůstává ve stavu logické "1". Tento stav indikuje, že doba periody vstupního sledu impulzů je kratší než doba potřebná k nabití kondenzátoru 10 na úroveň napětí, která způsobí sepnutí dvoubázové diody 5. Pokud mají všechny následující impulzy sledu rovněž kratší dobu periody nezmění se stav výstupu detektoru.

Příjde-li na vstup detektoru sled impulzů s periodou $T2$ delší než je zmíněná nabíjecí doba, sepne dvoubázová dioda 5 a na bazovém odporu 9 vznikne kladný napěťový impulz znázorněný na průběhu u5. Tento impulz je invertován pomocí invertoru 3 a přivádí se na nulovací vstupy R prvního a druhého klopného obvodu 1,2 jako stav logické "0" znázorněný průběhem u4. Tím se změní logický stav výstupu Q druhého klopného obvodu 2 na stav logické "0". Na výstupu detektoru je tak signalizováno predloužení periody vstupního sledu impulzů na dobu delší než je doba určená nabitím kondenzátoru 10 na hodnotu potřebnou pro sepnutí dvoubázové diody 5. Po příchodu závěrné hrany následujícího vstupního impulzu se změní logický stav výstupu Q prvního klopného obvodu 1 na stav logické "1" a je znovu měněn do stavu logické "0" při následujícím sepnutí dvoubázové diody 5. Výstup Q druhého klopného obvodu 2 zůstává ve stavu logické "0", protože druhý klopný obvod 2 je nulován při sepnutích dvoubázové diody 5. Tímto způsobem je převedena změna doby periody vstupního sledu impulzů na změnu logického stavu výstupu Q druhého klopného obvodu 2, který je současně výstupem detektoru. Kompenzační odpor 8 stabilizuje nastavenou spínací dobu dvoubázové diody 5 v širokých teplotních mezích.

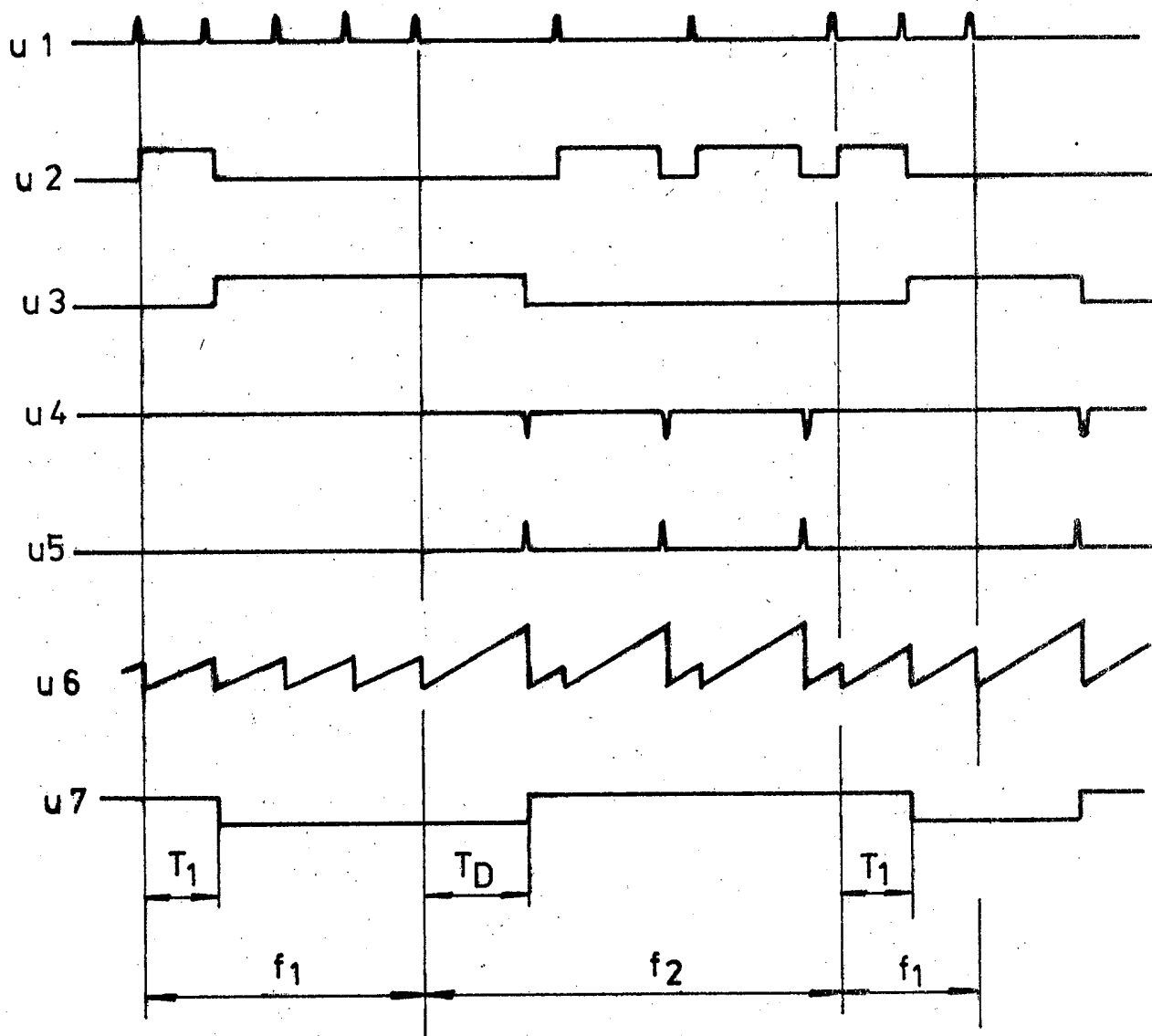
Popsaný detektor lze použít jako vahodnocovací jednotku pro signalizaci změnou periody signálu nebo na příklad jako demodulátor pro příjem vysílání značek kmitočtovým posuvem. Výhodou přitom je možnost použití posuvu řádu několika Hz vzhledem k vysoké citlivosti a stabilitě detektoru.

PŘEDMĚT VYNÁLEZU

1. Detektor změny periody sledu impulzů s výstupem ve dvoustavové logice TTL, rozlišující, zda je doba periody vstupního sledu impulzů delší nebo kratší než určená doba, vyznačený tím, že ke vstupu je přes omezovací odpor (6) připojena báze spínacího tranzistoru (4) připojeného svým přechodem kolektor-emitor paralelně ke kondenzátoru (10), který je připojen mezi emitor (E) dvoubázové diody (5) a nulovou sběrnici, a připojen hodinový vstup (CL) prvního klopného obvodu (1), jehož výstup (Q) je připojen na hodinový vstup (CL) druhého klopného obvodu (2), jehož negovaný výstup ($\bar{Q}$) je připojen na paralelně spojené vstupy (J,K) prvního klopného obvodu (1) a jehož výstup (Q) je výstupem detektoru, přičemž na paralelně spojené nulovací vstupy (R) prvního a druhého klopného obvodu (1,2) je připojen výstup invertoru (3), jehož vstup je připojen na první bázi (B1) dvoubázové diody (5), připojené současně přes bázevý odpor (9) na nulovou sběrnici, druhá báze (B2) dvoubázové diody (5) je přitom připojena přes kompenzační odpor (8) na kladnou svorku (+), paralelně spojené vstupy (J,K) druhého klopného obvodu (2) jsou připojeny přes první pomocný odpor (11) na svorku (H) úrovně logické "1", nastavovací vstupy (S) prvního a druhého klopného obvodu (1,2) jsou rovněž připojeny na svorku (H) úrovně logické "1" přes druhý pomocný odpor (12) respektive třetí pomocný odpor (13) a emitor dvoubázové diody (5) je připojen na kladnou svorku (+) přes nabíjecí odpor (7).
2. Detektor podle bodu 1 vyznačený tím, že dvoubázová dioda (5) je vytvořena zapojením dvou komplementárních tranzistorů, přičemž přechody báze-kolektor tranzistoru NPN a báze-emitor tranzistoru PNP jsou zapojeny paralelně.



Óbr. 1



Obr. 2