



(12) 发明专利

(10) 授权公告号 CN 101039108 B

(45) 授权公告日 2010.09.08

(21) 申请号 200610156668.0

CN 1200517 C, 2005.05.04, 全文.

(22) 申请日 2006.12.30

US 6867627 B1, 2005.03.15, 全文.

(30) 优先权数据

审查员 王可

067243/2006 2006.03.13 JP

(73) 专利权人 株式会社瑞萨科技

地址 日本东京都

(72) 发明人 川本高司

(74) 专利代理机构 北京市金杜律师事务所

11256

代理人 季向冈

(51) Int. Cl.

H03K 5/13 (2006.01)

H03K 5/14 (2006.01)

(56) 对比文件

US 6239634 B1, 2001.05.29, 说明书第 1 列第 5 段 - 第 7 段, 第 3 列第 9 段 - 第 4 列第 4 段、说明书附图 1-3, .

US 2003090296 A1, 2003.05.15, 说明书第 003-005 段, 0013-0023 段, 0040-0069 段、.

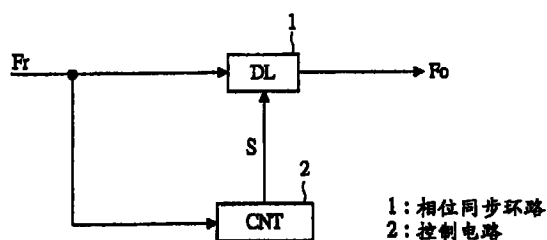
权利要求书 3 页 说明书 11 页 附图 18 页

(54) 发明名称

延迟同步电路及半导体集成电路器件

(57) 摘要

本发明提供一种在延迟同步电路中, 能够不会发生稳态相位误差地避免延迟同步环路的误动作的技术。在延迟同步电路中, 除了设有延迟同步环路 (1) 之外, 还设有控制电路 (2), 在延迟同步环路 (1) 的相位比较中, 从控制电路 (2) 对延迟同步环路 (1) 输出控制信号 (S), 以使基准信号 (Fr) 和输出信号 (Fo) 的相位比较的对应关系错开设定周期的量。



1. 一种延迟同步电路,其特征在于,包括:

相位比较器;以及

延迟线,根据上述相位比较器的输出来改变施加给基准信号的延迟时间,将延迟后的基准信号作为输出信号输出,并且将上述输出信号作为反馈信号施加给上述相位比较器,

对上述相位比较器输入上述基准信号、来自上述延迟线的上述反馈信号、控制上述相位比较器进行的上述基准信号和上述反馈信号的相位比较动作的开始时刻的控制信号,

输入到上述延迟线的上述基准信号的时序与输入到上述相位比较器的上述基准信号的时序大致相同。

2. 根据权利要求1所述的延迟同步电路,其特征在于:

上述控制电路是输入上述基准信号,输出上述控制信号的电路。

3. 根据权利要求2所述的延迟同步电路,其特征在于:

上述控制电路包括计数器,

由上述计数器对上述基准信号的边沿进行计数,在上述计数器的计数值达到设定值之前,作为上述控制信号输出上述相位比较器不进行动作的设定信号,在上述计数器的计数值达到了上述设定值之后,作为上述控制信号输出上述相位比较器进行动作的设定信号。

4. 根据权利要求2所述的延迟同步电路,其特征在于:

上述控制电路包括脉冲发生器,

当检测到上述基准信号的最初的上升沿时,由上述脉冲发生器生成脉冲,作为上述控制信号输出上述脉冲,

由上述脉冲使上述相位比较器的动作复位,其后作为上述控制信号输出上述相位比较器进行动作的设定信号。

5. 根据权利要求2所述的延迟同步电路,其特征在于:

上述控制电路还输入有上述反馈信号。

6. 一种延迟同步电路,其特征在于,包括:

延迟同步环路;以及

控制电路,输出对上述延迟同步环路的动作进行控制的控制信号,

上述延迟同步环路输入基准信号和上述控制信号,输出输出信号,

上述控制电路是输入上述基准信号,输出上述控制信号的电路。

7. 根据权利要求6所述的延迟同步电路,其特征在于:

上述控制电路包括计数器,

由上述计数器对上述基准信号的边沿进行计数,在上述计数器的计数值达到设定值之前,作为上述控制信号输出上述延迟同步环路不进行动作的设定信号,在上述计数器的计数值达到了上述设定值之后,作为上述控制信号输出上述延迟同步环路进行动作的设定信号。

8. 根据权利要求6所述的延迟同步电路,其特征在于:

上述控制电路包括脉冲发生器,

当检测到上述基准信号的最初的上升沿时,由上述脉冲发生器生成脉冲,作为上述控制信号输出上述脉冲,

由上述脉冲使上述延迟同步环路的动作复位,其后作为上述控制信号输出上述延迟同

步环路进行动作的设定信号。

9. 根据权利要求 6 所述的延迟同步电路,其特征在于:

上述控制电路还输入有上述输出信号。

10. 根据权利要求 6 所述的延迟同步电路,其特征在于:

上述延迟同步环路还输出反馈信号,上述反馈信号输入到上述控制电路。

11. 根据权利要求 9 所述的延迟同步电路,其特征在于:

上述控制电路包括异或逻辑电路和计数器,

上述异或逻辑电路输入上述基准信号和上述输出信号,上述异或逻辑电路的输出被输入到上述计数器,

由上述计数器对上述异或逻辑电路的输出进行计数,在上述计数器的计数值达到设定值之前,作为上述控制信号输出上述延迟同步环路不进行动作的设定信号,在上述计数器的计数值达到了上述设定值之后,作为上述控制信号输出上述延迟同步环路进行动作的设定信号。

12. 根据权利要求 10 所述的延迟同步电路,其特征在于:

上述控制电路包括异或逻辑电路和计数器,

上述异或逻辑电路输入上述基准信号和上述反馈信号,上述异或逻辑电路的输出被输入到上述计数器,

由上述计数器对上述异或逻辑电路的输出进行计数,在上述计数器的计数值达到设定值之前,作为上述控制信号输出上述延迟同步环路不进行动作的设定信号,在上述计数器的计数值达到了上述设定值之后,作为上述控制信号输出上述延迟同步环路进行动作的设定信号。

13. 根据权利要求 6 所述的延迟同步电路,其特征在于:

上述延迟同步环路还输入有等待信号,

上述控制电路还输入有上述等待信号。

14. 根据权利要求 13 所述的延迟同步电路,其特征在于:

上述控制电路包括微调寄存器和延迟电路,

上述微调寄存器将微调信号输出到上述延迟电路,

上述延迟电路输入上述等待信号和上述微调信号,输出上述控制信号,

上述延迟电路将由上述微调信号使上述等待信号延迟了预定时间的信号作为上述控制信号输出。

15. 根据权利要求 6 所述的延迟同步电路,其特征在于:

上述延迟同步环路包括相位比较器,

上述基准信号、上述输出信号、以及上述控制信号输入到上述相位比较器,

上述相位比较器根据上述控制信号比较上述基准信号和上述输出信号的相位。

16. 一种半导体集成电路器件,其特征在于,包括:

延迟同步电路和逻辑电路,

上述延迟同步电路具有延迟同步环路、和输出对上述延迟同步环路的动作进行控制的控制信号的控制电路,

上述逻辑电路输入上述延迟同步电路的输出信号,

上述延迟同步环路输入基准信号和上述控制信号,输出输出信号,
上述控制电路是输入上述基准信号,输出上述控制信号的电路。

17. 根据权利要求 16 所述的半导体集成电路器件,其特征在于:
上述控制电路包括计数器,

由上述计数器对上述基准信号的边沿进行计数,在上述计数器的计数值达到设定值之前,作为上述控制信号输出上述延迟同步环路不进行动作的设定信号,在上述计数器的计数值达到了上述设定值之后,作为上述控制信号输出上述延迟同步环路进行动作的设定信号。

18. 根据权利要求 16 所述的半导体集成电路器件,其特征在于:
上述控制电路包括脉冲发生器,

当检测到上述基准信号的最初的上升沿时,由上述脉冲发生器生成脉冲,作为上述控制信号输出上述脉冲,

由上述脉冲使上述延迟同步环路的动作复位,其后作为上述控制信号输出上述延迟同步环路进行动作的设定信号。

19. 根据权利要求 16 所述的半导体集成电路器件,其特征在于:
上述控制电路还输入有上述输出信号。

20. 根据权利要求 16 所述的半导体集成电路器件,其特征在于:
上述延迟同步环路还输出反馈信号,上述反馈信号输入到上述控制电路。

延迟同步电路及半导体集成电路器件

技术领域

[0001] 本发明涉及延迟同步电路及使用该延迟同步电路的半导体集成电路器件,尤其涉及避免延迟同步电路的误动作的技术。

背景技术

[0002] 作为本发明人所研究的技术,例如在延迟同步电路中,可考虑以下的技术。

[0003] 一般在半导体集成电路器件中,为了使作为基准信号的振荡器的输出信号和处理数据的逻辑电路的动作时钟同步,安装有延迟同步电路(DLL)。另外,近年来,随着半导体集成电路器件的高速化,在上述延迟同步电路(DLL)中使用非专利文献1所记载的能够输出输入信号频率的倍增时钟的边沿合成器型(edge combiner)DLL,以使逻辑电路的动作时钟高速化。

[0004] 众所周知,为了使该DLL完成所希望的动作而在DLL环路内采取措施。例如,专利文献1~4中公开了避免DLL误动作的技术。

[0005] 在专利文献1中公开了这样的技术:在基准时钟与相位比较器的输入之间设置控制电路,由该控制电路对基准时钟的1时钟的量作时间标志(例如参照专利文献1的图3等)。

[0006] 在专利文献2中公开了这样的技术:在基准时钟与相位比较器的输入之间设置比较器启动信号发生器,由该比较器启动信号发生器控制基准时钟的输入(例如参照专利文献2的图3等)。

[0007] 在专利文献3中公开了这样的技术:在反馈信号与相位比较器的输入之间设置虚设的缓冲存储器,来调整与基准时钟输入的延迟时间的差(例如参照专利文献3的图63等)。

[0008] 专利文献1:日本特开2005-311543号公报

[0009] 专利文献2:日本特开2005-251370号公报

[0010] 专利文献3:日本特开2001-056723号公报

[0011] 专利文献4:日本特开2002-64371号公报

[0012] 非专利文献1:George Chien及其他,“A 900-MHz LocalOscillator using a DLL-based Frequency Multiplier Technique for PCSApplication”,国际固态电子电路会议(ISSCC),2000年,p.105

发明内容

[0013] 然而,关于上述延迟同步电路的技术,本发明人所研究的结果明确如下。

[0014] 图20和图21表示作为本发明的前提而研究的延迟同步环路的结构例。在图20和图21所示的延迟同步环路1中,输出信号(Fo)必须是基准信号(Fr)的1周期的延迟量。为此,必须使相位频率比较器(PFD)11中的基准信号(Fr)和输出信号(Fo)的相位比较的对应关系错开1周期的量。

[0015] 图 22 表示延迟同步环路 1 的时序图。在延迟同步环路 1 中,基准信号 (Fr) 的第 2 时钟的上升沿 (b) 和输出信号 (Fo) 的第 1 时钟的上升沿 (c) 必须为相位比较的对应关系。但是,若基准信号 (Fr) 的第 1 时钟的上升沿 (a) 和输出信号 (Fo) 的第 1 时钟的上升沿 (c) 为相位比较的对应关系时,本来必须是 Dn 信号的脉冲宽度大于 Up 信号的脉冲宽度,却由于输出信号 (Fo) 提前而导致 Up 信号的脉冲宽度变大,由此引起了误动作。

[0016] 为了避免该误动作,采取图 20(第 1 结构例)及图 21(第 2 结构例)所示的对策。

[0017] 图 20 所示的第 1 结构例的延迟同步环路 1,由相位频率比较器 (PFD) 11、供给泵 (CP) 12、环路滤波器 (LF) 13、电压控制延迟线 (VCDL) 14、以及控制电路 (CNT) 2 构成。

[0018] 通过夹设在基准信号 (Fr) 与相位频率比较器 11 之间的控制电路 2,对输入信号 (Fr) 的第 1 时钟的脉冲作时间标志而生成校正后的基准信号 (Fr'),对校正后的基准信号 (Fr') 与输出信号 (Fo) 进行相位比较,由此避免延迟同步环路的误动作。

[0019] 在图 23 表示图 20 所示的第 1 结构例的动作例。由控制电路 2 将输入信号 (Fr) 转换成校正后的基准信号 (Fr')。通过相位频率比较器 11 比较校正后的基准信号 (Fr') 和输出信号 (Fo),使基准信号 (Fr) 的第 2 时钟的上升沿 (b) 与输出信号 (Fo) 的第 1 时钟的上升沿 (c) 成为相位比较的对应关系。

[0020] 然而,在基准信号 (Fr) 和校正后的基准信号 (Fr') 之间加上了在控制电路 2 产生的延迟。该控制电路 2 的延迟对延迟同步环路来说成为稳态相位误差,有不能生成所希望的频率等的不能进行正确的时钟动作的问题。

[0021] 图 21 所示的第 2 结构例的延迟同步环路 1,由相位频率比较器 (PFD) 11、供给泵 (CP) 12、环路滤波器 (LF) 13、电压控制延迟线 (VCDL) 14、控制电路 (CNT) 2、以及控制电路 (CNT) 3 构成。并且,在基准信号 (Fr) 与相位频率比较器 11 之间夹设控制电路 (CNT) 2,在输出信号 (Fo) 与相位频率比较器 11 之间夹设控制电路 (CNT) 3。

[0022] 图 24 表示图 21 所示的第 2 结构例的动作例。在第 2 结构例中,为了避免在第 1 结构例中成为问题的由基准信号 (Fr) 和校正后的基准信号 (Fr') 之间的延迟而引起的稳态相位误差,增加了控制电路 (CNT) 3。并且,采取了如下对策:使在输出信号 (Fo) 和校正后的输出信号 (Fo') 之间产生与控制电路基准信号 (Fr) 和校正后的基准信号 (Fr') 之间的延迟相等时间的延迟。

[0023] 但是,在控制电路 (CNT) 2 中,在基准信号 (Fr) 和校正后的基准信号 (Fr') 之间对基准信号 (Fr) 的最初的 1 时钟作时间标志,从第 2 时钟起进行动作,输出基准信号 (Fr)。另一方面,控制电路 (CNT) 3 进行动作,将延迟了某固定时间的输出信号 (Fo) 的信号作为校正后的输出信号 (Fo') 进行输出。

[0024] 因此,控制电路 (CNT) 2 和控制电路 (CNT) 3 进行不同的动作,所以电路结构不同。其结果,控制电路 (CNT) 2 和控制电路 (CNT) 3 的延迟时间不完全一致,控制电路 (CNT) 2 和控制电路 (CNT) 3 的延迟时间的差看作为延迟同步环路 1 的稳态相位误差。

[0025] 因此,本发明的目的在于提供一种能够在延迟同步电路中,不发生稳态相位误差地避免延迟同步环路的误动作的技术。

[0026] 本发明的上述的及其他的目的和新特征,将根据本说明书的记述及附图而得以明确。

[0027] 如下简单地说明本申请所公开的发明之中代表性方案的概要。

[0028] 即,本发明的延迟同步电路及半导体集成电路器件,除包括延迟同步环路之外,还包括控制电路,在延迟同步环路的相位比较中,从上述控制电路对上述延迟同步环路输出控制信号,以使基准信号(Fr)和输出信号(Fo)的相位比较的对应关系错开设定周期的量。

[0029] 具体而言,本发明的延迟同步环路,包括相位比较器和延迟线,该延迟线根据上述相位比较器的输出而改变施加在基准信号上的延迟时间,将延迟后的基准信号作为输出信号输出,并且将上述输出信号作为反馈信号而施加到上述相位比较器,对上述相位比较器输入上述基准信号、来自上述延迟线的上述反馈信号、控制上述相位比较器进行的上述基准信号和上述反馈信号的相位比较动作的开始时刻的控制信号,输入到上述延迟线的上述基准信号的时序与输入到上述相位比较器的上述基准信号的时序大致相同。

[0030] 根据本发明,能够避免延迟同步环路的误动作。

附图说明

[0031] 图1是表示本发明实施方式1的延迟同步电路的结构例的框图。

[0032] 图2是表示在图1的延迟同步电路中使用的控制电路的第1结构例的框图。

[0033] 图3是表示使用了图2的控制电路的第1结构例的延迟同步电路的动作的时序图。

[0034] 图4是表示在图1的延迟同步电路中使用的控制电路的第2结构例的框图。

[0035] 图5是表示使用了图4的控制电路的第2结构例的延迟同步电路的动作的时序图。

[0036] 图6是表示在图4的控制电路的第2结构例中使用的脉冲发生器的结构例的框图。

[0037] 图7是表示本发明实施方式2的延迟同步电路的结构例的框图。

[0038] 图8是表示本发明实施方式3的延迟同步电路的结构例的框图。

[0039] 图9是表示在图7、图8的延迟同步电路中使用的控制电路的结构例的框图。

[0040] 图10是表示使用了图9的控制电路的延迟同步电路的动作的时序图。

[0041] 图11是表示本发明实施方式4的延迟同步电路的结构例的框图。

[0042] 图12是表示在图11的延迟同步电路中使用的控制电路的结构例的框图。

[0043] 图13是表示使用了图12的控制电路的延迟同步电路的动作的时序图。

[0044] 图14是表示在图12的延迟同步电路中使用的控制电路的结构例的框图。

[0045] 图15是表示在图1、图7、图11记载的延迟同步电路中使用的延迟同步环路的第1结构例的框图。

[0046] 图16是表示在图1、图7、图11记载的延迟同步电路中使用的延迟同步环路的第2结构例的框图。

[0047] 图17是表示在图1、图7、图11记载的延迟同步电路中使用的延迟同步环路的第3结构例的框图。

[0048] 图18是表示在图15、图16、图17记载的延迟同步环路中使用的相位频率比较器的第1结构例的框图。

[0049] 图19是表示在图15、图16、图17记载的延迟同步环路中使用的相位频率比较器的第2结构例的框图。

- [0050] 图 20 是表示作为本发明的前提而研究的延迟同步环路的第 1 结构例的框图。
- [0051] 图 21 是表示作为本发明的前提而研究的延迟同步环路的第 2 结构例的框图。
- [0052] 图 22 是用于说明延迟同步环路的谐波时钟 (harmony clock) 的时序图。
- [0053] 图 23 是表示作为本发明的前提而研究的延迟同步环路的第 1 结构例的动作的时序图。
- [0054] 图 24 是表示作为本发明的前提而研究的延迟同步环路的第 2 结构例的动作的时序图。
- [0055] 图 25 是表示本发明实施方式 5 的半导体集成电路器件的结构框图。
- [0056] 图 26 是表示作为图 25 记载的半导体集成电路器件的应用例的 USB 无线电收发机的结构例的框图。
- [0057] 图 27 是表示作为图 25 记载的半导体集成电路器件的应用例的 DVD 驱动器用 LSI 的结构例的框图。
- [0058] 图 28 是表示图 6 的脉冲发生器的动作的时序图。

具体实施方式

[0059] 以下,根据附图详细说明本发明的实施方式。在用于说明实施方式的所有附图中,原则上对相同部件标注相同的附图标记,省略其反复说明。

[0060] (实施方式 1)

[0061] 图 1 表示本发明实施方式 1 的延迟同步电路的结构。

[0062] 实施方式 1 的延迟同步电路,至少具有相位比较器 11 和延迟线 14,该延迟线 14 根据相位比较器 11 的输出而改变施加到基准信号上的延迟时间,将延迟后的基准信号作为输出信号输出,并且将该输出信号作为反馈信号施加到相位比较器 11。相位比较器 11 中输入基准信号 (Fr)、来自延迟线 14 的反馈信号、控制相位比较器 11 进行基准信号 (Fr) 和反馈信号的相位比较动作的开始时刻的控制信号 (S)。另外,输入到延迟线 14 的基准信号 (Fr) 的时序和输入到相位比较器 11 的基准信号 (Fr) 的时序大致相同。

[0063] 更优选的是,延迟同步电路例如由具有相位比较器 11 和延迟线 14 的延迟同步环路 (DL) 1 和控制电路 (CNT) 2 等构成。

[0064] 延迟同步环路 (DL) 1 输入基准信号 (Fr) 和控制信号 (S),输出输出信号 (Fo)。控制电路 (CNT) 2 输入基准信号 (Fr),输出控制信号 (S)。

[0065] 图 15 表示图 1 所示的延迟同步环路 (DL) 1 的结构例。

[0066] 该延迟同步环路 (DL) 1 由相位频率比较器 (PFD) 11、供给泵 (CP) 12、环路滤波器 (LF) 13、以及电压控制延迟线 (VCDL) 14 等构成。

[0067] 相位频率比较器 11 输入基准信号 (Fr)、输出信号 (Fo)、以及控制信号 (S),由控制信号 (S) 控制动作,比较基准信号 (Fr) 和输出信号 (Fo) 的相位和频率,将该比较信号输出到供给泵 12。供给泵 12 将与比较信号对应的脉冲信号输出到环路滤波器 13。环路滤波器 13 将脉冲信号转换为模拟信号,输出到电压控制延迟线 14。电压控制延迟线 14 输入来自环路滤波器 13 的模拟信号和基准信号 (Fr),输出使基准信号延迟了由模拟信号控制的延迟时间的信号作为输出信号 (Fo)。

[0068] 延迟同步环路 1 将比基准信号 (Fr) 延迟了 1 时钟的信号作为输出信号 (Fo) 输

出。为此,在时钟初始的状态下,相位频率比较器 11 必须对基准信号 (Fr) 的第 2 时钟和输出信号 (Fo) 的第 1 时钟的相位进行比较。为了实现该动作,在本实施方式 1 中,控制信号 (S) 输入到相位频率比较器 11。

[0069] 另外,后述的图 17 所示的边沿合成延迟同步环路也是可适用于本实施方式 1 的延迟同步环路。关于边沿合成延迟同步环路的动作的详细情况,在后述的实施方式 3 中说明。

[0070] 图 18 表示图 15 所示的相位频率比较器 11 的第 1 结构例。关于相位频率比较器的相位比较动作,请参照上述专利文献 4(日本特开 2002-64371 号公报)。图 18 所示的相位频率比较器 11 能够用控制信号 (S) 关断基准信号 (Fr)。

[0071] 图 3 表示图 15 的延迟同步环路 1 和图 18 的相位频率比较器 11 的动作时序图。

[0072] 假设基准信号 (Fr) 为图 3 所示的波形。此时,输出信号 (Fo) 为图 3 所示的波形。此时,相位频率比较器 11 必须对基准信号的第 2 时钟的上升沿和输出信号的第 1 时钟的上升沿进行相位比较。为此,在相位频率比较器 11,根据控制信号 (S) 对基准信号 (Fr) 的第 1 时钟的上升沿作时间标志而生成校正后的基准信号 (Fr'),根据校正后的基准信号 (Fr') 和输出信号 (Fo) 进行相位比较,由此实现对基准信号的第 2 时钟的上升沿和输出信号的第 1 时钟的上升沿进行相位比较的动作。在图 18 中,通过对 NAND 门 111 输入基准信号 (Fr) 和控制信号 (S),实现上述动作。在图 18,控制信号 (S) 为低电平时,校正后的输出信号 (Fr') 与基准信号 (Fr) 的状态无关地输出低电平,该校正后的输出信号 (Fr') 为 NAND 门 111 输出信号的反转信号。另一方面,控制信号 (S) 为高电平时,校正后的输出信号 (Fr') 输出与基准信号 (Fr) 同相的信号,校正后的输出信号 (Fr') 为 NAND 门 111 输出信号的反转信号。在图 18 中为了反转 NAND 门 111 的输出信号而插入有反相器 11d,但反相器 11d 未必是必须的。由于校正后的基准信号 (Fr') 是加上了 NAND 门 111 和反相器 11d 的延迟,所以需要在输出信号 (Fo) 也加上相同的延迟来避免稳态相位误差。为此,存在 NAND 门 112 和反相器 11e。

[0073] 接着,根据图 2 说明生成控制信号 (S) 的控制电路 2。图 2 表示图 1 所示的控制电路 (CNT) 2 的第 1 结构例。

[0074] 该控制电路 (CNT) 2 具有计数器 (COUNT) 23,输入基准信号 (Fr),按预先设定的计数值对基准信号 (Fr) 进行计数,在达到预定的计数值之前,控制信号 (S) 输出低电平,当达到了预定的计数值时,控制信号 (S) 输出高电平。图 3 所示的顺序例是控制电路 2 对基准信号 (Fr) 计数 1 次并改变控制信号 (S) 的极性时的动作例。计数器 23 设定为初始状态输出低电平作为控制信号 (S),检测基准信号 (Fr) 的下降沿并对计数值进行计数,在计数值达到 1 之前,控制信号 (S) 输出低电平,当计数值成为 1 后,控制信号 (S) 输出高电平。控制信号 (S) 一旦进入输出高电平的动作,计数器 23 就保持相同状态。另外,预先设定的计数值不限于 1,也可以是 2 以上。

[0075] 除了具有延迟同步环路 1 的环路之外,还具有进行上述动作的控制电路 2,从而能够不产生稳态相位误差地避免延迟同步环路的谐波时钟。

[0076] 图 19 表示图 15 所示的相位频率比较器 (PFD) 11 的第 2 结构例。关于相位频率比较器的动作的详细情况,请参照上述专利文献 4(日本特开 2002-64371 号公报)。

[0077] 图 19 的相位频率比较器是对基准信号 (Fr) 和输出信号 (Fo) 的上升沿进行相位比较,将比较结果作为 Up、Dn 输出的电路,是能够由控制信号 (S) 对相位比较动作进行复位

的相位频率比较器。

[0078] 图 4 表示图 1 所示的控制电路 (CNT) 2 的第 2 结构例。图 4 所示的控制电路 2 具有脉冲发生器 (SHOT) 24, 输入基准信号 (Fr), 当检测到基准信号 (Fr) 的最初的上升沿时, 将脉冲信号作为控制信号 (S) 输出, 其后进行保持恒定值的动作。

[0079] 图 6 表示图 4 所示的脉冲发生器 (SHOT) 24 的结构例。图 6 所示的脉冲发生器 (SHOT) 24 由待机时序电路 (SEQ) 247、NOR 门 241、243、NAND 门 244、D 触发器 (DFF) 245、反相器 242、246 等构成。图 6 的脉冲发生器 24 在从待机时序电路 247 输出的等待信号 (ST) 为低电平时进行动作, 在等待信号 (ST) 为高电平时不进行动作。

[0080] 图 28 表示图 6 所示的脉冲发生器 (SHOT) 24 的动作时序图。在图 6 的脉冲发生器 (SHOT) 24 中, 等待信号 (ST) 为高电平时, NOR 门 241 的输出信号 (CLKB) 为低电平, D 触发器 (DFF) 245 的输出信号 (Q) 为低电平, 反转输出信号 (QB) 为高电平。为此, NAND 门 244 的输出信号 (D) 为低电平, NOR 门 243 的输出信号 (SB) 为高电平, 控制信号 (S) 为低电平。

[0081] 接着, 使等待信号 (ST) 从高电平跃迁为低电平。此时, 如图 28 所示, 例如使基准信号 (Fr) 为低电平时, NOR 门 241 的输出信号 (CLKB) 为高电平, 反相器 246 的输出信号 (CLK) 为低电平。根据这些信号的跃迁, NOR 门 243 的输出信号 (SB) 从高电平跃迁为低电平, NAND 244 的输出信号 (D) 从低电平跃迁为高电平, 控制信号 (S) 从低电平跃迁为高电平。

[0082] 接着, 基准信号 (Fr) 从低电平跃迁为高电平。此时, 信号 (CLKB) 从高电平跃迁为低电平。由于信号 (Q) 保持低电平不变, 所以信号 (SB) 从低电平跃迁为高电平, 控制信号 (S) 从高电平跃迁为低电平。另外, 信号 (QB) 保持高电平不变, 所以信号 (D) 从高电平跃迁为低电平。

[0083] 另一方面, 信号 (CLK) 从低电平跃迁为高电平。D 触发器 (DFF) 245 进行动作, 以保持信号 (CLK) 从低电平跃迁为高电平时的信号 (D) 的状态。信号 (CLK) 从低电平跃迁为高电平时, 信号 (D) 还保持高电平不变。这是由于反相器 246 的延迟时间比 NOR 门 243 和 NAND 门 244 的合计的延迟时间短。此时, 信号 (Q) 输出高电平, 信号 (QB) 输出低电平。但是, D 触发器 (DFF) 245 的电路延迟大于其他的电路延迟, 信号 (Q) 从低电平到高电平的跃迁时间及信号 (QB) 从高电平到低电平的跃迁时间比信号 (CLK) 从低电平到高电平的跃迁时间延迟了 D 触发器 (DFF) 245 的延迟时间的量。此时, 在 NOR 门 243, 由于信号 (CLKB) 跃迁为低电平的时间与信号 (Q) 从低电平跃迁为高电平的时间错开, 所以信号 (SB) 生成将信号 (CLKB) 从高电平跃迁为低电平的跃迁时间与信号 (Q) 从低电平跃迁为高电平的跃迁时间的差作为脉冲宽度的脉冲信号。为此, 控制信号 (S) 输出脉冲信号。另一方面, 信号 (D) 也生成脉冲信号。

[0084] 接着, 当基准信号 (Fr) 从高电平跃迁为低电平时, 信号 (CLKB) 从低电平跃迁为高电平, 信号 (CLK) 从高电平跃迁为低电平, 由于信号 (Q) 为高电平, 所以信号 (SB) 保持低电平不变, 信号 (S) 保持高电平不变。并且, 由于信号 (QB) 为低电平, 所以信号 (D) 保持高电平不变。另外, 由于 D 触发器 (DFF) 245 在信号 (CLK) 的下降沿输出信号没有变化, 因此信号 (Q)、信号 (QB) 都不保持不变, 即信号 (Q) 保持高电平、信号 (QB) 保持低电平。

[0085] 接着, 当基准信号 (Fr) 从低电平跃迁为高电平时, 信号 (CLKB) 从高电平跃迁为低电平, 信号 (CLK) 从低电平跃迁为高电平, 由于信号 (Q) 为高电平, 所以信号 (SB) 保持低电平不变, 信号 (S) 保持高电平不变。并且, 由于信号 (QB) 为低电平, 所以信号 (D) 保持高电

平不变。另外,由于D触发器(DFF)245在信号(CLK)的上升沿输出信号保持信号(D),因此信号(Q)、信号(QB)都不保持不变,即信号(Q)保持高电平、信号(QB)保持低电平。

[0086] 为此,以后即使基准信号(Fr)跃迁,控制信号(S)也持续输出高电平。图6记载的脉冲发生器24检测到基准信号(Fr)的最初的上升沿,输出一次短脉冲,其后生成持续保持高水平的控制信号(S)。

[0087] 图5表示图6所述的电路的动作。等待信号(ST)为低电平时,以图5所示波形将基准信号(Fr)输入到脉冲发生器24。此时,脉冲发生器24初始状态使控制信号(S)为高电平。当检测到基准信号(Fr)的最初的上升沿时输出脉冲,其后,进行动作将控制信号(S)保持在高电平状态。

[0088] 此时,图19所示的第2结构例的相位频率比较器11进行图5所示的动作。即,作为比较对象的信号,将基准信号(Fr)和输出信号(Fo)输入到相位频率比较器11。此时,基准信号(Fr)的第1时钟的上升沿和输出信号(Fo)的第1时钟的上升沿成为相位比较对象,通过输入控制信号(S),当控制信号(S)输出脉冲后,相位频率比较器11的相位比较动作被复位一次。此时,对接收了控制信号(S)的脉冲之后的基准信号(Fr)和输出信号(Fo)的最初的上升沿进行相位比较。

[0089] 进而,在图1所示的延迟同步环路(DL)1中,在初始状态,输出信号(Fo)的第1时钟的上升沿一定在比基准信号(Fr)的上升沿迟的时刻输出,因此若在图5所示的时刻输出控制信号(S),则相位比较动作一定被复位,进行对基准信号(Fr)的第2时钟和输出信号(Fo)的第1时钟的相位比较的动作。

[0090] 除了具有延迟同步环路(DL)1的环路之外,还具有进行上述动作的控制电路(CNT)2,由此能够不产生稳态相位误差地避免延迟同步环路的谐波时钟。

[0091] 图16表示图1所示的延迟同步环路1的第2结构例。与图15所示的第1结构例的不同之处在于具有预充电器15(PC)。预充电器15输入控制信号(S),将信号输出到环路滤波器13。由预充电器15对环路滤波器13进行预充电,由此可提高在延迟同步环路1的动作初始状态下的环路滤波器13的输出信号电平,缩短加锁时间。以下说明将图3所示的控制信号(S)输入到图16所示的第2结构例的延迟同步环路时的动作。

[0092] 控制信号(S)为低电平时,预充电器15对环路滤波器13持续充电。此时,环路滤波器13的输出信号电平变高,如果控制信号(S)为低电平的时间足够长,则环路滤波器13的输出信号电平就上升到电源电压。当控制信号(S)从低电平变为高电平时,预充电器15不进行电荷充电。

[0093] 通过进行这样的动作,图16所示的第2结构例的延迟同步环路可缩短加锁时间。

[0094] (实施方式2)

[0095] 图7表示本发明实施方式2的延迟同步电路的结构。

[0096] 本实施方式2的延迟同步电路例如由延迟同步环路(DL)1、和控制电路(CNT)2等构成。

[0097] 延迟同步环路(DL)1输入基准信号(Fr)和控制信号(S),输出输出信号(Fo)。控制电路2输入基准信号(Fr)和输出信号(Fo),输出控制信号(S)。

[0098] 图7所示的延迟同步环路1能够应用在上述实施例1说明的图15、图16、图17所述的延迟同步环路。在将图17所述的边沿合成延迟同步环路应用到本实施方式的情况下,

通过将反馈信号 (Fb) 输出到控制电路 2 来实现应用。

[0099] 图 9 表示图 7 所示的控制电路 2 的一个结构例。

[0100] 图 9 所示的控制电路 2 具有异或逻辑电路 (EXOR) 2a 和计数器 (COUNT) 23, 异或逻辑电路 (EXOR) 2a 输入基准信号 (Fr) 和输出信号 (Fo), 将异或逻辑信号 (EXO) 输出到计数器 23, 计数器 23 按预先设定的计数值对异或逻辑信号 (EXO) 的下降沿进行计数, 在达到预定的计数值之前, 控制信号 (S) 输出低电平, 当到达了预定的计数值时, 控制信号 (S) 输出高电平。

[0101] 图 10 表示将图 9 所示的控制电路 2 应用到图 7 所示延迟同步电路的动作例。图 10 所示的动作例是控制电路 2 对异或逻辑信号 (EXO) 的下降沿进行 3 次计数改变控制信号 (S) 的极性时的动作例。

[0102] 取基准信号 (Fr) 和输出信号 (Fo) 为如图 10 所示的波形。当该两信号输入到异或逻辑电路 (EXOR) 2a 时, 输出图 10 所示的异或逻辑信号 (EXO)。

[0103] 计数器 23 被设定为初始状态作为控制信号 (S) 输出低电平, 检测异或逻辑信号 (EXO) 的下降沿并对计数值进行计数, 在计数值成为 3 之前, 作为控制信号 (S) 输出低电平, 当计数值成为 3 时作为控制信号 (S) 输出高电平。控制信号 (S) 一旦进入输出高电平的动作, 计数器 23 就保持相同状态。

[0104] 除了具有延迟同步环路 1 的环路之外, 还具有进行上述动作的控制电路 2, 由此能够不产生稳态相位误差地避免延迟同步环路的谐波时钟。

[0105] (实施方式 3)

[0106] 图 8 表示本发明实施方式 3 的延迟同步电路的结构例。本实施方式 3 是上述实施方式 2 的变形例。

[0107] 本实施方式 3 的延迟同步电路例如由延迟同步环路 (DL) 1 和控制电路 (CNT) 2 等构成。

[0108] 延迟同步环路 (DL) 1 输入基准信号 (Fr) 和控制信号 (S), 输出反馈信号 (Fb) 和输出信号 (Fo)。控制电路 2 输入基准信号 (Fr) 和反馈信号 (Fb), 输出控制信号 (S)。

[0109] 图 17 表示图 8 所示的延迟同步环路 1 的结构例。

[0110] 图 17 所示的延迟同步环路 1 由相位频率比较器 (PFD) 11、供给泵 (CP) 12、环路滤波器 (LF) 13、电压控制延迟线 (VCDL) 14、预充电器 (PC) 15、和边沿合成器 (EC) 16 构成。

[0111] 相位频率比较器 11 输入基准信号 (Fr)、反馈信号 (Fb)、和控制信号 (S), 将基准信号 (Fr) 和反馈信号 (Fb) 的比较信号输出到供给泵 12。供给泵 12 将与比较信号相对应的脉冲信号输出到环路滤波器 13。环路滤波器 13 将脉冲信号转换为模拟信号, 输出到电压控制延迟线 14。电压控制延迟线 14 输入基准信号和模拟信号, 输出使基准信号的相位延迟了由模拟信号控制的延迟时间的各相位的信号。

[0112] 图 17 输出了 4 种相位的信号。将相对基准信号相位最延迟的信号作为反馈信号 (Fb) 输入到相位频率比较器 11。另一方面, 电压控制延迟线 14 的各相位的输出信号输入到边沿合成器 16 (EC)。边沿合成器将相位不同的各信号加起来生成具有基准信号 (Fr) 的常数倍频率的输出信号 (Fo)。

[0113] 图 8 所示的控制电路 2 可应用上述图 9 所示的控制电路。本实施方式 3 的详细动作与上述实施方式 1 和实施方式 2 相同, 因此省略。

[0114] 根据本实施方式 3,能够取得与上述实施方式 1 和实施方式 2 相同的效果。

[0115] (实施方式 4)

[0116] 图 11 表示本发明实施方式 4 的延迟同步电路的结构。

[0117] 本实施方式 4 的延迟同步电路例如由延迟同步环路 (DL) 1 和控制电路 (CNT) 2 等构成。

[0118] 延迟同步环路 (DL) 1 输入基准信号 (Fr)、控制信号 (S)、和等待信号 (ST),输出输出信号 (Fo)。控制电路 2 输入基准信号 (Fr)、反馈信号 (Fb)、和等待信号 (ST),输出控制信号 (S)。

[0119] 等待信号 (ST) 是规定延迟同步环路 1 的动作状态的信号,例如在等待信号 (ST) 为高电平时延迟同步环路 1 进行通常动作,在等待信号 (ST) 为低电平时延迟同步环路 1 进行等待动作。

[0120] 图 12 表示图 11 所示的控制电路 2 的结构例。另外,图 14 表示图 12 所示的延迟电路 21 的结构。

[0121] 图 12 所示的控制电路 2 具有延迟电路 (DELAY) 21 和微调部 (TRIM) 22,输入有等待信号 (ST) 和微调信号 (T) 的延迟电路 21,作为控制信号 (S) 输出使等待信号 (ST) 延迟了由微调信号 (T) 设定的延迟时间的信号。

[0122] 图 13 表示使用了图 12 所示的控制电路 2 的、图 11 所示的延迟同步电路的动作例。

[0123] 等待信号 (ST) 为低电平时,基准信号 (Fr) 不为时钟信号,而为恒定信号。当等待信号 (ST) 为高电平时,基准信号 (Fr) 为时钟信号而输入到延迟同步环路 1。另外,等待信号 (ST) 也被输入到控制电路 2,在控制电路中延迟等待信号 (ST) 的上升沿,使延迟等待信号 (ST) 的上升沿在基准信号 (Fr) 的最初的下降沿与第 2 上升沿之间到来,作为控制信号 (S) 输出到延迟同步环路。该延迟时间由微调信号 (T) 控制。输入了控制信号 (S) 的延迟同步环路 1 能够如图 13 所示地进行正常动作。

[0124] (实施方式 5)

[0125] 本发明实施方式 5 的半导体集成电路器件,是将上述实施方式 1 ~ 4 的延迟同步电路应用到半导体集成电路器件而得到的。

[0126] 图 25 表示本发明实施方式 5 的半导体集成电路器件 (LSI) 的结构。

[0127] 本实施方式 5 的半导体集成电路器件 (LSI) 6 例如由逻辑电路 (LOGC) 61 和延迟同步电路 (DLL) 10 等构成。

[0128] 从外装于半导体集成电路器件 6 的振荡器 5 将基准信号 (Fr) 输入到延迟同步电路 10。延迟同步电路 10 是上述实施方式 1 ~ 4 所述的延迟同步电路,生成与基准信号 (Fr) 同步的输出信号 (Fo),输出到逻辑电路 61。逻辑电路 61 是进行数据运算处理的电路,以由延迟同步电路 10 生成的输出信号 (Fo) 为动作时钟进行动作。

[0129] 当使用作为本发明的前提而研究的图 20、图 21 所述的延迟同步电路时,在延迟同步电路发生的稳态相位误差对输入信号 (Fo) 而言成为抖动 (jitter),使逻辑电路 61 的动作范围变窄。

[0130] 另外,随着近年来半导体集成电路器件的高速化而使确定逻辑电路 61 的动作速度的延迟同步电路的输出信号 (Fo) 高速化,在该延迟同步电路发生的稳态相位误差也成为引起逻辑电路 61 的动作不良的原因。

[0131] 并且,在该延迟同步电路使用边沿合成式延迟同步电路生成具有基准信号 (Fr) 的倍增频率的输出信号 (Fo) 而使逻辑电路 61 高速动作的半导体集成电路器件中,由于该延迟同步电路的稳态相位误差的原因,有可能发生输出信号 (Fo) 不是所希望的频率,逻辑电路 61 不能动作的问题。

[0132] 因此,如图 25 所示,通过使用上述实施方式 1~4 的延迟同步电路 10,就能够不发生稳态相位误差地生成输出信号 (Fo),由此能够不发生逻辑电路 61 的动作不良地使半导体集成电路器件 6 正常动作。

[0133] 接着,作为本实施方式 5 的半导体集成电路器件的应用例,说明将上述实施方式 1~4 的延迟同步电路应用到信号收发装置和片上系统 (system onchip) 的例子。

[0134] 图 26 表示使用了上述实施方式 1~4 的延迟同步电路的 USB 无线电收发机的结构。

[0135] 本实施方式 5 的半导体集成电路器件 (LSI) 6 例如是 USB 无线电收发机的物理层 (PHY),由逻辑电路 (LOGIC) 61 和延迟同步电路 (DLL) 10 等构成,该逻辑电路 (LOGIC) 61 由模拟前端 (AFE) 31、编码器 (ENC) 32、串并行转换器 (DES) 33、时钟数据恢复 (CDR) 34、35、多路复用器 (MUX) 36、解码器 (DEC) 37、并串行转换器 (SER) 38 等构成,从链接层 (LINK) 4 输出的发送信号 (TX) 由该串并行转换器 33 从并行信号转换成串行信号,由编码器 32 进行信号处理,通过模拟前端 31 从 USB 电缆输出。输出时,根据 USB 无线电收发机的模式选择高速模式 (HS)、全速模式 (FS) 这两系统的路径。另一方面,若是在高速模式下 (HS),从 USB 电缆接收到的信号通过模拟前端 31 将数据输出到时钟数据恢复 34,若是在全速模式下 (FS),将数据输出到时钟数据恢复 35。各时钟数据恢复 34、35 以延迟同步电路 (DLL) 10 的输出信号作为时钟信号接收,使数据和时钟信号同步,并将信号输出到多路复用器 36,其中,该延迟同步电路 (DLL) 10 接收来自振荡器 5 的输出信号 (Fr) 而生成信号。多路复用器 36 对解码器 37 输出所选择的信号,解码器 37 进行信号处理,对并串行转换器 38 输出信号。并串行转换器 38 将串行数据转换成并行数据输出到链接层 4。

[0136] 在该半导体集成电路器件 (USB 物理层) 6 中,生成时钟数据恢复的时钟的延迟同步电路优选为上述实施方式 1~4 所述的延迟同步电路。

[0137] 图 27 表示使用了上述实施方式 1~4 的延迟同步电路的 DVD 驱动器用 LSI 的结构。

[0138] 本实施方式 5 的半导体集成电路器件 (LSI) 6 例如为 DVD 驱动器用 LSI,具有记录再现部的逻辑电路 (LOGIC) 61 和收发部 (ATAPI) 62,从主机 (HOST) 9 输出的发送信号 (TX) 通过信号收发部 62 输入到逻辑电路 61 内的逻辑电路 611。由逻辑电路 611 将进行了信号处理的发送信号通过拾取器 (Pick-up) 8 写入介质 7。在此,逻辑电路 611 以延迟同步电路 10 生成的时钟为动作时钟进行动作。该延迟同步电路 10 进行动作,输入振荡器 5 的输出信号 (Fr) 而生成所希望的信号,优选为上述实施方式 1~4 所述的延迟同步电路。

[0139] 以上,根据该实施方式具体地说明了本发明人所作出的发明,无需赘言,本发明不限于上述实施方式,在不脱离其主旨的范围内可以进行各种变更。

[0140] 根据上述各实施方式,可达到如下效果:(1) 能够避免延迟同步环路的误动作;(2) 能够在相同时刻将基准信号 (Fr) 输入到相位比较器和延迟线;(3) 能够不发生稳态相位误差地得到所希望的输出信号。

[0141] 本发明的上述各实施方式有效适用于半导体装置、电子设备等。

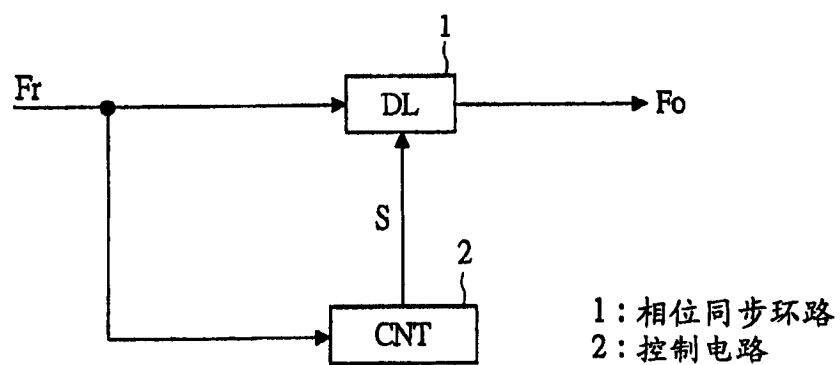


图 1

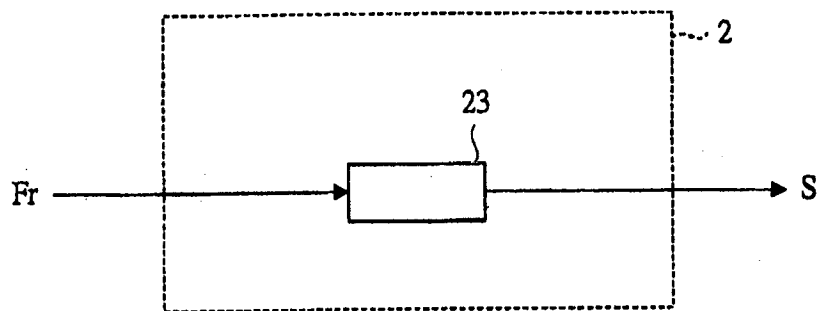


图 2

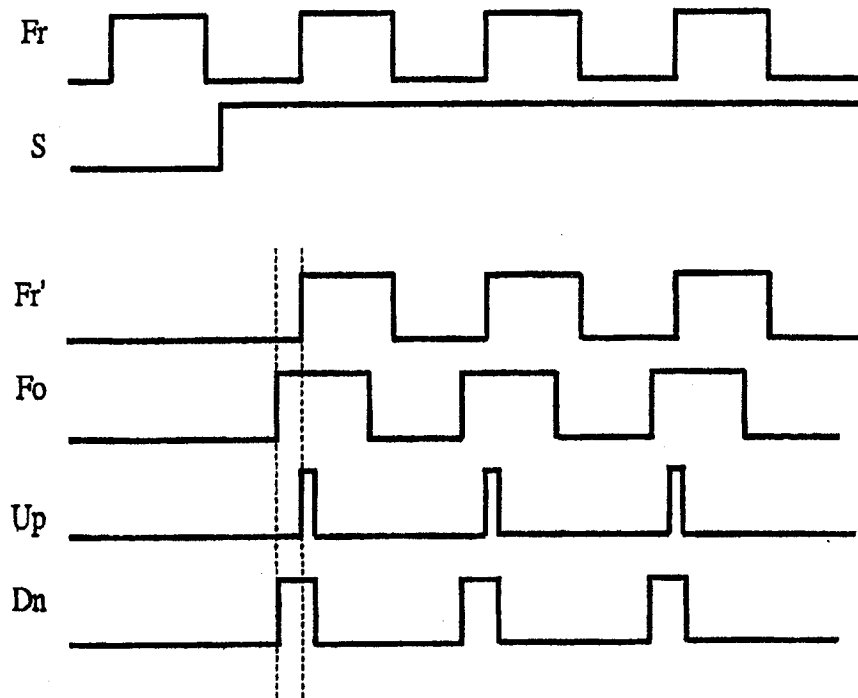


图 3

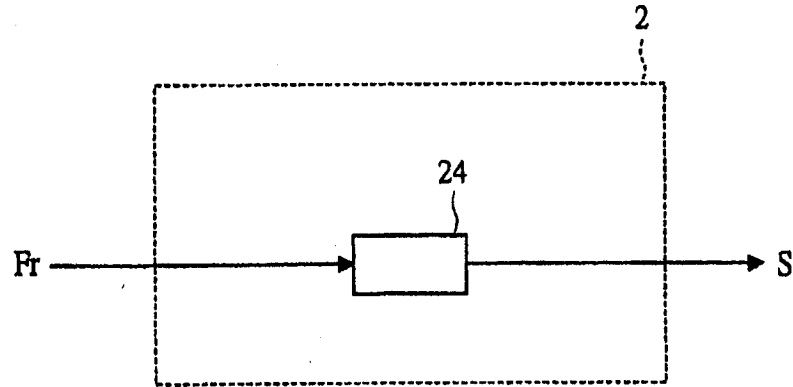


图 4

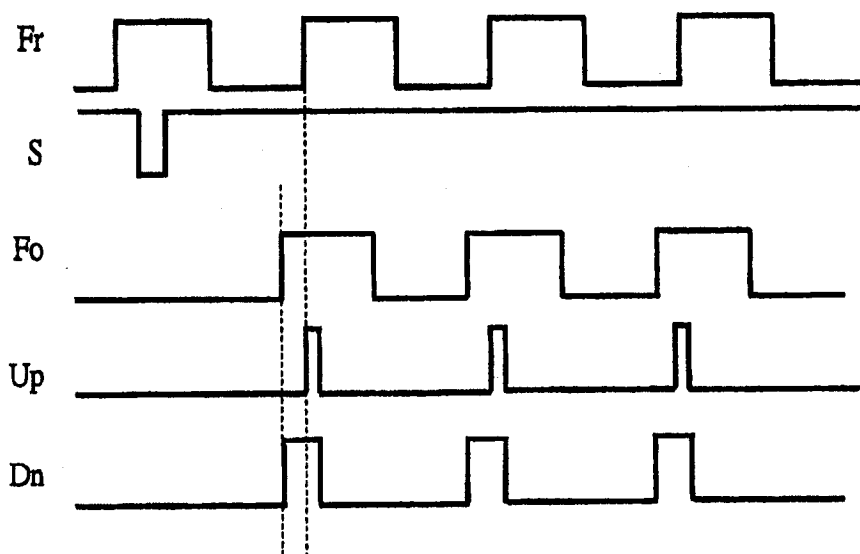


图 5

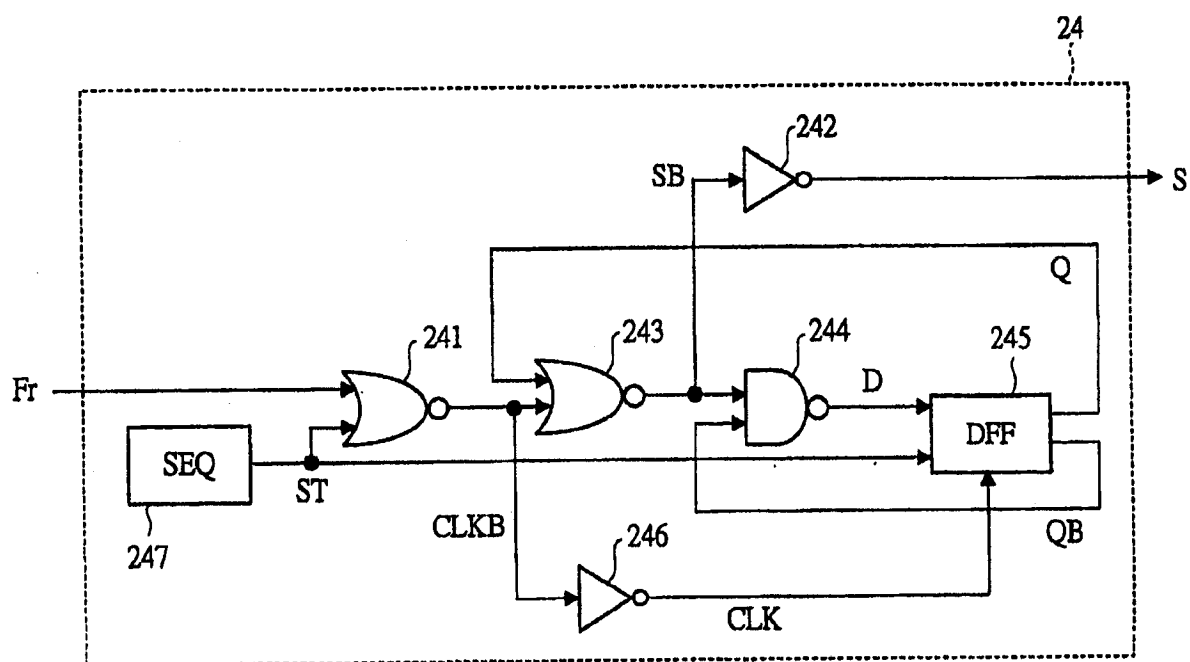


图 6

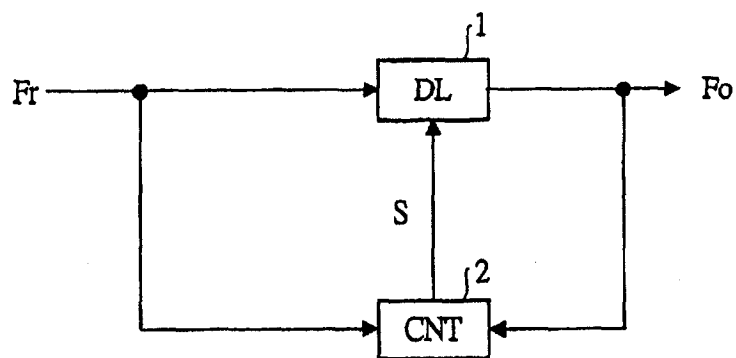


图 7

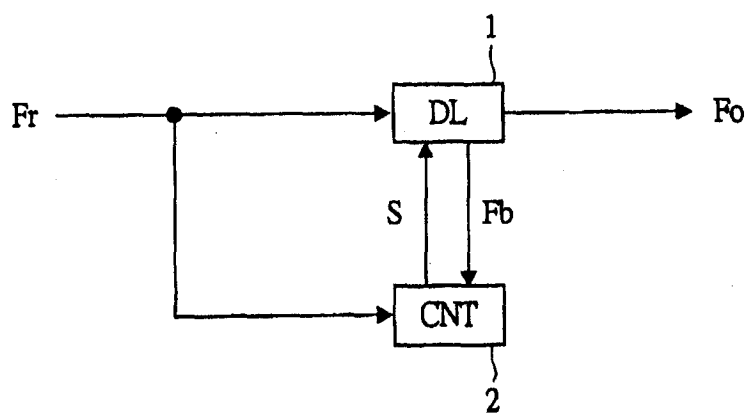


图 8

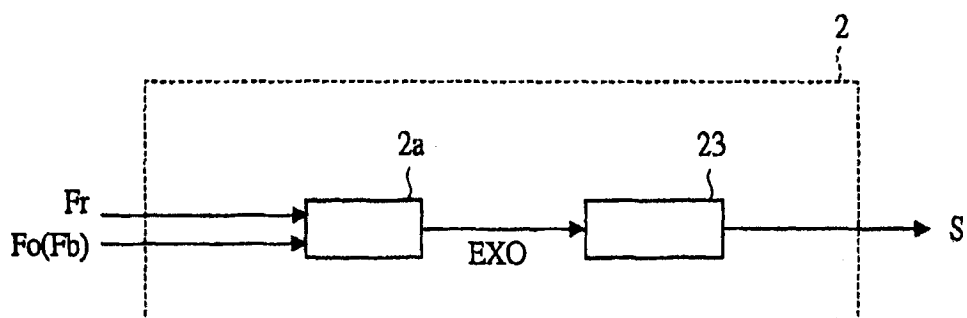


图 9

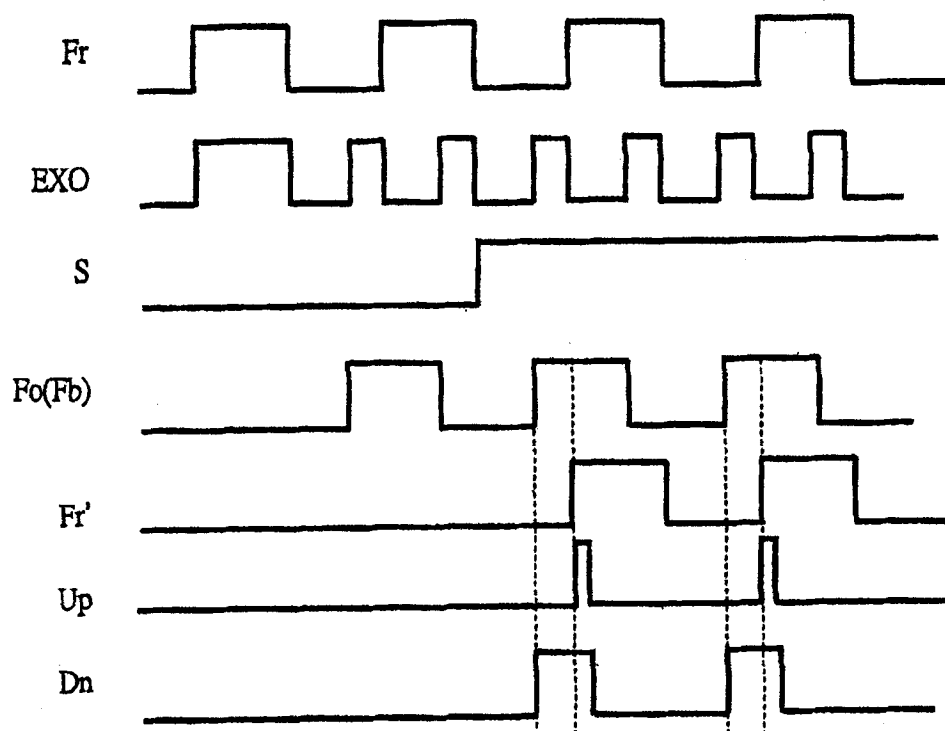


图 10

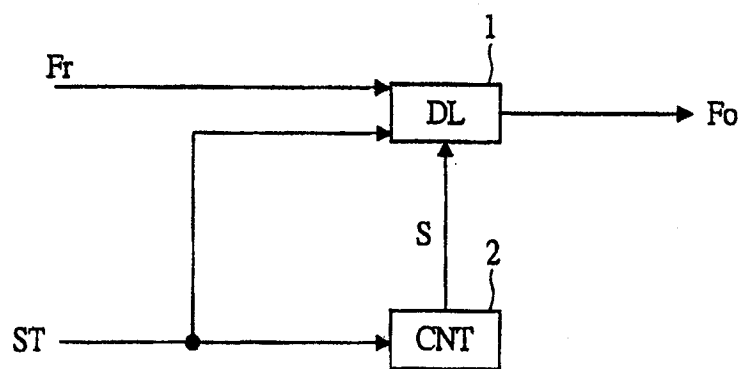


图 11

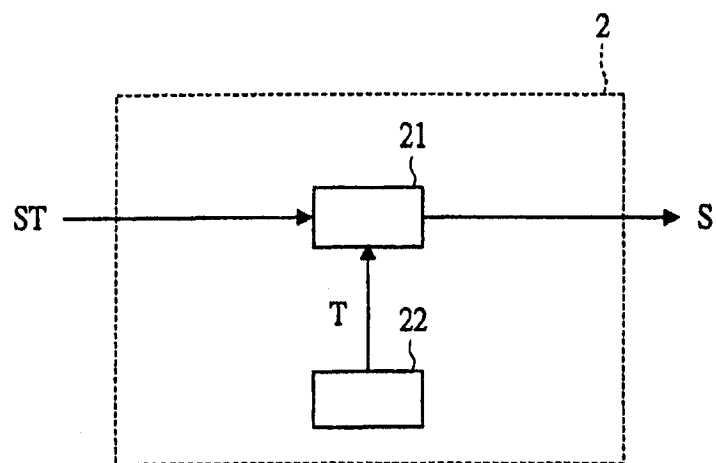


图 12

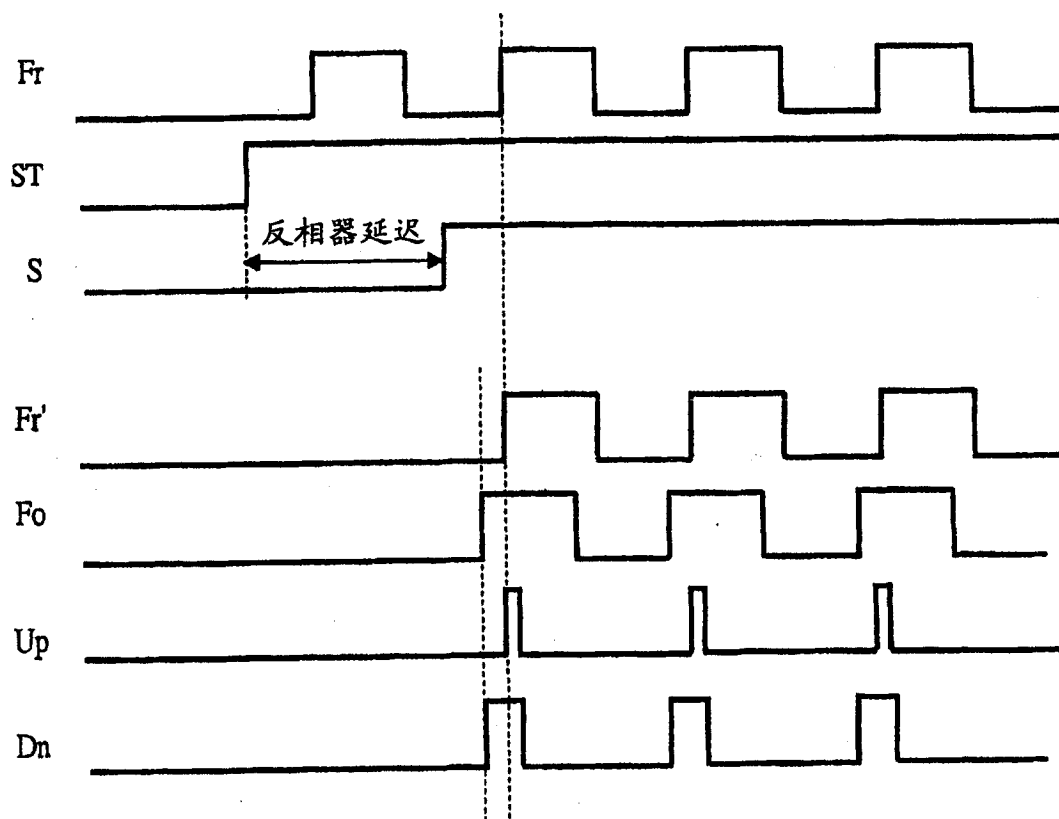


图 13

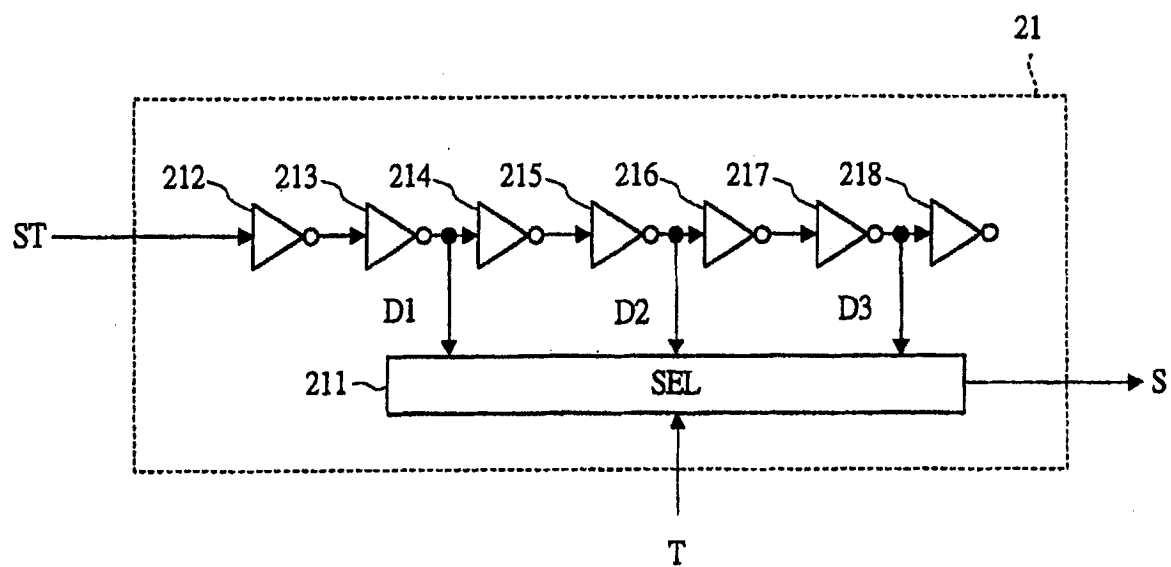


图 14

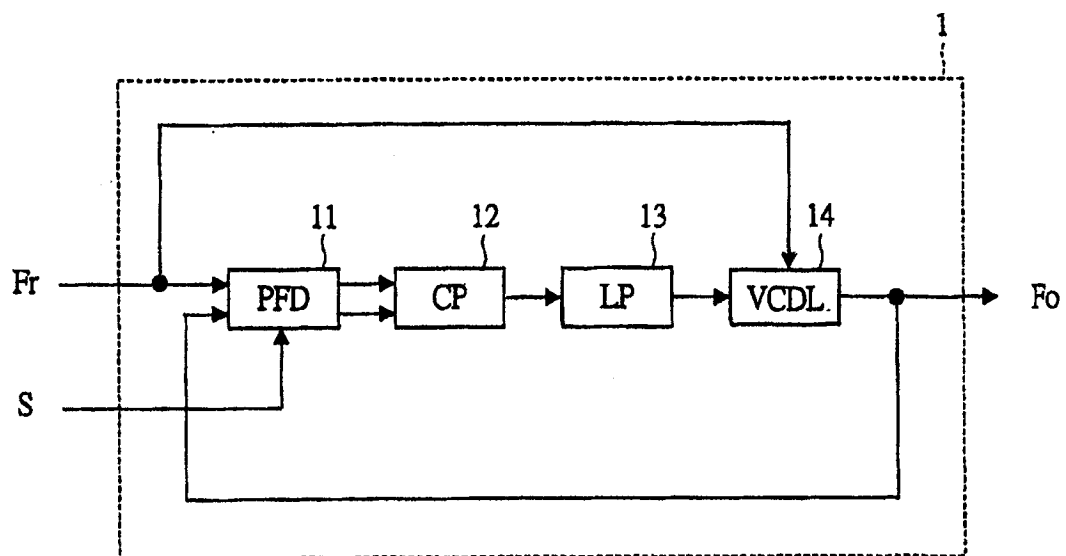


图 15

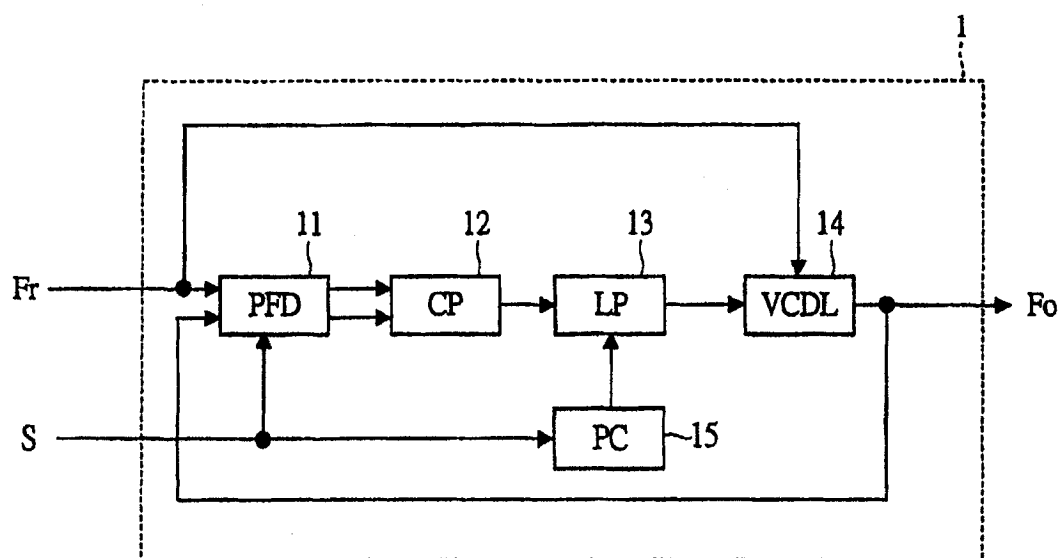


图 16

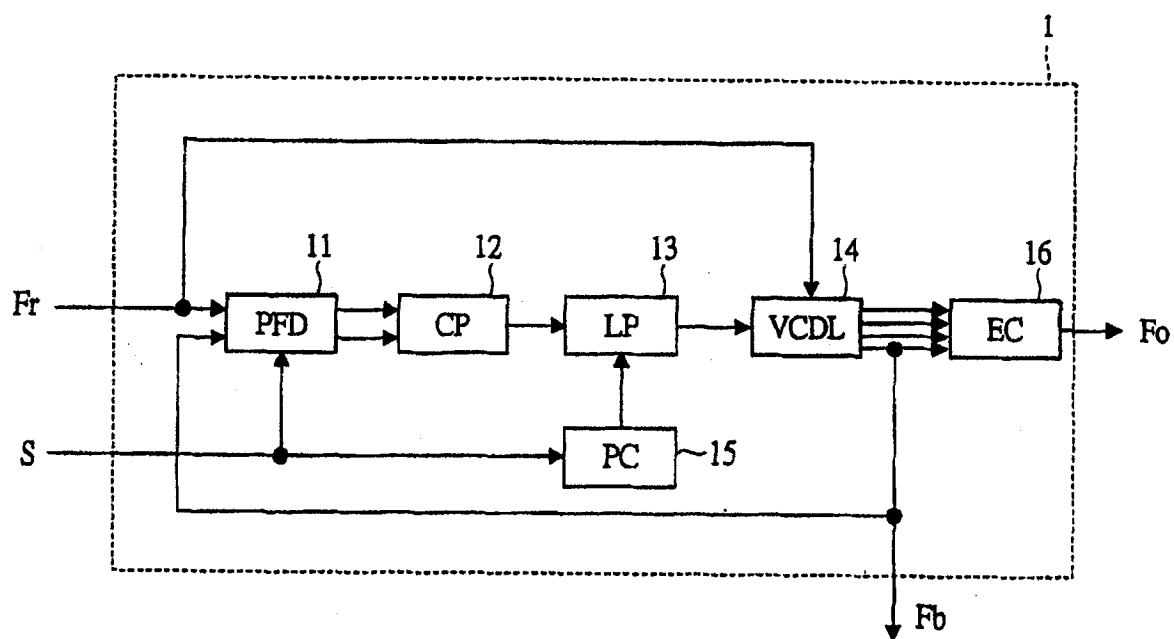


图 17

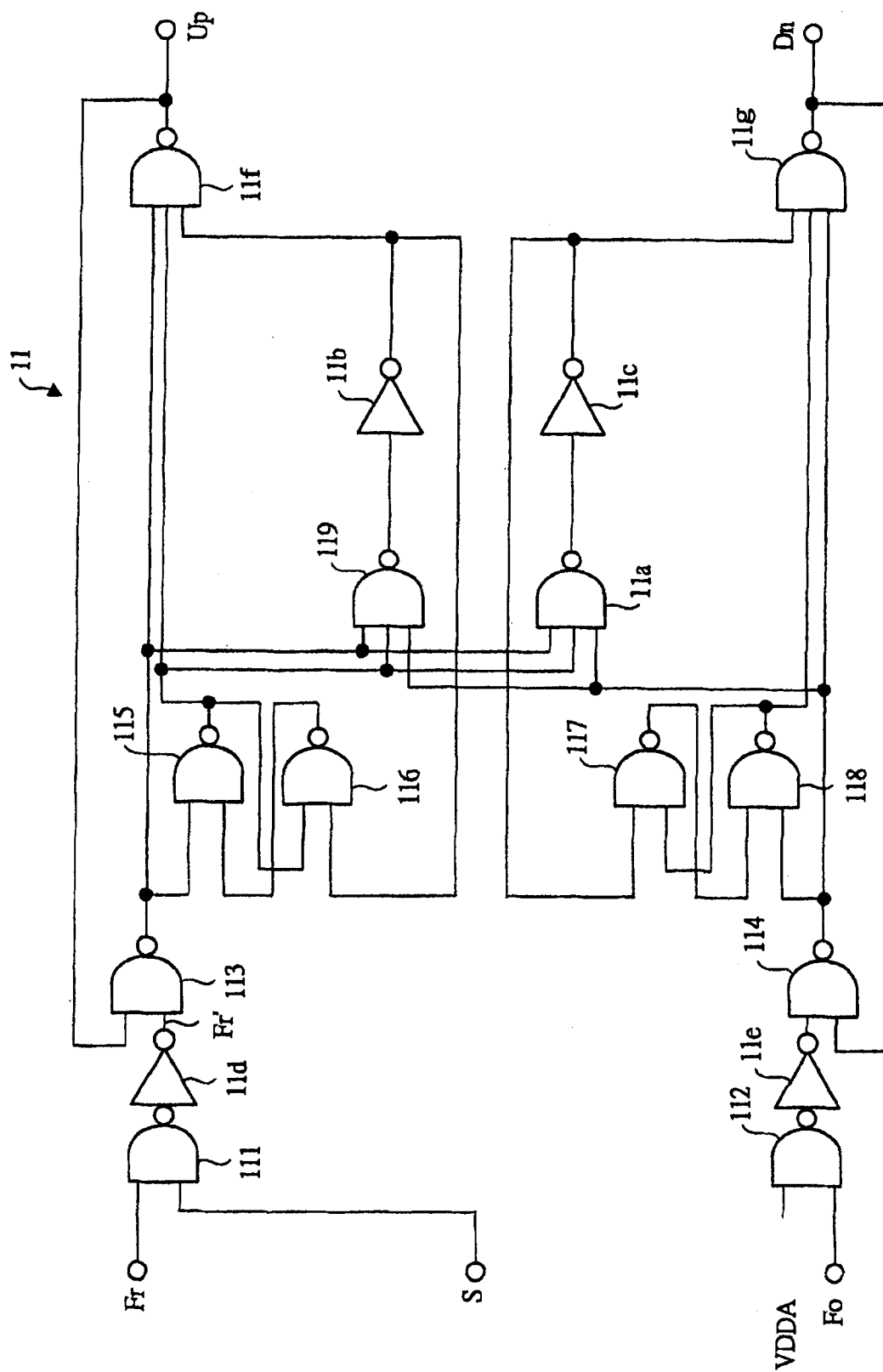


图 18

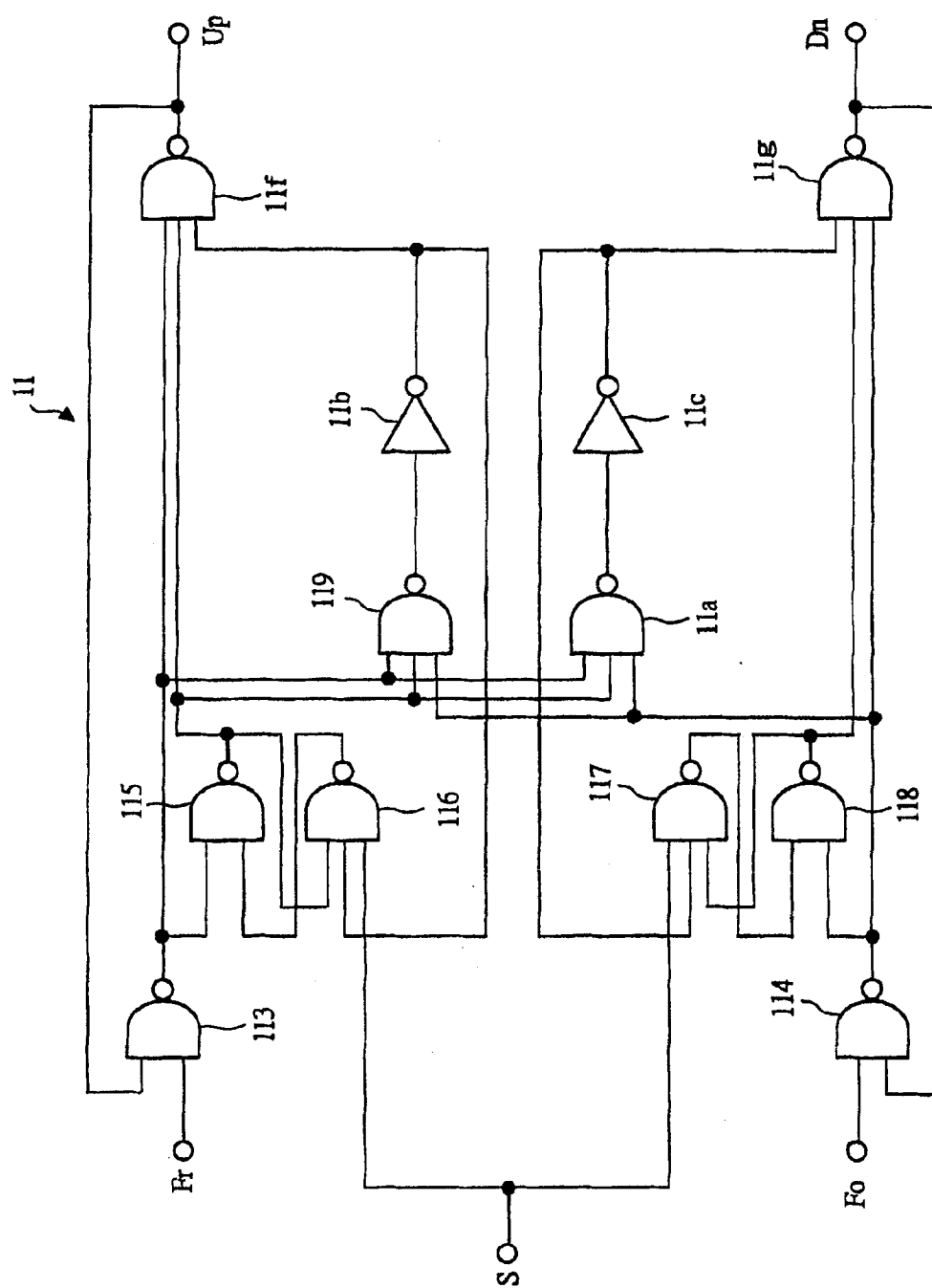


图 19

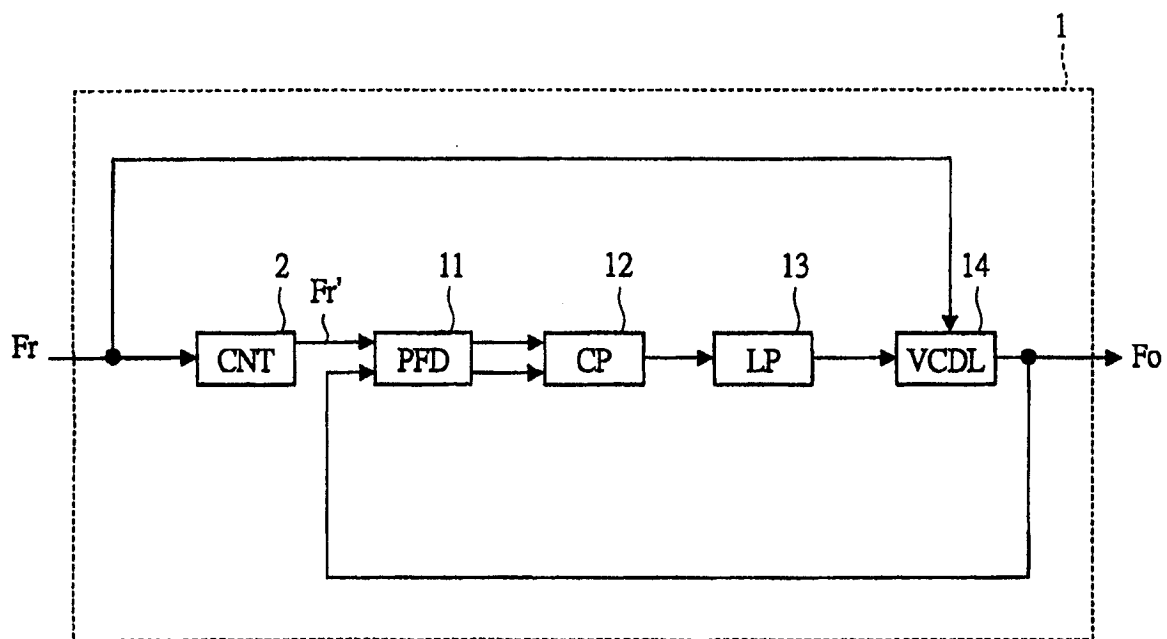


图 20

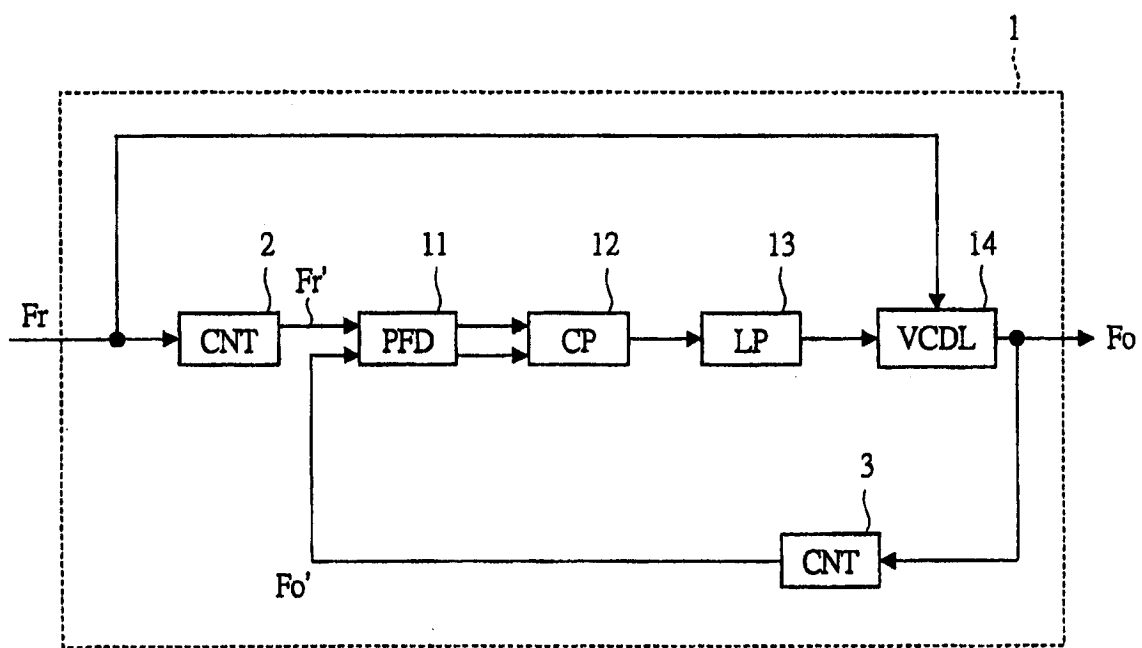


图 21

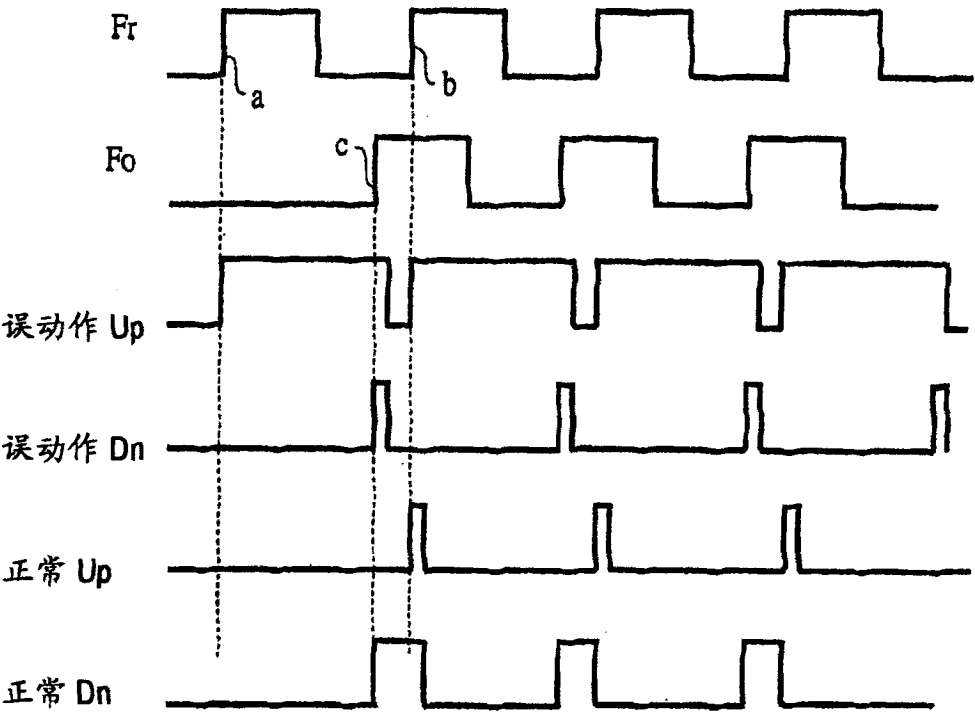


图 22

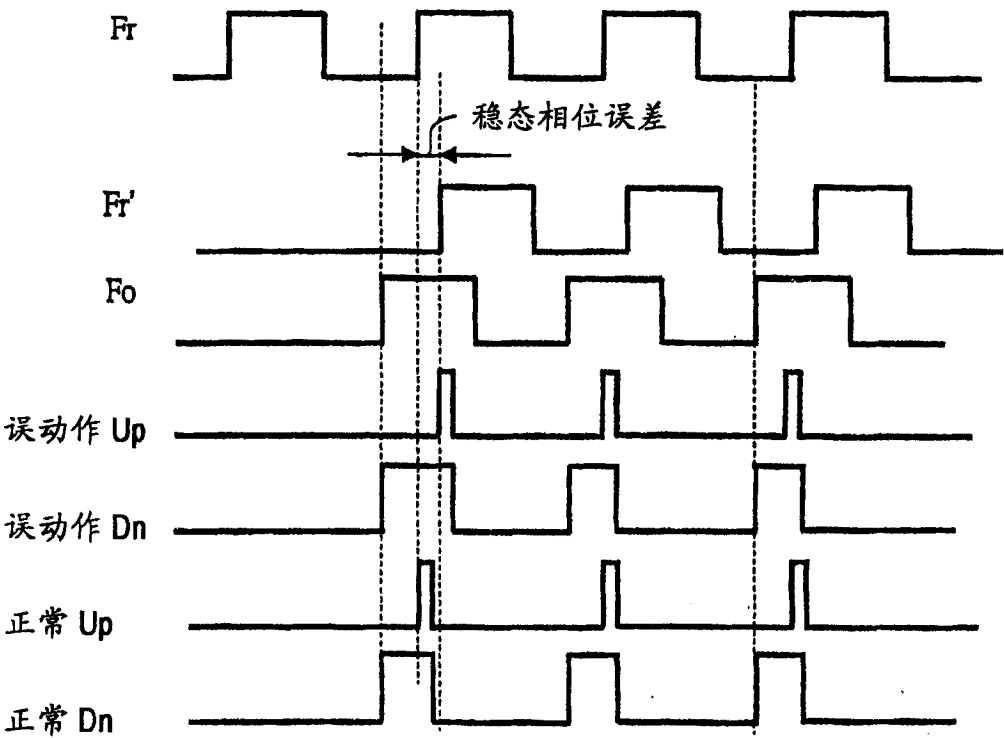


图 23

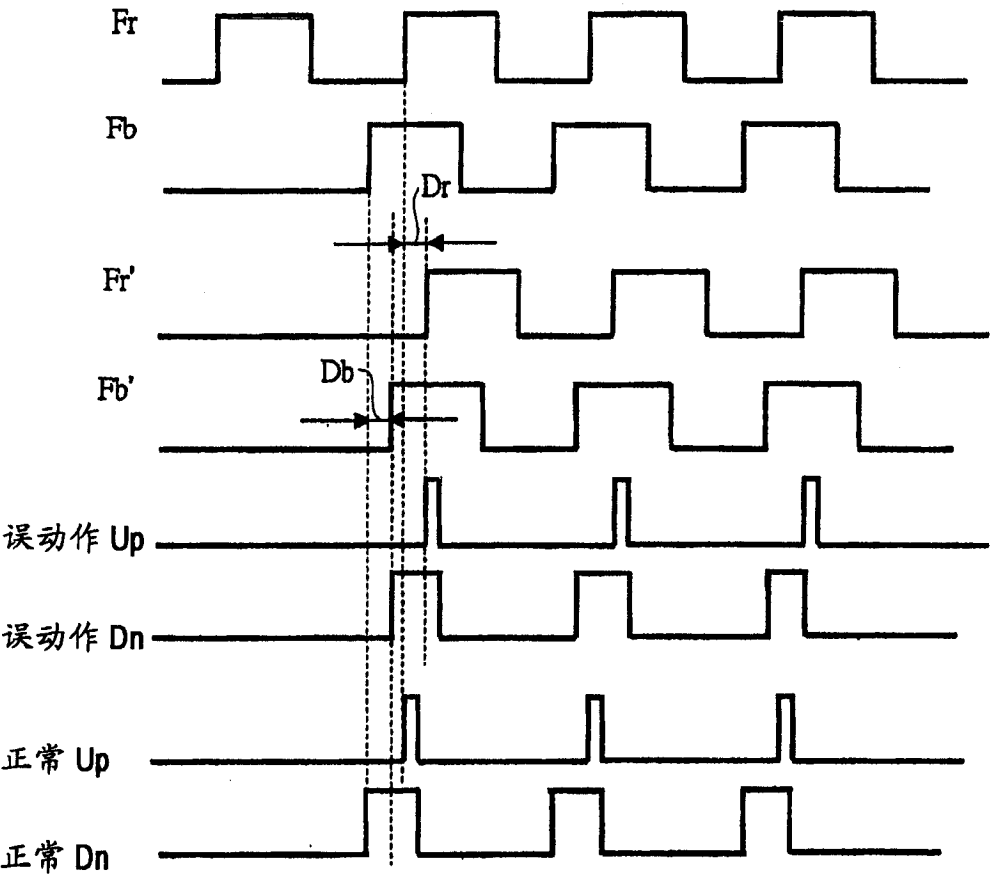


图 24

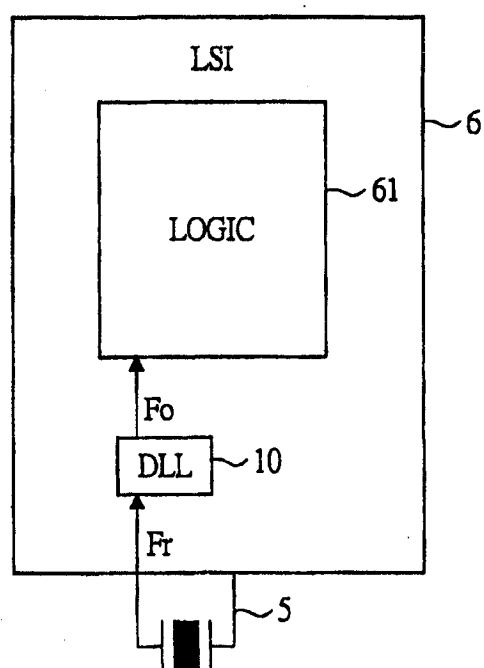


图 25

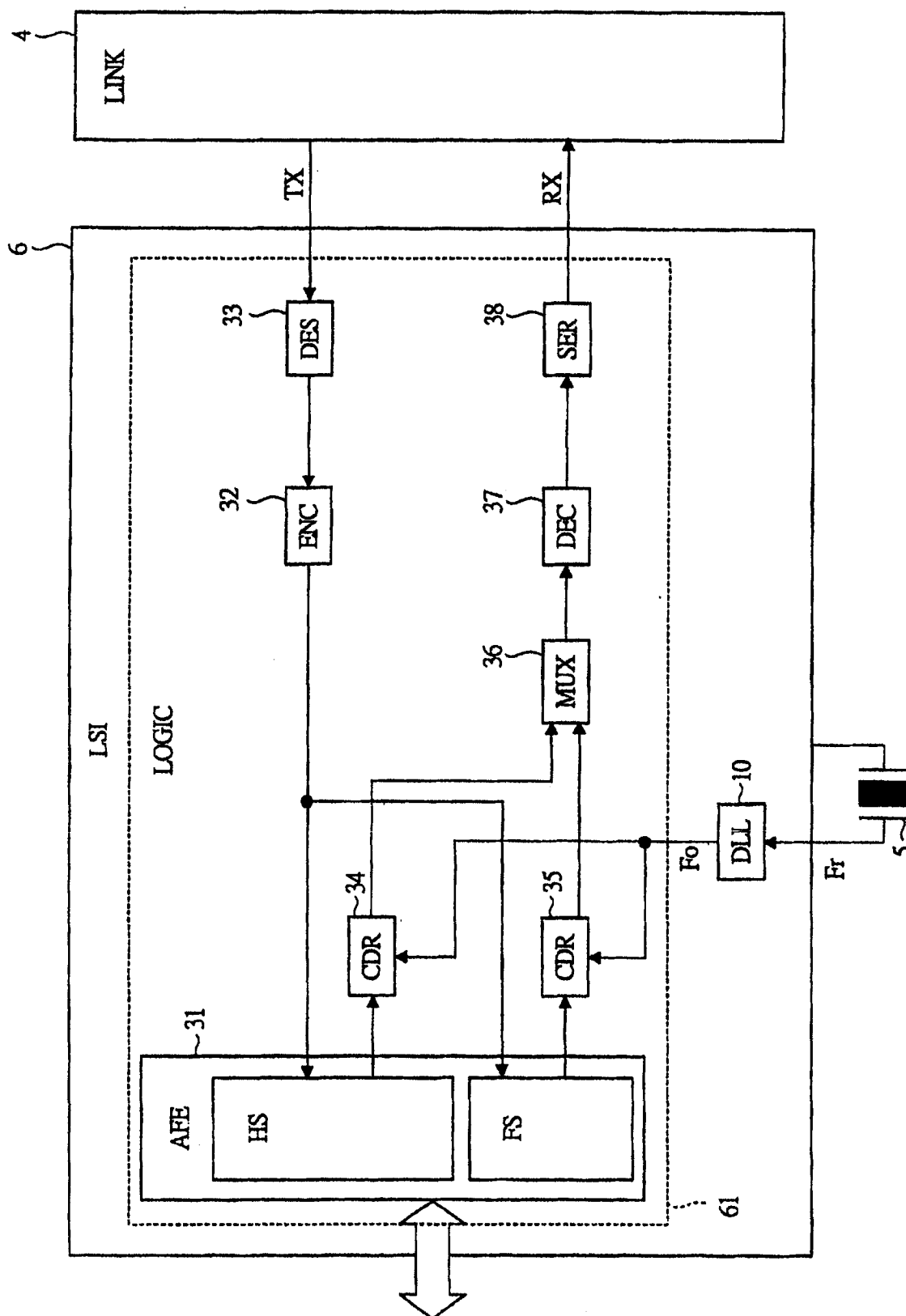


图 26

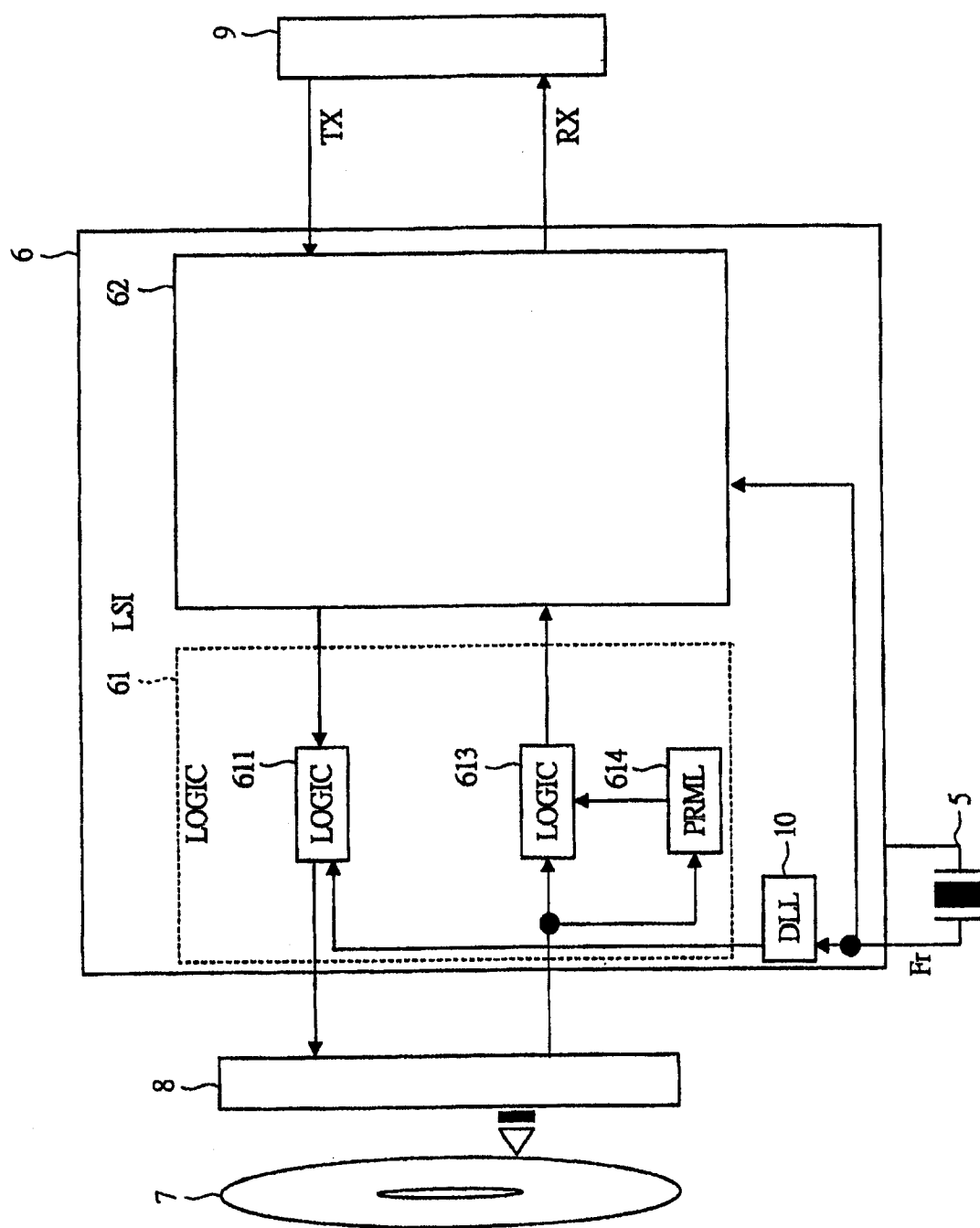


图 27

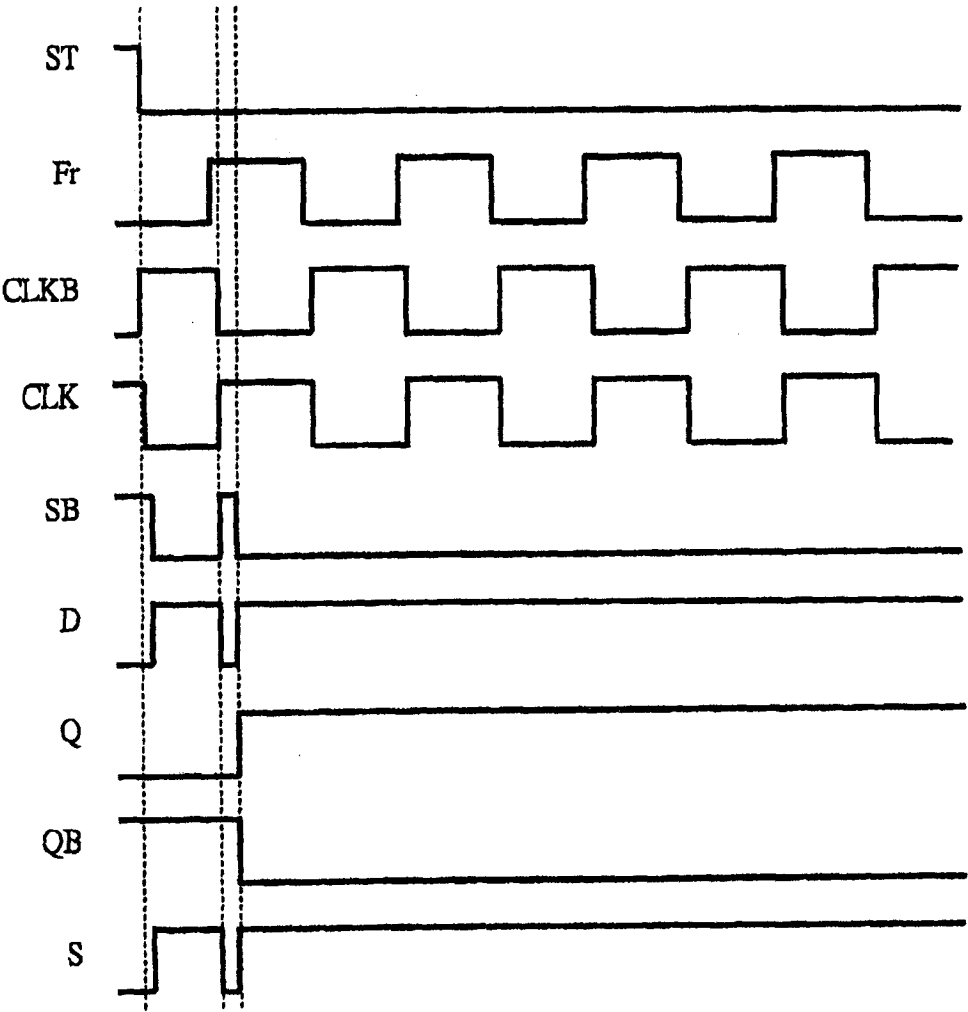


图 28