

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年2月28日(28.02.2019)



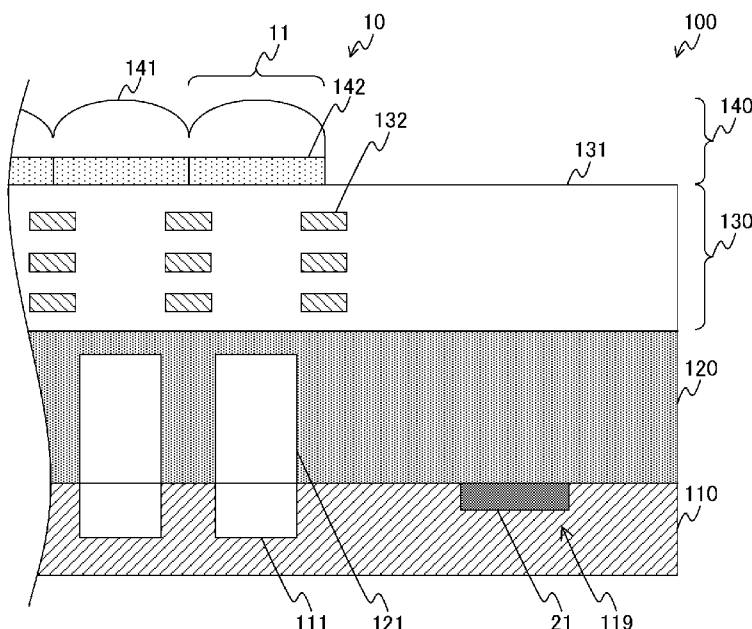
(10) 国際公開番号

WO 2019/039173 A1

- (51) 国際特許分類:
G03F 9/00 (2006.01) *G03F 7/20* (2006.01) 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).
- (21) 国際出願番号: PCT/JP2018/027747 (72) 発明者: 佐藤輝幸 (SATO Teruyuki); 〒8691102 熊本県菊池郡菊陽町大字原水4000番地1 ソニーセミコンダクタマニュファクチャリング株式会社内 Kumamoto (JP). 荒川伸一 (ARAKAWA Shinichi); 〒8691102 熊本県菊池郡菊陽町大字原水4000番地1 ソニーセミコンダクタマニュファクチャリング株式会社内 Kumamoto (JP). 榎本貴幸 (ENOMOTO Takayuki); 〒8691102 熊本県菊池郡菊陽町大字原水4000番地1 ソニーセミコンダクタマニュファクチャリング株式会社内 Kumamoto (JP). 千葉洋平 (CHIBA Yohei); 〒8691102 熊本県菊池郡菊陽町大字原水4000番地
- (22) 国際出願日: 2018年7月24日(24.07.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2017-158724 2017年8月21日(21.08.2017) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置および半導体装置の製造方法



(57) Abstract: The present invention simplifies manufacture of an alignment mark of a semiconductor device. Provided is a semiconductor device that is provided with a semiconductor substrate, an epitaxial layer, and an alignment mark. The epitaxial layer that is provided in the semiconductor device is formed of a single crystal semiconductor epitaxially grown on a surface of the semiconductor substrate that is provided in the semiconductor device. The alignment mark that is provided in the semiconductor device is disposed between the semiconductor substrate and the epitaxial layer.

1 ソニーセミコンダクタマニュファクチャ
リング株式会社内 Kumamoto (JP).

(74) 代理人: 松 尾 憲 一 郎 (MATSUO Kenichiro);
〒8100042 福岡県福岡市中央区赤坂 1 丁目 1 0
番 1 7 号 しんくみ赤坂ビル 7 階 Fukuoka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS,
MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM,
ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ,
TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,
DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,
LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

(57) 要約: 半導体装置における位置合わせマークの製造を簡略化する。半導体基板、エピタキシャル層および位置合わせマークを具備する半導体装置が提供される。その半導体装置が具備するエピタキシャル層は、その半導体装置が具備する半導体基板の表面においてエピタキシャル成長した単結晶の半導体により構成される。その半導体装置が具備するその位置合わせマークは、その半導体基板およびそのエピタキシャル層の間に配置される。

明 細 書

発明の名称：半導体装置および半導体装置の製造方法

技術分野

[0001] 本技術は、半導体装置および半導体装置の製造方法に関する。詳しくは、位置合わせマークを有する半導体装置および半導体装置の製造方法に関する。

背景技術

[0002] 従来、位置合わせマークが配置されたエピタキシャルウェハ上に構成された半導体装置が使用されている。例えば、シリコン基板上に位置合わせマークとして機能する酸化膜パターンを形成した後にエピタキシャル成長を行ってエピタキシャル層を形成し、半導体本体部分を作成する半導体装置が使用されている。この半導体装置においては、以降の製造工程においてシリコン基板上の位置合わせマークによりフォトマスクの位置決めを行い、アイソレーション領域等の形成の際のレジストパターンを作成する。

[0003] 上述のエピタキシャル成長の際、下地が単結晶シリコンである場合には、エピタキシャル層もシリコンの単結晶として成長する。一方、下地が上述の酸化膜（位置合わせマーク）の領域には多結晶のシリコン層が成長することとなる。この多結晶のシリコン層をエッチングにより除去して酸化膜を露出させ、位置合わせマーク（アライメントマーク）として使用する半導体装置が使用されている（例えば、特許文献1参照。）。

先行技術文献

特許文献

[0004] 特許文献1：特開平3－40415号公報

発明の概要

発明が解決しようとする課題

[0005] 上述の従来技術では、位置合わせマークの上に積層された多結晶のシリコン層を除去するため、半導体装置の製造工程が複雑になるという問題がある。

。

[0006] 本技術は、上述した問題点に鑑みてなされたものであり、エピタキシャル層を有する半導体装置における位置合わせマークの製造を簡略化することを目的としている。

課題を解決するための手段

[0007] 本技術は、上述の問題点を解消するためになされたものであり、その第1の側面は、半導体基板と、上記半導体基板の表面においてエピタキシャル成長した単結晶の半導体により構成されるエピタキシャル層と、上記半導体基板および上記エピタキシャル層の間に配置された位置合わせマークとを具備する半導体装置である。これにより、位置合わせマークの表面側に単結晶半導体のエピタキシャル層が配置されるという作用をもたらす。エピタキシャル層を介した位置合わせマークの認識が想定される。ここで、位置合わせマークの表面側とは、位置合わせに使用する際に視認等の位置合わせマークの認識を行う側であり、後続の半導体装置の形成工程におけるフォトリソグラフィ等が実行される側である。

[0008] また、この第1の側面において、上記エピタキシャル層は、上記エピタキシャル成長の際に上記半導体基板上に配置された上記位置合わせマークの表面を閉塞してもよい。これにより、位置合わせマークの表面がエピタキシャル層により覆われるという作用をもたらす。

[0009] また、この第1の側面において、上記位置合わせマークは、上記半導体基板に形成された凹部に配置され、上記エピタキシャル層は、上記凹部の側壁においてエピタキシャル成長することにより上記位置合わせマークの表面を閉塞してもよい。これにより、側壁を始点とするエピタキシャル層が位置合わせマークの上面近傍に向かってエピタキシャル成長し、位置合わせマークの表面を閉塞するという作用をもたらす。

[0010] また、この第1の側面において、上記エピタキシャル層は、上記エピタキシャル成長の際に上記半導体基板上に配置された上記位置合わせマークの表面に形成された多結晶半導体を単結晶化することにより上記位置合わせマー

クの表面を閉塞してもよい。これにより、エピタキシャル層と同時に形成された多結晶半導体を単結晶化し、位置合わせマークの表面側に単結晶半導体を配置するという作用をもたらす。

[0011] また、この第1の側面において、上記エピタキシャル層は、アニール処理により上記位置合わせマークの表面に形成された多結晶半導体を単結晶化してもよい。これにより、アニール処理が行われた単結晶半導体が位置合わせマークの表面側に配置されるという作用をもたらす。

[0012] また、この第1の側面において、上記位置合わせマークは、上記半導体基板に形成された凹部の側壁に沿って配置され、上記エピタキシャル層は、上記凹部の底面においてエピタキシャル成長することにより上記位置合わせマークの表面を閉塞してもよい。これにより、凹部の底面を始点とするエピタキシャル層が位置合わせマークに沿ってエピタキシャル成長し、位置合わせマークの表面を閉塞するという作用をもたらす。

[0013] また、この第1の側面において、上記エピタキシャル層は、上記半導体基板上に配置された上記位置合わせマークの表面に沿って成長することにより上記位置合わせマークの表面を閉塞してもよい。これにより、位置合わせマークの周囲の半導体基板を始点とするエピタキシャル層が位置合わせマークに沿ってエピタキシャル成長し、位置合わせマークの表面を閉塞するという作用をもたらす。

[0014] また、この第1の側面において、上記位置合わせマークは、酸化膜により構成されてもよい。これにより、酸化膜により構成された位置合わせマークが半導体基板およびエピタキシャル層の間に配置されるという作用をもたらす。

[0015] また、この第1の側面において、上記位置合わせマークは、金属膜により構成されてもよい。これにより、金属膜により構成された位置合わせマークが半導体基板およびエピタキシャル層の間に配置されるという作用をもたらす。

[0016] また、この第1の側面において、上記位置合わせマークは、空隙により構

成されてもよい。これにより、空隙により構成された位置合わせマークが半導体基板およびエピタキシャル層の間に配置されるという作用をもたらす。

[0017] また、本技術の第2の側面は、半導体基板と、上記半導体基板の表面において複数のエピタキシャル成長によりそれぞれ積層された単結晶の半導体により構成される複数のエピタキシャル層と、上記半導体基板および上記エピタキシャル層の間と隣接する上記エピタキシャル層の間とに配置される複数の位置合わせマークとを具備する半導体装置である。これにより、複数の位置合わせマークがエピタキシャル層を介して積層されるという作用をもたらす。エピタキシャル層を介した位置合わせマークの認識が想定される。

[0018] また、本技術の第3の側面は、半導体基板の表面に位置合わせマークを形成する位置合わせマーク形成工程と、上記半導体基板の表面および上記位置合わせマークの表面にエピタキシャル成長によりエピタキシャル層を形成するエピタキシャル層形成工程とを具備する半導体装置の製造方法である。これにより、位置合わせマークの表面側に単結晶半導体のエピタキシャル層が配置されるという作用をもたらす。エピタキシャル層を介した位置合わせマークの認識が想定される。

発明の効果

[0019] 本技術によれば、エピタキシャル層を有する半導体装置における位置合わせマークの製造方法を簡略化するという優れた効果を奏する。

図面の簡単な説明

[0020] [図1]本技術の実施の形態に係る半導体装置の構成例を示す図である。

[図2]本技術の第1の実施の形態に係る位置合わせマークの構成例を示す図である。

[図3]本技術の第1の実施の形態に係る半導体装置の構成例を示す断面図である。

[図4]本技術の第1の実施の形態に係る位置合わせマークの他の構成例を示す図である。

[図5]本技術の第1の実施の形態に係る半導体装置の製造方法の一例を示す図

である。

[図6]本技術の第1の実施の形態の変形例に係る位置合わせマークの構成例を示す図である。

[図7]本技術の第2の実施の形態に係る位置合わせマークの構成例を示す図である。

[図8]本技術の第3の実施の形態に係る位置合わせマークの構成例を示す図である。

[図9]本技術の第4の実施の形態に係る位置合わせマークの構成例を示す図である。

[図10]本技術の第5の実施の形態に係る位置合わせマークの構成例を示す図である。

[図11]本技術の第6の実施の形態に係る位置合わせマークの構成例を示す図である。

[図12]本技術の第7の実施の形態に係る位置合わせマークの構成例を示す図である。

[図13]本技術の第8の実施の形態に係る位置合わせマークの構成例を示す図である。

発明を実施するための形態

[0021] 次に、図面を参照して、本技術を実施するための形態（以下、実施の形態と称する）を説明する。以下の図面において、同一または類似の部分には同一または類似の符号を付している。ただし、図面は、模式的なものであり、各部の寸法の比率等は現実のものとは必ずしも一致しない。また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれることは勿論である。また、以下の順序で実施の形態の説明を行う。

1. 第1の実施の形態
2. 第2の実施の形態
3. 第3の実施の形態
4. 第4の実施の形態

5. 第5の実施の形態

6. 第6の実施の形態

7. 第7の実施の形態

8. 第8の実施の形態

[0022] <1. 第1の実施の形態>

[半導体装置の構成]

図1は、本技術の実施の形態に係る半導体装置の構成例を示す図である。同図は、カメラ等に使用され、被写体の画像を構成する画像信号を生成して出力する撮像素子の構成を表している。この撮像素子を例に挙げて本技術を適用した半導体装置を説明する。同図の半導体装置100は、半導体チップに形成され、画素アレイ部10を備える。また、半導体装置100が形成された半導体チップは、位置合わせマーク20をさらに備える。

[0023] 画素アレイ部10は、照射された光に応じた画像信号を生成する画素（不図示）が2次元格子状に配置されて構成されたものである。これらの画素により1画面分に相当する複数の画像信号が生成される。不図示のレンズ等により被写体からの光を画素アレイ部10に集光することにより、被写体に応じた画像信号を生成させ、取得することができる。画素には照射した光に応じた電荷を生成する光電変換部と光電変換部により生成された電荷に基づく画像信号を生成する画素回路とが配置される。なお、光電変換部にはフォトダイオードを使用することができる。

[0024] 位置合わせマーク20は、半導体装置100を形成する際に使用するフォトリソグラフィの位置合わせを行うためのマークである。半導体チップに半導体装置100を形成する際、フォトリソグラフィを使用して上述の画素を構成する半導体素子等を形成する。このフォトリソグラフィにおいては、半導体チップにレジストを塗布し、塗布されたレジストを露光および現像することによりレジストのパターンが形成される。次に、形成されたレジストのパターンに基づいてエッチング等が行われる。このエッチングの後、残存するレジストが除去される。このような工程が繰り返し行われて半導体装置100が

形成される。フォトマスクは、塗布されたレジストを露光する際のマスクとして使用され、フォトリソグラフィの工程毎に異なるフォトマスクによる露光が行われる。これら複数の露光の際、それぞれのフォトマスクの位置を合わせるため、位置合わせマーク 20 が使用される。具体的には、半導体チップの上面から見た位置合わせマーク 20 とフォトマスクに配置された位置合わせマークとを整合させることにより、半導体チップにおけるフォトマスクの位置決めを行うことができる。複数のフォトリソグラフィ工程におけるレジストのパターンのずれの防止が可能となる。半導体装置 100 の構成の詳細については後述する。

[0025] [位置合わせマークの構成]

図 2 は、本技術の第 1 の実施の形態に係る位置合わせマークの構成例を示す図である。同図は、位置合わせマーク 20 の構成を表す正面図である。同図の位置合わせマーク 20 は、4 つの矩形形状の膜 21 により構成される。後述するように、膜 21 は、半導体チップを構成する半導体基板上に配置される。また、膜 21 は、例えば、酸化シリコン (SiO_2) 等の酸化物により構成することができる。露光の際には、この 4 つの膜 21 を半導体チップの上方より確認しながら位置合わせを行うことができる。なお、位置合わせマーク 20 は、この例に限定されない。例えば、十字形状の膜を位置合わせマーク 20 として使用することもできる。また、膜 21 としてアルミニウム (Al) および銅 (Cu) 等の金属により構成された膜を使用することもできる。

[0026] [半導体チップの構成]

図 3 は、本技術の第 1 の実施の形態に係る半導体装置の構成例を示す断面図である。同図は、半導体装置 100 が構成される半導体チップの断面図である。同図の半導体装置 100 は、半導体基板 110 と、エピタキシャル層 120 と、配線領域 130 と、入射光伝達部 140 とを備える。ここで、半導体基板 110 およびエピタキシャル層 120 は、半導体領域を構成する。

[0027] 半導体領域は、画素（同図における画素 11）等の半導体装置 100 を構

成する電子部品の半導体部分が形成される領域である。この電子部品には、上述した画素におけるフォトダイオードや画素回路に使用されるMOSトランジスタが該当する。同図では、電子部品のうちフォトダイオードを記載している。半導体領域のうち電子部品の半導体部分は、所定の導電型、例えば、P型に構成されたウェル領域に形成される。便宜上、同図の半導体基板110およびエピタキシャル層120をウェル領域と想定する。このウェル領域の内部にウェル領域とは異なる導電型であるN型半導体領域111および121が形成されている。このN型半導体領域111および121がフォトダイオードに該当し、N型半導体領域111および121とそれらの周囲に形成されたP型のウェル領域との界面に形成されたPN接合部分において光電変換が行われる。光電変換により生成された電荷はN型半導体領域111および121に蓄積され、所定の露光時間の経過後に画素回路により画像信号に変換される。

[0028] 上述の半導体領域を構成する半導体基板110には、例えば、単結晶シリコンによるウェハが該当する。また、エピタキシャル層120は、半導体基板110の表面にエピタキシャル成長により形成された単結晶シリコンの半導体層であり、例えば、1乃至10 μ mの厚みに形成することができる。エピタキシャル成長により格子欠陥等が少ない半導体領域の形成が可能となる。このため、エピタキシャル層120に画素回路等を形成することにより、半導体装置100の歩留まりを向上させることができる。上述のウェル領域は、半導体基板110およびエピタキシャル層120の両方に形成される。また、同図では、N型半導体領域111は半導体基板110に形成され、N型半導体領域121はエピタキシャル層120に形成される。

[0029] このように、半導体基板110内にもN型半導体領域111を形成することにより、フォトダイオードのN型半導体領域を広く（深く）することができる。これにより、赤外光等の半導体の深部に到達する光に対する光電変換の効率を向上させ、高感度の撮像素子にすることができる。また、フォトダイオードのN型半導体領域を広くすることにより、光電変換により生成され

た電荷の蓄積容量を増加させることができ、ブルーミングの発生を防止することができる。ここでブルーミングとは、フォトダイオードのN型半導体領域から光電変換により生成された電荷があふれて他の画素のブルーミングに流入することにより画質が低下する現象である。

[0030] 配線領域130は、半導体領域に形成された電子部品を相互に配線する領域である。この配線領域130は、電気信号等を伝達する配線層132と配線層132を絶縁する絶縁層131とにより構成される。

[0031] 入射光伝達部140は、半導体装置100に照射された光を半導体領域の光電変換部（フォトダイオード）に伝達するものである。同図の入射光伝達部140は、オンチップレンズ141と、カラーフィルタ142とを備える。オンチップレンズ141は、画素11毎に配置され、入射光を光電変換部に集光するレンズである。カラーフィルタ142は、光学的なフィルタであり、オンチップレンズ141により集光された光のうち所定の波長の光を透過させるフィルタである。このカラーフィルタ142もオンチップレンズ141と同様に画素11毎に配置される。

[0032] なお、同図においては、図2において説明した位置合わせマーク20を構成する膜21のうちの1つを記載した。この膜21は、半導体基板110およびエピタキシャル層120の間に形成される。具体的には、膜21は、半導体基板110に形成された凹部119に埋め込まれて配置される。エピタキシャル層120は、単結晶のシリコンにより構成された薄膜であるため、光を透過させることができる。このため、エピタキシャル層120の側から位置合わせマーク20を視認等により認識することができ、位置合わせマークとして使用することが可能となる。

[0033] ここで、エピタキシャル層120は、半導体基板110表面の単結晶シリコンの領域にエピタキシャル成長を行わせて形成する。これに対し、膜21は酸化物等により構成されるため、膜21の上にはエピタキシャル成長が生じないこととなる。しかし、膜21の周囲の半導体基板110上に成長したエピタキシャル層120が膜21の上部に張り出して成長を続けることによ

り、膜 2 1 の上面がエピタキシャル層 1 2 0 により閉塞されることとなる。すなわち、エピタキシャル層 1 2 0 は、膜 2 1 の表面に沿ってエピタキシャル成長し、膜 2 1 を覆う状態に形成される。これにより、同図に表した膜 2 1 が半導体基板 1 1 0 およびエピタキシャル層 1 2 0 の間に配置される構成にすることができる。

[0034] [位置合わせマークの他の構成]

図 4 は、本技術の第 1 の実施の形態に係る位置合わせマークの他の構成例を示す図である。上述したエピタキシャル層 1 2 0 の成膜条件によっては、膜 2 1 の上部に多結晶の半導体、例えば、多結晶シリコンが析出する場合がある。同図は、この場合の例を表したものであり、膜 2 1 の上部に多結晶半導体層 1 2 2 が形成される例を表している。この場合においても、多結晶半導体層 1 2 2 の上部には単結晶のエピタキシャル層 1 2 0 が形成される。これは膜 2 1 の上部に多結晶半導体層 1 2 2 が成長すると同時に膜 2 1 の周囲において成長したエピタキシャル層 1 2 0 により多結晶半導体層 1 2 2 の表面が閉塞されるためである。多結晶半導体層 1 2 2 はエピタキシャル層 1 2 0 より光の透過率が低いため、位置合わせマーク 2 0 の上部に多結晶半導体層 1 2 2 が配置されると位置合わせマーク 2 0 の視認性が低下する。しかし、多結晶半導体層 1 2 2 の膜厚が薄い場合には、視認性の低下は軽微となり、多結晶半導体層 1 2 2 が位置合わせマーク 2 0 (膜 2 1) の上部に配置される場合であっても、位置合わせマーク 2 0 を使用した位置合わせを行うことができる。

[0035] このような、エピタキシャル成長の際のエピタキシャル層 1 2 0 による位置合わせマーク 2 0 上面の閉塞は、位置合わせマーク 2 0 に使用する膜 2 1 の幅を狭くすることにより、容易に行うことができる。具体的には、図 2 において説明したように、膜 2 1 を矩形(長方形)の形状に形成し、短辺の幅を所定の幅以下、例えば、300nm以下に構成する。これにより、膜 2 1 の短辺に隣接するエピタキシャル層 1 2 0 がエピタキシャル成長しながら膜 2 1 の上部に張り出した際に、容易に膜 2 1 の上面を覆うことが可能となる

。エピタキシャル層 120 による膜 21 の上面の閉塞を容易に行うことができ、エピタキシャル層の成長条件の設定を簡略化することができる。

[0036] [半導体装置の製造方法]

図 5 は、本技術の第 1 の実施の形態に係る半導体装置の製造方法の一例を示す図である。同図は、半導体チップの製造工程を表した図である。まず、ウェハ状の半導体基板 110 における位置合わせマーク 20（膜 21）を配置する領域に凹部 119 を形成する。これは、例えば、ドライエッチングにより行うことができる（図 5 における a）。次に、凹部 119 に膜 21 を配置する。具体的には、凹部 119 が形成された半導体基板 110 の表面に膜 21 の材料である酸化物を CVD（Chemical Vapor Deposition）等により成膜する。その後、凹部 119 以外の領域に成膜された酸化物をエッチングまたは化学的機械的研磨（CMP：Chemical Mechanical Polishing）により除去することにより形成することができる（図 5 における b）。当該工程は、請求の範囲に記載の位置合わせマーク形成工程の一例である。

[0037] 次に、半導体基板 110 に N 型半導体領域 111 を形成する。これは、例えば、イオン打込みにより行うことができる。このイオン打込みは、半導体基板 110 に感光性レジストを塗布し、マスクを使用した露光および現像を行う。これにより、N 型半導体領域 111 の形成位置の感光性レジストに開口部が形成される。その後、不純物イオンを打ち込むことにより、感光性レジストの開口部を介して半導体基板 110 に N 型半導体領域 111 を形成することができる。この感光性レジストの露光の際、位置合わせマーク 20（膜 21）を使用してマスクの位置合わせを行うことができる（図 5 における c）。

[0038] 次に、半導体基板 110 上にエピタキシャル成長による成膜を行い、エピタキシャル層 120 を形成する。この際、位置合わせマーク 20（膜 21）の表面がエピタキシャル層 120 により閉塞される（図 5 における d）。当該工程は、請求の範囲に記載のエピタキシャル層形成工程の一例である。

[0039] 次に、エピタキシャル層 120 に N 型半導体領域 121 を形成する。これ

は、N型半導体領域111と同様にイオン打込みにより行うことができる（図5におけるe）。その後、配線領域130および入射光伝達部140を形成し、ダイシング等を行うことにより、半導体チップ（半導体装置100）を製造することができる。

[0040] なお、位置合わせマーク20の形成後のプロセスにおいて、レジストの露光等のフォトリソグラフィを行う際には、位置合わせマーク20を使用したマスクの位置合わせを行うことができる。マスクの位置合わせ誤差を低減することができる、半導体チップの歩留まりを向上させることができる。

[0041] なお、図3において説明した半導体装置100の構成は、この例に限定されない。例えば、半導体基板110を研磨して薄肉化し、入射光伝達部140を半導体基板110の配線領域130が形成された面とは異なる面に形成した裏面照射型の半導体装置100にすることもできる。また、シリコン以外の半導体（化合物半導体等）により構成された半導体基板110およびエピタキシャル層120を使用することも可能である。

[0042] 以上説明したように、本技術の第1の実施の形態の半導体装置100は、位置合わせマーク20を半導体基板110およびエピタキシャル層120の間に配置し、単結晶半導体のエピタキシャル層120を介して位置合わせマーク20を認識する（視認する）。これにより、位置合わせマーク20の製造を簡略化することができる。

[0043] [変形例]

上述の位置合わせマーク20は、矩形形状の断面を有する膜21により構成されていたが、異なる形状を有する膜21を使用してもよい。

[0044] 図6は、本技術の第1の実施の形態の変形例に係る位置合わせマークの構成例を示す図である。同図におけるaおよびbは、膜21の側面がテーパ形状に構成された場合の例を表している。これらは、それぞれ半導体基板110において順テーパおよび逆テーパ形状に側面が傾斜した凹部119を形成することにより構成することができる。また、三角形の形状（同図におけるc）や半球または弓形の形状（同図におけるd）に構成することもできる。

[0045] <2. 第2の実施の形態>

上述の第1の実施の形態の半導体装置100は、表面が平坦な位置合わせマーク20を使用していた。これに対し、本技術の第2の実施の形態の半導体装置100は、凹部を有する位置合わせマーク20を使用する点で、第1の実施の形態と異なる。

[0046] [位置合わせマークの構成]

図7は、本技術の第2の実施の形態に係る位置合わせマークの構成例を示す図である。同図におけるaは、位置合わせマーク20の構成を表す正面図である。同図の位置合わせマーク20は、4つの膜22により構成される。この膜22は、中央部に凹部23を有する。同図におけるbは、膜22の構成例を表す断面図である。同図におけるbに表したように、膜22は、略中央部に凹部23を有する。同図におけるcは、膜22の製造方法の一例を表す図である。同図におけるcに表したように、膜22の材料となる酸化物膜24を半導体基板110に成膜すると、半導体基板110の凹部119の形状に合わせて酸化物膜24の表面にも凹部が形成される。その後、酸化物膜24をドライエッチングして凹部119以外の半導体基板110上の酸化物膜24をエッチングすることにより、表面に凹部23を有する膜22を形成することができる。このように、同図の位置合わせマーク20は、表面を平坦化する必要がないため、製造方法を簡略化することができる。

[0047] これ以外の半導体装置100の構成は本技術の第1の実施の形態において説明した半導体装置100の構成と同様であるため、説明を省略する。

[0048] 以上説明したように、本技術の第2の実施の形態の半導体装置100は、表面に凹部23を有する膜22により構成された位置合わせマーク20を使用することにより、位置合わせマーク20の製造方法をさらに簡略化することができる。

[0049] <3. 第3の実施の形態>

上述の第1の実施の形態の半導体装置100は、エピタキシャル成長の際に位置合わせマーク20の膜21の表面がエピタキシャル層120により閉

塞されていた。これに対し、本技術の第3の実施の形態の半導体装置100は、エピタキシャル成長の際に膜21の表面に形成された多結晶半導体層を単結晶化する点で、第1の実施の形態と異なる。

[0050] [位置合わせマークの構成]

図8は、本技術の第3の実施の形態に係る位置合わせマークの構成例を示す図である。同図は、位置合わせマーク20を構成する膜21の構成例を表す断面図である。同図におけるaは、エピタキシャル成長後の半導体装置100における膜21の近傍を表した図である。同図におけるaに表したように、エピタキシャル成長の条件によっては、膜21の表面がエピタキシャル層120により閉塞されず、多結晶半導体層123がエピタキシャル層120の表面まで形成される場合がある。このような場合、多結晶半導体層123の膜厚が厚くなるため、位置合わせマーク20の視認性が低下する。そこで、多結晶半導体層123の表面を単結晶化する。例えば、アニールを行うことにより単結晶化を行うことができる。

[0051] 同図におけるbは、アニールを行った半導体装置100を表した図である。なお、同図におけるbの矢印は多結晶半導体層123の表面に照射されるレーザ光を表す。このように、レーザ光を照射することにより多結晶半導体層123の表面を加熱してアニールを行うことができる。このアニールにより、多結晶半導体層123の表面近傍が単結晶化し、単結晶半導体よりなるエピタキシャル層124が形成される。このように、位置合わせマーク20の上に形成されたエピタキシャル層の一部を単結晶化することにより、位置合わせマーク20の視認性の低下を防止することができる。

[0052] これ以外の半導体装置100の構成は本技術の第1の実施の形態において説明した半導体装置100の構成と同様であるため、説明を省略する。

[0053] 以上説明したように、本技術の第3の実施の形態の半導体装置100は、アニール等により位置合わせマーク20の上に形成されたエピタキシャル層120を単結晶化する。これにより、エピタキシャル成長の際に位置合わせマーク20の上に厚い多結晶半導体層が形成された場合であっても、単結晶

半導体よりなるエピタキシャル層 120 を位置合わせマーク 20 の上に配置することができる。位置合わせマーク 20 の視認性の低下を防止することが可能となる。

[0054] <4. 第4の実施の形態>

上述の第1の実施の形態の半導体装置 100 は、半導体基板 110 の表面においてエピタキシャル成長したエピタキシャル層 120 により位置合わせマーク 20 の表面が閉塞されていた。これに対し、本技術の第4の実施の形態の半導体装置 100 は、半導体基板 110 に形成された凹部 119 の側面においてエピタキシャル成長したエピタキシャル層 120 により位置合わせマーク 20 の表面の閉塞が行われる点で、第1の実施の形態と異なる。

[0055] [位置合わせマークの構成]

図9は、本技術の第4の実施の形態に係る位置合わせマークの構成例を示す図である。同図は、位置合わせマーク 20 を構成する膜 25 の構成例を表す断面図である。同図における位置合わせマーク 20 は、半導体基板 110 に形成された凹部 119 の一部に膜 25 が配置されて構成される。すなわち、凹部 119 の深さより膜 25 の膜厚が小さいため、膜 25 と隣接していない凹部 119 の側面の領域 118 が存在する。領域 118 の表面は単結晶の半導体面であるため、エピタキシャル成長の際、領域 118 においても単結晶のエピタキシャル層 120 が成長する（同図におけるb）。このため、エピタキシャル層 120 による膜 25 の表面の閉塞を促進することができる。

[0056] 領域 118 に膜厚が厚いエピタキシャル層 120 を形成することが可能であるため、位置合わせマーク 20 として幅広の膜 25 を使用する場合においても、エピタキシャル層 120 による膜 25 の表面の閉塞を容易に行うことが可能となる。これにより、位置合わせマーク 20 の表面を閉塞するためのエピタキシャル成長条件の設定を簡略化することができる。また、同図におけるbに表したように、膜 25 の表面に多結晶半導体層 125 が形成された場合であっても、厚いエピタキシャル層 120 による膜 25 の表面の閉塞が可能となる。同図におけるcは、エピタキシャル層 120 が形成された後の

位置合わせマーク２０の構成を表した図である。なお、膜２５の形状として図６において説明した形状の適用が可能なことは勿論である。

[0057] これ以外の半導体装置１００の構成は本技術の第１の実施の形態において説明した半導体装置１００の構成と同様であるため、説明を省略する。

[0058] 以上説明したように、本技術の第４の実施の形態の半導体装置１００は、半導体基板１１０に形成された凹部１１９の側面においてエピタキシャル成長したエピタキシャル層１２０により位置合わせマーク２０の表面の閉塞を行う。これにより、位置合わせマーク２０の製造を簡略化することができる。

[0059] ＜５．第５の実施の形態＞

上述の第１の実施の形態の半導体装置１００は、矩形の形状の膜２１により構成された位置合わせマーク２０を使用していた。これに対し、本技術の第５の実施の形態の半導体装置１００は、半導体基板１１０に形成された凹部１１９の側面に沿って形成された膜により構成された位置合わせマーク２０を使用する点で、第１の実施の形態と異なる。

[0060] [位置合わせマークの構成]

図１０は、本技術の第５の実施の形態に係る位置合わせマークの構成例を示す図である。同図におけるａは位置合わせマーク２０の構成例を表す正面図であり、同図におけるｂは位置合わせマーク２０を構成する膜２６の構成例を表す断面図である。同図の膜２６は、半導体基板１１０の凹部１１９の側面および隅の近傍に配置され、環状に形成される。すなわち、凹部１１９の隅の近傍を除く底面には半導体基板１１０が露出した状態となる。このため、凹部１１９の底面においてもエピタキシャル成長を生じることとなる。凹部１１９の底部および周囲の半導体基板１１０においてエピタキシャル成長したエピタキシャル層１２０により位置合わせマーク２０の表面の閉塞が行われることとなり、膜２６の表面の閉塞を容易に行うことが可能となる。

[0061] 膜２６は、次のように形成することができる。まず、凹部１１９が形成された半導体基板１１０に膜２６の材料である酸化物の膜を形成する。次に、

酸化物の膜のエッチングを行う。これは異方性エッチングにより行う。このエッチングにより、凹部 119 の側面および隅の近傍の領域に酸化物膜を残しながら、これ以外の領域の酸化物の膜を除去することができる。これにより、膜 26 の形成が可能となる。

[0062] これ以外の半導体装置 100 の構成は本技術の第 1 の実施の形態において説明した半導体装置 100 の構成と同様であるため、説明を省略する。

[0063] 以上説明したように、本技術の第 5 の実施の形態の半導体装置 100 は、半導体基板 110 に形成された凹部 119 の側面に沿って形成された膜 21 を使用する。凹部 119 の底面においてエピタキシャル成長したエピタキシャル層 120 を使用して位置合わせマーク 20 の表面を閉塞するため、位置合わせマーク 20 の製造方法を簡略化することができる。

[0064] < 6. 第 6 の実施の形態 >

上述の第 1 の実施の形態の半導体装置 100 は、酸化物等の膜により構成された位置合わせマーク 20 を使用していた。これに対し、本技術の第 6 の実施の形態の半導体装置 100 は、半導体基板 110 に形成された凹部 119 に配置された空隙により構成された位置合わせマーク 20 を使用する点で、第 1 の実施の形態と異なる。

[0065] [位置合わせマークの構成]

図 11 は、本技術の第 6 の実施の形態に係る位置合わせマークの構成例を示す図である。同図は、位置合わせマーク 20 の構成例を表す断面図である。同図の位置合わせマーク 20 は、半導体基板 110 の凹部 119 に形成された空隙 27 により構成される。この空隙 27 は、凹部 119 の側面において成長したエピタキシャル層 120 により閉塞された空間に該当する。この空隙 27 は、意図的に形成されたボイドと捉えることもできる。空隙 27 は、周囲のエピタキシャル層 120 とは屈折率が異なるため視認可能であり、位置合わせマーク 20 として使用することができる。図 2 において説明した膜 21 と同様に空隙 27 を配置することにより、位置合わせマーク 20 を構成することができる。

[0066] このような空隙 27 は、凹部 119 の開口幅と比較して深さが大きい場合に、容易に形成することができる。凹部 119 の全体にエピタキシャル層が形成される前に、凹部 119 の開口部が閉塞されるためである。例えば、開口幅と深さとの比率が所定の比率の凹部 119 を半導体基板 110 に形成することにより、空隙 27 による位置合わせマーク 20 を形成することが可能となる。

[0067] これ以外の半導体装置 100 の構成は本技術の第 1 の実施の形態において説明した半導体装置 100 の構成と同様であるため、説明を省略する。

[0068] 以上説明したように、本技術の第 6 の実施の形態の半導体装置 100 は、半導体基板 110 に形成された凹部 119 においてエピタキシャル成長の際に形成された空隙 27 により構成された位置合わせマーク 20 を使用する。これにより、位置合わせマーク 20 製造方法を簡略化することができる。

[0069] <7. 第 7 の実施の形態>

上述の第 1 の実施の形態の半導体装置 100 は、単一のエピタキシャル層により構成されていた。これに対し、本技術の第 7 の実施の形態の半導体装置 100 は、複数のエピタキシャル層により構成される半導体装置 100 に位置合わせマークを配置する点で、第 1 の実施の形態と異なる。

[0070] [位置合わせマークの構成]

図 12 は、本技術の第 7 の実施の形態に係る位置合わせマークの構成例を示す図である。同図は、位置合わせマークを構成する膜 21 および 28 の構成例を表す断面図である。同図の位置合わせマーク 20 は、半導体基板 110 の凹部 119 に配置された膜 21 と、エピタキシャル層 120 の凹部 129 に配置された膜 28 とにより構成される。そして、エピタキシャル層 120 および膜 28 の上部には、エピタキシャル層 126 が形成される。膜 21 および 28 は、略同一の形状に構成され、上面視において 1 つのマークとして認識（視認）できる形状である。

[0071] 半導体装置 100 においてエピタキシャル層を形成する際、複数のエピタキシャル成長を行って生成する場合がある。例えば、厚いエピタキシャル層

によるウェル領域を形成する場合に、エピタキシャル成長とその後のイオン打込みとが交互に行われて、エピタキシャル層が形成される。イオン打込みを容易にするためである。このような場合に、半導体基板 110 等への凹部の形成と位置合わせマーク 20 を構成する膜の配置とをエピタキシャル層の形成毎に行うことができる。これにより、エピタキシャル層の膜厚が厚くなった場合における位置合わせマーク 20 の視認性の低下を防止することができる。また、前の工程において形成された位置合わせマーク（位置合わせマーク 20 を構成する膜 21）を使用して後の工程（凹部 129 および膜 28 の形成等）を実行することができ、位置合わせマークを有効に活用することができる。

[0072] なお、半導体装置 100 の構成は、この例に限定されない。例えば、3つのエピタキシャル層を備える構成にすることもできる。この場合においては、半導体基板および1層目のエピタキシャル層と1層目および2層目のエピタキシャル層と2層目および3層目のエピタキシャル層との層間に位置合わせマークが配置される。

[0073] これ以外の半導体装置 100 の構成は本技術の第1の実施の形態において説明した半導体装置 100 の構成と同様であるため、説明を省略する。

[0074] 以上説明したように、本技術の第7の実施の形態の半導体装置 100 は、半導体基板上に複数のエピタキシャル層が積層され、半導体基板およびエピタキシャル層の間と隣接するエピタキシャル層の間とに位置合わせマークがそれぞれ配置される。これにより、複数のエピタキシャル層を有する場合において位置合わせマーク 20 の視認性の低下を防止することができる。

[0075] <8. 第8の実施の形態>

上述の第1の実施の形態の半導体装置 100 は、位置合わせマーク 20 が半導体基板 110 に形成された凹部 119 に埋め込まれて配置されていた。これに対し、本技術の第8の実施の形態の半導体装置 100 は、エピタキシャル層 120 に形成された凹部に位置合わせマーク 20 を構成する膜が配置される点で、第1の実施の形態と異なる。

[0076] [位置合わせマークの構成]

図13は、本技術の第8の実施の形態に係る位置合わせマークの構成例を示す図である。同図は、位置合わせマークを構成する膜29の構成例を表す断面図である。同図の位置合わせマーク20は、エピタキシャル層120の凹部128に配置された膜29により構成される。具体的には、半導体基板110の表面に酸化物等による膜29を形成し、その上にエピタキシャル成長を行ってエピタキシャル層120を形成する。これにより、膜29がエピタキシャル層120の凹部に埋め込まれた構成にすることができる。膜29の表面は、膜29の周囲の半導体基板110において成長するエピタキシャル層120により閉塞される。すなわち、エピタキシャル層120は、膜29の表面に沿ってエピタキシャル成長する。例えば、膜29を所定の膜厚より薄くすることにより、エピタキシャル層120による膜29の表面の閉塞を促進させることができる。また、例えば、膜29の幅をより狭く形成した場合においても同様に、膜29の表面の閉塞を促進させることができる。

[0077] これ以外の半導体装置100の構成は本技術の第1の実施の形態において説明した半導体装置100の構成と同様であるため、説明を省略する。

[0078] 以上説明したように、本技術の第8の実施の形態の半導体装置100は、エピタキシャル層120に形成された凹部128に配置された膜29により構成された位置合わせマーク20を使用する。これにより、位置合わせマーク20の製造方法を簡略化することができる。

[0079] 最後に、上述した各実施の形態の説明は本技術の一例であり、本技術は上述の実施の形態に限定されることはない。このため、上述した各実施の形態以外であっても、本技術に係る技術的思想を逸脱しない範囲であれば、設計等に応じて種々の変更が可能であることは勿論である。

[0080] なお、本技術は以下のような構成もとることができる。

(1) 半導体基板と、

前記半導体基板の表面においてエピタキシャル成長した単結晶の半導体により構成されるエピタキシャル層と、

前記半導体基板および前記エピタキシャル層の間に配置された位置合わせマークと

を具備する半導体装置。

(2) 前記エピタキシャル層は、前記エピタキシャル成長の際に前記半導体基板上に配置された前記位置合わせマークの表面を閉塞する前記(1)に記載の半導体装置。

(3) 前記位置合わせマークは、前記半導体基板に形成された凹部に配置され、

前記エピタキシャル層は、前記凹部の側壁においてエピタキシャル成長することにより前記位置合わせマークの表面を閉塞する

前記(2)に記載の半導体装置。

(4) 前記エピタキシャル層は、前記エピタキシャル成長の際に前記半導体基板上に配置された前記位置合わせマークの表面に形成された多結晶半導体を単結晶化することにより前記位置合わせマークの表面を閉塞する前記(2)に記載の半導体装置。

(5) 前記エピタキシャル層は、アニール処理により前記位置合わせマークの表面に形成された多結晶半導体を単結晶化する前記(4)に記載の半導体装置。

(6) 前記位置合わせマークは、前記半導体基板に形成された凹部の側壁に沿って配置され、

前記エピタキシャル層は、前記凹部の底面においてエピタキシャル成長することにより前記位置合わせマークの表面を閉塞する

前記(2)に記載の半導体装置。

(7) 前記エピタキシャル層は、前記半導体基板上に配置された前記位置合わせマークの表面に沿って成長することにより前記位置合わせマークの表面を閉塞する前記(2)に記載の半導体装置。

(8) 前記位置合わせマークは、酸化膜により構成される前記(1)から(7)の何れかに記載の半導体装置。

(9) 前記位置合わせマークは、金属膜により構成される前記 (1) から (7) の何れかに記載の半導体装置。

(1 0) 前記位置合わせマークは、空隙により構成される前記 (1) から (3) の何れかに記載の半導体装置。

(1 1) 半導体基板と、

前記半導体基板の表面において複数のエピタキシャル成長によりそれぞれ積層された単結晶の半導体により構成される複数のエピタキシャル層と、

前記半導体基板および前記エピタキシャル層の間と隣接する前記エピタキシャル層の間とに配置される複数の位置合わせマークとを具備する半導体装置。

(1 2) 半導体基板の表面に位置合わせマークを形成する位置合わせマーク形成工程と、

前記半導体基板の表面および前記位置合わせマークの表面にエピタキシャル成長によりエピタキシャル層を形成するエピタキシャル層形成工程とを具備する半導体装置の製造方法。

符号の説明

- [0081] 1 0 画素アレイ部
 2 0 位置合わせマーク
 2 1、2 2、2 5、2 6、2 8、2 9 膜
 2 3、1 1 9、1 2 8、1 2 9 凹部
 2 7 空隙
 1 0 0 半導体装置
 1 1 0 半導体基板
 1 2 0、1 2 4、1 2 6 エピタキシャル層
 1 2 2、1 2 3、1 2 5 多結晶半導体層
 1 3 0 配線領域
 1 4 0 入射光伝達部

請求の範囲

- [請求項1] 半導体基板と、
 前記半導体基板の表面においてエピタキシャル成長した単結晶の半導体により構成されるエピタキシャル層と、
 前記半導体基板および前記エピタキシャル層の間に配置された位置合わせマークと
 を具備する半導体装置。
- [請求項2] 前記エピタキシャル層は、前記エピタキシャル成長の際に前記半導体基板上に配置された前記位置合わせマークの表面を閉塞する請求項1記載の半導体装置。
- [請求項3] 前記位置合わせマークは、前記半導体基板に形成された凹部に配置され、
 前記エピタキシャル層は、前記凹部の側壁においてエピタキシャル成長することにより前記位置合わせマークの表面を閉塞する
 請求項2記載の半導体装置。
- [請求項4] 前記エピタキシャル層は、前記エピタキシャル成長の際に前記半導体基板上に配置された前記位置合わせマークの表面に形成された多結晶半導体を単結晶化することにより前記位置合わせマークの表面を閉塞する請求項2記載の半導体装置。
- [請求項5] 前記エピタキシャル層は、アニール処理により前記位置合わせマークの表面に形成された多結晶半導体を単結晶化する請求項4記載の半導体装置。
- [請求項6] 前記位置合わせマークは、前記半導体基板に形成された凹部の側壁に沿って配置され、
 前記エピタキシャル層は、前記凹部の底面においてエピタキシャル成長することにより前記位置合わせマークの表面を閉塞する
 請求項2記載の半導体装置。
- [請求項7] 前記エピタキシャル層は、前記半導体基板上に配置された前記位置

合わせマークの表面に沿って成長することにより前記位置合わせマークの表面を閉塞する請求項 2 記載の半導体装置。

[請求項 8] 前記位置合わせマークは、酸化膜により構成される請求項 1 記載の半導体装置。

[請求項 9] 前記位置合わせマークは、金属膜により構成される請求項 1 記載の半導体装置。

[請求項 10] 前記位置合わせマークは、空隙により構成される請求項 1 記載の半導体装置。

[請求項 11] 半導体基板と、
前記半導体基板の表面において複数のエピタキシャル成長によりそれぞれ積層された単結晶の半導体により構成される複数のエピタキシャル層と、

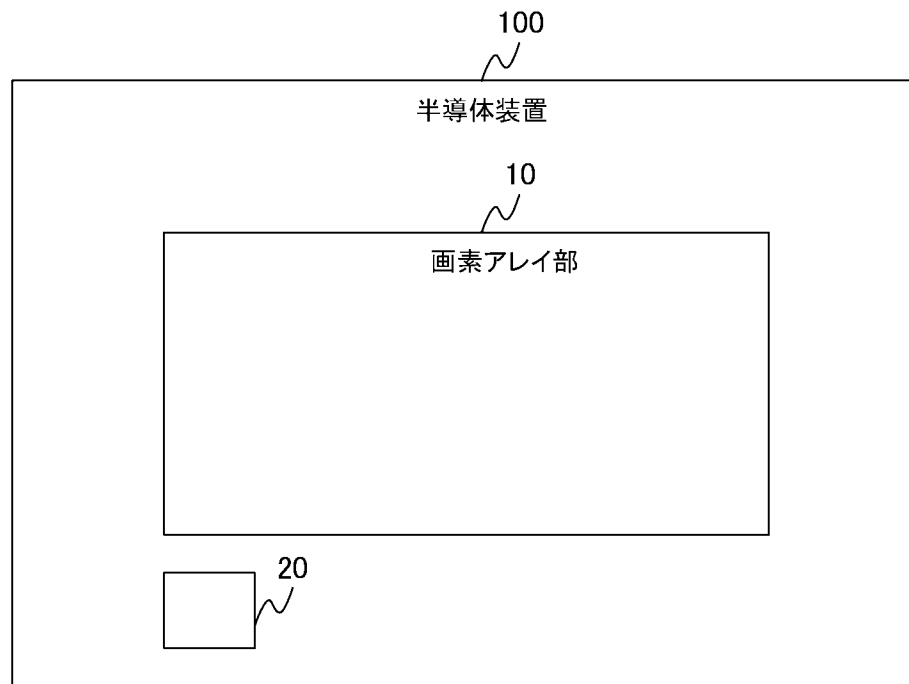
前記半導体基板および前記エピタキシャル層の間と隣接する前記エピタキシャル層の間とに配置される複数の位置合わせマークとを具備する半導体装置。

[請求項 12] 半導体基板の表面に位置合わせマークを形成する位置合わせマーク形成工程と、

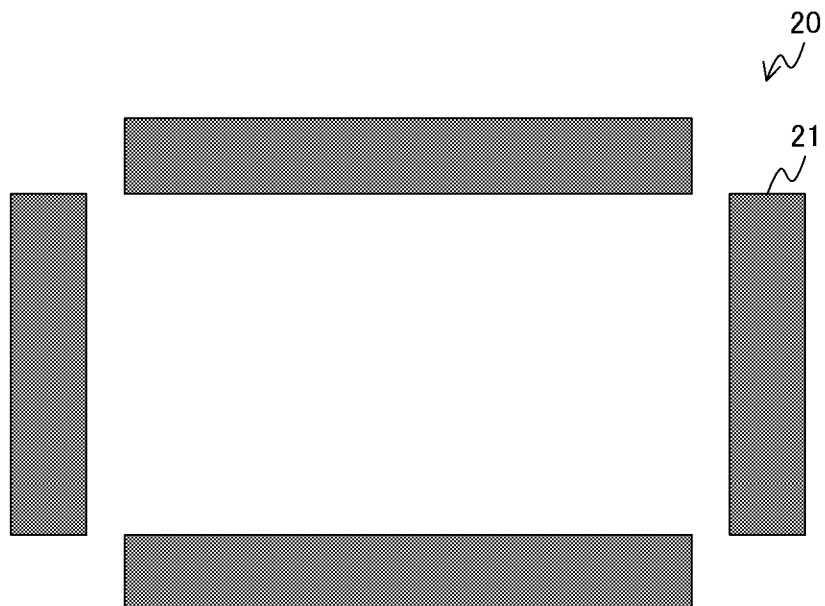
前記半導体基板の表面および前記位置合わせマークの表面にエピタキシャル成長によりエピタキシャル層を形成するエピタキシャル層形成工程と

を具備する半導体装置の製造方法。

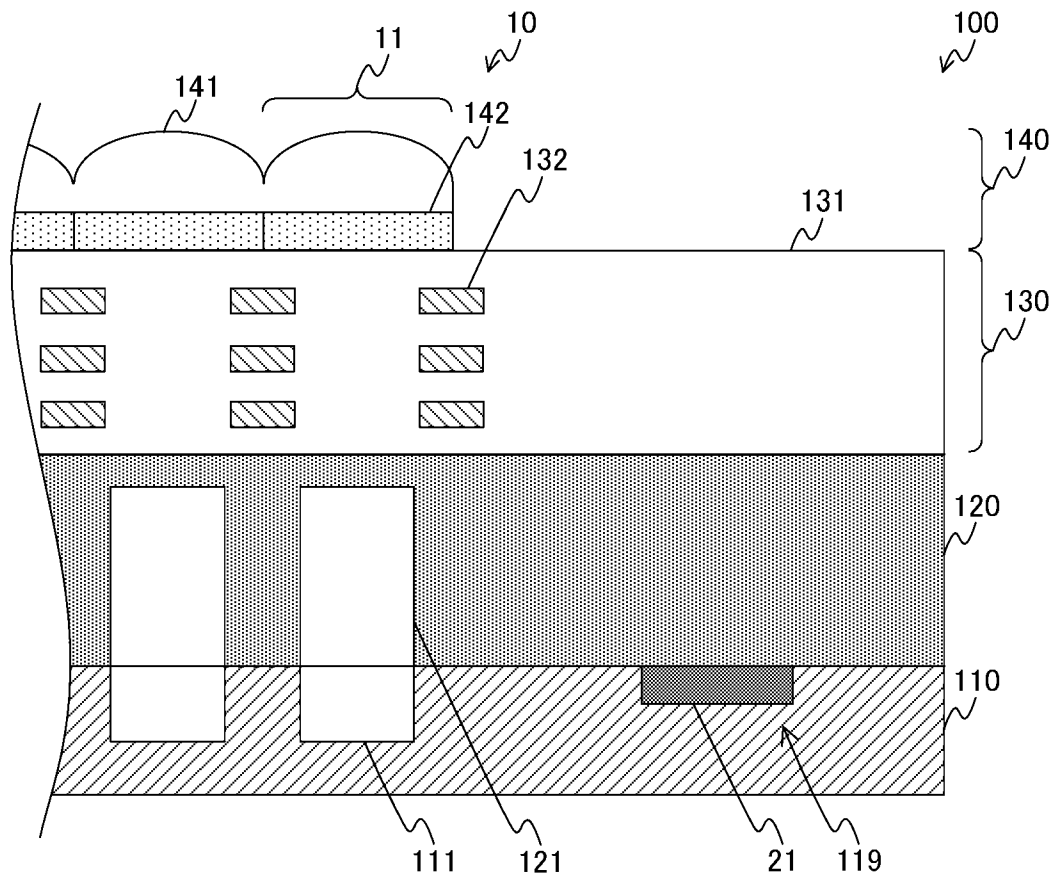
[図1]



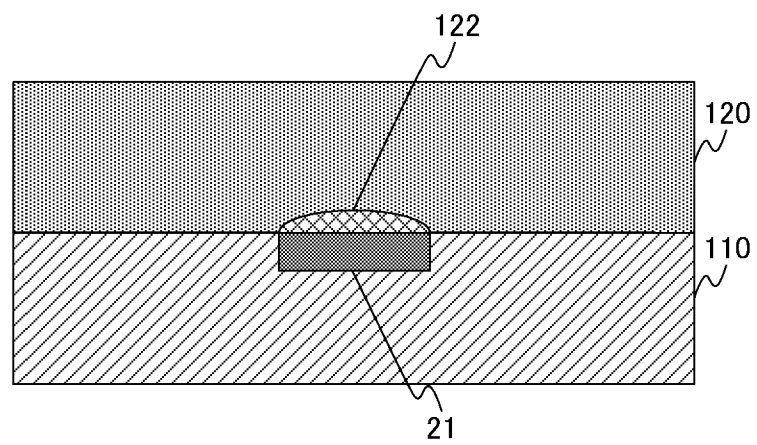
[図2]



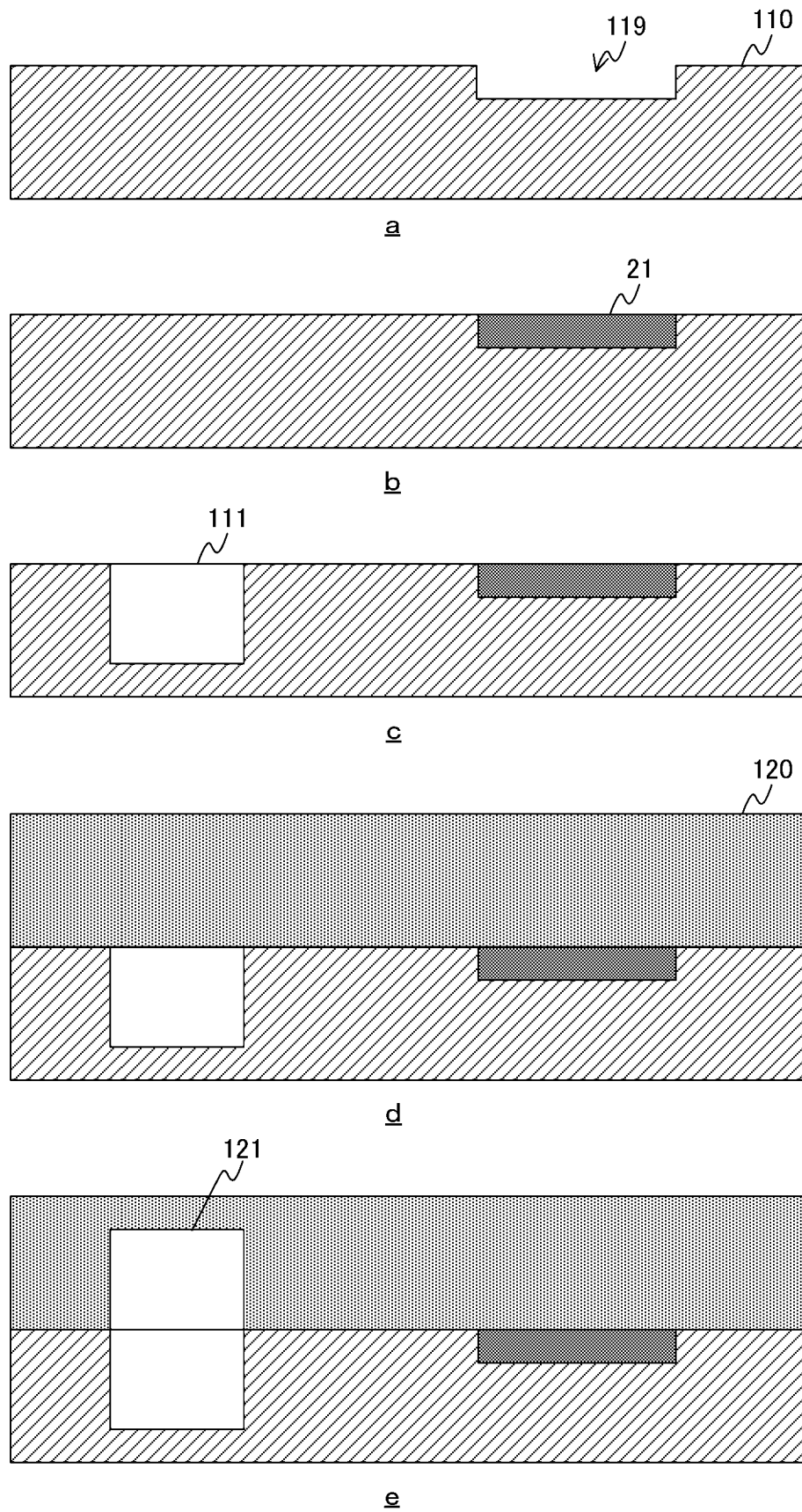
[図3]



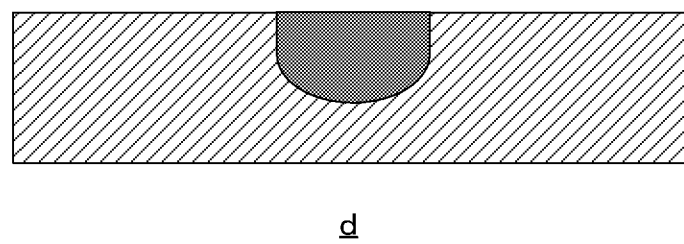
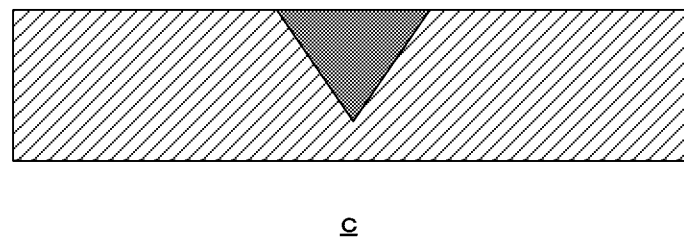
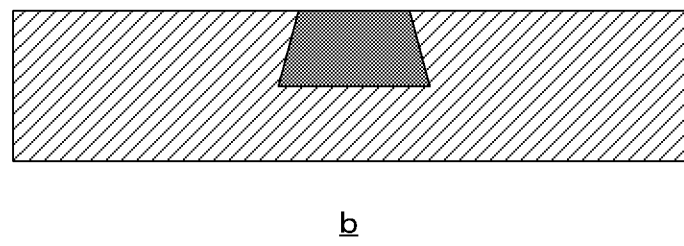
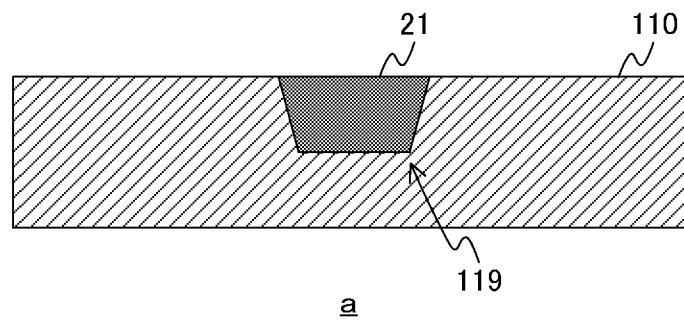
[図4]



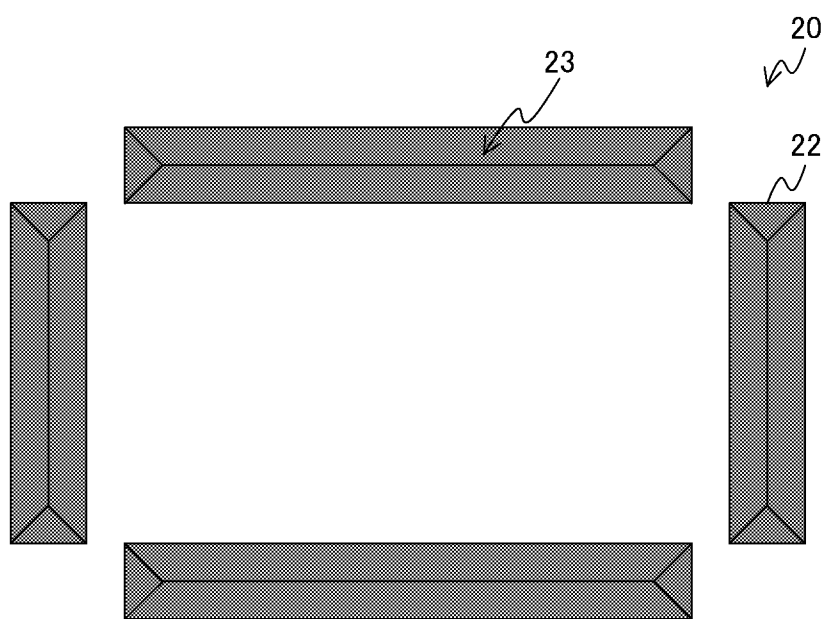
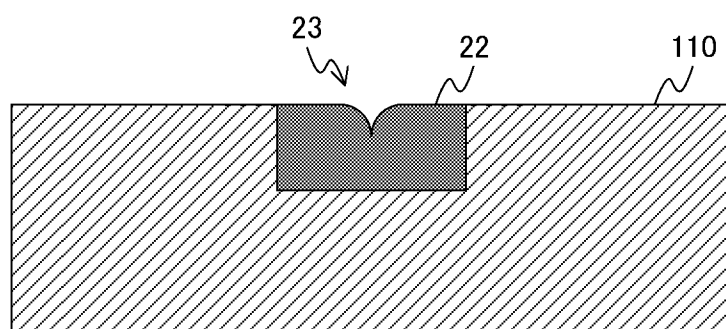
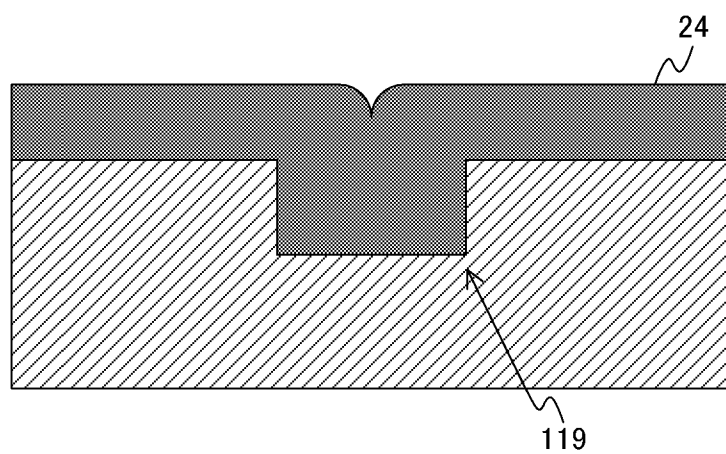
[図5]



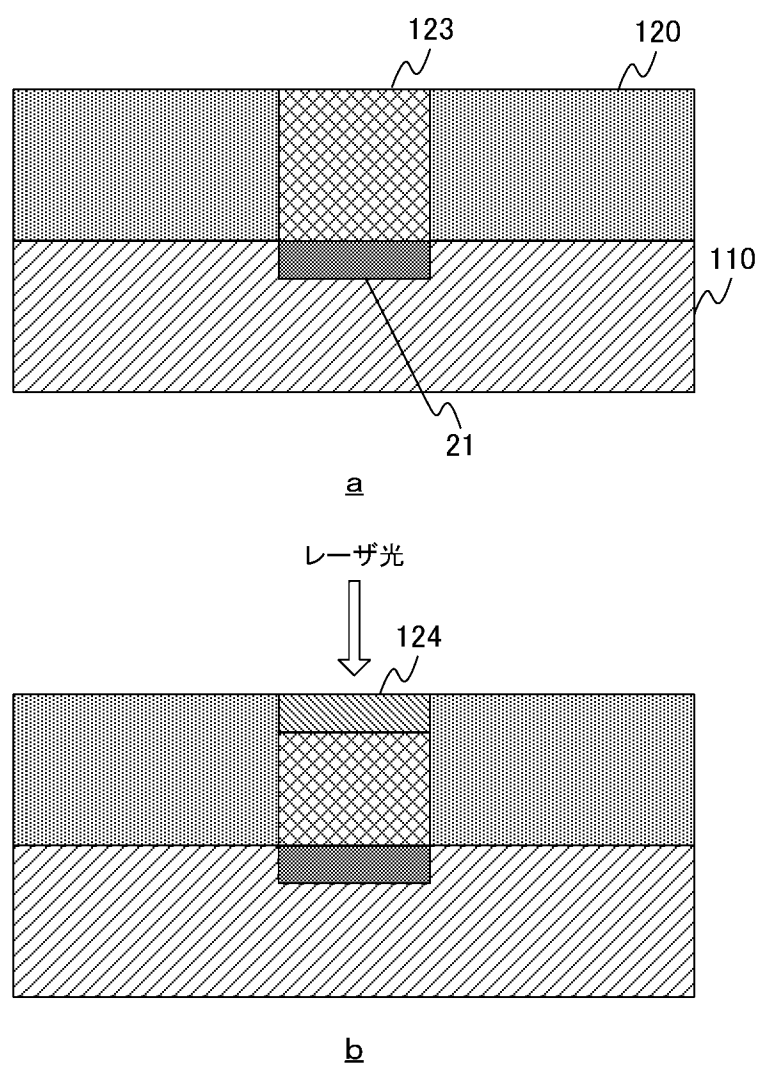
[図6]



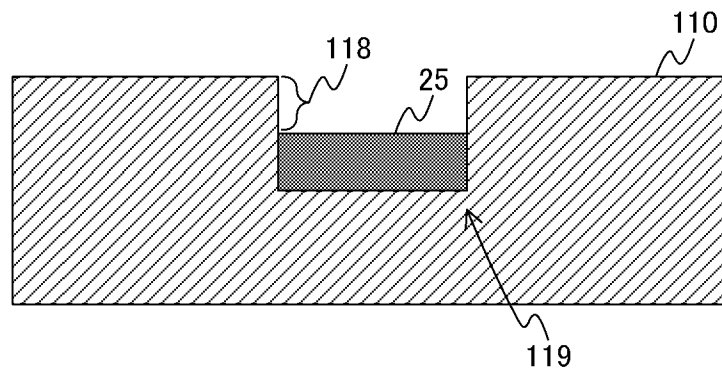
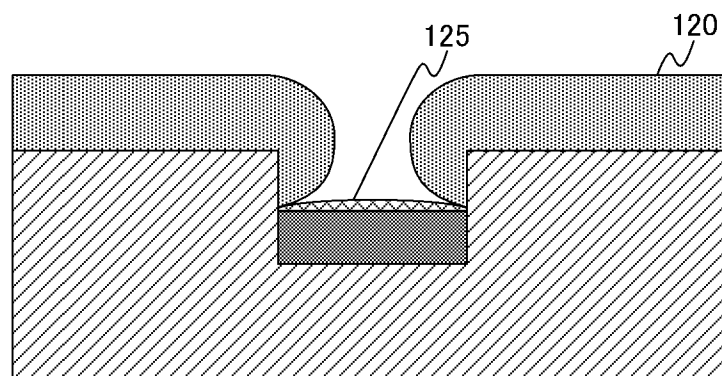
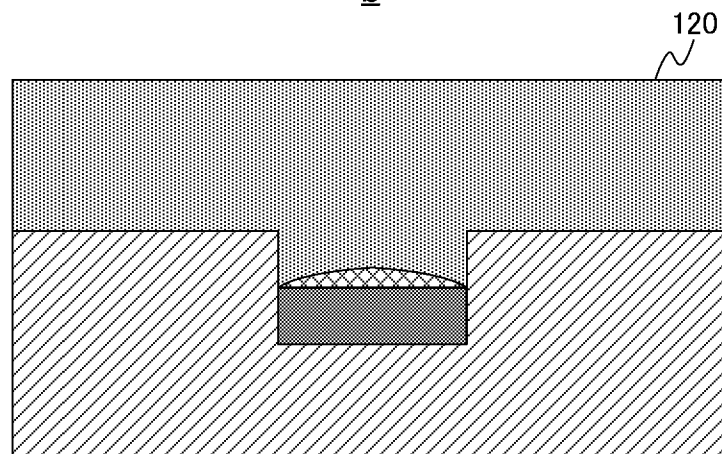
[図7]

abc

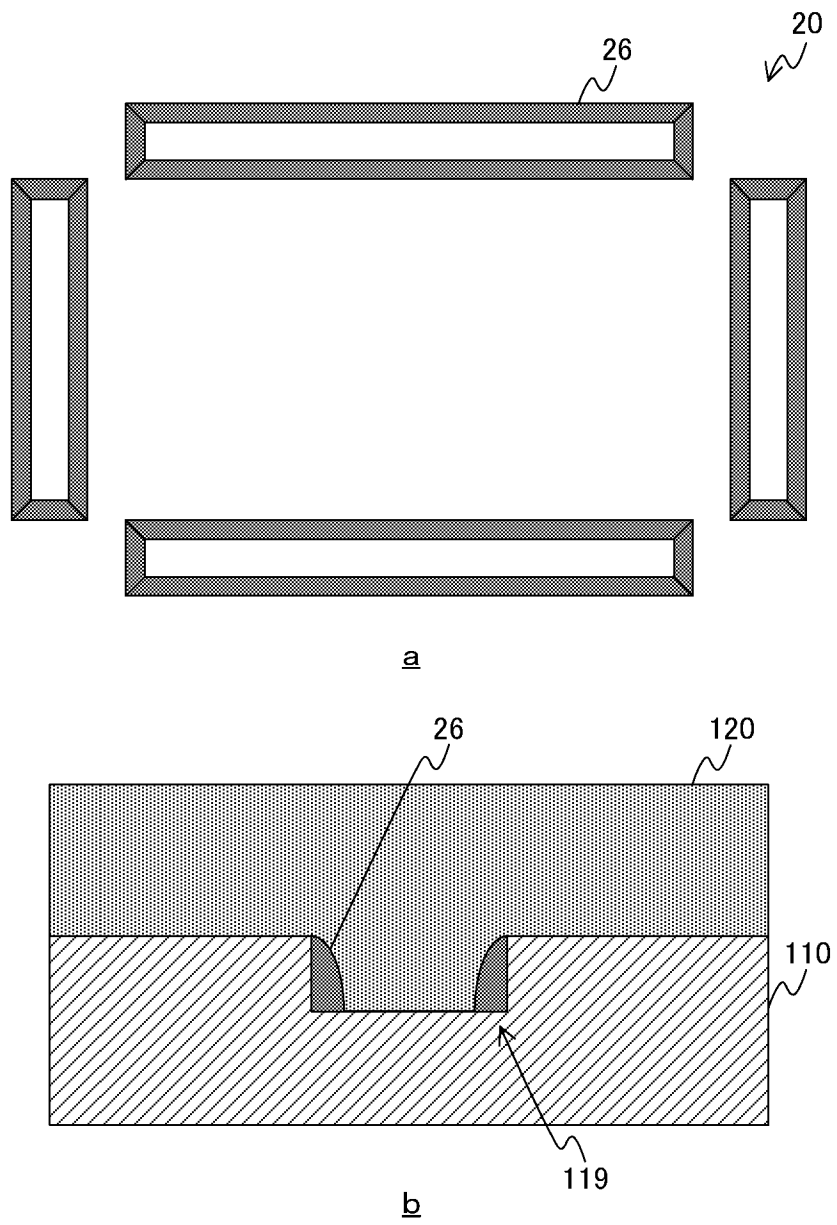
[図8]



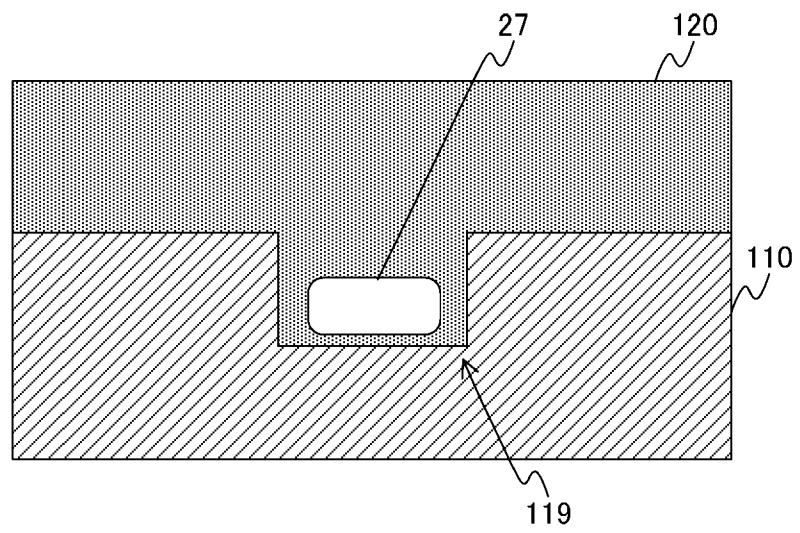
[図9]

abc

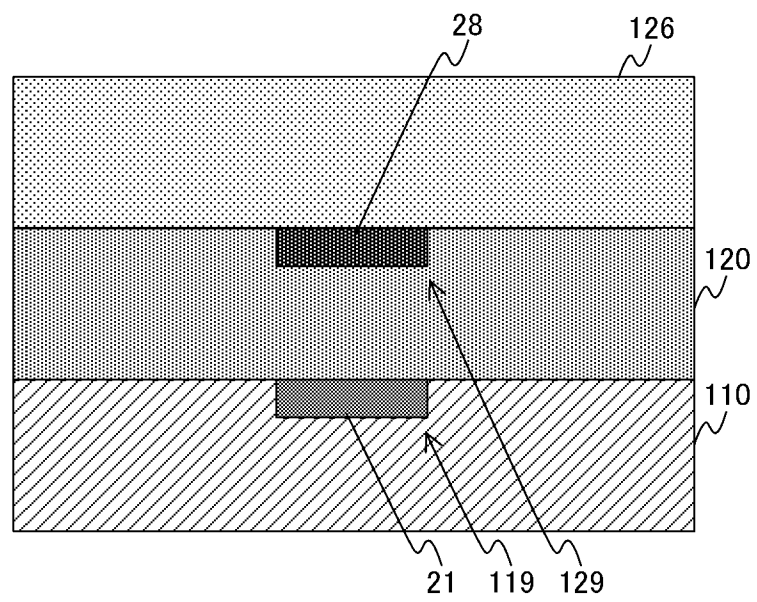
[図10]



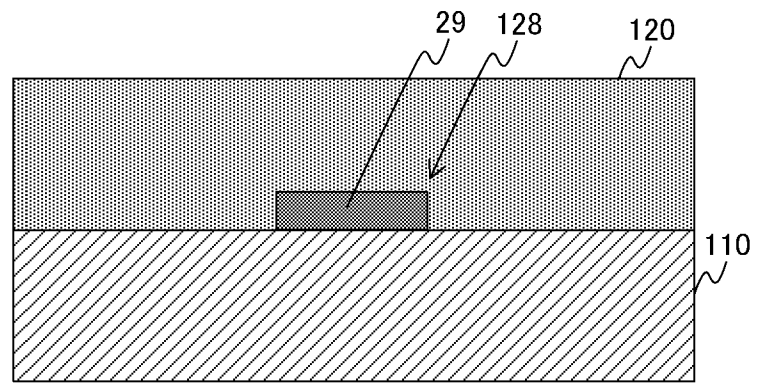
[図11]



[図12]



[図13]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/027747

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. G03F9/00 (2006.01) i, G03F7/20 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. G03F9/00, G03F7/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2002-33458 A (NIKON CORP.) 31 January 2002, paragraphs [0024]-[0031], [0068], fig. 1-3, 12 & US 2004/0007722 A1, paragraphs [0425]-[0435], [0484], fig. 37-39, 48	1-7, 12 8-11
X Y	JP 2012-9576 A (TOSHIBA CORP.) 12 January 2012, claim 1, paragraphs [0011]-[0021], fig. 1-2 (Family: none)	1-3, 6-7, 12 8-11

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
20 August 2018 (20.08.2018)

Date of mailing of the international search report
04 September 2018 (04.09.2018)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/027747

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 11-329923 A (SONY CORP.) 30 November 1999, claim 1, paragraphs [0015]-[0022], fig. 1 & US 6358814 B1, claim 1, column 4, line 47 to column 6, line 5, fig. 1 & EP 961320 A2 & TW 432708 B & KR 10-0610717 B1	1-3, 6-7, 12 8-11
Y	JP 2-1901 A (FUJITSU LTD.) 08 January 1990, specification, page 2, upper right column, lines 14-20, fig. 7 (Family: none)	8
Y	JP 2010-21293 A (NEC ELECTRONICS CORPORATION) 28 January 2010, paragraphs [0015]-[0022], fig. 1 & US 2010/0007035 A1, paragraphs [0022]-[0026], fig. 1-2	9
Y	JP 2011-165987 A (DENSO CORP.) 25 August 2011, claim 1, paragraphs [0034]-[0035], fig. 4 (Family: none)	10
Y	JP 2010-135533 A (SUMCO CORPORATION) 17 June 2010, claim 1, paragraphs [0058]-[0063], fig. 6 (Family: none)	11
A	JP 2007-280978 A (MITSUBISHI ELECTRIC CORP.) 25 October 2007, claim 2, paragraphs [0011]-[0018], fig. 1-2 (Family: none)	1-12

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. G03F9/00(2006.01)i, G03F7/20(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. G03F9/00, G03F7/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2002-33458 A(株式会社ニコン) 2002.01.31, 段落[0024]-[0031], [0068], 図1-3, 図12 & US 2004/0007722 A1, 段落[0425]-[0435], [0484], 図37-39, 図48	1-7, 12 8-11
X Y	JP 2012-9576 A (株式会社東芝) 2012.01.12, [請求項1], 段落[0011]-[0021], 図1-2 (ファミリーなし)	1-3, 6-7, 12 8-11

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

20.08.2018

国際調査報告の発送日

04.09.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

植木 隆和

2G

3706

電話番号 03-3581-1101 内線 3226

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 11-329923 A (ソニー株式会社) 1999. 11. 30, [請求項 1], 段落[0 0 1 5]—[0 0 2 2], 図 1 & US 6358814 B1, [請求項 1], 第 4 欄第 4 7 行—第 6 欄第 5 行, 図 1 & EP 961320 A2 & TW 432708 B & KR 10-0610717 B1	1-3, 6-7, 12 8-11
Y	JP 2-1901 A (富士通株式会社) 1990. 01. 08, 明細書第 2 頁右上欄第 1 4 行—第 2 0 行, 第 7 図 (ファミリーなし)	8
Y	JP 2010-21293 A (NECエレクトロニクス株式会社) 2010. 01. 28, 段落[0 0 1 5]—[0 0 2 2], 図 1 & US 2010/0007035 A1, 段落[0 0 2 2]—[0 0 2 6], 図 1-2	9
Y	JP 2011-165987 A (株式会社デンソー) 2011. 08. 25, [請求項 1], 段落[0 0 3 4]—[0 0 3 5], 図 4 (ファミリーなし)	10
Y	JP 2010-135533 A (株式会社SUMCO) 2010. 06. 17, [請求項 1], 段落[0 0 5 8]—[0 0 6 3], 図 6 (ファミリーなし)	11
A	JP 2007-280978 A (三菱電機株式会社) 2007. 10. 25, [請求項 2], 段落[0 0 1 1]—[0 0 1 8], 図 1-2 (ファミリーなし)	1-12