(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [7]
G11C 16/02

(45) 공고일자 2002년03월08일
(11) 등록번호 10-0323552
(24) 등록일자 2002년01월24일

(21) 출원번호 10-1998-0012229
(22) 출원일자 1998년04월07일

(65) 공개번호 특1998-0081145
(43) 공개일자 1998년11월25일

(30) 우선권주장 97-087983 1997년04월07일 일본(JP)

(73) 특허권자
가부시끼가이샤 도시바
니시무로 타이죠
일본국 도꾜도 미나또꾸 시바우라 1쪼메 1방 1고

(72) 발명자
다나까 도모하루
일본 가나가와껭 가와사끼시 사이와이꾸 호리까와쪼 580-1가부시끼가이샤 도시바 세미컨덕터 시스템 엔지니어링 센터 내
나까무라 히로시
일본 가나가와껭 가와사끼시 사이와이꾸 호리까와쪼 580-1가부시끼가이샤 도시바 세미컨덕터 시스템 엔지니어링 센터 내
단자와 도루
일본 가나가와껭 가와사끼시 사이와이꾸 호리까와쪼 580-1가부시끼가이샤 도시바 세미컨덕터 시스템 엔지니어링 센터 내

(74) 대리인
구영창
이상희

심사관 : 이철희

(54) 반도체기억장치

요약

본 발명은 기입시의 채널 전위를 충분히 확보하여 오기입을 막는다.

본 발명에 따른 반도체 기억 장치에서는, 데이타의 기입은 소스측의 메모리 셀부터 실행된다. 데이타의 기입시에 있어서, 선택 워드선이 WL2일 경우, 선택 워드선(WL2)에는 약 16V의 전위가 인가된다. 선택 메모리 셀에 대해 소스선측에 인접하는 메모리 셀의 비선택 워드선(WL3)의 전위는 0V로 설정된다. 그 외의 비선택 워드선(WL1, WL4)의 전위는 약 10V로 설정된다. 선택 워드선이 WL4일 경우 비선택 워드선(WL1 WL3)에는 약 10V의 전위가 인가된다.

대표도

도 4

명세서

도면의 간단한 설명

도 1은 본 발명의 실시 형태에 따른 반도체 기억 장치를 도시하는 도면.

도 2는 도 1에서의 메모리 셀 어레이와 데이타 기억 회로의 구성을 도시하는 도면.

도 3은 도 2에서의 메모리 셀과 선택 트랜지스터의 구조를 도시하는 도면.

도 4는 메모리 셀 유닛의 구성을 도시하는 도면.

도 5는 본 발명의 실시 형태에 따른 데이타 기억 회로의 구체적인 구성예를 나타내는 도면.

도 6은 클럭 동기식 인버터의 구체적인 구성을 도시하는 도면.

도 7은 본 발명의 실시 형태의 반도체 기억 장치의 판독 동작을 나타내는 도면.

도 8은 본 발명의 실시 형태의 반도체 기억 장치의 판독 동작을 나타내는 도면.

도 9는 본 발명의 실시 형태인 반도체 기억 장치의 판독 동작을 나타내는 도면.

도 10은 본 발명의 실시 형태인 반도체 기억 장치의 제1 기입 동작을 나타내는 도면.

도 11은 본 발명의 실시 형태인 반도체 기억 장치의 제2 기입 동작을 나타내는 도면.

도 12는 본 발명의 실시 형태인 반도체 기억 장치의 제3 기입 동작을 나타내는 도면.

도 13은 본 발명의 실시 형태의 반도체 기억 장치의 제4 기입 동작을 나타내는 도면.

도 14는 본 발명의 실시 형태인 반도체 기억 장치의 기입 검증 동작을 나타내는 도면.

도 15는 본 발명의 실시 형태인 반도체 기억 장치의 기입 검증 동작을 나타내는 도면.

도 16은 본 발명의 실시 형태의 반도체 기억 장치의 기입 검증 동작을 나타내는 도면.

〈도면의 주요 부분에 대한 부호의 설명〉

1 : 메모리 셀 어레이

2 : 비트선 제어 회로

3 : 컬럼 디코더

4 : 데이타 입출력 버퍼

5 : 데이타 입출력 단자

6 : 워드선 제어 회로

7 : 제어 신호 및 제어 전위 발생 회로

8 : 제어 신호 입출력 단자

10 : 데이타 기억 회로

11 : p형 반도체 기판

12 : n형 확산층

13, 17 : 게이트 절연막

14 : 부유 게이트

15 : 절연막

16 : 제어 게이트

18 : 선택 게이트

M : 메모리 셀

S : 선택 트랜지스터

WL : 워드선

BL : 비트선

SG : 선택 게이트

SRC : 소스선

Qn : n채널 MOS 트랜지스터

Qp : p채널 MOS 트랜지스터

VCC : 전원 전위

CI : 클록 동기식 인버터

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 기억 장치에 관한 것으로, 특히 다치 플래시 메모리, 다치 EEPROM, 다치 EPROM에 사용된다.

반도체 기판상에 부유 게이트(전하 축적층)와 제어 게이트를 갖는 MOSFET 구조는 플래시 메모리의 메모리 셀의 한 종류로서 잘 알려져 있다.

통상, 플래시 메모리의 1개의 메모리 셀에는, 1비트 데이타, 즉 데이타 "0" 또는 "1"이 기억된다. 또한, 메모리 셀의 데이타가 "0"인가 또는 "1"인가는 부유 게이트에 축적된 전하량에 의해 식별 가능하다.

이에 대해 최근에는, 큰 데이타 용량을 확보하기 위해, 하나의 메모리 셀에 다중 비트의 데이타를 기억시키는 다치 기억 방식의 개발이 진행되고 있다. 예를 들어, 4치 기억 방식에서는, 하나의 메모리 셀에 데이타 "0", "1", "2" 또는 "3"이 기억된다.

다치 기억 방식의 플래시 메모리에 있어서, 메모리 셀에 어느 데이타가 기억되어 있는가는 부유 게이트에 축적된 전하량에 의해 판단한다.

이하, 데이타의 기억 상태, 즉 데이타와 부유 게이트 중 전하양의 관계에 따라 4치 기억 방식의 플래시 메모리를 예로 설명한다.

먼저, 데이타 "0"은 소거 상태에 대응한다.

소거 상태란, 부유 게이트 중에 정의 전하가 축적되어 있는 상태인 것이다. 즉, 소거 상태에서는, 부유 게이트는 부유 게이트 중의 전하량이 영(0)인 중성 상태에 대해 정(+)으로 대전하고 있다.

소거 상태는, 예를 들어 반도체 기판에 고전위(약 20V)를 인가하고, 제어 게이트를 접지 전위(0V)로 하여, 정의 전하를 반도체 기판으로부터 부유 게이트로 이동시킴으로써 얻어진다.

다음에, 데이타 "1", "2" 및 "3"는 기입 상태에 대응한다.

기입 상태란 부유 게이트 중에 부의 전하가 축적되어 있는 상태이다. 단, 데이타 "2"인 상태의 부유 게이트 중의 부의 전하량은 데이타 "1"인 상태의 부유 게이트 중의 부(-)의 전하량보다 많고, 데이타 "3"인 상태의 부유 게이트 중의 부의 전하량은 데이타 "2"인 상태의 부유 게이트 중의 부의 전하량보다도 많게 되도록 설정된다.

기입 상태에서는, 부유 게이트는 부유 게이트 중의 전하량이 영인 중성 상태에 대해 부로 대전하고 있다.

기입 상태는, 예를 들어 반도체 기판, 소스, 드레인을 각각 접지 전위(0V)로 설정하고, 제어 게이트에 고전위(약 16V)를 인가하며, 부의 전하를 반도체 기판으로부터 부유 게이트로 이동시킴으로써 얻어진다.

기입 동작 중, 데이타 "0"을 유지하려는 메모리 셀에서는, 소스, 드레인 및 채널이 5V로 설정된다. 이 경우, 제어 게이트에 고전위(약 16V)가 인가되고, 기판이 접지 전위(0V)로 설정되어도, 정의 전하는 부유 게이트 중에 보유되기 때문에 데이타 "0"이 유지된다.

이상에서, 하나의 메모리 셀로 4 종류의 기입 상태("0", "1", "2", "3")를 실현할 수 있다.

플래시 메모리에는, NAND형 메모리 셀 유닛을 갖는 것이 알려져 있다.

이 메모리 셀 유닛은 복수(예를 들어, 4개)의 메모리 셀로 구성되는 메모리 셀 열과, 메모리 셀 열의 한쪽 단부와 비트선 사이에 접속되는 제1 선택 트랜지스터, 메모리 셀 열의 다른 쪽 단부와 소스선 사이에 접속되는 제2 선택 트랜지스터로 구성된다.

또, 소스선은 모든 메모리 셀 유닛에 대해 공통으로 되어 있다.

NAND형 메모리 셀 유닛을 갖는 플래시 메모리에서는, 데이타 "0"의 기입시에 있어서는, 비트선을 전원 전위(VCC ; 예를 들어, 3V), 제1 선택 트랜지스터의 게이트를 전원 전위(VCC), 선택 메모리 셀의 제어 게이트를 제1 고전위(예를 들어, 16V), 비선택 메모리 셀의 제어 게이트를 제2 고전위(예를 들어, 10V)로 설정하고, 선택 메모리 셀의 부유 게이트에 축적되어 있는 전하를 보유한다.

이 때, NAND형 메모리 셀 유닛의 각 메모리 셀의 채널은, 제1 선택 트랜지스터를 경유하여 비트선에 접속되어 있기 때문에, 각 메모리 셀의 채널 전위는 제1 선택 트랜지스터의 소위 임계치 하강을 고려하면, 당초에는 전원 전위(VCC ; 예를 들어, 3V) 이하의 소정 전위로 된다.

이 후, 제1 선택 트랜지스터가 비도통으로 되면, NAND형 메모리 셀 유닛의 각 메모리 셀의 채널 전위는, 제어 게이트와 채널 사이에 생기는 정전 용량에 의해 상승한다. 예를 들어, 정전 용량의 결합비가 50%이면, 채널의 전위는 약 5V로 된다.

그런데, 메모리 셀의 부유 게이트에 부의 전하가 축적되어 있으면, 메모리 셀의 임계치는 높게 된다. 이로써, 데이타 "0"의 기입 동작 중의 각 메모리 셀의 채널 전위는 메모리 셀의 임계치가 높게 될수록 낮게 되어, 데이타 "0"를 유지하는 점에서의 신뢰성은 저하한다.

그렇지만, 메모리 셀의 임계치가 -1V인 경우에는, 제어 게이트의 전위가 약 0V일 때 채널의 전위는 약 1V로 되고, 제어 게이트의 전위가 약 10V일 때 채널의 전위는 약 6V로 된다(결합비 50%).

또한, 메모리 셀의 임계치가 1V인 경우에는, 제어 게이트의 전위가 약 1V일 때, 채널 전위는 약 0V로 되고, 제어 게이트의 전위가 약 10V일 때, 채널 전위는 약 4.5V로 된다(결합비 50%).

NAND형 메모리 셀 유닛을 갖는 플래시 메모리 셀에 있어서는, 메모리 셀의 데이타는 제어 게이트에 소정의 판독 전위를 인가하여, 메모리 셀의 데이타에 따라 당해 메모리 셀을 온 또는 오프 상태로 하도록 하고, 이 때에 메모리 셀의 채널에 흐르는 셀 전류를 검출함으로써 판독할 수 있다.

여기서, 판독 전위를 3 종류 준비하면, 4 종류의 기입 상태(부유 게이트 중의 전하의 종류 및 양, 즉 임계치가 다른 상태)를 판별할 수 있다.

또한, NAND형 메모리 셀 유닛은, 복수의 메모리 셀이 직렬 접속된 구성을 갖고 있기 때문에, 판독 동작시에서의 셀 전류가 적은(예를 들어, 1㎂ 정도임)점에 특징이 있다.

판독 시간에 대해서는, 예를 들어, 선택 메모리 셀에 연결되는 비트선 용량을 약 5pF로 하면, 비트선의 전위가 셀 전류에 의해 1V 변동하기까지 약 5㎲sec의 시간이 필요하다.

메모리 셀의 데이타를 적은 셀 전류로 고속으로 판독하기 위해, 예를 들어 비트선과 판독 회로 사이에 N채널 MOS 트랜지스터를 접속하고, 이 MOS 트랜지스터의 게이트에 약 2V의 전위를 인가하여 비트선을 프리차지한다.

이 경우, N채널 MOS 트랜지스터의 임계치를 약 1V로 하면, 비트선은 당해 MOS 트랜지스터의 소위 임계치 하락을 고려하면, 약 1V로 프리차지된다.

비트선이 프리차지되면, N채널 MOS 트랜지스터는, 다음에 고저항으로 되고, 그 후 비도통 상태로 된다. 단, 비트선의 프리차지는 실효적인 프리차지 시간을 고려하면, N채널 MOS 트랜지스터가 완전히 비도통 상태로 되기까지 단속되지 않는다.

판독 동작시, 선택 메모리 셀에 셀 전류가 흐르고, 비트선의 전위가 저하하면, 비트선에 연결되는 N채널 MOS 트랜지스터의 채널 저항이 저저항화 하기 때문에, 이 상태를 검출하면, 고속으로 비트선의 전위 변화(메모리 셀의 데이타)를 감지하는 것이 가능하게 된다.

N채널 MOS 트랜지스터의 채널 저항의 변화는, 당해 MOS 트랜지스터의 채널 저항의 저항값과 소위 참조 저항의 저항값을 비교함으로써 검출할 수 있다. 이 때문에, 참조 저항, N채널 MOS 트랜지스터, 메모리 셀에 전류 경로를 둔다.

그러나, 이와 같은 판독 동작에서는, 복수의 선택 메모리 셀의 데이타를 동시에 판독할 경우, 각 선택 메모리 셀의 임계치에 따라 모든 셀 유닛에 공통으로 되는 소스선에 큰 전류가 흐르거나, 역으로 전혀 흐르지 않거나 한다.

예를 들어, 대부분의 선택 메모리 셀에 셀 전류가 흐르는 경우, 즉 대부분의 선택 메모리 셀의 데이타가 "0"인 경우에는 소스선에 큰 전류가 흘러, 소스선의 전위가 변동한다. 소스선의 전위의 변동은 선택 메모리 셀의 데이타를 정확하게 판독할 수 없는 상태를 만들어 낸다.

이상과 같이, 예를 들어 데이타 "0"의 기입시에 있어서, 메모리 셀 유닛 중의 메모리 셀의 임계치가 높으면, 메모리 셀의 채널 전위가 충분히 상승하지 않기 때문에, 선택 메모리 셀에 데이타 "0"이 아니라, 데이타 "1"이 기입되어 버릴 우려가 있다.

또한, 판독시에 있어서, 셀 전류가 적은 메모리 셀의 상태를 검출하는데 대단히 시간이 걸리는 반면, 고속으로 메모리 셀의 상태를 검출하고자 하면 정확하게 메모리 셀의 상태를 검출할 수 없다는 결점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기 결점을 해결하고자 이루어진 것으로, 그 목적은 기입시에 메모리 셀의 채널 전위를 충분히 확보하는 것, 및 판독시에 고속이고 정확하게 메모리 셀의 상태를 검출하는 것이다.

상기 과제를 해결하고자 본 발명의 반도체 기억 장치는, 메모리 셀과, 상기 메모리 셀에 접속되는 비트선, 프리차지 회로를 포함하는 판독 회로, 상기 비트선과 상기 판독 회로 사이에 접속되는 제1 트랜지스터를 구비하고, 상기 비트선은 상기 제1 트랜지스터의 게이트에 제1 전위가 인가되어 있을 때 상기 프리차지 회로에 의해 프리차지되고, 상기 판독 회로는 상기 제1 트랜지스터의 게이트에 상기 제1 전위보다도 낮은 제2 전위가 인가되어 있을 때 상기 비트선의 전위의 변화를 감지한다.

상기 프리차지 회로는 상기 제1 트랜지스터와 전원 단자 사이에 접속되는 제2 트랜지스터로 구성되고, 상기 제2 트랜지스터는 상기 제1 트랜지스터의 게이트에 상기 제2 전위가 인가되고 있는 동안, 비도통 상태로 설정된다.

본 발명의 바람직한 실시 태양으로서는, 상기 제1 및 제2 트랜지스터가 n채널 MOS 트랜지스터이고, 상기 비트선의 정전 용량은 상기 제1 트랜지스터와 상기 판독 회로의 접속부의 정전 용량보다 큰 경우이다.

본 발명의 반도체 기억 장치에 의하면, 비트선과 판독 회로 사이에 MOS 트랜지스터를 접속하고, 비트선의 프리차지 시에는 MOS 트랜지스터의 게이트에 제1 전위를 인가하며, 판독시에는 MOS 트랜지스터의 게이트에 제1 전위보다 낮은 제2 전위를 인가하고 있다.

따라서, 비트선을 프리차지한 후, MOS 트랜지스터를 단시간에 비도통으로 할 수 있기 때문에, 참조 저항 등을 이용하지 않고 비트선의 전위 변화를 감지할 수 있게 되어, 고속이면서 정밀도 좋게 메모리 셀의 기입 상태를 검출할 수 있다.

본 발명의 반도체 기억 장치는, 제1 및 제2 선택 트랜지스터 사이에 복수의 메모리 셀이 직렬 접속된 NAND형 메모리 셀 유닛과, 상기 복수의 메모리 셀 중 선택 메모리 셀에 대해 기입을 행하기 위한 수단을 구비하고, 상기 기입 수단은 기입시에 상기 선택 메모리 셀의 게이트 전극에 제1 전위를 인가하며, 상기 선택 메모리 셀의 한쪽편에 인접하는 메모리 셀의 게이트 전극에 상기 제1 전위보다도 낮은 제2 전위를 인가하며, 나머지 메모리 셀의 게이트 전극에 상기 제1 전위보다도 낮고, 상기 제2 전위보다도 높은 제3 전위를 인가한다.

상기 선택 메모리 셀의 한쪽편이란, 상기 선택 메모리 셀에 대해 상기 제2 선택 트랜지스터쪽의 것이며, 상기 제1 선택 트랜지스터는 비트선에 접속되고, 상기 제2 선택 트랜지스터는 소스선에 접속된다.

상기 복수의 메모리 셀에 대해, 상기 제2 트랜지스터에 인접하는 메모리 셀쪽부터 상기 제1 선택 트랜지스터에 인접하는 메모리 셀쪽으로 순차 기입을 행한다.

상기 기입 수단은, 상기 기입 전에 상기 나머지 메모리 셀 중 상기 선택 메모리 셀에 대해 상기 제1 선택 트랜지스터측에 존재하는 메모리 셀의 게이트 전극에 제4 전위를 인가하고, 상기 나머지 메모리 셀 중 상기 선택 메모리 셀에 대해 상기 제2 선택 트랜지스터측에 존재하는 메모리 셀의 게이트 전극에 제5 전위를 인가하여 상기 복수의 메모리 셀의 채널을 충전한다.

상기 제5 전위는 상기 제4 전위보다도 높다.

상기 기입 수단은, 상기 기입 전에 상기 선택 메모리 셀의 게이트 전극에 상기 제4 전위를 인가하고, 상기 선택 메모리 셀의 한쪽편에 인접하는 메모리 셀의 게이트 전극에 상기 제2 전위를 인가한다.

상기 기입 수단은, 상기 기입 전에 상기 선택 메모리 셀의 게이트 전극에 상기 제5 전위를 인가하고, 상기 선택 메모리 셀의 한쪽편에 인접하는 메모리 셀의 게이트 전극에 상기 제2 전위를 인가한다.

상기 제4 및 제5 전위는 상기 제3 전위보다도 낮다. 상기 제4 전위는 전원 전위이다.

상기 기입 수단은, 상기 기입시에, 상기 나머지 메모리 셀 중 상기 선택 메모리 셀에 대해 상기 제2 선택 트랜지스터측에 존재하는 메모리 셀의 게이트 전극에 상기 제3 전위를 인가한 후에, 상기 나머지 메모리 셀 중 상기 선택 메모리 셀에 대해 상기 제1 선택 트랜지스터측에 존재하는 메모리 셀의 게이트 전극에 상기 제3 전위를 인가한다.

상기 기입 수단은 상기 기입시에 상기 나머지 메모리 셀 중 상기 선택 메모리 셀에 대해 상기 제2 선택 트랜지스터측에 존재하는 메모리 셀의 게이트 전극에 상기 제3 전위를 인가한 후, 상기 선택 메모리 셀의 게이트 전극에 상기 제1 전위를 인가한다.

상기 선택 메모리 셀의 게이트 전극에 상기 제1 전위를 인가하는 시기는, 상기 나머지 메모리 셀 중 상기 선택 메모리 셀에 대해 상기 제1 선택 트랜지스터측에 존재하는 메모리 셀의 게이트 전극에 상기 제3 전위를 인가하는 시기와 실질적으로 같다.

상기 구성의 반도체 기억 장치에 의하면, 기입된 메모리 셀의 임계치에 의존하지 않고, “0” 데이타 기입시에 충분하면서 안정한 채널 전위를 발생시킬 수 있다.

발명의 구성 및 작용

이하 도면을 참조하면서, 본 발명의 반도체 기억 장치에 대해 상세히 설명한다.

도 1은 본 발명의 실시 형태에 따른 다치 기억 방식의 NAND형 플래시 메모리의 구성을 도시하고 있다.

메모리 셀 어레이(1)는, 복수의 NAND형 메모리 셀 유닛, 복수의 비트선, 복수의 워드선, 및 소스선을 포함하고 있다. NAND형 메모리 셀 유닛은, 직렬 접속된 복수의 메모리 셀로 이루어지는 메모리 셀 열과, 메모리 셀 열의 양단에 각각 접속되는 선택 트랜지스터로 구성된다. 소스선은 모든 메모리 셀 유닛에 공통으로 되어 있다.

비트선 제어 회로(2)는 메모리 셀 어레이(1)의 비트선을 통해 메모리 셀의 데이타를 판독하거나, 비트선을 통해 메모리 셀의 상태를 검출하거나, 비트선을 통해 메모리 셀에 기입 제어 전압을 인가하여 메모리 셀에 기입을 행한다.

비트선 제어 회로(2)는 복수의 데이터 기억 회로를 포함하고 있다. 데이타 기억 회로는 메모리 셀 어레이(1)의 컬럼에 대해 설치된다. 컬럼 디코더(3)에 의해 선택된 데이타 기억 회로에 의해 판독된 메모리 셀의 데이타는, 데이타 입출력 버퍼(4)를 경유하여 데이타 입출력 단자(5)로부터 외부로 판독된다.

또한, 외부로부터 데이타 입출력 단자(5)로 입력된 기입 데이타는, 데이타 입출력 버퍼(4)를 경유하여 컬럼 디코더(3)에 의해 선택된 데이타 기억 회로에 초기적인 제어 데이타로서 래치된다. 데이타 기억 회로의 제어 데이타는 비트선을 경유하여 메모리 셀 어레이(1)의 선택 메모리 셀에 인가되는 기입 제어 전압을 제어한다.

워드선 제어 회로(6)는 메모리 셀 어레이(1)의 복수개의 워드선 중 한개를 선택하고, 그 한개의 워드선에 판독 동작, 기입 동작, 또는 소거 동작에 필요한 소정 전위를 인가한다.

메모리 셀 어레이(1), 비트선 제어 회로(2), 컬럼 디코더(3), 데이타 입출력 버퍼(4) 및 워드선 제어 회로(6)의 동작은, 각각 제어 신호 및 제어 전위 발생 회로(7)에 의해 제어된다.

또한, 제어 신호 및 제어 전위 발생 회로(7)는, 외부로부터 제어 신호 입력 단자(8)에 인가되는 제어 신호에 기초하여 동작한다.

도 2는 도 1의 메모리 셀 어레이(1) 및 비트선 제어 회로(2)의 구성의 일례를 도시하고 있다.

NAND형 메모리 셀 유닛은, 서로 직렬 접속된 4개의 메모리 셀(M)로 이루어지는 메모리 셀 열과, 메모리 셀 열의 한쪽 단부와 비트선(BL) 사이에 접속되는 선택 트랜지스터(S)와, 메모리 셀 열의 다른쪽 단부와 소스선(SRC) 사이에 접속되는 선택 트랜지스터(S)로 구성된다.

메모리 셀(M)의 제어 게이트는, 워드선(WLm ; m은 1 4 중 어느 하나)에 접속되고, 비트선측의 선택 트랜지스터(S)는 선택 게이트(SG1)에 접속되며, 소스선측의 선택 트랜지스터(S)는 선택 게이트(SG2)에 접속된다.

한개의 워드선(WLm)을 공유하는 복수의 메모리 셀(M)은, 페이지라고 불리는 단위를 구성하며, 본예의 경우 1블록은 4페이지로 구성된다. 또한, 본 예에서는 2블록분만을 나타내고 있지만, 실제는 메모리 셀 어레이(1)는 임의의 수의 블록(예를 들어, 1024 블록)으로 구성된다. 또한, 비트선(BL0, BL1, …BL4223)의 갯수는 본 예에서는 4224개이지만, 임의의 갯수(예를 들어, 2112개)이어도 된다.

비트선 제어 회로(2)는 복수의 데이타 기억 회로(10)를 포함하고 있다. 본 예에서는, 데이타 기억 회로(10)는 2개의 비트선(BLi, BLi+1(i는 0 또는 우수))에 대해 하나 설치되어 있지만, 임의의 갯수, 예를 들어 1개, 4개, 6개 또는 9개의 비트선에 대해 하나 설치해도 된다.

컬럼 선택 신호(CSL0, CSL1, …CSL4223)는 컬럼 디코더의 출력 신호이다. 컬럼 선택 신호(CSLi, CSLi+1)는 비트선(BLi, BLi+1)에 접속되는 데이타 기억 회로(10)로 입력된다.

판독시, 컬럼 선택 신호(CSLi, CSLi+1)에 의해 선택된 데이타 기억 회로(10)에 래치되어 있는 메모리 셀의 데이타는, 판독 데이타로서 데이타 입출력 버퍼로 전해진다.

또한, 기입에 앞서, 컬럼 선택 신호(CSLi, CSLi+1)에 기초하여, 비트선(BLi, BLi+1) 중 어느 한쪽에, 기입시 메모리 셀에 인가되는 기입 제어 전압을 제어하기 위한 제어 데이타가 초기적으로 전송된다.

기입 상태를 검출할 때에는, 비트선(BLi, BLi+1) 중 어느 한쪽에 접속되는 메모리 셀의 기입 상태를 검출한다.

도 3은 도 2의 메모리 셀(M)과 선택 트랜지스터(S)의 구조를 도시하고 있다.

p형 반도체 기판(11)의 표면에는, 소스 또는 드레인으로 되는 n형 확산층(12)이 형성되어 있다.

메모리 셀(M)은, 반도체 기판(11) 중의 n형 확산층(12), 반도체 기판(11)상의 게이트 절연막(13), 게이트 절연막(13)상의 부유 게이트(14), 부유 게이트(14)상의 절연막(15), 절연막(15)상의 제어 게이트(워드선 ; 16)을 포함하고 있다. 선택 트랜지스터(S)는, 반도체 기판(11) 중의 n형 확산층(12), 반도체 기판(11)상의 게이트 절연막(17), 게이트 절연막(17)상의 선택 게이트(18)를 포함하고 있다.

메모리 셀(M)의 제어 게이트(16)에 메모리 셀(M)의 임계치 이상의 전위를 인가하면, 부유 게이트(14) 바로 아래의 반도체 기판(11)의 표면에는 채널이 형성된다.

예를 들어, 제어 게이트(16)와 부유 게이트(14) 사이의 용량이 1fF, 부유 게이트(14)와 채널 사이의 용량이 1fF, 채널과 반도체 기판(11) 사이의 용량이 0.25fF, n형 확산층(12)과 반도체 기판(11) 사이의 용량이 0.25fF라고 가정했을 경우, 제어 게이트(16)와 채널의 용량 결합비 및 제어 게이트(16)와 n형 확산층(12)의 용량 결합비는 각각 50%이다.

이 경우, 채널과 n형 확산층(12)이 부유 상태이면, 제어 게이트(16)가 1V 상승하면 채널 및 n형 확산층(12)의 전위는 0.5V 상승한다.

도 4는 도 2의 NAND형 메모리 셀 유닛의 구조를 나타내고 있다.

4개의 메모리 셀(M)로 메모리 셀 열이 구성되고, 메모리 셀 열의 한쪽 단부는 선택 트랜지스터(S)를 경유하여 소스선(SRC)에 접속되며, 메모리 셀 열의 다른쪽 단부는 선택 트랜지스터(S)를 경유하여 비트선(BL)에 접속된다.

소거 동작에서는, 반도체 기판의 전위(Vsub)를 약 20V로 설정하고, 선택 게이트(SG1, SG2), 소스선(SRC), 비트선(BL)의 전위를 약 20V로 설정하며, 블록 소거(블록 내의 모든 메모리 셀의 데이타를 동시에 소거하는 것)를 행하는 선택 블록의 워드선(WL1 WL4)의 전위를 0V로 설정한다.

이 때, 부의 전하(전자)가 부유 게이트로부터 채널로 이동하고, 부유 게이트는 중성 상태(전하가 존재하지 않는 상태)에 대해 정으로 대전하기 때문에, 선택 블록 내의 모든 메모리 셀(M)의 임계치는 부로 된다(데이타 "0"의 상태).

또, 블록 소거를 행하지 않는 비선택 블록에서는, 워드선(WL1 WL4)의 전위를 약 20V로 설정해 둔다. 이로써, 각 메모리 셀의 데이타는 소거 동작을 실행하기 전의 상태를 유지하게 된다.

기입 동작에서는, 일괄적으로, 선택 블록의 하나의 선택 워드선의 전위를 약 16V로 설정하고, 선택 블록의 3개의 비선택 워드선의 전위를 기입 전위 미만의 전위로 설정하며, 선택 게이트(SG1)를 전원 전위(VCC)로 설정하고, 선택 게이트(SG2)를 0V로 설정하며, 비선택 블록의 모든 워드선과 모든 선택 게이트의 전위를 0V로 설정한다.

예를 들어, 4치 기억 방식의 경우에 대해서 설명하면, 데이타 "1", "2", "3"의 기입시에는 비트선(BL)의 전위는 0V로 설정된다. 이 때, 선택 메모리 셀에서는 부유 게이트에 전자가 주입되어 임계치가 정(+)으로 된다.

데이타 "0"의 기입시에는 비트선(BL)은 전원 전위(VCC)로 설정된다. 이 때, 선택 게이트(SG1)의 전위는 전원 전위(VCC)이기 때문에, 비트선측의 선택 게이트(S)는 비도통 상태로 되고, 메모리 셀의 채널과 n형 확산층은 부유 상태로 된다.

채널의 전위는 채널과 제어 게이트의 용량 결합에 의해 상승한다. 각 제어 게이트에 인가되는 기입 전위 미만의 전위를 약 10V로 하면, 용량 결합의 결합비가 50%이면 채널의 전위는 약 5V로 된다. 그러나, 메모리 셀의 임계치가 높게 될수록 데이타 "0"의 기입 시에서의 메모리 셀의 채널 전위는 낮게 된다.

이는, 예를 들어 메모리 셀의 임계치가 약 1V이면, 제어 게이트의 전위가 약 1V로 되기까지 채널이 형성되지 않기 때문이다.

요컨대, 메모리 셀의 임계치가 약 1V일 경우, 제어 게이트의 전위가 약 1V일 때 채널의 전위가 약 0V이기 때문에, 제어 게이트의 전위가 약 10V일 때, 채널의 전위는 약 4.5V로 된다(결합비 50%).

이에 대해, 메모리 셀의 임계치가 약 -1V일 경우, 제어 게이트의 전위가 약 0V이어도 채널의 전위는 약 1V로 충전할 수 있다. 요컨대, 제어 게이트가 약 10V로 되면 채널 전위는 약 6V로 된다.

본 발명에 있어서는, 데이타 "0"의 기입 시에 있어서, 선택 블록 내의 선택 워드선(예를 들어, WL2)에 대해 소스선측에 인접하는 비선택 워드선(예를 들어, WL3)의 전위를, 특히 약 0V로 설정하고, 선택 블록 내의 나머지 비선택 워드선(예를 들어, WL1, WL4)에는 약 10V의 전위를 인가한다.

또한, 메모리 셀 유닛 내에서의 데이타 "0"의 기입 순서는, 최초가 가장 소스선 근처의 워드선(WL4)에 연결되는 메모리 셀이고, 비트선측의 워드선에 연결되는 메모리 셀로 순차 이동해 바뀌고, 최후가 가장 비트선 근처의 워드선(WL1)에 연결되는 메모리 셀로 된다.

요컨대, 메모리 셀 유닛에 있어서, 선택 워드선에 연결되는 메모리 셀보다도 비트선측에 존재하는 메모리 셀의 데이타는 모두 소거되어 있다, 즉 데이타 "0"이 기입되어 있다. 바꿔 말하면, 선택 워드선에 연결되는 메모리 셀보다도 비트선측에 존재하는 메모리 셀의 임계치는 부의 상태로 되어 있다.

한편, 선택 워드선에 연결되는 메모리 셀에 대해 소스선측에 인접하는 메모리 셀의 제어 게이트는, 0V이기 때문에, 이 인접하는 메모리 셀의 소스와 드레인의 전위가 메모리 셀의 제어 게이트와 채널의 용량 결합에 의해 상승하면, 그 인접하는 메모리 셀은 비도통으로 된다.

따라서, 선택 메모리 셀의 채널 전위는, 선택 메모리 셀과, 선택 메모리 셀보다도 비트선측에 존재하는 소거되어 있는 메모리 셀이 일체로 되어 상승한다. 이 때문에, 선택 메모리 셀의 채널 전위는, 예를 들어 항상 약 6V 이상으로 확보된다. 요컨대, 부유 게이트에는 전자가 주입되지 않아, 데이타 "0"의 기입을 행할 수 있다.

예를 들어, 선택 워드선이 WL4인 경우, 비선택 워드선(WL1 3)의 전위는 약 10V로 설정된다. 선택 워드선이 WL3일 경우, 비선택 워드선(WL1, 2)의 전위는 약 10V로 설정되고, 비선택 워드선(WL4)의 전위는 0V로 설정된다.

단, 선택 워드선이 WL3일 경우, 비선택 워드선(WL4)에 연결되는 메모리 셀은 그보다 소스선측에 메모리 셀이 존재하지 않기 때문에, 비선택 워드선(WL4)에 연결되는 메모리 셀을 비도통으로 할 수 없는 것도 있다. 그러나, 비선택 워드선(WL4)에 연결되는 메모리 셀보다 비트선측의 메모리 셀의 수가 많기 때문에 문제 없다.

또, 선택 워드선이 WL3일 경우, 비선택 워드선(WL4)의 전위를 약 10V로 설정해도 된다. 선택 워드선이 WL1일 경우, 비선택 워드선(WL3, 4)의 전위는 약 10V, 비선택 워드선(WL2)의 전위는 약 0V이다.

여기서 주의할 점은, 선택 워드선에 대해 비트선측에 존재하는 비선택 워드선을 0V로 해서는 안된다. 예를 들어, 워드선(WL2)을 선택했을 때, 워드선(WL1)을 0V로 해서는 안된다. 워드선(WL1)을 0V로 하면, 워드선(WL1)에 연결되는 메모리 셀이 비도통으로 되기 때문이다.

또한, 데이타 "1", "2", "3"를 기입할 때의 비트선의 전위는 0V가 아니어도 된다. 예를 들어, 데이타 "1"을 기입할 때 비트선의 전위를 1.2V로 하고, 데이타 "2", "3"을 기입할 때의 비트선 전위를 0V로 해도 된다.

이는, 데이타 "1"을 기억시키기 위해 메모리 셀(M)의 부유 게이트로 주입할 전자량은 데이타 "2", "3"을 기억시키기 위해 메모리 셀(M)의 부유 게이트로 주입할 전자량보다도 적게 되어도 좋기 때문이다.

또한, 데이타 "1", "2", "3"를 기입할 때의 비트선의 전위는, 각각 다르게 되어 있어도 된다. 예를 들어, 데이타 "1"를 기입할 때의 비트선의 전위는 약 2.4V, 데이타 "2"를 기입할 때의 비트선의 전위는 약 1.2V, 데이타 "3"을 기입할 때의 비트선의 전위는 0V로 해도 된다.

4치 기억 방식의 경우, 예를 들어 데이타 "0"에 대응하는 메모리 셀의 임계치를 0V 이하, 데이타 "1"에 대응하는 메모리 셀의 임계치를 0.4V 0.8V, 데이타 "2"에 대응하는 메모리 셀의 임계치를 1.6V 2.0V, 데이타 "3"에 대응하는 메모리 셀의 임계치를 2.8V 3.2V로 설정한다.

판독시는, 선택 블록의 선택 워드선(WL2)의 전위를 Vread로 한다. 선택 블록의 비선택 워드선(WL1, WL3, WL4)의 전위는, 예를 들어 약 4V로 설정한다. 선택 블록의 선택 게이트(SG1, SG2)의 전위도, 예를 들어 약 4V로 설정한다. 비선택 블록의 모든 워드선 및 모든 선택 게이트(SG)의 전위는 0V이다. 소스선(SRC)은 기생 저항을 통해 접지점에 접속된다.

또, 소스선의 전위가 기생 저항에 의해 상승하지 않으면,

(1) 선택 워드선의 전위(Vread)가 0V일 때, 선택 메모리 셀이 데이타 "1", "2" 또는 "3"을 기억하고 있으면, 비트선은 1V로 프리차지됨과 동시에, 부유 상태로 된 후도 1V 그대로 이다. 선택 메모리 셀이 데이타 "0"를 기억하고 있으면, 비트선은 1V로 프리차지되고, 부유 상태로 된 후에 0.5V로 내려간다.

(2) 선택 워드선의 전위(Vread)가 1.2V일 때, 선택 메모리 셀이 데이타 "2" 또는 "3"을 기억하고 있으면, 비트선은 1V로 프리차지됨과 동시에, 부유 상태로 된 후도 1V인 채 있다. 선택 메모리 셀이 데이타 "0" 또는 "1"을 기억하고 있으면, 비트선은 1V로 프리차지되고, 부유 상태로 된 후에 0.5V 내려간다.

(3) 선택 워드선의 전위(Vread)가 2.4V일 때, 선택 메모리 셀이 데이타 "3"을 기억하고 있으면, 비트선은 1V로 프리차지됨과 동시에, 부유 상태로 된 후도 1V인 채 있다. 선택 메모리 셀이 데이타 "0", "1" 또는 "2"을 기억하고 있으면, 비트선은 1V로 프리차지되고, 부유 상태로 된 후에 0.5V로 내려간다.

이상, 3종류의 판독 전위를 이용해 메모리 셀(M)에 기억되어 있는 데이타가 판독된다.

도 5는 도 2에 도시되는 메모리 셀 어레이(1)와 데이타 기억 회로(10)의 보다 구체적인 구성예를 나타내고 있다. 여기서는, 예로서 4치 기억 플래시 메모리의 구성예를 나타낸다.

클럭 동기식 인버터(CI1, CI2) 및 n채널 MOS 트랜지스터(Qn4, Qn5, Qn6)로 제1 서브 데이타 회로를 구성한다. 또한, 클럭 동기식 인버터(CI3, CI4) 및 n채널 MOS 트랜지스터(Qn10, Qn11, Qn12)로 제2 서브 데이타 회로를 구성한다.

제1 및 제2 서브 데이타 회로는, 각각 기입시에 제1 및 제2 서브 데이타를 기억한다. 제1 및 제2 서브 데이타 회로는 각각 판독시에 제1 및 제2 판독 서브 데이타를 기억한다.

제1 서브 데이타 회로 내의 노드(Nai)가 "H" 레벨인 상태는 제1 서브 데이타 회로가 "1"의 제1 판독 서브 데이타 혹은 "1"의 제1 서브 데이타를 기억하고 있는 상태이다.

또한, 제2 서브 데이타 회로 내의 노드(Nai+1)가 "H" 레벨인 상태는 제2 서브 데이타 회로가 "1"인 제2 판독 서브 데이타 혹은 "1"인 제2 서브 데이타를 기억하고 있는 상태이다.

제1 서브 데이타 회로 내의 노드(Nai)가 "L" 레벨인 상태는, 제1 서브 데이타 회로가 "0"의 제1 판독 서브 데이타 혹은 "0"인 제1 서브 데이타를 기억하고 있는 상태이다.

제2 서브 데이타 회로 내의 노드(Nai+1)가 "L" 레벨인 상태는, 제2 서브 데이타 회로가 "0"인 제2 판독 서브 데이타 혹은 "0"인 제2 서브 데이타를 기억하고 있는 상태이다.

n채널 MOS 트랜지스터(Qn1 및 Qn7)는 신호(PRST)가 "H"로 되어 제1 및 제2 서브 데이타 회로에 "0"인 서브 데이타를 설정하기 위한 것이다.

n채널 MOS 트랜지스터(Qn2, Qn8)는 제1 및 제2 서브 데이타 회로와 각각 데이타 입출력선(IOL, IOU)을 전기적으로 접속하기 위한 것이다. 각각의 게이트 전극에는, 컬럼 디코더(3)로부터의 출력 CSLi 및 CSLi+1이 각각 인가된다.

예를 들어, CSLi가 “H”로 되면, 비트선 BL1, BLi+1에 설치된 데이타 기억 회로(10)의 제1 서브 데이타 회로와 데이타 입출력선(IO)이 전기적으로 접속된다. 데이타 입출력선(IOL, IOU)은 데이타 입출력 버퍼(4)에 접속되어 있어, 이 제1 혹은 제2 서브 데이타 회로에 서브 데이타를 설정할 수 있다. 혹은 이 제1 혹은 제2 서브 데이타 회로의 판독 서브 데이타를 데이타 입출력 버퍼(4)로 출력할 수 있다.

n채널 MOS 트랜지스터(Qn3 및 Qn9)는 제1 서브 데이타 회로 및 제2 서브 데이타 회로의 서브 데이타가 모두 “0” 인지의 여부를 검출한다. 데이타 기억 회로(10)는 이 예에서는 2112개이기 때문에, 2112개의 제1 서브 데이타와 2112개의 제2 서브 데이타가 모두 “0”이면 공통 신호선(PT)과 접지선이 비도통으로 되어 검출된다.

캐패시터(C1)는 n채널 MOS 트랜지스터(Qn13 및 Qn14)와 함께, 비트선 전위의 변화를 증폭하기 위한 것이다, 후에 자세히 상술하지만, 신호 PREC가 전원 전위(VCC ; 예를 들어, 3V)로, 신호 BIAS가 2V로 되어 비트선을 충전한다.

n채널 MOS 트랜지스터의 임계치를 1V로 하면, 비트선은 1V 가까이까지 충전된다. n채널 MOS 트랜지스터(Qn14)가 비도통으로 되기까지 비트선의 충전을 하면 시간이 걸리기 때문에 소정 시간이 지난 후 신호 PREC와 BIAS를 0V로 한다.

비트선 전위를 검출할 때는, 신호 BIAS를, 예를 들어 1.8V로 한다. 비트선 전위에 변화가 없다면 n채널 MOS 트랜지스터(Qn14)가 비도통으로 되도록 이 1.8V라는 전위는 설정되어 있다. 혹 비트선 전위에 변화가 있어 0.8V로 되어 있으면 n채널 MOS 트랜지스터(Qn14)는 도통한다.

도통하면 노드(Nsense)의 전위가 내려간다. 예를 들어, 비트선 용량을 5pF으로 하면, 캐패시터(C1)를 그보다 작은, 예를 들어 0.5pF으로 해 두면, 비트선 전위의 변화는 노드(Nsense)의 변화에 크게 영향을 미친다. 따라서, 감도 좋게 비트선 전위를 증폭할 수 있다.

예를 들어, 비트선이 1V에서 0.7V로 되면, 노드(Nsense)는 2V에서 약 0.73V로 된다. 비트선이 1V에서 0.9V로 변화해도 Nsense는 2V인 채 있다. 따라서, 비트선의 변화 0.2V에 대해서 Nsense의 변화는 약 1.27V로 된다.

n채널 MOS 트랜지스터(Qn15 및 Qn17)는 제1 및 제2 서브 데이타 회로와 비트선(BLi 혹은 BLi+1)의 전기적 접속을 제어한다. 신호(BLC1)가 “H”이고 BLC2가 “L”이면 제1 및 제2 서브 데이타 회로와 비트선(BLi)이 전기적으로 접속된다.

신호(BLC1)가 “L”이고 BLC2가 “H”이면, 제1 및 제2 서브 데이타 회로와 비트선(BLi+1)이 전기적으로 접속된다. n채널 MOS 트랜지스터(Qn16 및 Qn18)는 비트선(BLi)과 전위(VBL1)의 전기적 접속, 비트선(BLi+1)과 전위(VBL2)의 전기적 접속을 제어한다.

신호 PRE1이 “H”이면 비트선(BLi)과 전위(VBL1)가 전기적으로 접속된다. 신호 PRE2가 “H”이면 비트선(BLi+1)과 전위(VBL2)가 전기적으로 접속된다.

비트선 BLi 혹은 BLi+1을 통해 메모리 셀(M)의 데이타 혹은 기입 상태를 나타내는 신호가 전송된다. 제1 서브 데이타 회로에서는 클럭 동기식 인버터(CI1)가,제2 서브 데이타 회로에서는 클럭 동기식 인버터(CI3)가 비트선(BL) 신호의 논리 레벨을 감지하는 감지 앰프로서도 작용한다.

본 예에서는, 클럭 동기 인버터가 비트선(BL)의 전위의 절대값을 논리 레벨로서 감지하지만, 차동형(디퍼런셜) 감지 앰프 등을 이용해도 좋고, 그 경우는 참조(리퍼런스) 전위와의 차를 논리 레벨로서 검출한다.

클럭 동기식 인버터(CI)의 구체적인 구성은 도 6에 도시되어 있다.

n채널 MOS 트랜지스터(Qn19)와 p채널 MOS 트랜지스터(Qp2)로 구성되는 인버터 회로의 입력 단자가 IN이고 출력 단자(OUT)이다. 이 인버터 회로를 신호 CLOCK과 그 반전 신호 CLOCKB에 의해 활성화하거나 비활성화하기 위해 n채널 MOS 트랜지스터(Qn20)와 p채널 MOS 트랜지스터(Qp1)가 설치되어 있다. 신호 CLOCK이 “H”, CLOCKB가 “L”로 활성화되고, 신호 CLOCK이 “L”, CLOCKB가 “H”로 비활성화된다.

신호 SEN1, LAT1, SEN2, LAT2, PRO1, PRO2, BLC1, BLC2, PRE1, PRE2, VRFY1, VRFY2, PRST, 전위 VBL1, VBL2, VREG, BIAS, PREC, PT는 제어 신호 및 제어 전위 발생 회로(7)의 출력 신호로, 도 2에서 보면 데이타 기억 회로(10)의 모두에 공통이다. 전위 VCC는 전원 전위로 예를 들어 3V이다.

제1 및 제2 서브 데이타 회로는 "0" 혹은 "1"의 서브 데이타를 기억하고, 각각 비트선 신호의 "H" 레벨에 응답하여 기억되어 있는 "1"의 서브 데이타를 "0"의 서브 데이타로 변경하며, "0"의 서브 데이타를 유지하도록 구성되어 있다.

본 실시예의 구체적인 구성에 의하면, 상기의 기능을 갖는 여러가지 다양한 회로를 이용해 마찬가지로 실행할 수 있다. 본 실시예의 서브 데이타 회로에서는 신호 PRO1 혹은 PRO2가 "H"로 되어 비트선(BL)의 전위 레벨이 클럭 동기식 인버터(CI1) 혹은 CI3로 감지되기 전에, 제1 혹은 제2 서브 데이타에 따라 비트선(BL)의 전위 레벨이 N채널 MOS 트랜지스터(Qn5, Qn6 혹은 Qn11, Qn12)에 의해 조정된다.

제1 혹은 제2 서브 데이타가 "0"일 경우만, 비트선(BL)의 전위 레벨은 "H"로 된다. 신호 PRO1 혹은 PRO2가 "H"로 되어 이 때의 비트선의 "H" 레벨이 클럭 동기식 인버터(CI1 혹은 CI3)의 입력 단자로 전송되면, 노드(Nai) 혹은 Nai1이 "L"레벨로 된다.

또한, 클럭 동기식 인버터(CI2 혹은 CI4)에 의해 "0"인 서브 데이타가 기억된다. 따라서, 처음부터 기억되어 있는 "0"의 서브 데이타는 변경되지 않는다. 처음부터 기억되어 있는 서브 데이타가 "1"일 경우는 비트선(BL)의 레벨이 "H"일 때 "0"의 서브 데이타로 변경되어 기억되고, 비트선(BL)의 레벨이 "L"일 때 "1"의 서브 데이타를 유지한다.

도 7, 도 8, 도 9는 메모리 셀에 기억되어 있는 4치 데이타의 판독 동작을 나타내고 있다.

여기서는, 비트선 BL0, BL2, …, BLi, …, BL4222가 선택되고(대표로서 BLi를 나타냄), 워드선(WL2)이 선택되어 있을 경우에서 4치 기억 방식의 예이다.,

기억 레벨을 3레벨로 한정하면 용이하게 3치 기억을 실시할 수 있다. 또한, 여기서는, 전위 VBL1과 VBL2는 0V, BLC2는 "L", PRE2는 "H", PRST는 "L", 비트선(BLi+1)은 0V, CSLi과 CSLi+1는 0V, 전위 VREG는 0V인 채이기 때문에 도 7, 도 8, 도 9로의 표시를 생략하고 있다.

먼저, 신호 PRE1이 "L", BLC1이 "H"로 되어 비트선(BLi)이 선택된다. 신호 PREC가 VCC로, 신호 BIAS가 2V로 되어 비트선(BLi)이 1V로 충전된다(t2). n채널 MOS 트랜지스터(Qn)의 임계치는 달리 정하지 않는 한 1V로 한다.

신호 BIAS가 0V로 되어 비트선(BLi)의 충전은 종료한다(t3). 이어서, 신호 PREC가 0V로 되어 노드(Nsense)의 충전이 종료한다(t4). 선택된 블록의 선택 게이트(SG1, SG2), 및 비선택 워드선(WL1, WL3, WL4)이 4V로 되고, 선택 워드선(WL2)이 2.4V로 된다(t4).

표 1은 메모리 셀(M)에 기억되어 있는 데이타와 임계치와의 관계를 나타내고 있다.

[표 1]

메모리 셀의 데이타	메모리 셀의 임계치
0123	0V 이하0.4V 0.8V1.6V 2.0V2.8V 3.2V

선택 워드선(WL2)이 2.4V로 되면, 메모리 셀이 "3" 데이타를 기억하고 있을 경우만 비트선(BLi)은 1V인 채 있다. 그 이외의 경우는 비트선(BLi)은 0.7V 이하로 된다. 일정 기간(t4 t5) 지난 후 신호 BIAS를 1.8V로 한다. 메모리 셀이 "3" 데이타를 기억하고 있을 경우만 노드(Nsense)는 2V인 채 있다.

그 이외의 경우는 Nsense는 0.8V 이하로 된다. 다시 신호 BIAS가 0V로 되어 비트선(BLi)과 Nsense가 분리된 후, 신호 SEN2와 LAT2가 "L"로 되어 클럭 동기식 인버터 CI3과 CI4는 비활성화된다(t6).

신호 PRO2가 "H"로 되어(t7), 신호 SEN2가 "H"로 되면(t8) 클럭 동기식 인버터(CI3)가 활성화되어, 노드(Nsense)의 전위가 감지된다. 신호 LAT2가 "H"로 되면(t9) 클럭 동기식 인버터(CI4)가 활성화되어, 감지된 신호의 논리 레벨이 래치된다.

선택 게이트(SG1, SG2), 워드선(WL1 WL4)은 시간(t5)에서 0V로 리셋된다. 신호 BLC1이 시간(t6)에서 "L", 신호 PRE1이 시간(t7)에서 "H"로 되어 비트선(BLi)은 시간(t7)에서 0V로 리셋된다.

신호 PRO2가 "L"로 되어(t10) 메모리 셀(M)의 임계치가 2.4V 이상인지의 여부를 검출하는 동작이 끝난다. 메모리 셀이 "3" 데이타를 기억하고 있을 경우만, 제2 서브 데이타 회로의 제2 판독 서브 데이타는 "0"으로 된다. 그 이외의 경우는 제2 판독 서브 데이타는 "1"이다.

이어서, 메모리 셀(M)의 임계치가 0.0V 이상인지의 여부를 검출하는 동작으로 들어간다. 먼저, 신호 PRE1이 "L", BLC1이 "H"로 되어 비트선(BLi)이 선택된다.

신호 PREC가 VCC로, 신호 BIAS가 2V로 되어 비트선(BLi)이 1V로 충전된다(t13). 신호 BIAS가 0V로 되어 비트선(BLi)의 충전은 종료한다(t14).

이어서, 신호 PREC가 0V로 되어 노드(Nsense)의 충전이 종료한다(t15). 선택된 블록의 선택 게이트(SG1, SG2) 및 비선택 워드선(WL1, WL3, WL4)이 4V로 되고, 선택 워드선(WL2)은 0.0V인 채로 된다(t15).

선택 워드선(WL2)이 0.0V이면, 메모리 셀이 "1", "2" 혹은 "3" 데이타를 기억하고 있을 경우는 비트선(BLi)은 1V인 채 있다. 메모리 셀이 "0" 데이타를 기억하고 있을 경우는 비트선(BLi)은 0.7V 이하로 된다.

일정 기간(t15 t16)을 경과한 후, 신호 BIAS를 1.8V로 한다. 메모리 셀이 "1", "2" 혹은 "3" 데이타를 기억하고 있을 경우, 노드(Nsense)는 2V인 채로 있다. 메모리 셀이 "0" 데이타를 기억하고 있을 경우는 Nsense는 0.8V 이하로 된다.

다시, 신호 BIAS가 0V로 되어 비트선 BLi과 Nsense가 분리된 후, 신호 SEN1과 LAT1이 "L"로 되어 클럭 동기식 인버터 CI1과 CI2는 비활성화된다(t17).

동시에, 신호 VRFY2가 VCC로 되어 제2 서브 데이타 회로의 제2 판독 서브 데이타가 "0"일 경우만, 노드(Nsense)는 0V로 된다(t17). 신호 PRO1이 "H"로 되고(t18) 신호 SEN1이 "H"로 되면(t19) 클럭 동기식 인버터(CI1)가 활성화되어, 노드(Nsense)의 전위가 감지된다. 신호 LAT1가 "H"로 되면(t20) 클럭 동기식 인버터(CI2)가 활성화되어, 감지된 신호의 논리 레벨이 래치된다.

선택 게이트(SG1, SG2), 워드선(WL1 WL4)은 시간(t16)에서 0V로 리셋된다. 신호 BLC1이 시간(t17)에서 "L", 신호 PRE1이 시간(t18)에서 "H"로 되고, 비트선(BLi)은 시간(t18)에서 0V로 리셋된다.

신호 PRO1이 "L"로 되어(t21) 메모리 셀(M)의 임계치가 0.0V 이상인지의 여부를 검출하는 동작이 끝난다. 메모리 셀이 "0" 혹은 "3" 데이타를 기억하고 있을 경우만, 제1 서브 데이타 회로의 제1 판독 서브 데이타는 "1"로 된다. 그 이외의 경우는 제1 판독 서브 데이타는 "0"이다.

이어서, 메모리 셀(M)의 임계치가 1.2V 이상인지의 여부를 검출하는 동작으로 들어간다. 먼저, 신호 PRE1이 "L", BLC1이 "H"로 되어 비트선(BLi)이 선택된다.

신호 PREC가 VCC로, 신호 BIAS가 2V로 되어 비트선 BLi가 1V로 충전된다(t24). 신호 BIAS가 0V로 되어 비트선 BLi의 충전은 종료한다(t25).

이어서, 신호 PREC가 0V로 되어 노드(Nsense)의 충전이 종료한다(t26). 선택된 블록의 선택 게이트(SG1, SG2) 및 비선택 워드선(WL1, WL3, WL4)이 4V로 되고, 선택 워드선(WL2)이 1.2V로 된다(t26).

선택 워드선(WL2)이 1.2V로 되면, 메모리 셀이 "2" 혹은 "3" 데이타를 기억하고 있을 경우는 비트선(BLi)은 1V인 채 있다. 메모리 셀이 "0" 혹은 "1" 데이타를 기억하고 있을 경우는 비트선(BLi)은 0.7V 이하로 된다.

일정 기간(t26 t27)을 경과한 후, 신호(BIAS)를 1.8V로 한다. 메모리 셀이 "2" 혹은 "3" 데이타를 기억하고 있을 경우, 노드(Nsense)는 2V인 채 있다. 메모리 셀이 "0" 혹은 "1" 데이타를 기억하고 있을 경우는 Nsense는 0.8V 이하로 된다.

다시, 신호 BIAS가 0V로 되어 비트선(BLi)과 Nsense가 분리된 후, 신호 SEN2와 LAT2가 "L"로 되어 클럭 동기식 인버터 CI3와 CI4는 비활성화된다(t28).

신호 PRO2가 "H"로 되고(t29), 신호 SEN2가 "H"로 되면(t30) 클럭 동기식 인버터 CI3가 활성화되어, 노드(Nsense)의 전위가 감지된다. 신호 LAT2가 "H"로 되면(t31) 클럭 동기식 인버터(CI4)가 활성화되어, 감지된 신호의 논리 레벨이 래치된다.

선택 게이트(SG1, SG2), 워드선(WL1 WL4)은 시간(t27)에서 0V로 리셋된다. 신호 BLC1이 시간(t28)에서 "L", 신호 PRE1이 시간(t29)에서 "H"로 되고, 비트선(BLi)은 시간(t29)에서 0V로 리셋된다.

신호 PRO2가 "L"로 되어(t32) 메모리 셀(M)의 임계치가 1.2V 이상인지의 여부를 검출하는 동작이 끝난다. 메모리 셀이 "0" 혹은 "1" 데이타를 기억하고 있을 경우만, 제2 서브 데이타 회로의 제2 판독 서브 데이타는 "1"로 된다. 그 이외의 경우는 제2 판독 서브 데이타는 "0"이다.

이상, 도 7 도 9에 도시한 순서로, 데이타 기억 회로(10)로 메모리 셀(M)의 데이타가 판독 데이타로서 기억되는 동작이 끝난다.

이 후, 신호 CSLi, CSLi+1이 "H"로 되면, 제1 판독 서브 데이타는 데이타 입출력선(IOL)에, 제2 판독 서브 데이타는 데이타 입출력선(IOU)으로 출력되어 데이타 출력 버퍼(4)를 통해 데이타 입출력 단자(5)로부터 외부로 출력된다.

표 2는 메모리 셀의 4치 데이타와 제1 및 제2 판독 서브 데이타의 관계를 나타내고 있다.

[표 2]

메모리 셀 데이타	제1 판독 서브 데이타	제2 판독 서브 데이타
0	1	1
1	0	1
2	0	0
3	1	0

도 10은 기입 동작을 나타내고 있다. 여기서는, 비트선 BL0, BL2, …, BLi, …, BL4222가 선택되고(대표로서 BLi를 나타냄), 워드선(WL2)이 선택되어 있을 경우를 나타낸다. 여기서는, 4치 기억의 예이다. 기억 레벨을 3 레벨로 한정하면 용이하게 3치 기억을 실시할 수 있다.

기입에 앞서, 데이타 기억 회로(10)로의 제어 데이타의 초기 설정이 행하여진다. 비트선(BLi)에 구비된 데이타 기억 회로(10)로의 제어 데이타의 초기 설정은 다음과 같이 행하여진다.

제1 서브 데이타 회로의 초기 서브 데이타가 데이타 입출력선(IOL)으로, 제2 서브 데이타 회로의 초기 서브 데이타가 데이타 입출력선(IOU)으로 전송되고, 신호 CSLi와 CSLi+1이 "H"로 되어 제1 및 제2 서브 데이타 회로에 초기 서브 데이타가 기억된다.

신호 CSL의 선택을 바꿔 임의의 수의 데이타 기억 회로(10)에서 초기 제어 데이타는 설정된다. 이 때, 초기 제어 데이타와 초기 서브 데이타의 관계는 이하의 표 3에 나타낸다.

[표 3]

초기 제어 데이타	제1 서브 데이타 회로의초기 서브 데이타	제2 서브 데이타 회로의 초기 서브 데이타
0	0	0
1	1	0
2	1	1
3	0	1

여기서, 모든 초기 제어 데이타 설정 이전에, 신호 PRST를 "H"로 하여 모든 데이타 기억 회로(10)의 제어 데이타를 "0"으로 프리셋 해 두는 것이 바람직하다. 나중에 설명하는 바와 같이, 제어 데이타 "0"에 의해 메모리 셀(M)의 상태는 변화되지 않기 때문에, 2112개의 데이타 기억 회로(10) 내, 원하는 기억 회로(10)에만 외부로부터 초기 제어 데이타를 설정하면 된다.

물론, 2112개 전부의 데이타 기억 회로(10)에 초기 제어 데이타를 외부로부터 설정해도 된다. 신호 SEN1은 "H", LAT1은 "H", VRFY1은 "L", SEN2는 "H", LAT2는 "H", VRFY2는 "L", 전위 VREG는 0V, PREC는 0V인 채 있기 때문에 도 10으로의 표시는 생략하고 있다.

기입 동작에서는, 먼저 신호 PRE1가 "L"로 되어 비트선(BLi)과 전위(BL1)가 분리된다(t2). 동시에 신호 BLC1이 6V로 되어 비트선(BLi)은 선택된다(t2).

또한, 신호 BIAS와 PRE2도 6V로 된다(t2). 전위 VBL2가 VCC(여기서는 3V)로 되어 n채널 MOS 트랜지스터(Qn18)를 통해 비선택 비트선(BLi+1)을 VCC로 충전한다(t3 t4).

또한, 신호 PRO1이 3V로 되어 제1 서브 데이타에 따라 선택 비트선(BLi)은 충전된다(t3 t4). 이 때, 비트선(BLi)은 제어 데이타가 "0" 또는 "3"일 경우 VCC로 충전되고, 제어 데이타가 "1" 또는 "2"일 경우 0V로 된다.

또한, 선택 게이트(SG1)와 워드선(WL4)이 6V로 되면(t3 t4), 선택 게이트(SG1)는 비트선의 전위(VCC)를 전송했으면 VCC로 된다(t4). 워드선(WL3)은 0V인 채 있다. 워드선(WL1과 Wl2)은 VCC로 된다. 선택 게이트(SG2)는 0V인 채 있다.

이 후, 신호 PRO2가 2.2V로 되어 제2 서브 데이타에 따라 선택 비트선(BLi)의 전위는 변경된다(t5). 제2 서브 데이타가 "0"일 경우, 미리 0V였던 비트선(BLi)은 2.2V보다 n채널 MOS 트랜지스터(Qn10)의 임계치(1V)만큼 낮은 1.2V로 충전된다.

제2 서브 데이타가 "0"일 경우, 미리 VCC였던 비트선(BLi)은 n채널 MOS 트랜지스터(Qn10)가 비도통이기 때문에 VCC인 채 있다. 제2 서브 데이타가 "1"일 경우, n채널 MOS 트랜지스터(Qn10)가 도통이기 때문에 비트선(BLi)은 0V이다.

이 결과, 비트선(BLi)은 제어 데이타가 "0"일 경우 VCC로, 제어 게이트가 "1"일 경우 1.2V로, 제어 데이타가 "2"일 경우 0V로, 제어 데이타가 "3"일 경우 0V로 된다.

선택 워드선(WL2)이 1.6V, 비선택 워드선 중 WL1과 WL4가 10V로 되어 메모리 셀의 부유 게이트로의 전자 주입이 제어 데이타에 따라 시작한다(t6 t7).

비트선(BL)이 0V일 경우, 메모리 셀의 채널과 워드선 사이의 전위차가 16V로 전자 주입이 일어난다. 비트선(BL)이 1.2V일 경우, 메모리 셀의 채널과 워드선 사이의 전위차가 14.8V로 전자 주입이 일어나지만, 메모리 셀의 채널과 워드선 사이의 전위차가 16V일 경우보다 작다.

비트선(BL)이 VCC일 경우, 워드선(WL1)이 10V, WL2가 16V로 됨으로써 선택 메모리 셀의 채널이 VCC 이상(예를 들어, 6V)으로 상승하고, 메모리 셀의 채널과 워드선 사이의 전위차가 작기 때문에 전자 주입이 실질적으로 일어나지 않는다.

신호 PRO2가 0V로 리셋된 후(t7), 워드선 WL1 WL4가 0V, 전위 VBL2가 0V, 신호 PRE1이 "H", 신호 PRE2가 "H", 신호 BLC1이 "L", 신호 BIAS가 "L"로 리셋되어(t8) 기입 동작이 종료한다.

도 11에 도시하는 바와 같이, 시간(t3 t6) 사이의 선택 워드선(WL2)의 전위는 VCC가 아니라, 비선택 워드선(WL4)과 같은 6V로 해도 된다. 선택 메모리 셀의 임계치가 높아도 채널이 형성되기 때문이다. 또한, 선택 메모리 셀에서 공통 소스측의 메모리 셀에 비트선 전위를 확실하게 전송할 수 있기 때문이다.

도 12는 도 10에 도시한 기입 동작의 변형예이다. 여기서는, 선택된 워드선(WL2)보다 공통 소스측의 인접하지 않는 워드선(WL4)이 10V로 되는 타이밍이 t5로 되어 있다. 이는, 선택 메모리 셀의 인접하는 공통 소스측에 위치하는 메모리 셀을 확실하게 비도통으로 하기 때문이다.

도 13은, 도 11에 도시한 기입 동작의 변형예이다. 여기서는, 선택된 워드선(WL2)보다 공통 소스측에 인접하지 않는 워드선(WL4)이 10V로 되는 타이밍이 t5로 되어 있다. 이는 도 12의 경우와 마찬가지로, 선택 메모리 셀의 인접하는 공통 소스측에 위치하는 메모리 셀을 확실하게 비도통으로 하기 때문이다.

도 14, 도 15, 도 16은 도 10, 도 11, 도 12 혹은 도 13에 나타내는 기입 동작 후의 메모리 셀의 기입 상태를 검출하는 기입 검증 동작을 나타내고 있다.

여기서는, 비트선(BL0, BL2, …, BL4222)이 선택되고(대표로서 BLi를 표시), 워드선(WL2)이 선택되어 있을 경우를 나타낸다. 여기서는, 4치 기억의 예이다. 기억 레벨을 3레벨로 한정하면 용이하게 3치 기억을 실시할 수 있다.

또한, 전위(VBL1, VBL2)는 0V, 신호(BLC2)는 "L", PRE2는 "H"인 채이고, 비트선(BLi+1)이 0V인 채이기 때문에 도 14 도 16으로의 표시를 생략하고 있다. 또한, 신호 PRST가 "L", CSLi가 "L", CSLi+1가 "L"인 채이기 때문에 도 14 도 16으로의 표시를 생략하고 있다.

먼저, 신호 PRE1이 "L", BLC1이 "H"로 되어 비트선(BLi)이 선택된다. 신호 PREC가 VCC로, 신호 BIAS가 2V로 되어 비트선(BLi)이 1V로 충전된다(t2). 신호(BIAS)가 0V로 되어 비트선(BLi)의 충전은 종료한다(t3).

이어서, 신호(PREC)가 0V로 되어 노드(Nsense)의 충전이 종료한다(t4). 선택된 블록의 선택 게이트(SG1, SG2), 및 비선택 워드선(Wl1, Wl3, WL4)이 4V로 되고, 선택 워드선(WL2)이 2.8V로 된다(t4).

선택 워드선(WL2)이 2.8V로 되면, "3"인 제어 데이타를 기억하고 있는 데이타 기억 회로에 대응하는 메모리 셀이 "3" 데이타를 기억하고 있는 상태에 이르면 비트선(BLi)은 1V인 채 있다.

"3"인 제어 데이타를 기억하고 있는 데이타 기억 회로에 대응하는 메모리 셀이 "3" 데이타를 기억하고 있는 상태에 이르지 않으면 비트선(BLi)은 0.7V 이하로 된다.

"2" 혹은 "1"의 제어 데이타를 기억하고 있는 데이타 기억 회로에 대응하는 메모리 셀은 "3" 데이타를 기억하고 있는 상태에 이르지 않기 때문에 비트선(BLi)은 0.7V 이하로 된다.

일정 기간(t4 t5)을 경과한 후, 신호(BIAS)를 1.8V로 한다. "3"인 제어 데이타를 기억하고 있는 데이타 기억 회로에 대응하는 메모리 셀이 "3" 데이타를 기억하고 있는 상태에 이르면, 노드(Nsense)는 2V인 채 있다. 메모리 셀이 "3" 데이타를 기억하고 있는 상태가 아니면, Nsense는 0.8V 이하로 된다.

다시, 신호(BIAS)가 0V로 되어 비트선(BLI)과 Nsense가 분리된 후, 신호(VRFY2)가 VCC로 된다(t6). 제2 서브 데이타 회로의 제2 서브 데이타가 "0"일 경우만 n채널 MOS 트랜지스터(Qn11, Qn12)에 의해 Nsense는 2V로 된다. 이 때, 전위(VREG)는 VCC이다(t5 t6).

신호(SEN2와 LAT2)가 "L"로 되어 클록 동기식 인버터(CI3와 CI4)는 비활성화된다(t8). 신호(PRO2)가 "H"로 되고(t9), 신호(SEN2)가 "H"로 되면(t10) 클럭 동기식 인버터(CI3)가 활성화되어, 노드(Nsense)의 전위가 감지된다.

신호 LAT2가 "H"로 되면(t11) 클록 동기식 인버터(CI4)가 활성화되어, 감지된 신호의 논리 레벨이 래치된다.

선택 게이트(SG1, SG2), 워드선(WL1 WL4)은 시간(t5)에서 0V로 리셋된다. 신호(BLC1)가 시간(t6)에서 "L", 신호(PRE1)가 시간 t7에서 "H"로 되고 비트선(BLi)은 시간(t7)에서 0V로 리셋된다.

신호 PRO2가 "L"로 되어(t12), "3"인 제어 데이타를 기억하고 있는 데이타 기억 회로(10)에 대응하는 메모리 셀이 "3" 데이타를 기억하고 있는 상태에 이르고 있는지의 여부의 검출(데이타 "3"인 검증 판독)이 종료한다.

이 시점에서, "3"인 제어 데이타를 기억하고 있는 데이타 기억 회로에 대응하는 메모리 셀이 "3" 데이타를 기억하고 있는 상태에 이르고 있다고 검출된 경우만, "3"인 제어 데이타를 기억하고 있는 데이타 기억 회로의 제어 데이타는 "0" 데이타로 변경되고, 그 이외의 경우 제어 데이타는 유지된다(변경되지 않음).

이어서, "2"의 제어 데이타를 기억하고 있는 데이타 기억 회로에 대응하는 메모리 셀이 "2" 데이타를 기억하고 있는 상태로 이르고 있는지의 여부를 검출하는 동작으로 들어간다.

먼저, 신호 PRE1가 "L", BLC1이 "H"로 되어 비트선(BLi)이 선택된다. 신호(PREC)가 VCC로, 신호(BIAS)가 2V로 되어 비트선(BLi)이 1V로 충전된다(t15). 신호(BIAS)가 0V로 되어 비트선(BLi)의 충전은 종료한다(t16).

다음에, 신호 PREC가 0V로 되어, 노드(Nsense)의 충전이 종료한다(t17). 선택된 블록의 선택 게이트(SG1, SG2) 및 비선택 워드선(WL1, WL3, WL4)이 4V로 되고, 선택 워드선(WL2)이 1.6V로 된다(t17).

선택 워드선(WL2)이 1.6V로 되면, "2"인 제어 데이타를 기억하고 있는 데이타 기억 회로에 대응하는 메모리 셀이 "2" 데이타를 기억하고 있는 상태에 이르고 있다면 비트선(BLi)은 1V인 채 있다. "2"인 제어 데이타를 기억하고 있는 데이타 기억 회로에 대응하는 메모리 셀이 "2" 데이타를 기억하고 있는 상태에 이르고 있지 않으면 비트선(BLi)은 0.7V 이하로 된다.

"1"의 제어 데이타를 기억하고 있는 데이타 기억 회로에 대응하는 메모리 셀은 "2" 데이타를 기억하고 있는 상태에 이르고 있지 않기 때문에 비트선(BLi)은 0.7V 이하로 된다. 일정 기간(t7 t18) 경과한 후 신호(BIAS)를 1.8V로 한다. "2"의 제어 데이타를 기억하고 있는 데이타 기억 회로에 대응하는 메모리 셀이 "2" 데이타를 기억하고 있는 상태에 이르고 있으면 노드(Nsense)는 2V인 채 있다.

"2"인 제어 게이트를 기억하고 있는 데이타 기억 회로에 대응하는 메모리 셀이 "2" 데이타를 기억하고 있는 상태에 이르고 있지 않으면, 노드(Nsense)는 0.8V 이하로 된다. "1"인 제어 데이타를 기억하고 데이타 기억 회로에 대응하는 메모리 셀은 "2" 데이타를 기억하고 있는 상태로 이르지 않기 때문에 노드(Nsense)는 0.8V 이하로 된다.

다시, 신호 BIAS가 0V로 되어 비트선(BLi)과 Nsense가 분리된 후, 신호 VRFY1이 VCC로 된다(t19). 이 때 전위 VREG는 0V이기 때문에, 제1 서브 데이타가 "0"일 때, n채널 MOS 트랜지스터(Qn5, Qn6)에 의해 노드(Nsense)는 0V로 된다.

이 후, 신호 VRFY2가 VCC로 된다(t21). 제2 서브 데이타 회로의 제2 서브 데이타가 "0"일 경우만, n채널 MOS 트랜지스터(Qn11, Qn12)에 의해 Nsense는 2V로 된다. 이 때 전위(VREG)는 VCC이다(t21 t23).

신호 SEN2와 LAT2가 "L"로 되어 클럭 동기식 인버터(CI3과 CI4)는 비활성화된다(t23). 신호 PRO2가 "H"로 되어(t24) 신호 SEN2가 "H"로 되면(t25) 클럭 동기식 인버터(CI3)가 활성화되어, 노드(Nsense)의 전위가 감지된다. 신호 LAT2가 "H"로 되면(t26) 클럭 동기식 인버터(CI4)가 활성화되고, 감지된 신호의 논리 레벨이 래치된다.

선택 게이트(SG1, SG2), 워드선(Wl1 Wl4)은 시간(t18)에서 0V로 리셋된다. 신호 BLC1이 시간 t19에서 "L", 신호 PRE1이 시간 t20에서 "H"로 되어 비트선 BLi)은 시간 t20에서 0V로 리셋된다.

신호 PRO2가 "L"로 되어(t27), "2"인 제어 데이타를 기억하고 있는 데이타 기억 회로에 대응하는 메모리 셀이 "2" 데이타를 기억하고 있는 상태에 이르고 있는지 여부의 검출(데이타 "2"의 검증 판독)이 종료한다. 이 시점에서, "3"의 제어 데이타를 기억하고 있는 데이타 기억 회로에 대응하는 메모리 셀이 "3" 데이타를 기억하고 있는 상태에 이르고 있다고 검출된 경우, 데이타 기억 회로(10)의 제어 데이타는 "0" 데이타로 변경되어 있다.

"2"의 제어 데이타를 기억하고 있는 데이타 기억 회로에 대응하는 메모리 셀이 "2" 데이타를 기억하고 있는 상태에 이르고 있다고 검출된 경우만, 데이타 기억 회로(10)의 제어 데이타는 "1" 데이타로 변경되어 있다. 그 이외의 경우는 제어 데이타는 유지된다(변경되지 않음).

이어서, "1"의 제어 데이타를 기억하고 있는 데이타 기억 회로에 대응하는 메모리 셀이 "1" 데이타를 기억하고 있는 상태에 이르고 있는지의 여부를 검출하는 동작으로 들어간다.

먼저, 신호 PRE1이 "L", BLC1이 "H"로 되어 비트선(BLi)이 선택된다. 신호 PREC가 VCC로, 신호 BIAS가 2V로 되어 비트선(BLi)가 1V로 충전된다(t30). 신호 BIAS가 0V로 되어 비트선(BLi)의 충전은 종료한다(t31).

이어서, 신호 PREC가 0V로 되어 노드(Nsense)의 충전이 종료한다(t32). 선택된 블록의 선택 게이트(SG1, SG2) 및 비선택 워드선(WL1, WL3, WL4)이 4V로 되고, 선택 워드선(WL2)이 0.4V로 된다(t32).

선택 워드선(WL2)이 0.4V로 되면 "1"의 제어 데이타를 기억하고 있는 데이타 기억 회로에 대응하는 메모리 셀이 "1" 데이타를 기억하고 있는 상태에 이르고 있다면 비트선 BLi은 1V인 채 있다. "1"의 제어 데이타를 기억하고 있는 데이타 기억 회로에 대응하는 메모리 셀이 "1" 데이타를 기억하고 있는 상태로 이르고 있지 않으면 비트선(BLi)은 0.7V 이하로 된다.

일정 기간(t7 t18) 지난 후, 신호 BIAS를 1.8V로 한다. "1"의 제어 데이타를 기억하고 있는 데이타 기억 회로에 대응하는 메모리 셀이 "1" 데이타를 기억하고 있는 상태에 이르고 있다면 노드(Nsense)는 2V인 채로 있다.

"1"의 제어 데이타를 기억하고 있는 데이타 기억 회로에 대응하는 메모리 셀이 "1" 데이타를 기억하고 있는 상태에 이르고 있지 않으면 노드(Nsense)는 0.8V 이하로 된다. 다시 신호 BIAS가 0V로 되어 비트선 BLi와 Nsense가 분리된 후 신호 PRO2가 1.3V로 된다(t34).

이 때, 제2 서브 데이타가 "1"일 경우, n채널 MOS 트랜지스터(Qn10)에 의해 노드(Nsense)는 0V로 된다. 이 때, 제2 서브 데이타가 "0"일 경우, n채널 MOS 트랜지스터(Qn10)에 의해 노드(Nsense)는 고작 0.3V로 될 뿐이다.

원래, Nsense가 0.3V 이상일 경우, Qn10이 비도통이기 때문에, Nsense의 전위는 변화하지 않는다. 이 후, 신호 VRFY1이 VCC로 된다(t36). 제1 서브 데이타 회로의 제1 서브 데이타가 "0"일 경우만, n채널 MOS트랜지스터(Qn5와 Qn6)에 의해 Nsense는 2V로 된다. 이 때 전위(VREG)는 VCC이다(t36 t38).

신호 SEN1과 LAT1이 "L"로 되어 클럭 동기식 인버터(CI1, CI2)는 비활성화된다(t38). 신호 PRO1이 "H"로 되어(t39) 신호 SEN1이 "H"로 되면(t40) 클럭 동기식 인버터(CI1)가 활성화되어, 노드(Nsense)의 전위가 감지된다.

신호 LAT1가 "H"로 되면(t41) 클럭 동기식 인버터(CI2)가 활성화되어, 감지된 신호의 논리 레벨이 래치된다.

선택 게이트(SG1, SG2), 워드선(WL1 WL4)은 시간 t33에서 0V로 리셋된다. 신호 BLC1이 시간 t34에서 "L", 신호 PRE1이 시간 t35에서 "H"로 되어 비트선 BLi는 시간 t35에서 0V로 리셋된다.

신호 PRO1이 "L"로 되어(t42), "1"의 제어 데이타를 기억하고 있는 데이타 기억 회로에 대응하는 메모리 셀이 "1" 데이타를 기억하고 있는 상태에 이르고 있는지의 여부를 검출하는 동작(데이타 "1"의 검증 판독)은 끝난다.

이 시점에서 “3”인 제어 데이타를 기억하고 있는 데이타 기억 회로에 대응하는 메모리 셀이 “3” 데이타를 기억하고 있는 상태에 이르고 있다고 검출된 경우와, “2”인 제어 데이타를 기억하고 있는 데이타 기억 회로에 대응하는 메모리 셀이 “2” 데이타를 기억하고 있는 상태에 이르고 있다고 검출된 경우와, “1”인 제어 데이타를 기억하고 있는 데이타 기억 회로에 대응하는 메모리 셀이 “1” 데이타를 기억하고 있는 상태에 이르고 있다고 검출된 경우만, 데이타 기억 회로의 제어 데이타는 “0” 데이타로 변경되고, 그 외의 경우는 제어 데이타는 유지된다(변경되지 않음).

도 14, 도 15, 도16에 도시된 순서로 기입 검증 동작은 행하여진다.

기입 검증 동작으로, 메모리 셀의 기입 상태에서 데이타 기억 회로(10)에 기억되어 있는 제어 데이타가 표 4와 같이 변경된다.

[표 4]

메모리 셀 기입 상태	기입 검증 전의 제어 데이타	기입 검증 후의 제어 데이타
0, 1, 2 또는 3	0	0
1미만	1	1
1	1	0
2미만	2	2
2	2	0
3미만	3	3
3	3	0

도 10, 도 11, 도 12 혹은 도 13에 도시되는 기입 동작과, 도 14 도 16에 도되는 기입 검증 동작을 모든 제어 데이타가 “0”으로 되기까지 반복하여, 메모리 셀(M)로의 데이타 기입(프로그램)은 행하여진다. 모든 제어 데이타가 “0”으로 되었는지의 여부는 신호 PT가 접지 레벨과 도통하고 있는지의 여부를 검출하면 알 수 있다.

즉, 본 발명에서의 반도체 기억 장치는, 메모리 셀(M)과, 메모리 셀(M)에 접속되는 비트선(BL), 게이트 전극, 소스 전극 및 드레인 전극을 갖고, 소스 전극에서 비트선에 접속되는 MOS 트랜지스터(Qn14), 드레인 전극에 접속되는 스위치 소자(Qn13)를 구비하고, 비트선(BL)은 스위치 소자(Qn13)가 도통하여, 게이트 전극에 제1 전위가 인가되어 충전되고, 그 후 게이트 전극은 제1 전위와는 다른 제2 전위로 되어 메모리 셀(M)의 데이타에 따라 변동하는 비트선(BL)의 전위를 증폭한다.

또한, 본 발명의 바람직한 실시 형태로서는 다음의 것이 있다.

스위치 소자(Qn13)는 MOS 트랜지스터(Qn14)의 게이트 전극에 제2 전위가 인가되고 있는 사이, 비도통으로 된다. MOS 트랜지스터(Qn14)는 n채널 MOS 트랜지스터이고, 제1 전위는 제2 전위보다 높다. 비트선(BL)의 정정 용량은 드레인 전극에 연결되는 정전 용량보다 크다.

또한, 본 발명에서의 반도체 기억 장치는 MOS 트랜지스터 구조를 갖는 제1 및 제2 선택 트랜지스터(S) 사이에 소정 갯수의 MOS 트랜지스터 구조를 갖는 메모리 셀(M)이 직렬로 접속된 NAND형 메모리 셀 유닛에 있어서, 선택 메모리 셀(M)의 게이트 전극에는 제1 전극을 인가하고, 제2 선택 트랜지스터측에서 선택 메모리 셀에 인접하는 메모리 셀(M)의 게이트 전극에는 제2 전위를 인가하며, 나머지 메모리 셀(M)의 게이트 전극에는 제3 전위를 인가하여 기입을 행하고, 여기서의 제1 전위는, 제3 전위보다도 높게, 제3 전위는 제2 전위보다도 높게 설정되어 있다.

또한, 본 발명의 바람직한 실시 형태로서는 다음의 것이 있다.

제1 선택 트랜지스터(S)는 비트선(BL)에 접속되고, 제2 선택 트랜지스터(S)는 소스선(SRC)에 접속된다. 기입은 제2 선택 트랜지스터(S)에 인접하는 메모리 셀측에서 제1 선택 트랜지스터(S)에 인접하는 메모리 셀측으로 순차 행하여진다.

나머지 메모리 셀(M) 중 선택 메모리 셀(M)보다 제2 선택 트랜지스터(S)측의 메모리 셀(M)의 게이트 전극에 제4 전위를 인가하고, 나머지 메모리 셀(M) 중 선택 메모리 셀(M)보다 제1 선택 트랜지스터(S)측의 메모리 셀(M)의 게이트 전극에 제5 전위를 인가하여 메모리 셀(M)의 채널을 사전에 충전하고 나서 기입을 행한다.

나머지 메모리 셀(M) 중, 선택 메모리 셀(M)보다 제2 선택 트랜지스터(S)측의 메모리 셀(M)의 게이트 전극에 제4 전위를 인가하고, 나머지 메모리 셀(M) 중 선택 메모리 셀(M)보다 제1 선택 트랜지스터(S)측의 메모리 셀(M)의 게이트 전극에 제5 전위를 인가하며, 선택 메모리 셀(M)의 게이트 전극에 제4 전위를 인가하여 메모리 셀(M)의 채널을 사전에 충전하고 나서 기입을 행한다.

나머지 메모리 셀(M) 중 선택 메모리 셀(M)보다 제2 선택 트랜지스터(S)측의 메모리 셀(M)의 게이트 전극에 제4 전위를 인가하며, 나머지 메모리 셀(M) 중 선택 메모리 셀(M)보다 제1 선택 트랜지스터(S)측의 메모리 셀의 게이트 전극에 제5 전위를 인가하고, 선택 메모리 셀(M)의 게이트 전극에 제5 전극을 인가하여 메모리 셀(M)의 채널을 사전에 충전하고 나서 기입을 행한다.

메모리 셀(M)은 n채널형 MOS 트랜지스터 구조를 갖는다. 제4 및 제5 전위는 제3 전위보다 낮고, 제4 전위는 제5 전위보다 높다.

나머지 메모리 셀(M) 중, 선택 메모리 셀(M)보다 제2 선택 트랜지스터(S)측의 메모리 셀(M)의 게이트 전극에 제3 전위가 인가되고 나서 나머지 메모리 셀(M) 중 선택 메모리 셀(M)보다 제1 선택 트랜지스터(S)측의 메모리 셀(M)의 게이트 전극에 제3 전위를 인가한다.

나머지 메모리 셀(M)중, 선택 메모리 셀(M)보다 제2 선택 트랜지스터(S)측의 메모리 셀(M)의 게이트 전극에 제3 전위가 인가되고 나서, 나머지 메모리 셀(M) 중 선택 메모리 셀(M)보다 제1 선택 트랜지스터(S)측의 메모리 셀(M)의 게이트 전극에 제3 전위를 인가하고, 선택 메모리 셀(M)의 게이트 전극에 제1 전위를 인가한다.

이상과 같이 하여 본 발명에 따른 반도체 기억 장치는, 데이타가 기입된 메모리 셀의 임계치에 의존하지 않고 "0" 데이타 기입시의 메모리 셀의 채널 전위를 발생한다. 이로써, "0" 데이타 기입시의 메모리 셀의 채널 전위를 충분히 안정하여 발생할 수 있는 반도체 기억 장치를 실현할 수 있다.

또한, 본 발명에 따른 반도체 기억 장치는, MOS 트랜지스터로 비트선을 충전한 후, 그 MOS 트랜지스터의 게이트 전위를 변화시킨다. 이로써, 비트선을 충전한 후에 MOS 트랜지스터를 단시간에 비도통으로 할 수 있다. 따라서, 고속으로 정밀도 좋게 메모리 셀의 기입 상태를 검출할 수 있는 반도체 기억 장치를 실현할 수 있다.

또한, 본 발명은 상술한 실시 형태에 한정되는 것은 아니다. 그 외, 본 발명의 요지를 일탈하지 않지 범위에서 여러가지 변형하여 실시할 수 있다.

발명의 효과

본 발명에 따른 반도체 기억 장치는 데이타가 기입된 메모리 셀의 임계치에 의존하지 않고 "0" 데이타 기입시의 메모리 셀의 채널 전위를 발생한다. 이로써, "0" 데이타 기입시의 메모리 셀의 채널 전위를 충분히 안정하게 발생할 수 있는 반도체 기억 장치를 실현할 수 있다.

또한, 본 발명에 따른 반도체 기억 장치는 MOS 트랜지스터로 비트선을 충전한 후 그 MOS 트랜지스터의 게이트 전위를 변화시킨다. 이로써, 비트선을 충전한 후에 MOS 트랜지스터를 단시간에 비도통으로 할 수 있다. 따라서, 고속으로 정밀도 좋게 메모리 셀의 기입 상태를 검출할 수 있는 반도체 기억 장치를 실현할 수 있다.

(57) 청구의 범위

청구항 1.

메모리 셀;

상기 메모리 셀에 접속된 비트선;

프리차지 회로를 포함하는 판독 회로; 및

상기 비트선과 상기 판독 회로의 사이에 접속된 제1 트랜지스터

를 구비하고,

상기 프리차지 회로가 상기 제1 트랜지스터를 거쳐 상기 비트선을 프리차지할 때, 제1 전위를 상기 제1 트랜지스터의 게이트에 인가함으로써, 프리차지된 후의 상기 비트선이 상기 제1 전위에 의해 제한되는 비트선 프리차지 레벨의 전압을 갖도록 하고,

상기 판독 회로가 상기 비트선의 전위의 변화를 감지할 때, 상기 제1 전위와는 다른 제2 전위가 상기 제1 트랜지스터의 상기 게이트에 인가되고,

상기 비트선이 상기 비트선 프리차지 레벨을 유지하고 있으면, 상기 제1 트랜지스터는 비도통 상태에 있는

것을 특징으로 하는 반도체 기억 장치.

청구항 2.

제1항에 있어서, 상기 제1 트랜지스터는 n-채널 MOS 트랜지스터이고, 상기 제1 전위는 상기 제2 전위보다 높은

것을 특징으로 하는 반도체 기억 장치.

청구항 3.

제1항에 있어서, 상기 프리차지 회로는 상기 제1 트랜지스터와 전원 단자 사이에 접속된 제2 트랜지스터를 포함하며,

상기 제2 트랜지스터는, 상기 제2 전위가 상기 제1 트랜지스터의 상기 게이트에 인가될 때, 비도통 상태로 설정되는

것을 특징으로 하는 반도체 기억 장치.

청구항 4.

제3항에 있어서, 상기 제2 트랜지스터는 n-채널 MOS 트랜지스터인 것을 특징으로 하는 반도체 기억 장치.

청구항 5.

제1항에 있어서, 상기 비트선의 정전 용량은 상기 제1 트랜지스터와 상기 판독 회로 사이의 접속부의 정전 용량보다도 큰 것을 특징으로 하는 반도체 기억 장치.

청구항 6.

제1 및 제2 선택 트랜지스터 사이에 복수의 메모리 셀이 직렬 접속된 NAND형 메모리 셀 유닛과, 상기 복수의 메모리 셀 중 선택 메모리 셀에 대해 기입을 행하기 위한 기입 수단을 구비하고,

상기 기입 수단은, 기입시에, 상기 선택 메모리 셀의 게이트 전극에 제1 전위를 인가하고, 상기 선택 메모리 셀의 한쪽 편에 인접하는 메모리 셀의 게이트 전극에 상기 제1 전위보다도 낮은 제2 전위를 인가하며, 나머지 메모리 셀의 게이트 전극에 상기 제1 전위보다는 낮고 제2 전위보다는 높은 제3 전위를 인가하는 것을 특징으로 하는 반도체 기억 장치.

청구항 7.

제6항에 있어서, 상기 선택 메모리 셀의 한쪽 편이란, 상기 선택 메모리 셀에 대해 상기 제2 트랜지스터 쪽의 것이고, 상기 제1 선택 트랜지스터는 비트선에 접속되며, 상기 제2 선택 트랜지스터는 소스선에 접속되는 것을 특징으로 하는 반도체 기억 장치.

청구항 8.

제7항에 있어서, 상기 복수의 메모리 셀에 대해 상기 제2 선택 트랜지스터에 인접하는 메모리 셀측부터 상기 제1 선택 트랜지스터에 인접하는 메모리 셀측으로 순차 기입을 행하는 것을 특징으로 하는 반도체 기억 장치.

청구항 9.

제6항에 있어서, 상기 제1 전위는 기입용 고전위이고, 상기 제2 전위는 접지 전위인 것을 특징으로 하는 반도체 기억 장치.

청구항 10.

제7항에 있어서, 상기 기입 수단은, 상기 기입 전에,

상기 나머지 메모리 셀 중 상기 선택 메모리 셀에 대해 상기 제1 선택 트랜지스터 측에 존재하는 메모리 셀의 게이트 전극에 제4 전위를 인가하고,

상기 나머지 메모리 셀 중 상기 선택 메모리 셀에 대해 상기 제2 선택 트랜지스터 측에 존재하는 메모리 셀의 게이트 전극에 제5 전위를 인가하여,

상기 복수의 메모리 셀의 채널을 충전하는 것을 특징으로 하는 반도체 기억 장치.

청구항 11.

제10항에 있어서, 상기 제5 전위는 상기 제4 전위보다 높은 것을 특징으로 하는 반도체 기억 장치.

청구항 12.

제11항에 있어서, 상기 기입 수단은, 상기 기입 전에,

상기 선택 메모리 셀의 게이트 전극에 상기 제4 전위를 인가하고,

상기 선택 메모리 셀의 한쪽 편에 인접하는 메모리 셀의 게이트 전극에 상기 제2 전위를 인가하는 것을 특징으로 하는 반도체 기억 장치.

청구항 13.

제11항에 있어서, 상기 기입 수단은, 상기 기입 전에,

상기 선택 메모리 셀의 게이트 전극에 상기 제5 전위를 인가하고,

상기 선택 메모리 셀의 한쪽 편에 인접하는 메모리 셀의 게이트 전극에 상기 제2 전위를 인가하는 것을 특징으로 하는 반도체 기억 장치.

청구항 14.

제12항 또는 제13항에 있어서, 상기 제4 및 제5 전위는 상기 제3 전위보다 낮은 것을 특징으로 하는 반도체 기억 장치.

청구항 15.

제14항에 있어서, 상기 제4 전위는 전원 전위인 것을 특징으로 하는 반도체 기억 장치.

청구항 16.

제7항에 있어서, 상기 기입 수단은, 상기 기입시에,

상기 나머지 메모리 셀 중 상기 선택 메모리 셀에 대해 상기 제2 선택 트랜지스터 측에 존재하는 메모리 셀의 게이트 전극에 상기 제3 전위를 인가한 후에, 상기 나머지 메모리 셀 중 상기 선택 메모리 셀에 대해 상기 제1 선택 트랜지스터 측에 존재하는 메모리 셀의 게이트 전극에 상기 제3 전위를 인가하는 것을 특징으로 하는 반도체 기억 장치.

청구항 17.

제16항에 있어서, 상기 기입 수단은, 상기 기입 시에,

상기 나머지 메모리 셀 중 상기 선택 메모리 셀에 대해 상기 제2 선택 트랜지스터 측에 존재하는 메모리 셀의 게이트 전극에 상기 제3 전위를 인가한 후에, 상기 선택 메모리 셀의 게이트 전극에 상기 제1 전위를 인가하는 것을 특징으로 하는 반도체 기억 장치.

청구항 18.

제17항에 있어서, 상기 선택 메모리 셀의 게이트 전극에 상기 제1 전위를 인가하는 시기는, 상기 나머지 메모리 셀 중 상기 선택 메모리 셀에 대해 상기 제1 선택 트랜지스터 측에 존재하는 메모리 셀의 게이트 전극에 상기 제3 전위를 인가하는 시기와 실질적으로 같은 것을 특징으로 하는 반도체 기억 장치.

청구항 19.

메모리 셀;

상기 메모리 셀에 접속된 비트선;

프리차지 회로를 포함하는 판독 회로; 및

상기 비트선과 상기 판독 회로의 사이에 접속된 제1 트랜지스터

를 구비하고,

상기 프리차지 회로가 상기 제1 트랜지스터를 거쳐 상기 비트선을 프리차지할 때, 제1 전위를 상기 제1 트랜지스터의 게이트에 인가함으로써, 프리차지된 후의 상기 비트선이 상기 제1 전위에 의해 제한되는 비트선 프리차지 레벨의 전압을 갖도록 하고,

상기 제1 전위와는 다른 제2 전위가, 상기 비트선이 프리차지된 후의 판독 동작 동안에, 상기 제1 트랜지스터의 상기 게이트에 인가되며,

상기 제2 전위는, 상기 비트선이 상기 비트선 프리차지 레벨을 유지하고 있으면, 상기 제1 트랜지스터를 비도통 상태에 있도록 하고,

상기 제2 전위는, 상기 비트선이 상기 비트선 프리차지 레벨을 유지하고 있지 않으면, 상기 제1 트랜지스터를 도통 상태가 되도록 하는

것을 특징으로 하는 반도체 기억 장치.

청구항 20.

복수의 메모리 셀;

상기 메모리 셀에 접속된 비트선;

전송 트랜지스터(transfer transistor)를 거쳐 상기 비트선에 접속된 용량 소자; 및

상기 용량 소자에 축적된 전하량을 감지하기 위한 감지 회로

를 구비하되,

상기 비트선은, 상기 전송 트랜지스터의 게이트에 인가되는 제1 전위에 따라 상기 전송 트랜지스터를 거쳐 프리차지되고,

상기 비트선의 전위의 변화는, 상기 전송 트랜지스터의 게이트에 인가되는 상기 제1 전위와는 다른 제2 전위에 따른 상기 용량 소자에 축적된 전하량의 변화로서, 상기 용량 소자에 전송되는 것을 특징으로 하는 반도체 기억 장치.

청구항 21.

제20항에 있어서, 상기 전송 트랜지스터는 n-채널 MOS 트랜지스터이며, 상기 제1 전위는 상기 제2 전위보다 높은 것을 특징으로 하는 반도체 기억 장치.

청구항 22.

제20항에 있어서, 상기 비트선의 정전 용량은 상기 용량 소자의 정전 용량보다 큰 것을 특징으로 하는 반도체 기억 장치.

청구항 23.

복수의 메모리 셀;

상기 메모리 셀에 접속된 비트선;

MOS 구조를 갖는 전송 트랜지스터를 거쳐 상기 비트선에 접속되는 제1 전극과, 제2 전극을 갖는 용량 소자;

상기 제1 전극에 접속되어, 프리차지 동작 시에 상기 제1 전극에 제1 전위를 인가하기 위한 프리차지 회로;

상기 제1 전극에 접속되어, 감지 동작 시에 상기 용량 소자에 축적된 전하량을 감지하기 위한 감지 회로; 및

상기 프리차지 동작 시에는 상기 전송 트랜지스터의 게이트에 제2 전위를 인가하고, 상기 감지 동작 시에는 상기 전송 트랜지스터의 상기 게이트에 상기 제2 전위와는 다른 제3 전위를 인가하기 위한 제어기

를 구비하는 것을 특징으로 하는 반도체 기억 장치.

청구항 24.

제23항에 있어서, 상기 전송 트랜지스터는 n-채널 MOS 트랜지스터이고,

상기 제2 전위는, 상기 프리차지 동작시의 상기 비트선의 전위 레벨을 상기 제2 전위 및 상기 트랜지스터의 문턱 전압에 의해 결정되는 프리차지 레벨로 한정하도록 저하되는 것을 특징으로 하는 반도체 기억 장치.

청구항 25.

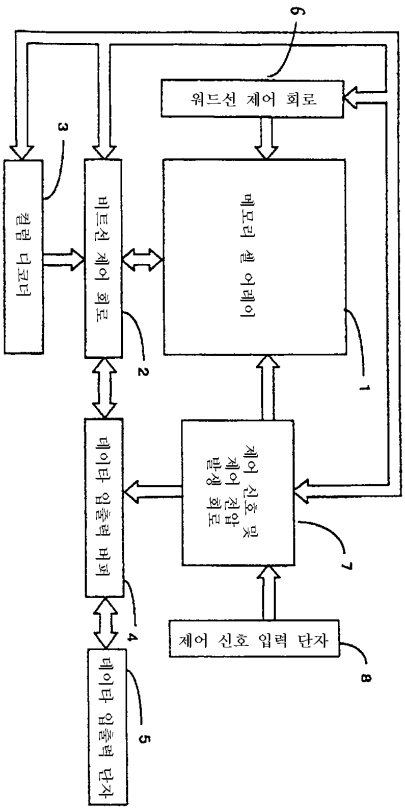
제24항에 있어서, 상기 제2 전위는 상기 제3 전위보다 높은 것을 특징으로 하는 반도체 기억 장치.

청구항 26.

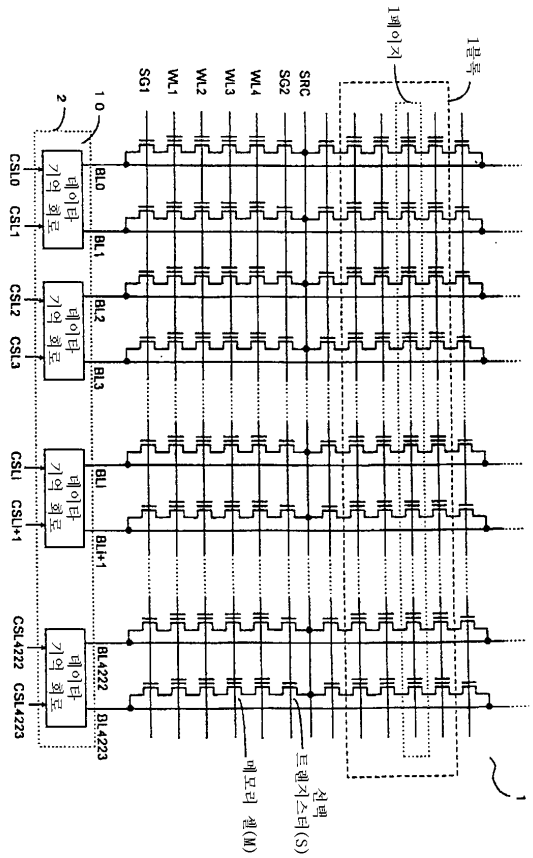
제23항에 있어서, 상기 비트선의 정전 용량은 상기 용량 소자의 정전 용량보다 큰 것을 특징으로 하는 반도체 기억 장치.

도면

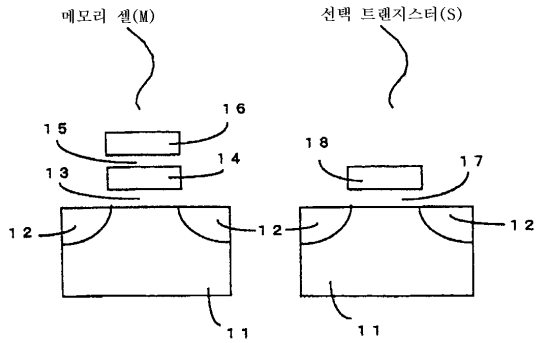
도면 1


6
워드선 제어 회로
3
칼럼 디코더
비트선 제어 회로
메모리 셀 어레이
2
1
데이터 입출력 버퍼
제어 신호 및 제어 전압 발생 회로
7
4
제어 신호 입력 단자
8
데이터 입출력 단자
5

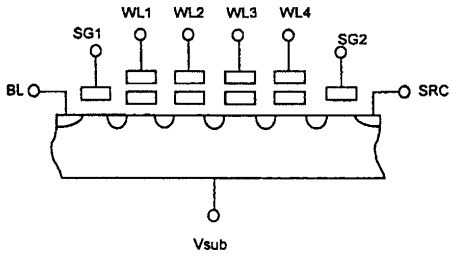
도면 2


1페이지
1블록
SG1
WL1
WL2
WL3
WL4
SG2
SRC
10
2
데이타 기억 회로
CSL0
CSL1
CSL2
CSL3
CSLi
CSLi+1
CSL4222
CSL4223
BL0
BL1
BL2
BL3
BLi
BLi+1
BL4222
BL4223
메모리 셀(M)
선택 트랜지스터(S)

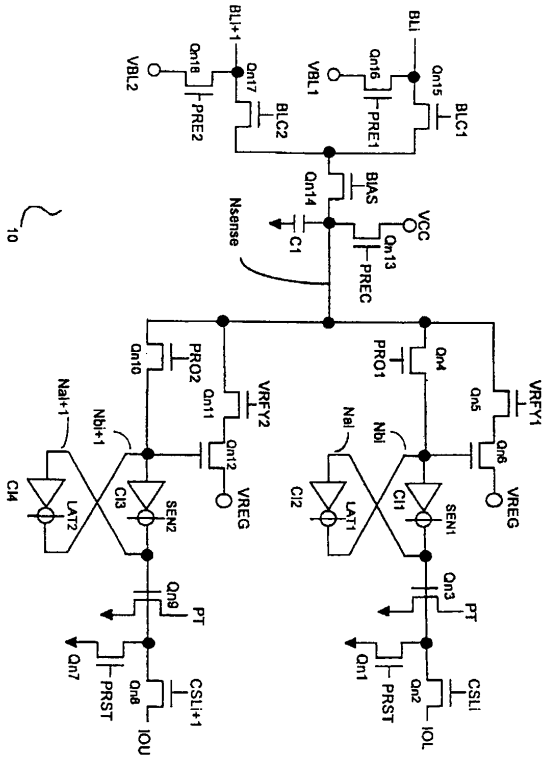
도면 3


메모리 셀(M)
선택 트랜지스터(S)
16
15
14
13
12
11
18
17

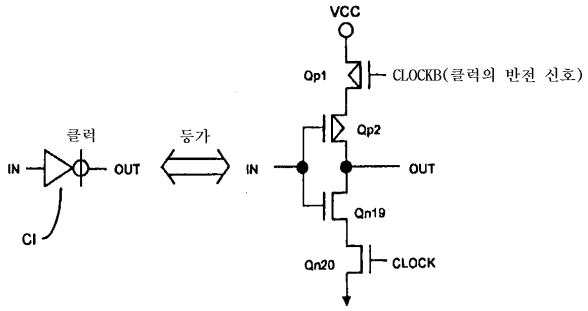
도면 4


WL1
WL2
WL3
WL4
SG1
SG2
BL
SRC
Vsub

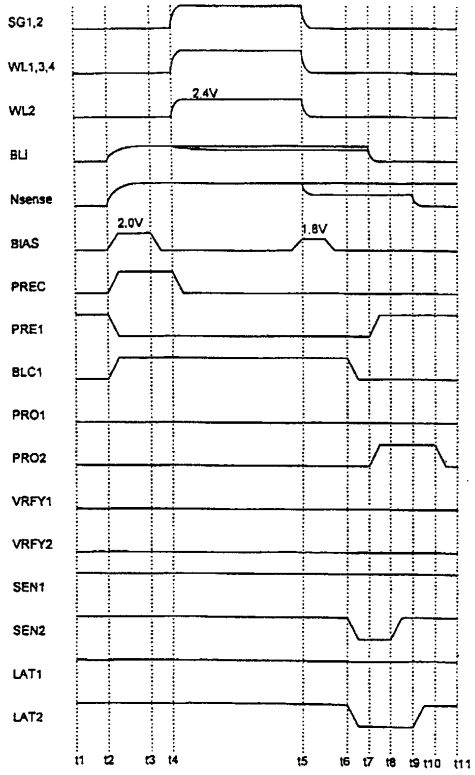
도면 5


10
BLi+1
BLi
VBL2
VBL1
Qn16
Qn17
Qn15
PRE2
PRE1
BLC2
BLC1
BIAS
Qn14
C1
Nsense
VCC
Qn13
PREC
Qn10
PRO2
Qn11
VRFY2
PRO1
Qn4
Qn5
VRFY1
Nai+1
Nbi+1
Nai
Nbi
Qn12
Qn6
VREG
CI4
LAT2
CI3
SEN2
CI2
LAT1
CI1
SEN1
Qn9
PT
Qn3
Qn7
PRST
Qn8
CSLi+1
IOU
Qn1
Qn2
CSLi
IOL

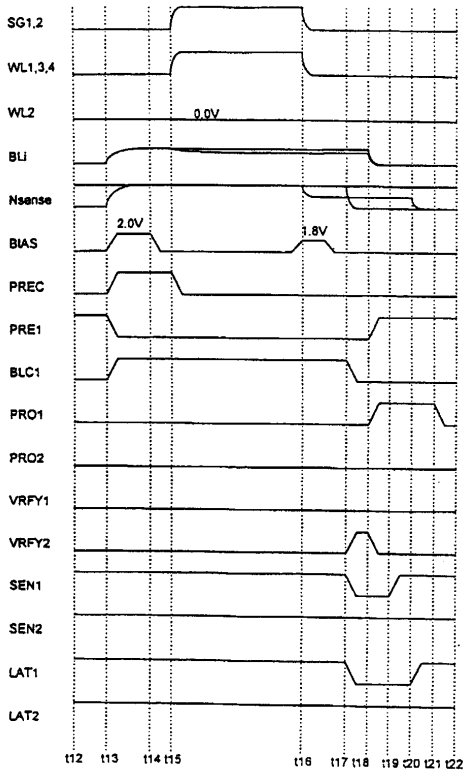
도면 6


VCC
Qp1
CLOCKB(클럭의 반전 신호)
클럭
등가
IN
OUT
CI
IN
Qp2
OUT
Qn19
Qn20
CLOCK

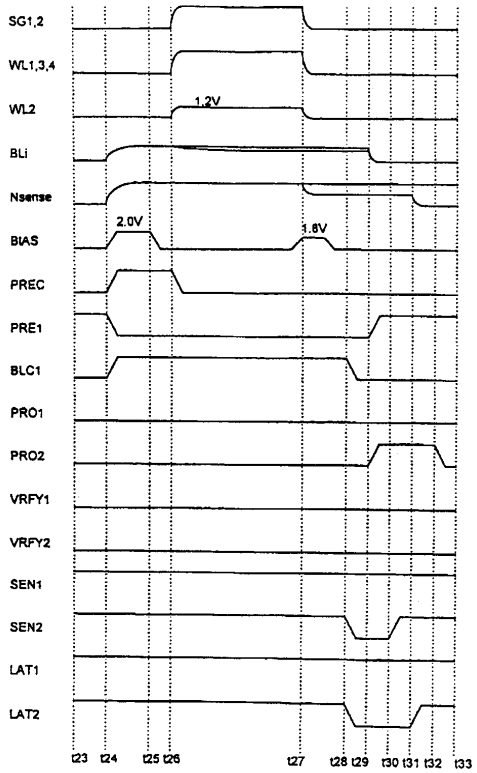
도면 7


SG1,2
WL1,3,4
WL2
2.4V
BLI
Nsense
BIAS
2.0V
1.8V
PREC
PRE1
BLC1
PRO1
PRO2
VRFY1
VRFY2
SEN1
SEN2
LAT1
LAT2
t1
t2
t3
t4
t5
t6
t7
t8
t9
t10
t11

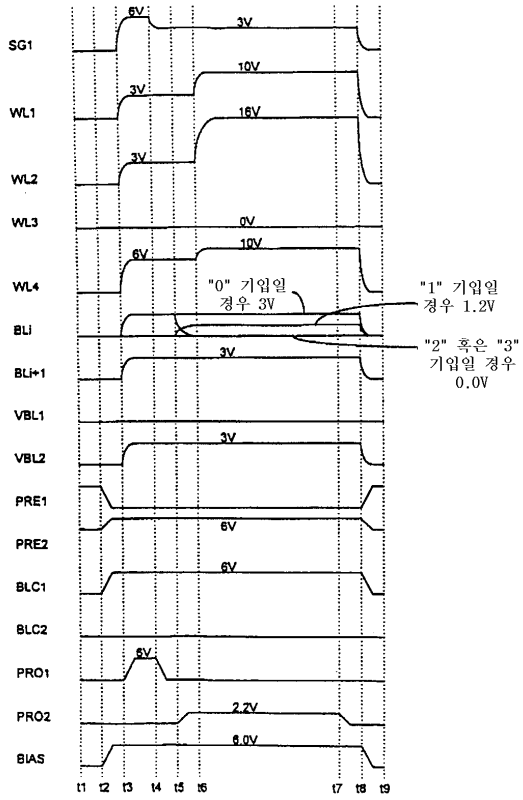
도면 8


SG1,2
WL1,3,4
WL2
0.0V
BLi
Nsense
2.0V
BIAS
1.8V
PREC
PRE1
BLC1
PRO1
PRO2
VRFY1
VRFY2
SEN1
SEN2
LAT1
LAT2
t12 t13 t14 t15 t16 t17 t18 t19 t20 t21 t22

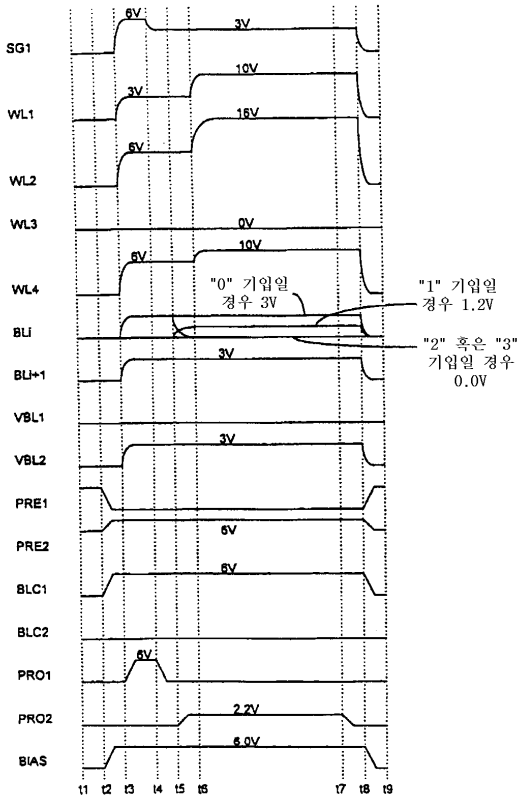
도면 9


SG1,2
WL1,3,4
WL2
BLi
Nsense
BIAS
PREC
PRE1
BLC1
PRO1
PRO2
VRFY1
VRFY2
SEN1
SEN2
LAT1
LAT2
1.2V
2.0V
1.8V
t23
t24
t25
t26
t27
t28
t29
t30
t31
t32
t33

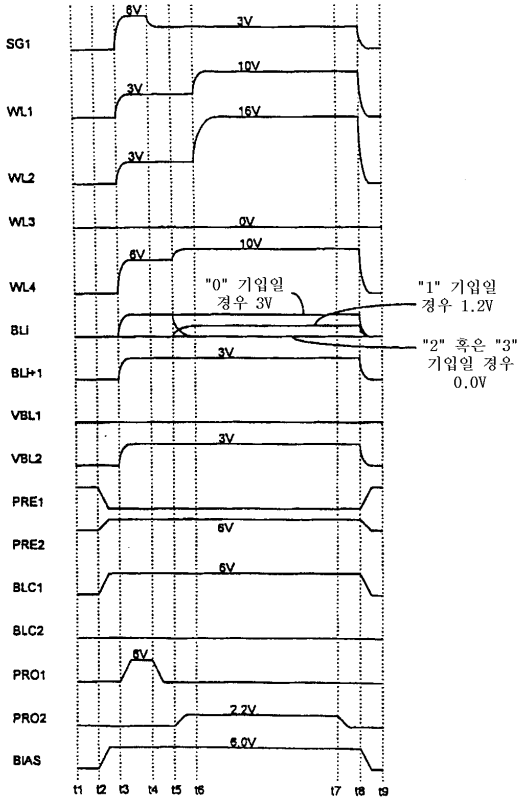
도면 10


SG1
WL1
WL2
WL3
WL4
BLi
BLi+1
VBL1
VBL2
PRE1
PRE2
BLC1
BLC2
PRO1
PRO2
BIAS
5V
3V
10V
16V
0V
6V
"0" 기입일 경우 3V
"1" 기입일 경우 1.2V
"2" 혹은 "3" 기입일 경우 0.0V
2.2V
6.0V
t1 t2 t3 t4 t5 t6 t7 t8 t9

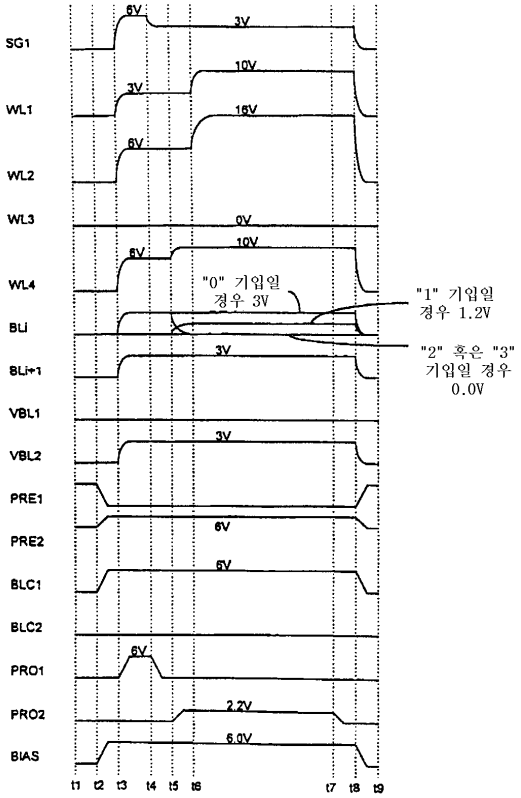
도면 11


SG1
WL1
WL2
WL3
WL4
BLi
BLi+1
VBL1
VBL2
PRE1
PRE2
BLC1
BLC2
PRO1
PRO2
BIAS
6V
3V
10V
16V
0V
"0" 기입일 경우 3V
"1" 기입일 경우 1.2V
"2" 혹은 "3" 기입일 경우 0.0V
2.2V
6.0V
t1 t2 t3 t4 t5 t6 t7 t8 t9

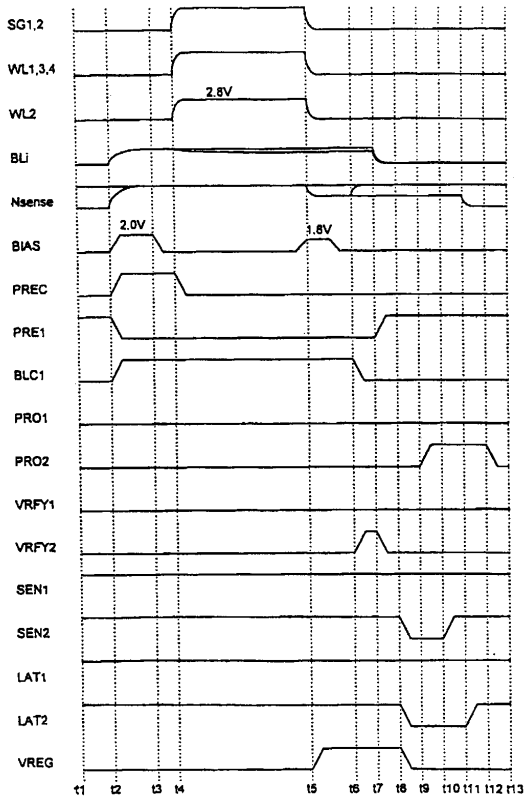
도면 12


SG1
WL1
WL2
WL3
WL4
BLi
BLi+1
VBL1
VBL2
PRE1
PRE2
BLC1
BLC2
PRO1
PRO2
BIAS
6V
3V
10V
16V
0V
"0" 기입일 경우 3V
"1" 기입일 경우 1.2V
"2" 혹은 "3" 기입일 경우 0.0V
2.2V
6.0V
t1 t2 t3 t4 t5 t6 t7 t8 t9

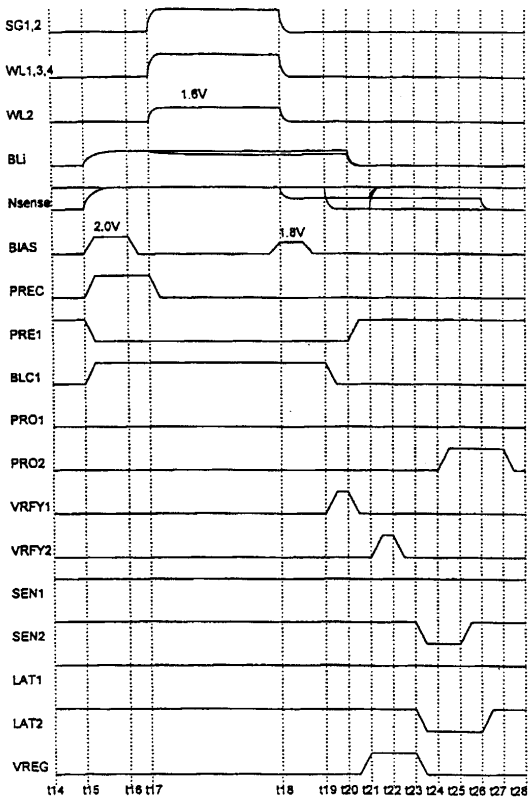
도면 13


SG1
WL1
WL2
WL3
WL4
BLi
BLi+1
VBL1
VBL2
PRE1
PRE2
BLC1
BLC2
PRO1
PRO2
BIAS
6V
3V
10V
15V
0V
"0" 기입일 경우 3V
"1" 기입일 경우 1.2V
"2" 혹은 "3" 기입일 경우 0.0V
2.2V
6.0V
t1 t2 t3 t4 t5 t6 t7 t8 t9

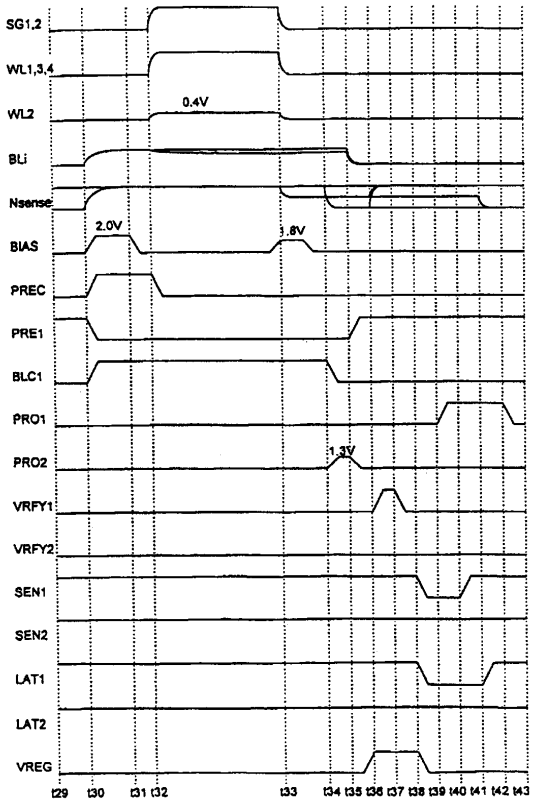
도면 14


SG1,2
WL1,3,4
WL2
2.8V
BLi
Nsense
2.0V
1.8V
BIAS
PREC
PRE1
BLC1
PRO1
PRO2
VRFY1
VRFY2
SEN1
SEN2
LAT1
LAT2
VREG
t1 t2 t3 t4 t5 t6 t7 t8 t9 t10 t11 t12 t13

도면 15


SG1,2
WL1,3,4
WL2
1.6V
BLi
Nsense
BIAS
2.0V
1.8V
PREC
PRE1
BLC1
PRO1
PRO2
VRFY1
VRFY2
SEN1
SEN2
LAT1
LAT2
VREG
t14 t15 t16 t17 t18 t19 t20 t21 t22 t23 t24 t25 t26 t27 t28

도면 16


SG1,2
WL1,3,4
WL2
0.4V
BLi
Nsense
2.0V
BIAS
1.8V
PREC
PRE1
BLC1
PRO1
PRO2
1.3V
VRFY1
VRFY2
SEN1
SEN2
LAT1
LAT2
VREG
t29 t30 t31 t32 t33 t34 t35 t36 t37 t38 t39 t40 t41 t42 t43