

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
H03M 1/12

(11) 공개번호 특2001-0023390
(43) 공개일자 2001년03월26일

(21) 출원번호	10-2000-7002030		
(22) 출원일자	2000년02월28일		
번역문제출일자	2000년02월28일		
(86) 국제출원번호	PCT/IB1999/01081	(87) 국제공개번호	WO 2000/01074
(86) 국제출원원출원일자	1999년06월10일	(87) 국제공개일자	2000년01월06일
(81) 지정국	EP 유럽특허 : 오스트리아 벨기에 스위스 독일 덴마크 스페인 프랑스 영국 그리스 아일랜드 이탈리아 룩셈부르크 모나코 네덜란드 포르투 칼 스웨덴 핀란드 사이프러스		

국내특허 : 일본 대한민국

(30) 우선권주장	98305157.4 1998년06월30일 EP(EP)
(71) 출원인	코닌클리즈케 필립스 일렉트로닉스 엔.브이. 롤페스 요하네스 게라투스 알베르투스
(72) 발명자	네덜란드 엔엘-5621 베에이 아인드호펜 그로네보드세베그 1 반더잔에릭제이 네덜란드엔엘-5656에이에이아인드호펜홀스트란6 디즈크만스에이세씨 네덜란드엔엘-5656에이에이아인드호펜홀스트란6 도날드슨윌리엄 네덜란드엔엘-5656에이에이아인드호펜홀스트란6 세이어스안토니디 네덜란드엔엘-5656에이에이아인드호펜홀스트란6
(74) 대리인	김창세, 장성구

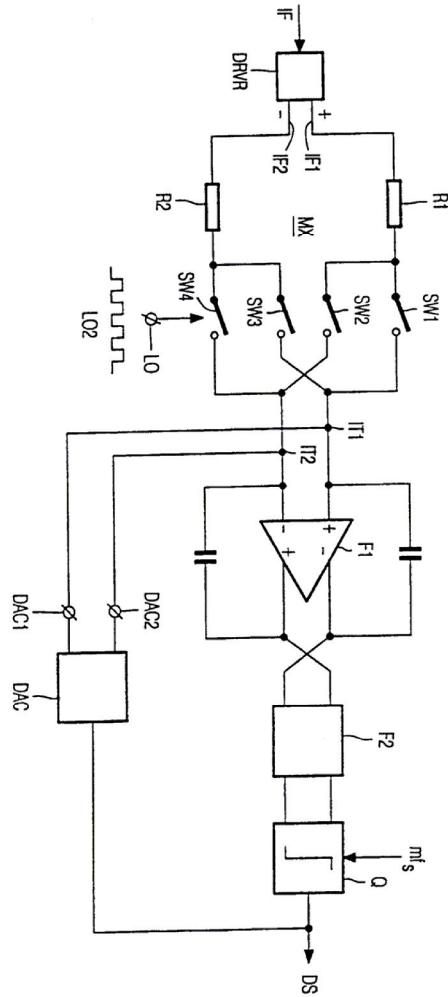
심사청구 : 없음

(54) 집적된 믹서와 시그마-델타 아날로그 디지털 변환기를 구비한 수신기

요약

집적화된 믹서/시그마-델타 변조기를 갖는 수신기는 예를들어 무선 수신기의 비교적 낮은-높게 변조된 대역폭 신호-주파수 반송파을 디지털화하는 구성이다. 시그마-델타 변조기는 믹서(MX)와 시그마-델타 변조기 사이에 각 로우패스 필터가 필요없도록 하는 반 엘리어싱 특성을 갖는 시 연속 루프 필터를 구비한다.

대표도



명세서

기술분야

본 발명은 수신기에 관한 것으로, 이 수신기는 정보 신호에 의해 변조된 반송파 신호와 발진기 신호를 믹싱하는 믹서(mixer)와 상기 정보 신호를 디지털 신호로 변환하는 아날로그 디지털 변환기를 포함하고 있다.

배경기술

도 1은 종래의 슈퍼헤테로다인 수신기의 블록도이다. GSM(이동 통신용 글로벌 시스템) 전화용 수신기가 일례로서 도시되고 있다. 그러나, 페이징이나 무선 수신기 등에 마찬가지의 기법들이 사용되기도 한다. 무선 주파수(RF) 신호는 먼저 제 1 국부 발진 주파수(L01)에 의해 중간 주파수(IF)에 믹싱된다. 그 후 정보 신호(I, Q)는 두 개의 믹서(MX2A, MX2B)와 위상차가 90도가 되는 제 2 국부 발진 신호(L02A, L02B)를 사용하여 베이스밴드 신호에 개별적으로 믹싱된다. 이 정보 신호는 반 엘리어싱(anti-aliasing) 로우패스 필터(LPE)를 통과한 후, 아날로그 디지털(A/D) 변환기에 의해 디지털 영역으로 변환된다. 이러한 종래의 수신기에서, 베이스밴드 신호로의 믹싱과 베이스밴드 신호에서 디지털 신호로의 변환에는 믹서, 로우패스 필터 및 A/D 변환기에 필요하다. 이러한 해결법은 슈퍼헤테로다인 수신기에 사용되는 수동 필터가 비교적 고가이기 때문에 코스트가 상승한다고 하는 결점이 있었다.

발명의 상세한 설명

본 발명은 종래 기술의 수신기의 결점을 줄이기 위한 것을 목적으로 하며, 이러한 목적 달성을 위하여 서문에서 명시한 바와 같은 수신기는 아날로그 디지털 변환기를 시그마-델타 변환기로 한 것을 특징으로 하며, 이 시그마-델타 변환기는 상기 정보 신호와 시연속 루프 필터(continuous-time loop filter)의 입력을 결합시키는 입력 스테이지와, 루프 필터의 출력 신호를 양자화시켜 디지털 신호를 발생시키는 양자화기와, 상기 디지털 신호를 루프 필터의 입력으로 피드백시키는 디지털-아날로그 변환기를 포함하며, 상기 입력 스테이지는 상기 믹서와, 반송 신호를 수신하는 제 1 입력단자와, 상기 발진 신호를 수신하는 제 2 입력단자와, 상기 루프 필터에 상기 정보 신호를 제공하는 루프 필터의 입력에 연결된 출력단자를

포함하고 있다.

본 발명에 따른 접근 방안은 반 엘리어싱 로우패스 필터를 사용하지 않고도 믹서와 A/D 변환용 시그마-델타 변조기를 사용한다. 상기 믹서의 출력은 상기 시그마-델타 변조기의 루프 필터에 직접 제공된다. 아날로그 신호를 디지털 신호로 변환시키는 시그마-델타 변조기의 사용법은 가령, E. J. van der Zwan 및 E. C. Dijkmans에 의한 1996년 12월호의 IEEE 고체 회로지, Vol. 31의 논문, "A 0.2mW CMOS Sigma-Delta Modulator for Speech Coding with 80dB Dynamic Range"에서 잘 알려져 있다. 이러한 참조 문헌에 기술된 바와 같은 시그마-델타 변조기의 동작 원리는, 상기 정보 신호가 시연속 아날로그 필터와, 샘플러와, 디지털-아날로그 변환기(DAC)를 포함하는 피드백 루프로 피드백된다는 것이다. 시그마-델타 변조기의 출력 신호는 매우 과도하게 샘플링된 레이트의 비트 스트림이 된다. 과도 샘플링된 비트 스트림은 후속하는 디지털 처리부로 공급되며, 이 디지털 처리부는 상기 비트 스트림을 데시메이션으로 알려진 처리로 상기 정보 신호의 정확한 양자화 표기법으로 변환시킨다. 위의 참조 문헌의 논문의 시그마-델타 변조기에 사용되는 시연속 아날로그 루프 필터는 우수한 반 엘리어싱 특성을 갖는다. 따라서, 전술한 수신기의 A/D 변환기로서 시그마-델타 변조기를 사용하게 되면, 믹서와 A/D 변환기 간의 로우패스 필터는 제거될 수 있다. 이러한 것은 구성 요소, 칩 면적, 및 전력 소비가 보다 감소한, 간단한 믹서/시그마-델타 변조기 구조를 만들 수 있다.

본 발명의 전술한 것 및 다른 특징 및 효과들은 본 발명의 실시예의 상세한 설명과 첨부되는 도면으로부터 명백하게 이해될 수 있을 것이다.

도면의 간단한 설명

- 도 1은 종래의 슈퍼헤테로다인 GSM 수신기의 블록도이며,
- 도 2는 믹서와 그에 후속하는 이산 시그마-델타 변조기를 도시한 도면이며,
- 도 3은 믹서와 그에 후속하는 시연속 루프 필터 및 시그마-델타 변조기를 도시한 도면이며,
- 도 4는 이산 시그마-델타 변조기에 선행하는 선형 믹서의 출력 스펙트럼을 도시한 도면이며,
- 도 5는 이산 시그마-델타 변조기에 선행하는 구형파 믹서의 출력 스펙트럼을 도시한 도면이며,
- 도 6은 시그마-델타 변조기 및 시연속 루프 필터에 선행하는 구형파 믹서의 출력 스펙트럼을 도시한 도면이며,
- 도 7은 본 발명에 따라 제조된 수신기에 사용하기 위한 집적된 믹서/시그마-델타 변조기의 제 1 실시예의 회로도이며,
- 도 8은 본 발명에 따라 제조된 수신기에 사용하기 위한 집적된 믹서/시그마-델타 변조기의 제 2 실시예의 회로도이며,
- 도 9는 도 8의 제 2 실시예의 트랜ジ스터의 세부 회로도이다.

실시예

도면에서, 대응하는 또는 유사한 특성들은 동일 인용 부호로 나타내어진다.

도 1은 통상의 슈퍼헤테로다인 수신기의 블럭도를 보여준다. 예로서 GSM(이동통신 세계화 시스템) 전화 기용 수신기가 도시된다. 그러나, 유사한 기술들이 예컨대 페이징 수신기에 사용된다. 안테나(2)로 수신되어 필터링되며 증폭기(4)로 증폭되는 무선 주파수(RF) 신호는 믹서(MX1)에서 제 1 국부 오실레이터 신호(L01)를 이용하여 중간 주파수(IF)로 처음 믹싱된다. 그후에, 중간 주파수 신호는 2개의 믹서들(MX2A,MX2B) 및 90도의 위상차를 갖는 제 2 국부 오실레이터 신호들(L02A,L02B)을 이용하여 기저 대역(I,Q) 정보 신호로 개별적으로 믹싱된다. 반-엘리어싱(anti-aliasing) 저역통과 필터(LPFA,LPFB)를 통과한 후에, 정보 신호는 아날로그-디지털(A/D) 변환기들(ADCA,ADCB)에 의해 디지털 영역으로 변환된다. 이러한 통상의 수신기에서, 기저대역 신호로의 믹싱다운(mixing-down) 및 기저대역 신호의 디지털 신호로의 변환은 신호들(I,Q) 각각을 위해 믹서, 저역통과 필터 및 A/D 변환기를 필요로 한다. GSM의 경우에, 정보 신호들(I,Q)의 대역폭은 약 100kHz로 상대적으로 낮으며, 이는 약 200kHz의 채널 폭을 야기 한다. RF 주파수는 약 900MHz이며, IF 주파수는 약 50 내지 150 MHz다. 따라서, 정보 신호의 대역폭은 IF 캐리어 주파수에 관해 상대적으로 낮다.

전술된 논문으로부터, 연속적인 시간 루프 필터를 갖는 시그마-델타 변조기(Sigma-Delta Modulator)가 좋은 반-엘리어싱 특성을 갖음이 공지된다. 인용참조된 논문의 원리에 따라 믹서와 시그마-델타 변조기를 통합함으로써, 루프 필터(LPFA/LPFB)를 생략할 수 있다. 이것이 단순한 구조로 하여금 도1의 점선 내에 나타내어진 기능을 수행하게 할 수 있다.

시그마-델타 변조기를 수반하는 믹서(MX)를 고려하면, 이는 도2에 도시된 불연속적인 시간 구현일 수 있으며, 또는 이는 도3에 도시된 연속적인 시간 루프 필터를 가질 수 있다. 도2의 구조에서, 샘플링은 변조기 출력에서 실행되는 반면, 도3 구조의 샘플링은 루프 필터의 후미에서 발생하며, 이 루프 필터는 이 경우에 저역통과 필터다. 시그마-델타 변조기는 감산기(SUB), 양자화기(Q)를 수반하는 루프 필터(F), 양자화기(Q)의 디지털 데이터 신호(DS)를 감산기(SUB)로 피드백하는 디지털-아날로그 변환기(DAC)로 구성된다.

도2의 구조, 즉 샘플러를 수반하는 믹서는 국부 오실레이터 주파수(L02)가 샘플링 주파수(f_s)의 정수배가 아닌 경우 엘리어싱 문제를 야기한다. 입력 신호(IF)가 주파수($f_{in}=51.22\text{MHz}$)라고 가정할 경우, 이 주파수는 국부 오실레이터 주파수($f_{L02}=51.25\text{MHz}$)와 선형으로 믹싱되며, 샘플링 주파수(f_s)는 12.8MHz다. 흥미

있는 대역폭은 $\pm 100\text{kHz}$ 다. 믹서 출력은 바라는 $f_{L02}-f_{in}=30\text{kHz}$ 성분을 포함하지만, 또한 $f_{L02}+f_{in}=102.47\text{MHz}$ 성분도 포함한다. 이 102.47MHz 성분이 $f_s=12.8\text{MHz}$ 로 샘플링되는 경우, $f_{L02}+f_{in}-8f_s=70\text{kHz}$ 에서 원하지 않는 인밴드(in-band) 성분이 생긴다. 이것이 4차 시그마-델타 변조기를 이용하여 도2 구조의 디지털 데이터 출력 신호(DS)를 보여주는 도4에 예시된다. 이 상황은 믹싱이 51.25MHz 의 구형파로 수행되는 경우 더욱 악화되며, 이는 사인파보다 구현하기가 더 쉽다. 그 경우에, 구형파의 보다 높은 고조파가 고려되며, 결과 스펙트럼이 도5에 도시된다. 예를 들면, 오실레이터 주파수(f_{L02})의 제3 고조파는 $3f_{L02}-f_{in}=102.53\text{MHz}$ 에서 어떤 성분을 야기한다. 샘플링 주파수($f_s=12.8\text{MHz}$)에서 이 성분을 샘플링함으로써 $3f_{L02}-f_{in}-8f_s=130\text{kHz}$ 에서 원하지 않는 인밴드 성분을 공급한다.

그러나, 이들 문제들은 연속적인 시간 루프 필터를 구비한 시그마-델타 변조기를 이용하는 도3 구조로 방지된다. 도6은 도5의 예와 동일한 조건 하에서 디지털 데이터 출력 신호(DS)의 스펙트럼을 도시하며, 즉 입력 신호(IF)는 구형파 오실레이터 신호(L02)와 믹싱된 다음, 4차 시그마-델타 변조기의 입력으로 공급된다. 원하지 않는 주파수 성분들이 디지털 데이터 출력 신호(DS)의 스펙트럼에 전혀 나타나지 않기 때문에 성능은 더 좋다. 이것은 샘플링 주파수(f_s)가 에일리어싱 문제를 야기하지 않고도 국부 오실레이터 주파수(f_{L02})와는 독립적으로 선택될 수 있음을 의미한다.

도 7은 도3 구조의 제1 구현을 보여준다. 시그마-델타 변조기는 기본적으로 전술된 논문으로부터 공지된 시그마-델타 변조기와 동일한 구조를 갖는다. 루프 필터의 제1 적분기(F1)만이 상세히 도시된다. 루프 필터(F2)의 나머지는 보다 많은 적분기들과 계수들로 구성될 수 있으므로, 루프 필터는 임의의 차수 및/또는 구조를 가질 수 있다. 제1 적분기(F1)는 입력과 출력을 비교 평가하며, 루프 필터의 제1 입력 터미널(IT1)에 접속된 비반전 입력 및 루프 필터의 제2 입력 터미널(IT2)에 접속된 반전 입력을 갖는다. 디지털-아날로그 변환기(DAC)는 입력 터미널들(IT1, IT2)에 각각 접속된 출력들(DAC1, DAC2)을 비교 평가한다. 믹서기는 일련의 스위치들(SW1, SW2, SW3, SW4)로 구현된다. 스위치(SW1)는 저항(R1)을 입력 터미널(IT1)에 접속하며, 스위치(SW4)는 구형파 오실레이터 신호(L02)의 제1 반주기 동안 저항(R2)을 입력 터미널(IT2)에 접속하며, 이 오실레이터 신호(L02)는 입력 터미널(L0)에서 이용 가능하다. 스위치(SW2)는 저항(R1)을 입력 터미널(IT2)에 접속하며, 스위치(SW3)는 구형파 오실레이터 신호(L02)의 제2 반주기 동안 저항(R2)을 입력 터미널(IT1)에 접속한다. 저항들(R1, R2)은 구동기(DRVR)의 출력들(IF1, IF2)로부터 안정된 IF 캐리어 신호에 의해 공급된다. 안정된 IF 캐리어 신호는 저항들(R1, R2)에 의해 안정된 전류로 변환된다. 이들 안정된 전류들은 스위치들(SW1 내지 SW4)에 의해 입력 터미널들(IT1, IT2)에 직접 접속되거나 또는 교차 연결되며, 적분기(F1)에 통합된다.

도 8에는 도 3에 도시된 구조의 대체 실시예가 도시되어 있다. 이 믹서는 흔히 길버트 셀 믹서(Gilbert cell mixer)라고 알려진 NPN 4 트랜지스터 구조 T1, T2, T3, T4로 구현된다. 트랜지스터 T1 및 T2는 제1 차동 쌍(differential pair)을 이루고 그들의 에미터(emitter) 전극이 제1 공통 노드 CN1에 연결되어 있다. T3와 T4는 제2 공통 노드 CN2를 구비하는 제2 차동 쌍을 이룬다. 노드 IF1 및 IF2에서 평형 IF 반송 신호는 공통 노드 CN1 및 CN2로 공급된다. 국부 발진기 신호 L02는 한 쌍의 입력 노드 IN1 및 IN2로 공급된다. 트랜지스터 T1 및 T4의 베이스(base) 전극은 입력 노드 IN1로 연결되고, 트랜지스터 T2 및 T3의 베이스 전극은 입력 노드 IN2로 연결된다. 트랜지스터 T1 및 T3의 콜렉터 전극은 둘 다 출력 노드 ON1에 연결되고, 이 출력 노드 ON1은 시그마 델타 변조기(Sigma-Delta Modulator)의 루프 필터의 입력 단자 IT1에 교대로 연결된다. 다른 트랜지스터 T2 및 T4의 콜렉터 전극은 둘다 출력 노드 ON2에 연결되고, 이 출력 노드 ON2는 입력 단자 IT2에 교대로 연결된다. 트랜지스터 T1 내지 T4의 구조는 도 7에 도시된 스위치 SW1 내지 SW4와 동일한 기능을 수행한다. 출력 노드 ON1과 ON2에서 흘러나온 스위칭된 평형 출력 전류가 출력 노드 ON1과 ON2 사이에 연결된 캐패시터에 의하여 적분된다. 스위치 트랜지스터 T1 내지 T4는 혼합 기능을 수행할 뿐만 아니라 시그마 델타 변조기의 입력 트랜스컨덕터(transconductor) 기능도 수행한다. 이 것은 결합의 전력 소모를 줄이고 구성 요소의 수를 감소시킨다. 그러한 두 개의 구조가 단일 칩 상에서 제조되는 경우, 도 1에 도시된 GSM 수신기의 경우와 같기 때문에, I와 Q의 두 처리 채널 사이의 정합이 매우 좋다.

도 9에는 도 8의 혼합 입력을 실현하는 보다 상세한 회로도가 도시되어 있다. 공통 노드 CN1 및 CN2는 전류 미러(mirror) M1의 개별 출력 가지 M1A와 M1B로부터의 바이어스 전류(bias current)를 수신하고, 전류 미러 M1의 공통 단자 M1E는 음성 공급 단자 VN을 연결된다. 평형 출력 DAC1 및 DAC2는 트랜지스터 T5 및 T6로 이루어지는 부가 NPN 차동 쌍을 구동한다. 이 트랜지스터 쌍의 공통 노드 CN3은 전류 미러 M1의 출력 가지 M1C로부터의 바이어스 전류를 수신한다. NPN 캐스코드(cascode) 트랜지스터 T7 및 T8은 출력 노드 ON1 및 ON2와 직렬로 삽입되어, 개별적으로 입력 단자 IT1 및 IT2에서 고 출력 임피던스 레벨을 제공한다. 트랜지스터 T5의 제어기는 NPN 캐스코드 트랜지스터 T9를 통해서 입력 단자 IT1으로 연결되고, 트랜지스터 T6의 제어기는 NPN 캐스코드 트랜지스터 T10를 통해서 입력 단자 IT2로 연결되어 다시 입력 단자 IT1 및 IT2에서 높은 임피던스 레벨을 제공한다. 이 높은 임피던스 레벨에 의해서 집적 캐패시터 C의 낮은 정전 용량값과 동시에 큰 집적 시간 상수를 얻을 수 있다.

NPN 캐스코드 트랜지스터 T7 내지 T10의 제어기는 전류원 트랜지스터에 의해서 능동적으로 로딩된다. 이 전류원 트랜지스터는 공통 단자 M2G가 양성 공급 단자 폐로 연결된 제2 전류 미러의 개별적인 출력 가지 M2A, M2B, M2C 및 M2D에 개별적으로 결합된다. 출력 가지 M2A, M2B, M2C 및 M2D는 PNP 캐스코드 트랜지스터 T11, T12, T13 및 T14에 의해서 각각 캐스코드되고, 그 결과 전류 미러 M2의 출력 가지 M2A 내지 M2D에 결합된 전류원 트랜지스터의 출력 임피던스가 증가된다. NPN 캐스코드 트랜지스터 T7 내지 T10의 베이스 전극과 PNP 캐스코드 트랜지스터 T11 내지 T14의 베이스 전극은 바이어스 전압 발생기 UB로부터 적절한 바이어스 전압을 제공받는다.

또한, 입력 단자 IT1 및 IT2는 입력 단자 IT1 및 IT2에서 DC 전압을 감지하는 두 NMOS 트랜지스터 T15 및 T16의 게이트 전극에 연결된다. 트랜지스터 T15 및 T16의 소오스 전극은 음성 공급 단자 VN에 연결된다. 트랜지스터 T15 및 T16의 드레인 전극은 둘 다 NMOS 트랜지스터 T17의 채널을 통해서 제3 전류 미

러 M3의 입력 가지 M3A에 연결된다. 제 3 전류 미러 M3에는 제 1 전류 미러 M1의 입력 가지 M1D로 연결되는 출력 가지 M3B와 양성 공급 단자 VP로 연결되는 공통 단자 M3C가 있다. NMOS 트랜지스터 T18 및 T19는 NMOS 트랜지스터 T15 및 T16의 유사한 구조를 이룬다. 트랜지스터 T18 및 T19의 게이트 전극은 둘 다 전압 분배기의 분기(tapping)로 연결되며, 이 전압 분배기는 양성 공급 단자 VP와 음성 공급 단자 VN 사이에 직렬로 연결된 저항 R3와 R4로 이루어진다. 트랜지스터 T18 및 T19의 소오스 전극은 음성 공급 단자 VN에 연결된다. 이 트랜지스터 T18 및 T19의 드레인 전극은 둘 다 NMOS 트랜지스터 T20에 연결된다. 이 NMOS 트랜지스터 T20은 트랜지스터 T17과 유사한 구조를 가지며, 그 게이트 전극은 트랜지스터 T17의 게이트 전극으로 연결된다. 제 2 전류 미러 M2의 입력 가지 M2F는 저항 R5를 통해서 제어 단자 CT로 연결된다.

단자 IT1 및 IT2에서의 DC 레벨은 트랜지스터 T15 및 T16에 의해서 감지되고, 전압 분배기 R3-R4의 분기에서 전압에 의해서 요구되는 레벨로 유지된다. 바이어스 전류 값은 제어 단자 CT에서의 제어 전류에 의해서 조절될 수 있다. 감지 트랜지스터와 같은 MOS 트랜지스터를 사용하면 단자 IT1 및 IT2로부터 감지 트랜지스터로 DC 전류가 흐르지 않는 효과를 얻을 수 있다.

여기에 설명된 본 발명의 실시예는 단지 일 예로서 제한적인 것은 아니다. 이 실시예는 첨부된 특허청구 범위에서 한정되는 본 발명의 사상 범위를 벗어나지 않는 범위에서 당업자에 의해 다양하게 변경될 수 있다.

(57) 청구의 범위

청구항 1

정보 신호에 의해 변조된 반송 신호(IF)와 오실레이터 신호(L02)를 혼합하는 믹서(MX)와, 정보 신호를 디지털 신호(DS)로 변환하는 아날로그-디지털 변환기를 포함하는 수신기에 있어서:

상기 아날로그-디지털 변환기는, 정보 신호와 연속적인 시간 루프 필터(F1,F2)의 입력을 결합하는 입력 단(DRVR,MX)과, 상기 루프 필터(F1,F2)의 출력 신호를 양자화하고 디지털 신호를 생성하는 양자화기(Q) 및 상기 디지털 신호(DS)를 루프 필터(F1,F2)의 입력(IT1,IT2)에 피드백시키는 디지털-아날로그 변환기(DAC)를 포함하는 시그마-델타(Sigma-Delta) 변조기이고,

상기 입력단은 믹서(MX)를 포함하고, 상기 반송 신호를 수신하는 제 1 입력(IF)과, 상기 오실레이터 신호(L02)를 수신하는 제 2 입력(L0) 및 상기 루프 필터(F1,F2)에 정보 신호를 제공하기 위한 상기 루프 필터(F1,F2)의 입력(IT1,IT2)에 결합된 출력을 가지는 것을 특징으로 하는 수신기.

청구항 2

제 1 항에 있어서,

상기 루프 필터는 상기 루프 필터의 각 입력 터미널(IT1,IT2)에 연결된 반전 및 비반전 입력 터미널을 갖는 평형 적분기(F1)를 구비하고, 상기 입력단은 상기 반송 신호를 평형 반송 신호를 변환하는 수단(DRVR)과, 상기 오실레이터 신호(L02)에 응답하여 상기 평형 반송 신호와 상기 루프 필터의 각 입력 터미널(IT1,IT)을 교대로 결합하고 교차 결합하는 수단(SW1,SW2,SW3,SW4)을 구비하는 수신기.

청구항 3

제 2 항에 있어서,

상기 교대 결합 및 교차 결합 수단은:

평형 반송 신호(IF1,IF2)를 수신하도록 연결된 공통 노드(CN1,CN2)와, 상기 평형 오실레이터 신호를 반대 위상으로 수신하도록 연결된 대응하는 입력 노드 및, 각 캐스코드 트랜지스터(T7,T8)를 통해 상기 루프 필터의 각 입력 터미널(IT1,IT2)에 결합된 대응하는 출력 노드(ON1,ON2)를 가지는 수신기.

청구항 4

제 3 항에 있어서,

상기 공통 노드(CN1,CN2)에 바이어스 전류를 공급하기 위하여 상기 공통 노드(CN1,CN2)에 결합된 각 출력 브렌치(M1A,M1B)를 가진 제 1 전류 미러(M1)와,

각 캐스 코드 트랜지스터(T11,T12)를 통해 상기 각 터미널(IT1,IT2)에 결합된 각 출력 브렌치(M2A,M2B)를 가진 제 2 전류 미러(M2)를 더 포함하며,

상기 제 2 전류 미러(M2)는, 상기 각 터미널(IT1,IT2)을 통해 교대로 결합하고 교차 결합하기 위한 상기 수단(T1,T2,T3,T4)과, 상기 각 터미널(IT1,IT2)에서 전압을 감지하기 위한 수단(T15,T16) 및 상기 감지 수단에 응답하여 상기 제 1 및 제 2 전류 미러(M1,M2)의 각 출력 브렌치에 의해 공급되는 바이어스 전류를 제어하는 수단(T17,M3,M1;R3,R4,T18,T19,T20,M2)에 바이어스 전류를 공급하는 수신기.

청구항 5

제 4 항에 있어서,

상기 제 1 전류 미러(M1)의 다른 출력 브렌치(M1C)에 결합된 공통 노드(CN1)과, 상기 디지털-아날로그 변환기(DAC)로 부터의 평형 출력 신호(DAC1,DAC2)를 수신하도록 연결된 입력 노드 및 각 캐스코드 트랜지스터(T9,T10)를 통해 상기 각 터미널(IT1,IT2)에 결합된 출력 노드를 갖는 또 다른 차동 트랜지스터 쌍(T5,T6)을 더 포함하는 수신기.

청구항 6

제 5 항에 있어서,
상기 제 2 전류 미러는 또다른 각 캐스코드 트랜지스터(T13,T14)를 통해 상기 각 터미널(IT1,IT2)에 결합된 또다른 출력 브렌치(M2C,M2D)를 더 포함하는 수신기.

청구항 7

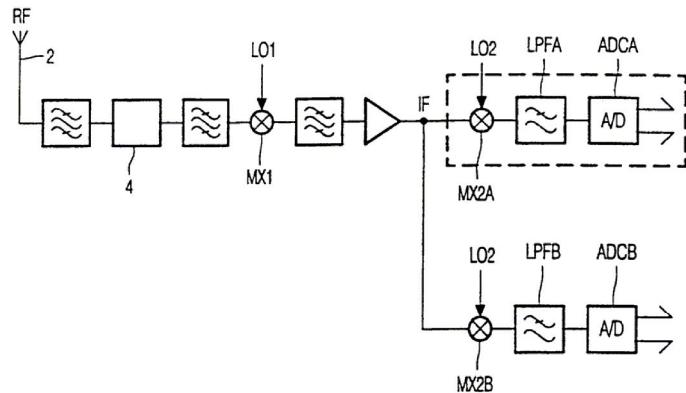
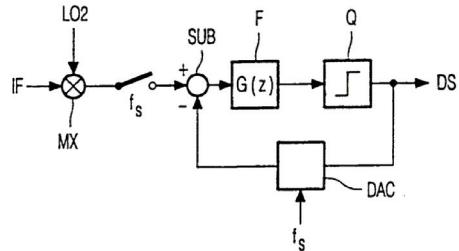
제 6 항에 있어서,
상기 감지 수단은 상기 각 터미널(IT1,IT2)에 연결된 각 게이트를 갖는 MOS 트랜지스터(T15,T16)를 포함하는 수신기.

청구항 8

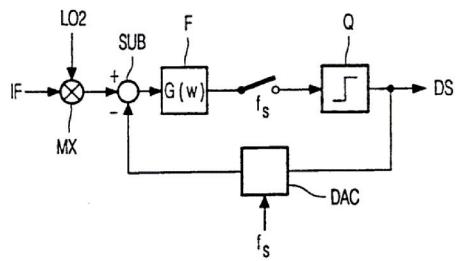
제 7 항에 있어서,
상기 제 1 전류 미러(M1)의 입력 브렌치(M1D)에 결합된 출력 브렌치(M3B)와, 또다른 MOS 트랜지스터(T17)를 통해 상기 MOS 트랜지스터(T15,T16)의 드레인에 결합된 입력 브렌치(M3A)를 가진 제 3 전류 미러(M3)를 더 포함하고,
상기 또다른 MOS 트랜지스터는 또다른 제 2 다이오드 연결형 MOS 트랜지스터(T20)의 게이트 전극에 연결된 게이트 전극을 가지며, 상기 또다른 다이노드 연결형 MOS 트랜지스터(T20)는 상기 제 2 전류 미러(M2)의 또다른 출력 브렌치(M2E)와 고정된 바이어스 전압(R3,R4)을 수신하도록 연결된 게이트 전극을 갖는 또다른 제 3 MOS 트랜지스터(T18)의 드레인을 결합하는 수신기.

청구항 9

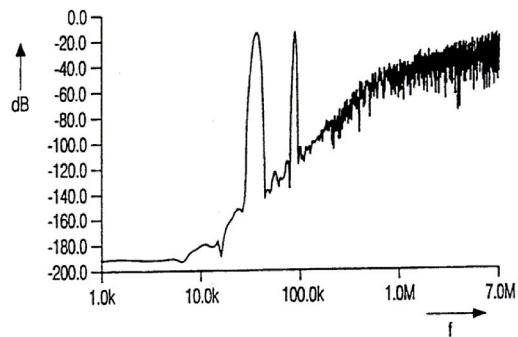
첨부된 도면 도 2 내지 9에 도시되고, 그에 대해 상술한 바와 같이 실질적으로 동작하도록 구성되고 배열된 수신기.

도면**도면1****도면2**

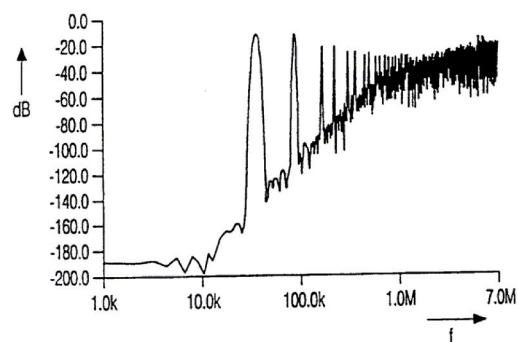
도면3



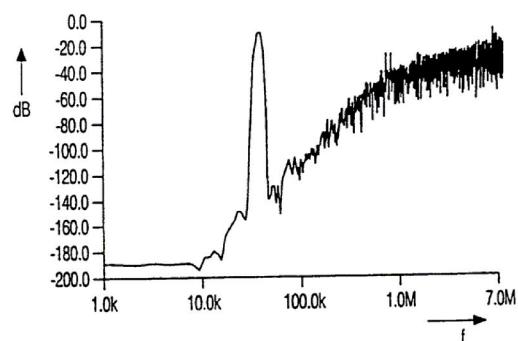
도면4



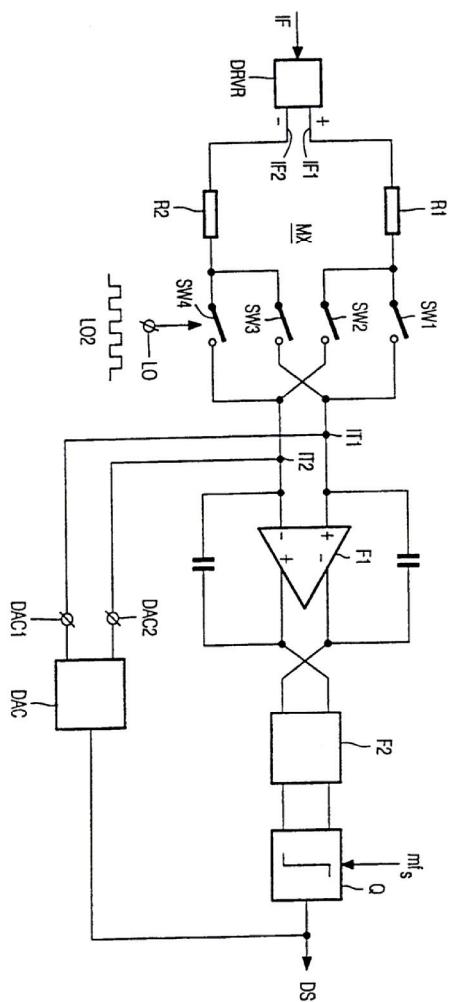
도면5



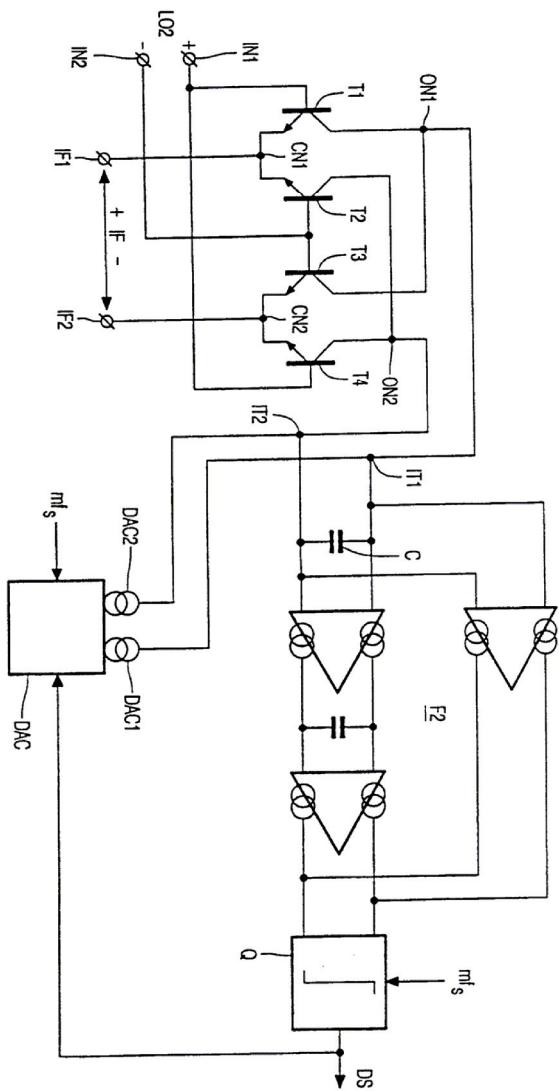
도면6



도면7



도면8



도면9

