



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0035325
(43) 공개일자 2008년04월23일

(51) Int. Cl.

H03M 9/00 (2006.01)

(21) 출원번호 10-2006-0101880

(22) 출원일자 2006년10월19일

심사청구일자 2006년10월19일

(71) 출원인

고려대학교 산학협력단

서울 성북구 안암동5가1 고려대학교 내

(72) 발명자

김수원

서울 성북구 돈암동 636번지 브라운스톤 돈암아파트 104동 401호

손관수

서울 도봉구 방학3동 736 신동아타워아파트 101동 803호

(74) 대리인

현중철

전체 청구항 수 : 총 12 항

(54) 지연 부정합을 보상하는 직렬화기

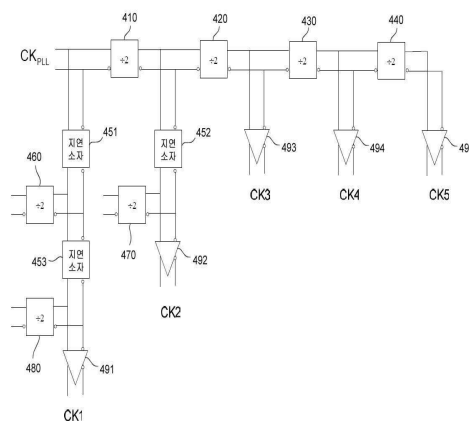
(57) 요약

지연 부정합을 보상하는 직렬화기가 개시된다.

본 발명은 본 발명은 2개의 지연소자를 이용하여 입력클록을 지연시킨 제1클록을 출력하고, 1개의 지연소자를 이용하여 상기 입력클록을 지연시킨 제2클록을 출력하며, 2개의 디바이더를 이용하여 상기 입력클록을 분주시킨 제3클록을 출력하고, 3개의 디바이더를 이용하여 상기 입력클록을 분주시킨 제4클록을 출력하고, 4개의 디바이더를 이용하여 상기 입력클록을 분주시킨 제5클록을 출력하는 지연 보상 클록 발생부, 상기 제5클록에 따라 16개의 입력 데이터를 직렬화하여 8개의 데이터를 생성하는 제1멀티플렉서, 상기 제4클록에 따라 상기 8개의 데이터를 직렬화하여 4개의 데이터를 생성하는 제2멀티플렉서, 상기 제3클록에 따라 상기 4개의 데이터를 직렬화하여 2개의 데이터를 생성하는 제3멀티플렉서, 상기 제2클록에 따라 상기 2개의 데이터를 직렬화하여 1개의 데이터를 생성하는 제4멀티플렉서 및 상기 제1클록에 따라 상기 1개의 데이터를 리타임시키는 리타이머를 포함한다.

본 발명에 의하면, 지연 부정합의 가장 큰 원인인 디바이더 지연 부정합을 온도, 공정에 둔감하도록 보상함으로써, 고속 동작에서도 안정적으로 올바른 데이터-클록 타이밍을 얻을 수 있고, 직렬화기의 안정성과 성능을 향상시킬 수 있다.

대표도 - 도4



특허청구의 범위

청구항 1

2개의 지연소자를 이용하여 입력클록을 지연시킨 제1클록을 출력하고, 1개의 지연소자를 이용하여 상기 입력클록을 지연시킨 제2클록을 출력하며, 2개의 디바이더를 이용하여 상기 입력클록을 분주시킨 제3클록을 출력하고, 3개의 디바이더를 이용하여 상기 입력클록을 분주시킨 제4클록을 출력하고, 4개의 디바이더를 이용하여 상기 입력클록을 분주시킨 제5클록을 출력하는 지연 보상 클록 발생부;

상기 제5클록에 따라 16개의 입력 데이터를 직렬화하여 8개의 데이터를 생성하는 제1멀티플렉서;

상기 제4클록에 따라 상기 8개의 데이터를 직렬화하여 4개의 데이터를 생성하는 제2멀티플렉서;

상기 제3클록에 따라 상기 4개의 데이터를 직렬화하여 2개의 데이터를 생성하는 제3멀티플렉서;

상기 제2클록에 따라 상기 2개의 데이터를 직렬화하여 1개의 데이터를 생성하는 제4멀티플렉서; 및

상기 제1클록에 따라 상기 1개의 데이터를 리타임시키는 리타이머를 포함하는 지연 부정합을 보상하는 직렬화기.

청구항 2

제 1 항에 있어서,

상기 지연 보상 클록 발생부는

상기 디바이더의 부하가 상기 지연소자의 부하와 동일한 것을 특징으로 하는 지연 부정합을 보상하는 직렬화기.

청구항 3

제 1 항에 있어서,

상기 지연 보상 클록 발생부는

상기 지연소자는 래치와 동일한 구조로 설계되는 것을 특징으로 하는 지연 부정합을 보상하는 직렬화기.

청구항 4

제 1 항에 있어서,

상기 제1멀티플렉서는

8개의 2:1 멀티플렉서로 구성되는 것을 특징으로 하는 지연 부정합을 보상하는 직렬화기.

청구항 5

제 1 항에 있어서,

상기 제2멀티플렉서는

4개의 2:1 멀티플렉서로 구성되는 것을 특징으로 하는 지연 부정합을 보상하는 직렬화기.

청구항 6

제 1 항에 있어서,

상기 제3멀티플렉서는

2개의 2:1 멀티플렉서로 구성되는 것을 특징으로 하는 지연 부정합을 보상하는 직렬화기.

청구항 7

제 1 항에 있어서,

상기 제4멀티플렉서는

1개의 2:1 멀티플렉서로 구성되는 것을 특징으로 하는 지연 부정합을 보상하는 직렬화기.

청구항 8

제 1 항에 있어서,

각각의 2:1 멀티플렉서는

입력단에 연결된 2개의 플립플롭;

상기 2개의 플립플롭 중 어느 하나의 출력단에 연결된 래치; 및

상기 2개의 플립플롭 중 다른 하나의 출력단의 데이터 또는 상기 래치의 출력단의 데이터 중 어느 하나의 데이터를 선택하여 출력하는 셀렉터를 포함하고,

상기 셀렉터에 인가되는 셀렉트 클록은 입력단의 플립플롭에 인가되는 클록보다 지연된 클록 신호인 것을 특징으로 하는 지연 부정합을 보상하는 직렬화기.

청구항 9

2개의 지연소자를 이용하여 입력클록을 지연시킨 제1클록을 출력하는 제1클록 발생부;

1개의 지연소자를 이용하여 입력클록을 지연시킨 제2클록을 출력하는 제2클록 발생부;

2개의 디바이더를 이용하여 상기 입력클록을 분주시킨 제3클록을 출력하는 제3클록 발생부;

3개의 디바이더를 이용하여 상기 입력클록을 분주시킨 제4클록을 출력하는 제4클록 발생부;

4개의 디바이더를 이용하여 상기 입력클록을 분주시킨 제5클록을 출력하는 제5클록 발생부;

상기 제5클록의 상승 에지에 따라 16개의 입력 데이터를 직렬화하여 8개의 데이터를 생성하는 제1멀티플렉서;

상기 제4클록의 상승 에지에 따라 상기 8개의 데이터를 직렬화하여 4개의 데이터를 생성하는 제2멀티플렉서;

상기 제3클록의 상승 에지에 따라 상기 4개의 데이터를 직렬화하여 2개의 데이터를 생성하는 제3멀티플렉서;

상기 제2클록의 상승 에지에 따라 상기 2개의 데이터를 직렬화하여 1개의 데이터를 생성하는 제4멀티플렉서; 및

상기 제1클록에 따라 상기 1개의 데이터를 리타임시키는 리타이머를 포함하고,

상기 제1클록 발생부 및 제2클록 발생부는

상기 제3클록 발생부, 제4클록 발생부 및 제5클록 발생부에 이용되는 디바이더와 상기 지연소자 사이의 부하를 매칭시키는 더미 셀을 포함하는 지연 부정합을 보상하는 직렬화기.

청구항 10

제 9 항에 있어서,

상기 지연 보상 클록 발생부는

상기 지연소자는 래치와 동일한 구조로 설계되고, 상기 디바이더의 부하가 상기 지연소자의 부하와 동일한 것을 특징으로 하는 지연 부정합을 보상하는 직렬화기.

청구항 11

제 9 항에 있어서,

상기 제1멀티플렉서는 8개의 2:1 멀티플렉서로 구성되고, 상기 제2멀티플렉서는 4개의 2:1 멀티플렉서로 구성되며, 상기 제3멀티플렉서는 2개의 2:1 멀티플렉서로 구성되고, 상기 제4멀티플렉서는 1개의 2:1 멀티플렉서로 구성되는 것을 특징으로 하는 지연 부정합을 보상하는 직렬화기.

청구항 12

제 9 항에 있어서,

상기 제1멀티플렉서, 제2멀티플렉서, 제3멀티플렉서 및 제4멀티플렉서는

하나 이상의 2:1 멀티플렉서로 구성되고,

각각의 2:1 멀티플렉서는

입력단에 연결된 2개의 플립플롭;

상기 2개의 플립플롭 중 어느 하나의 출력단에 연결된 래치; 및

상기 2개의 플립플롭 중 다른 하나의 출력단의 데이터 또는 상기 래치의 출력단의 데이터 중 어느 하나의 데이터를 선택하여 출력하는 셀렉터를 포함하고,

상기 셀렉터에 인가되는 셀렉트 클록은 입력단의 플립플롭에 인가되는 클록보다 지연된 클록 신호인 것을 특징으로 하는 지연 부정합을 보상하는 직렬화기.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <16> 본 발명은 직렬화기에 관한 것으로, 특히, 지연 부정합을 보상하는 직렬화기에 관한 것이다.
- <17> 직렬화기는 속도가 낮은 병렬 데이터 채널들을 하나의 고속 단일 데이터 채널로 바꾸어 주는 기능을 수행한다. 오늘날에는 점점 데이터의 대역폭이 늘어나고 있기 때문에 기존의 시스템에서는 이를 위해 병렬 데이터 채널 개수가 증가하여야만 한다. 하지만 핀의 수가 늘어남에 따른 가격의 증가와 채널간의 간섭 및 스큐에 의한 설계의 어려움의 문제 때문에 SerDes (Serializer Deserializer) 기술이 대안으로 제시되고 있다. 이를 위해서는 고속의 직렬화기를 설계하는 것이 매우 중요하므로 과거에는 주로 바이폴라 공정이나 화합물 반도체 공정을 사용하여 설계하였지만 최근에는 가격이 싸고 집적이 용이한 CMOS 공정으로의 설계가 많이 이루어지고 있다.
- <18> 16:1 직렬화기는 고속 멀티플렉서에서 흔히 볼 수 있는 바이너리-트리 구조를 사용한다.
- <19> 바이너리-트리 구조는 5개의 단으로 이루어지고, 앞 단에서 처리된 데이터가 다음 단에 다시 리타임 되므로 인접한 두 단 사이의 클록 타이밍이 맞지 않으면, 즉, 다음단의 플립플롭의 셋업시간, 홀드시간 마진을 확보하지 못하게 되면 직렬화기의 잘못된 동작을 초래하게 된다. 이러한 현상은 고속 직렬화기의 구현의 걸림돌이 된다. 보통 이러한 문제점을 해결하기 위해 마지막 리타임 단의 클록패스에 지연소자를 추가하지만 이런 방법은 공정과 온도, 클록 주파수 변화에 민감하며 마지막 리타임 단의 타이밍만을 보상해주는 단점이 있다.
- <20> 따라서, 종래의 직렬화기는 인접한 두 단 사이의 클록 타이밍이 맞지 않는 경우에 오동작을 방지할 수 없고, 지연 소자를 추가하는 경우 공정과 온도, 클록 주파수 변화에 민감하여 고속에서 안정적이지 못한 문제점이 있다.

발명이 이루고자 하는 기술적 과제

- <21> 따라서, 본 발명이 이루고자 하는 기술적 과제는 고속 동작에서도 안정적으로 올바른 데이터-클록 타이밍을 얻을 수 있고, 직렬화기의 안정성과 성능을 향상시킬 수 있는 지연 부정합을 보상하는 직렬화기를 제공하는데 있다.

발명의 구성 및 작용

- <22> 상기의 기술적 과제를 이루기 위하여, 본 발명은 2개의 지연소자를 이용하여 입력클록을 지연시킨 제1클록을 출력하고, 1개의 지연소자를 이용하여 상기 입력클록을 지연시킨 제2클록을 출력하며, 2개의 디바이더를 이용하여 상기 입력클록을 분주시킨 제3클록을 출력하고, 3개의 디바이더를 이용하여 상기 입력클록을 분주시킨 제4클록을 출력하고, 4개의 디바이더를 이용하여 상기 입력클록을 분주시킨 제5클록을 출력하는 지연 보상 클록 발생부, 상기 제5클록에 따라 16개의 입력 데이터를 직렬화하여 8개의 데이터를 생성하는 제1멀티플렉서, 상기 제4클록에 따라 상기 8개의 데이터를 직렬화하여 4개의 데이터를 생성하는 제2멀티플렉서, 상기 제3클록에 따라 상기 4개의 데이터를 직렬화하여 2개의 데이터를 생성하는 제3멀티플렉서, 상기 제2클록에 따라 상기 2개의 데

이터를 직렬화하여 1개의 데이터를 생성하는 제4멀티플렉서 및 상기 제1클록에 따라 상기 1개의 데이터를 리타임시키는 리타이머를 포함하는 지연 부정합을 보상하는 직렬화기를 제공한다.

- <23> 또한, 상기의 기술적 과제를 이루기 위하여, 본 발명은 2개의 지연소자를 이용하여 입력클록을 지연시킨 제1클록을 출력하는 제1클록 발생부, 1개의 지연소자를 이용하여 입력클록을 지연시킨 제2클록을 출력하는 제2클록 발생부, 2개의 디바이더를 이용하여 상기 입력클록을 분주시킨 제3클록을 출력하는 제3클록 발생부, 3개의 디바이더를 이용하여 상기 입력클록을 분주시킨 제4클록을 출력하는 제4클록 발생부, 4개의 디바이더를 이용하여 상기 입력클록을 분주시킨 제5클록을 출력하는 제5클록 발생부, 상기 제5클록의 상승 에지에 따라 16개의 입력 데이터를 직렬화하여 8개의 데이터를 생성하는 제1멀티플렉서, 상기 제4클록의 상승 에지에 따라 상기 8개의 데이터를 직렬화하여 4개의 데이터를 생성하는 제2멀티플렉서, 상기 제3클록의 상승 에지에 따라 상기 4개의 데이터를 직렬화하여 2개의 데이터를 생성하는 제3멀티플렉서, 상기 제2클록의 상승 에지에 따라 상기 2개의 데이터를 직렬화하여 1개의 데이터를 생성하는 제4멀티플렉서 및 상기 제1클록에 따라 상기 1개의 데이터를 리타임시키는 리타이머를 포함하고, 상기 제1클록 발생부 및 제2클록 발생부는 상기 제3클록 발생부, 제4클록 발생부 및 제5클록 발생부에 이용되는 디바이더와 상기 지연소자 사이의 부하를 매칭시키는 더미 셀을 포함하는 지연 부정합을 보상하는 직렬화기를 제공한다.
- <24> 본 발명에서는 지연 부정합의 가장 큰 원인인 디바이더 지연 부정합을 공정과 온도의 변화에 둔감하게 보상 가능한 16:1 직렬화기를 제공한다.
- <25> 이하에서는 도면을 참조하여 본 발명의 바람직한 실시예를 설명하기로 한다. 그러나, 다음에 예시하는 본 발명의 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 다음에 상술하는 실시예에 한정되는 것은 아니다.
- <26> 도 1은 바이너리-트리 구조 16:1 직렬화기의 블록도이다.
- <27> 도 1의 바이너리-트리 구조의 16:1 직렬화기는 2:1 멀티플렉서와 디바이더로 구성된다. 도 1에서 2:1 멀티플렉서로 사용된 구조는 5-래치 멀티플렉서이다. 이 구조는 클록-데이터 정렬기능과 두 데이터의 동시천이 방지기능을 가지고 있어 글리치 제거능력이 뛰어난 장점이 있다. 타이밍도 에서 알 수 있듯이 2개의 각각 다른 데이터가 '데이터의 중앙에 상승 엣지가 오는 타이밍'을 갖는 클록에 의하여 합쳐지기 전의 데이터보다 두 배 속도가 빠른 하나의 데이터로 합쳐지게 된다. 이러한 개념이 확장되어 트리 구조를 이루게 되면 16:1 직렬화기 기능을 구현할 수 있다.
- <28> 도 1을 참조하여 보면, 첫 번째 단계 8개의 2:1 멀티플렉서를 사용함으로써 16개의 데이터를 2개씩 직렬화 하여 8개의 데이터를 만들고, 다음 단계 같은 방법으로 4개의 2:1 멀티플렉서를 사용하여 8개의 데이터를 4개의 데이터로 만든다. 이러한 방법으로 4단을 사용하게 되면 16개의 데이터를 1개의 데이터로 만들 수 있고, 마지막 단계에서는 가장 빠른 클록으로 데이터를 리타임 시키게 되어 지터가 적은 신호를 얻어낼 수 있다. 단계 증가 할수록 두 배 빠른 클록이 요구되므로 디바이더 4개를 직렬 연결하여 순차적으로 2배씩 빨라지는 클록 5개를 얻을 수 있다.
- <29> 이러한 구조의 가장 큰 문제점은 인접한 두 단계 사이의 필연적으로 발생하는 지연시간으로 인하여 데이터의 중앙에서 샘플링하는 타이밍이 어긋날 수 있다는 점이다.
- <30> 도 2a는 도 1의 16:1 직렬화기에 대한 이상적인 클록 데이터 타이밍도이다. 도 2b는 도 1의 16:1 직렬화기에 대한 실제의 클록 데이터 타이밍도이다.
- <31> 도 2a와 도 2b를 비교하여 보면, 상술한 바와 같이, 실제에 있어 지연시간으로 인한 샘플링 타이밍의 어긋남을 관찰할 수 있다.
- <32> 도 3은 본 발명에 따른 지연 부정합을 보상하는 직렬화기의 블록도이다.
- <33> 제1멀티플렉서(310)는 제5클록(CLK5)에 따라 16개의 입력 데이터를 직렬화하여 8개의 데이터를 생성한다.
- <34> 제2멀티플렉서(320)는 입력단이 제1멀티플렉서(310)의 출력단에 연결되고, 제4클록(CLK4)에 따라 8개의 데이터를 직렬화하여 4개의 데이터를 생성한다.
- <35> 제3멀티플렉서(330)는 입력단이 제2멀티플렉서(320)의 출력단에 연결되고, 제3클록(CLK3)에 따라 4개의 데이터를 직렬화하여 2개의 데이터를 생성한다.
- <36> 제4멀티플렉서(340)는 입력단이 제3멀티플렉서(330)의 출력단에 연결되고, 제2클록(CLK2)에 따라 2개의 데이터

를 직렬화하여 1개의 데이터를 생성한다.

- <37> 예를 들어, 제1멀티플렉서(310), 제2멀티플렉서(320), 제3멀티플렉서(330) 및 제4멀티플렉서(340)는 입력되는 클록의 상승 에지에 따라 직렬화를 수행할 수 있다.
- <38> 예를 들어, 도 3에서와 같이, 제1멀티플렉서(310)는 8개의 2:1 멀티플렉서로 구성되고, 제2멀티플렉서(320)는 4개의 2:1 멀티플렉서로 구성되며, 제3멀티플렉서(330)는 2개의 2:1 멀티플렉서로 구성되고, 제4멀티플렉서(340)는 1개의 2:1 멀티플렉서로 구성될 수 있다.
- <39> 이때, 각각의 2:1 멀티플렉서는 입력단에 연결된 2개의 플립플롭, 상기 2개의 플립플롭 중 어느 하나의 출력단에 연결된 래치, 2개의 플립플롭 중 다른 하나의 출력단의 데이터 또는 래치의 출력단의 데이터 중 어느 하나의 데이터를 선택하여 출력하는 셀렉터를 포함할 수 있다. 이때, 셀렉터에 인가되는 셀렉트 클록은 도 5와 같이, 입력단의 플립플롭에 인가되는 클록보다 지연된 클록 신호이다.
- <40> 리타이머(350)는 입력단이 제4멀티플렉서(340)의 출력단에 연결되고, 제1클록(CLK1)에 따라 1개의 데이터를 리타임시킨다. 리타이머(350)는 가장 빠른 클록으로 입력되는 데이터를 리타임 시키므로, 지터를 최소화한다.
- <41> 지연 보상 클록 발생부(360)는 2개의 지연소자를 이용하여 입력클록(CLK_PLL)을 지연시킨 제1클록(CLK1)을 출력한다. 또한, 지연 보상 클록 발생부(360)는 1개의 지연소자를 이용하여 입력클록(CLK_PLL)을 지연시킨 제2클록(CLK2)을 출력한다.
- <42> 또한, 지연 보상 클록 발생부(360)는 2개의 디바이더를 이용하여 입력클록(CLK_PLL)을 분주시킨 제3클록(CLK3)을 출력한다. 또한, 지연 보상 클록 발생부(360)는 3개의 디바이더를 이용하여 입력클록(CLK_PLL)을 분주시킨 제4클록(CLK4)을 출력한다. 또한, 지연 보상 클록 발생부(360)는 4개의 디바이더를 이용하여 입력클록(CLK_PLL)을 분주시킨 제5클록(CLK5)을 출력한다.
- <43> 지연 보상 클록 발생부(360)는 본 발명이 속하는 기술 분야의 통상의 지식을 가진 자에 의해 2개의 지연소자를 이용하여 입력클록(CLK_PLL)을 지연시킨 제1클록(CLK1)을 출력하는 제1클록 발생부, 1개의 지연소자를 이용하여 입력클록(CLK_PLL)을 지연시킨 제2클록(CLK2)을 출력하는 제2클록 발생부, 2개의 디바이더를 이용하여 입력클록(CLK_PLL)을 분주시킨 제3클록(CLK3)을 출력하는 제3클록 발생부, 3개의 디바이더를 이용하여 입력클록(CLK_PLL)을 분주시킨 제4클록(CLK4)을 출력하는 제4클록 발생부, 4개의 디바이더를 이용하여 입력클록(CLK_PLL)을 분주시킨 제5클록(CLK5)을 출력하는 제5클록 발생부로 구성될 수 있다.
- <44> 도 4는 도 3에서 마지막 3단의 디바이더 지연시간을 보상하는 기능을 가진 클록 발생기의 블록도이다.
- <45> 도 4의 클록 발생기는 복수의 디바이더(410, 420, 430, 440, 460, 470, 480), 복수의 지연소자(451-453) 및 복수의 출력 드라이버(491-495)를 포함한다.
- <46> 복수의 출력 드라이버(491-495)는 일종의 버퍼로 동작한다. 도 4에서는 복수의 디바이더(410, 420, 430, 440, 460, 470, 480) 및 복수의 지연소자(451-453)의 배치 형태가 지연 부정합을 보상하는 역할을 한다.
- <47> 예를 들어, 디바이더 지연시간은 디바이더에 사용된 플립플롭의 래치 지연시간과 같으므로 래치와 동일한 구조를 지연소자에 사용하고, 디바이더의 지연시간을 올바르게 보상하기 위해서 지연소자의 부하를 디바이더의 부하와 동일하게 설계할 수 있다.
- <48> 도 4에서는 CK1 및 CK2의 디바이더(460, 470, 480)가 지연소자(451-453)의 부하(load)와 실제 클록 분주를 하는 디바이더(410-440)의 부하(load)를 서로 매칭시키기 위한 더미 셀이다.
- <49> 이때, CK1, CK2, CK3의 지연시간은 수학식 1과 같다.

수학식 1

<50>
$$t_{d.CK1} = t_{d.CK2} = t_{d.CK3} = t_{d.dd} + t_{d.db} + t_{d.buff}$$

<51> $t_{d.dd}$ 는 부하에 디바이더 2개가 달려있을 때의 디바이더 지연시간이고, $t_{d.db}$ 는 부하에 디바이더와 버퍼가 달려있을 때의 디바이더 지연시간이고, $t_{d.buff}$ 는 버퍼의 지연시간이다. 수학식 1에서 알 수 있듯이 세 클록의 지연시간이 모두 같게 되므로 버퍼의 지연 시간의 부정합을 무시한다면 지연 부정합은 사라지게 된다.

- <52> 도 5는 도 3에 적용되는 2:1 멀티플렉서의 블록도이다.
- <53> 도 5에서, 2:1 멀티플렉서는 2개의 플립플롭(510, 520), 하나의 래치(530) 및 하나의 셀렉터(540)를 포함한다.
- <54> 2개의 플립플롭(510, 520)은 입력단에 연결되어 인가되는 클럭(Clk)에 따라 입력 데이터(Data1, Data2)를 출력한다.
- <55> 래치(530)는 2개의 플립플롭(510, 520) 중 어느 하나의 출력단에 연결된다.
- <56> 셀렉터(540)는 2개의 플립플롭(510, 520) 중 다른 하나의 출력단의 데이터 또는 래치(530)의 출력단의 데이터 중 어느 하나의 데이터를 선택하여 출력한다.
- <57> 이때, 셀렉터(530)에 인가되는 셀렉트 클럭(Clk_d)은 입력단의 플립플롭에 인가되는 클럭(Clk)보다 Td1(541)만큼 지연된 클럭 신호이다.
- <58> 도 6a는 일반적인 2:1 멀티플렉서를 이용한 경우의 타이밍 다이어그램이다.
- <59> 이때, 출력 데이터(Dout)의 폭은 Tc-q,FF 만큼 짧아지게 되고, 데이터는 Tc-q,FF + Td,select 만큼 지연된다.
- <60> 도 6b는 도 5의 2:1 멀티플렉서를 이용한 경우의 타이밍 다이어그램이다.
- <61> 이때, $Td1 \geq Tc-q,FF$ 의 조건에서 데이터 폭이 줄어드는 것을 방지할 수 있다.
- <62> 도 7a는 도 5에 적용되는 플립플롭의 회로도이고, 도 7b는 도 5에 적용되는 래치의 회로도이며, 도 7c는 도 5에 적용되는 셀렉터의 회로도이다. 도 7d는 도 4에 적용되는 지연소자의 회로도이다.
- <63> 본 발명에서는 도 7b 및 도 7d에서와 같이, 지연소자의 구조는 래치의 구조를 그대로 이용할 수 있다.
- <64> 도 8은 셋째 27도 ,tt, 클럭 주파수 = 2GHz의 모의실험 환경에서 도 4의 클럭 발생기를 적용한 16:1 직렬화기에 의사 랜덤 이진 비트열(PRBS)을 인가하였을 때의 출력 파형을 나타낸 것이다.
- <65> 도 9는 셋째 27도 ,tt, 클럭 주파수 = 2GHz의 모의실험 환경에서 16:1 직렬화기의 마지막 리타임 단계에서의 데이터와 클럭의 타이밍 파형을 나타낸 것이다.
- <66> 도 10은 셋째 27도 ,tt, 클럭 주파수 = 2GHz의 모의실험 환경에서 클럭 발생기의 CK1부터 CK3까지의 지연 시간 차이 파형을 나타낸 것이다.
- <67> 표 1은 공정, 온도를 변화시켜가며 모의실험을 하여 CK1과 CK2간의 지연시간, CK2와 CK3간의 지연시간을 정리한 결과이다.

표 1

	27deg, tt	85deg, ss	0deg, ff
CK1-CK2	-8ps	+7ps	-9ps
CK2-CK3	+6ps	+25ps	+4ps

- <69> 본 발명은 도면에 도시된 일 실시예를 참고로 하여 설명하였으나 이는 예시적인 것에 불과하며 당해 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 실시예의 변형이 가능하다는 점을 이해할 것이다. 그러나, 이와 같은 변형은 본 발명의 기술적 보호범위내에 있다고 보아야 한다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해서 정해져야 할 것이다.

발명의 효과

- <70> 상술한 바와 같이, 본 발명에 의하면, 지연 부정합의 가장 큰 원인인 디바이더 지연 부정합을 온도, 공정에 둔감하도록 보상함으로써, 고속 동작에서도 안정적으로 올바른 데이터-클럭 타이밍을 얻을 수 있고, 직렬화기의 안정성과 성능을 향상시킬 수 있는 효과가 있다.

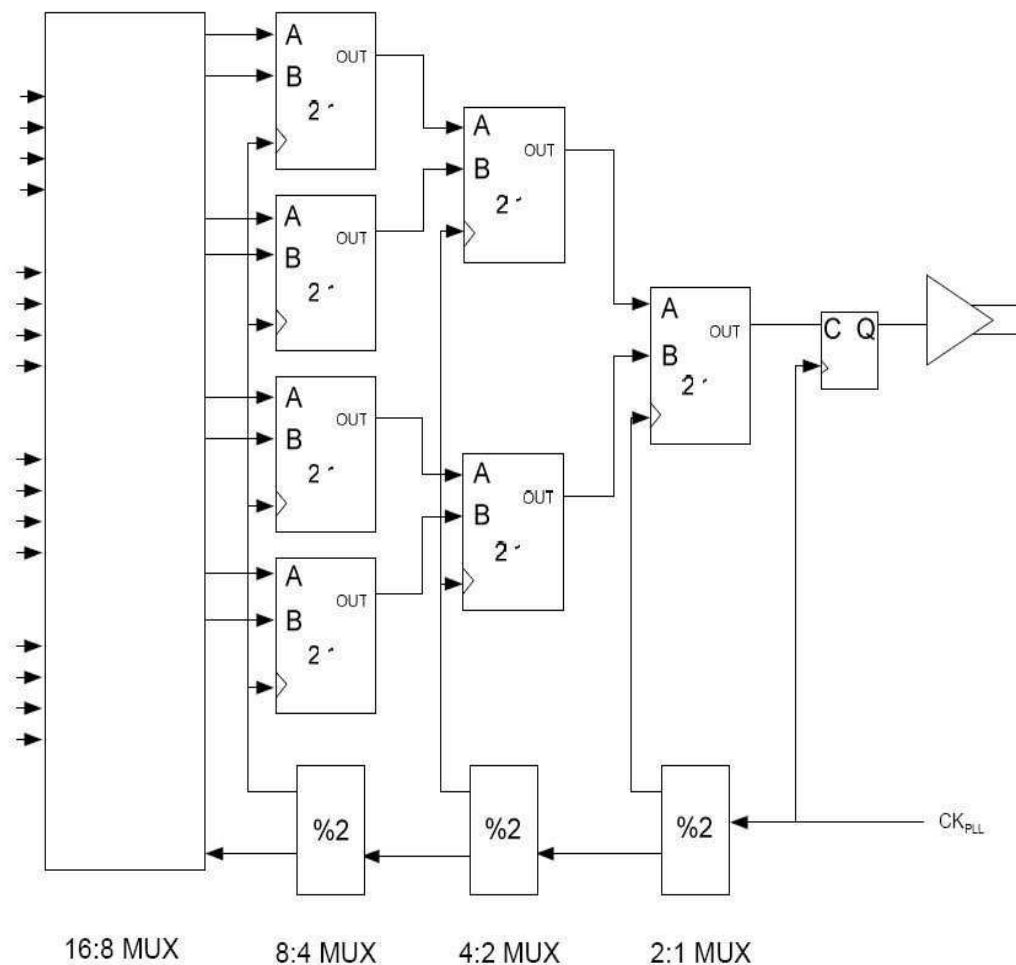
도면의 간단한 설명

- <1> 도 1은 바이너리-트리 구조 16:1 직렬화기의 블록도이다.

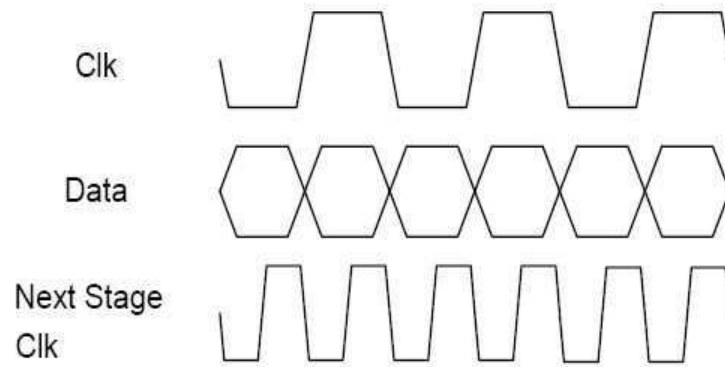
- <2> 도 2a는 도 1의 16:1 직렬화기에 대한 이상적인 클록 데이터 타이밍도이다.
- <3> 도 2b는 도 1의 16:1 직렬화기에 대한 실제의 클록 데이터 타이밍도이다.
- <4> 도 3은 본 발명에 따른 지연 부정합을 보상하는 직렬화기의 블록도이다
- <5> 도 4는 도 3에서 마지막 3단의 디바이더 지연시간을 보상하는 기능을 가진 클록 발생기의 블록도이다.
- <6> 도 5는 도 3에 적용되는 2:1 멀티플렉서의 블록도이다.
- <7> 도 6a는 일반적인 2:1 멀티플렉서를 이용한 경우의 타이밍 다이어그램이다.
- <8> 도 6b는 도 5의 2:1 멀티플렉서를 이용한 경우의 타이밍 다이어그램이다.
- <9> 도 7a는 도 5에 적용되는 플립플롭의 회로도이다.
- <10> 도 7b는 도 5에 적용되는 래치의 회로도이다.
- <11> 도 7c는 도 5에 적용되는 셀렉터의 회로도이다.
- <12> 도 7d는 도 4에 적용되는 지연소자의 회로도이다.
- <13> 도 8은 도 3의 16:1 직렬화기에 의사 랜덤 이진 비트열(PRBS)을 인가하였을 때의 출력 파형을 나타낸 것이다.
- <14> 도 9는 도 3의 16:1 직렬화기의 마지막 리타임 단에서의 데이터와 클록의 타이밍 파형을 나타낸 것이다.
- <15> 도 10은 도 4의 클록 발생기의 CK1부터 CK3까지의 지연 시간 차이 파형을 나타낸 것이다.

도면

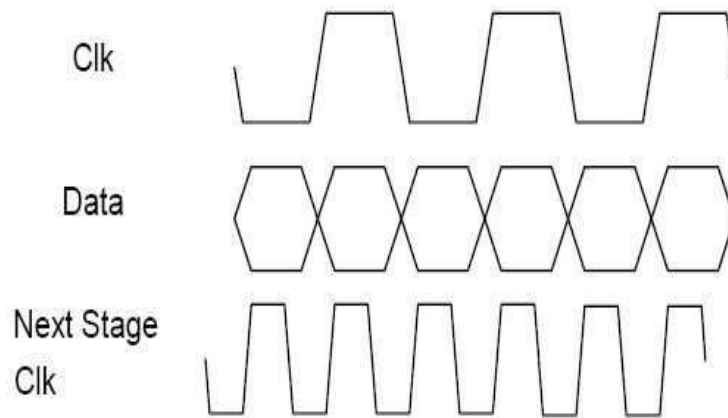
도면1



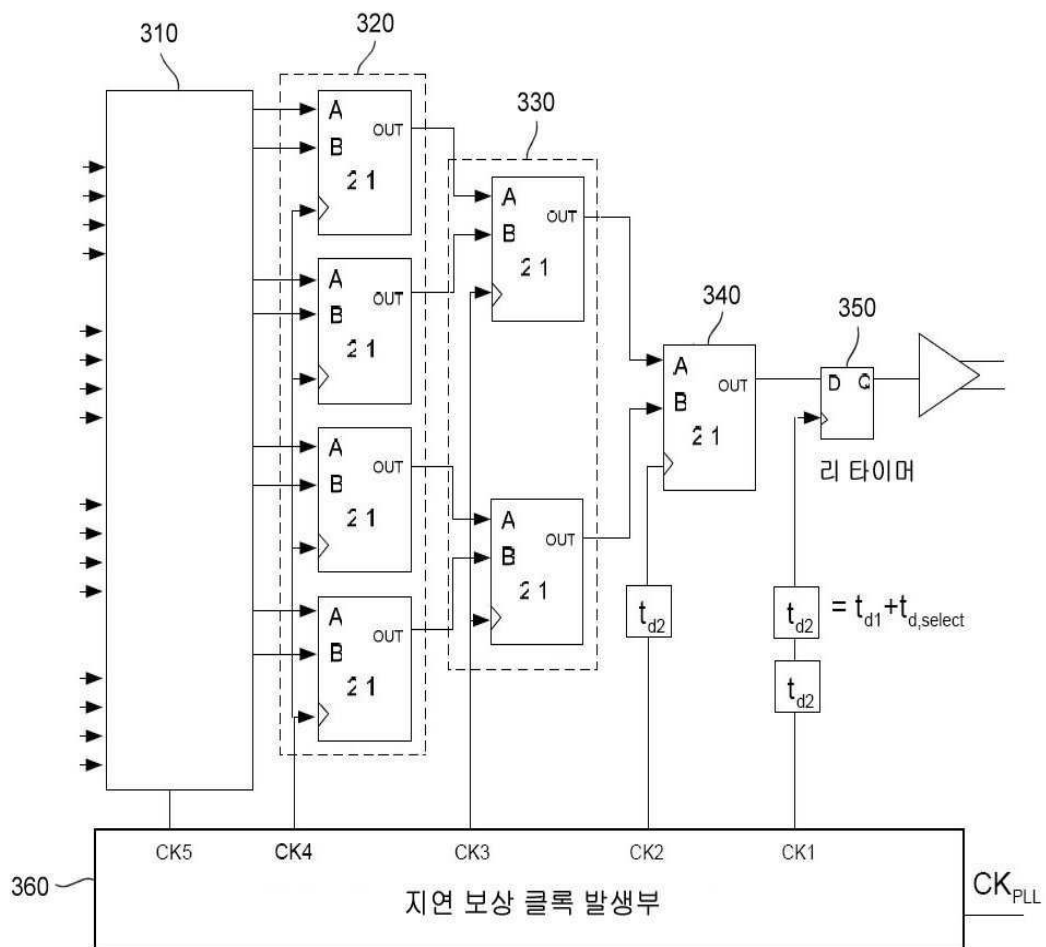
도면2a



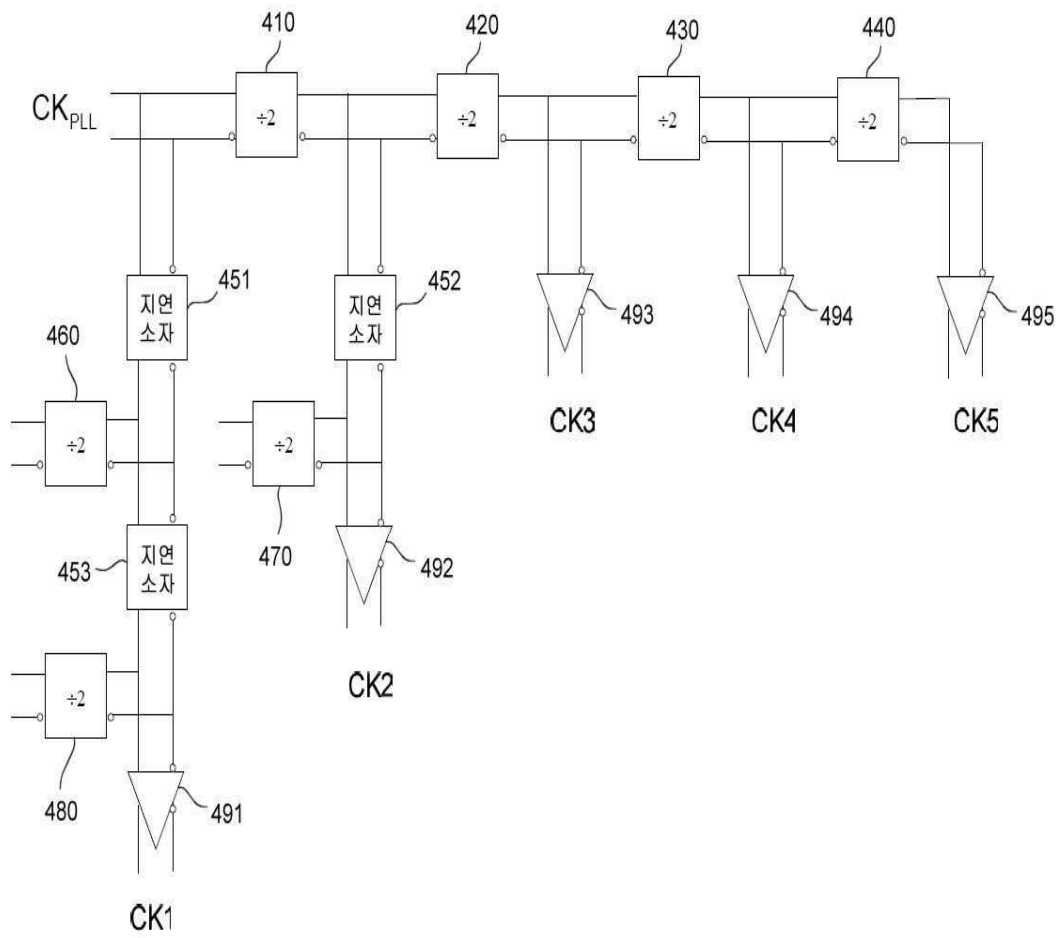
도면2b



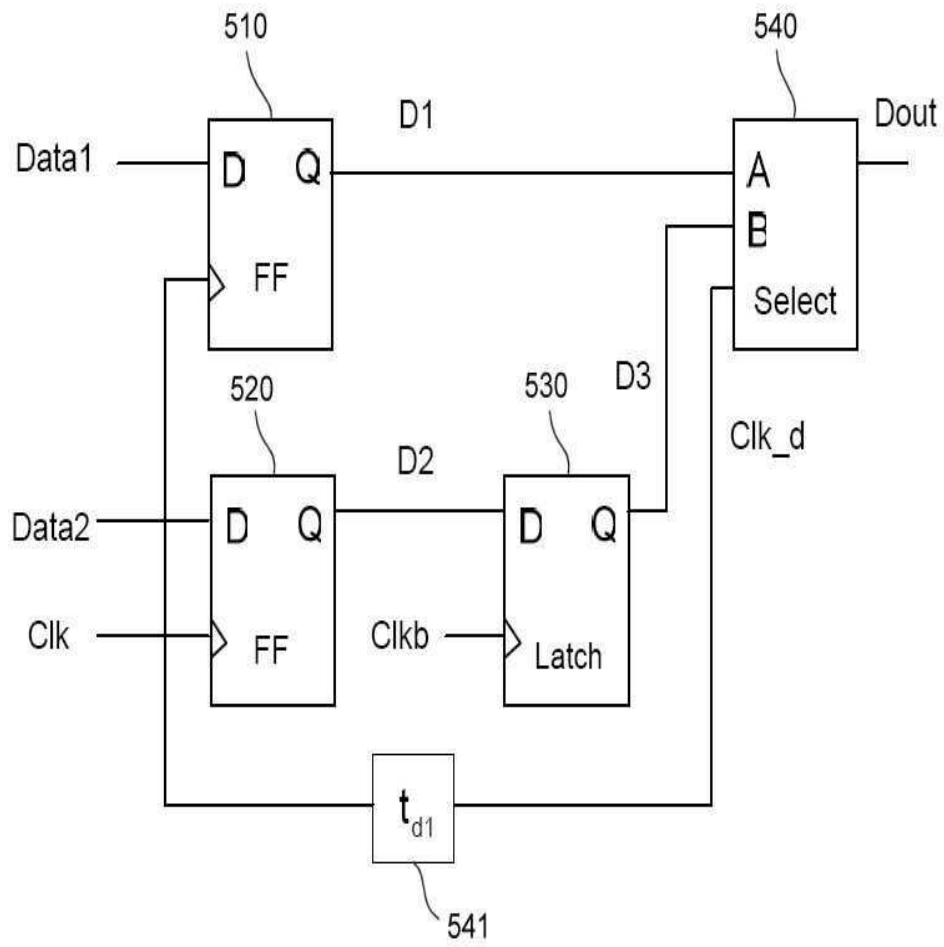
도면3



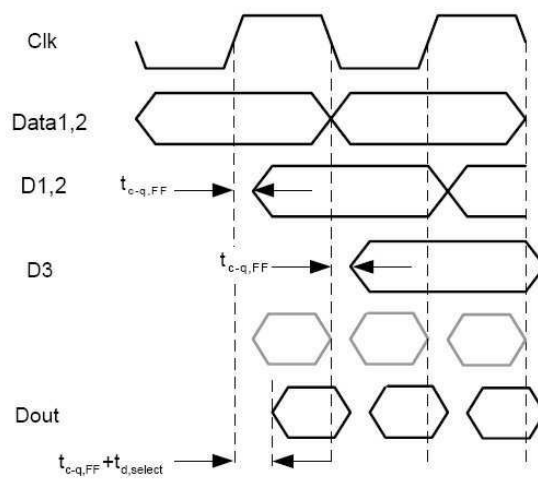
도면4



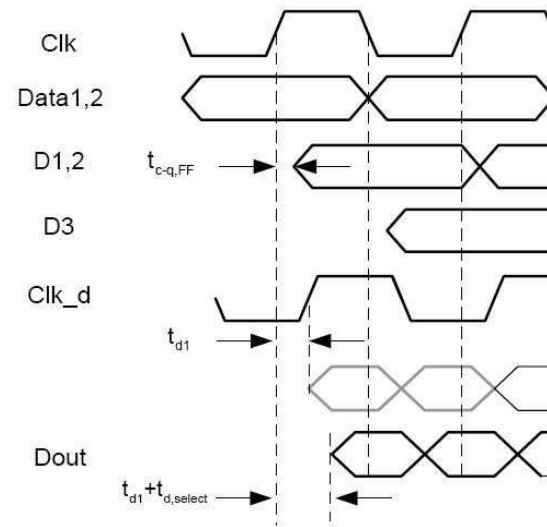
도면5



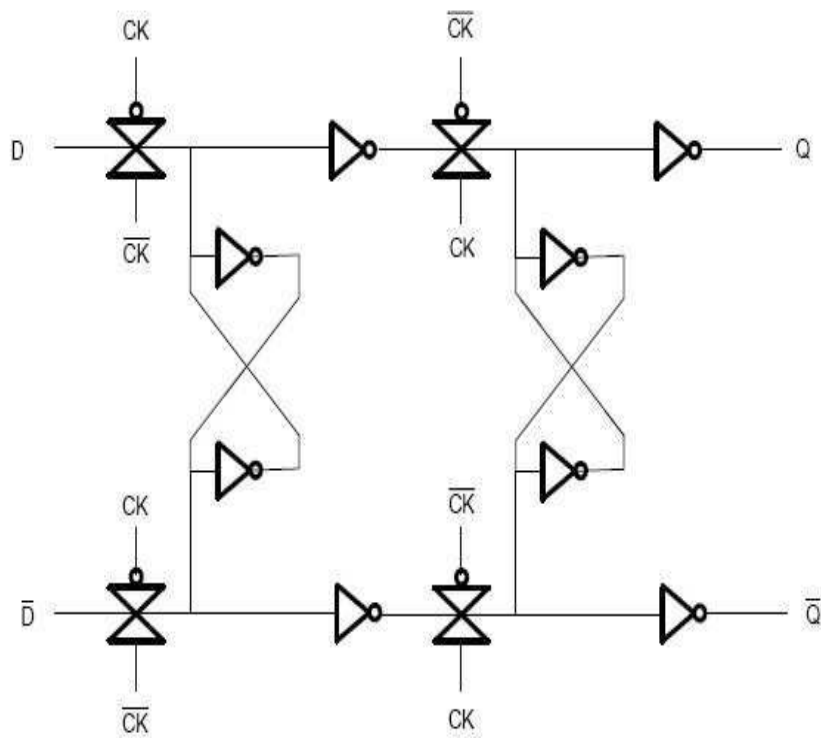
도면6a



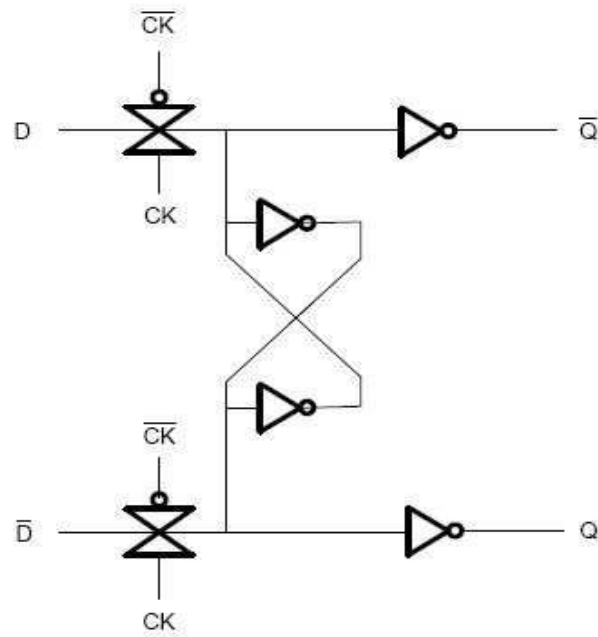
도면6b



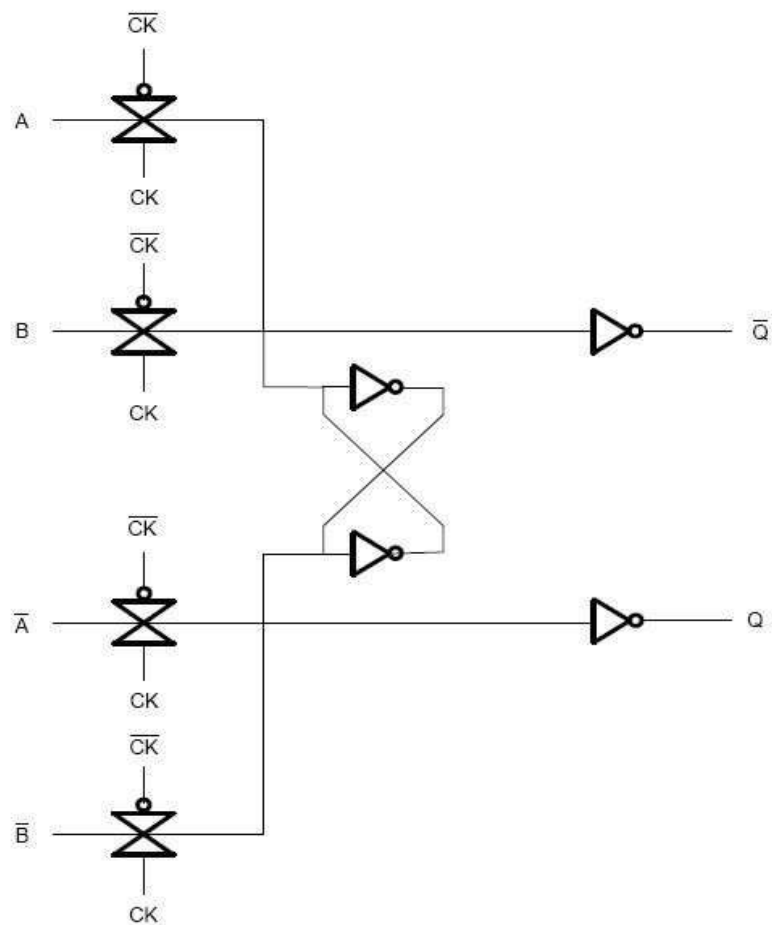
도면7a



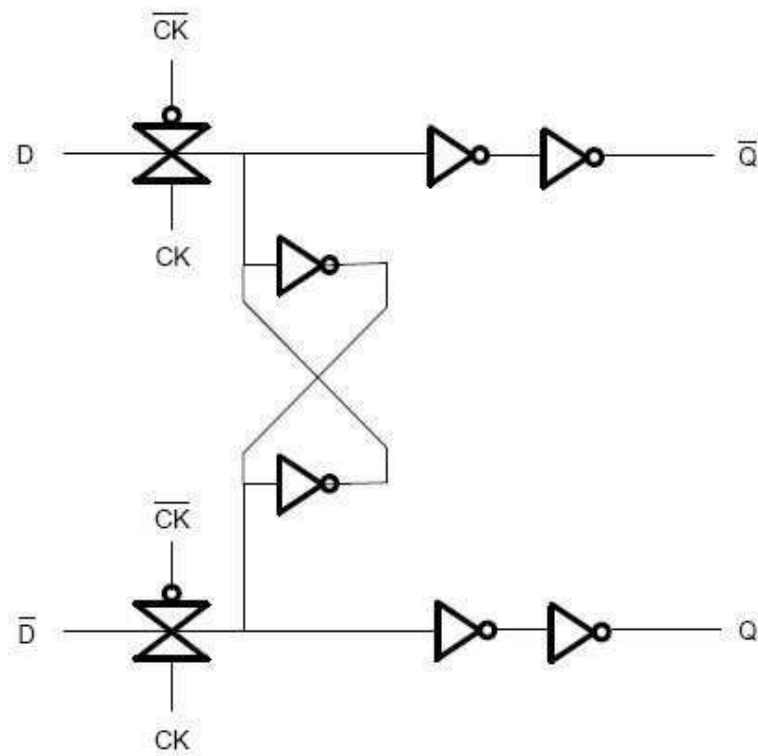
도면7b



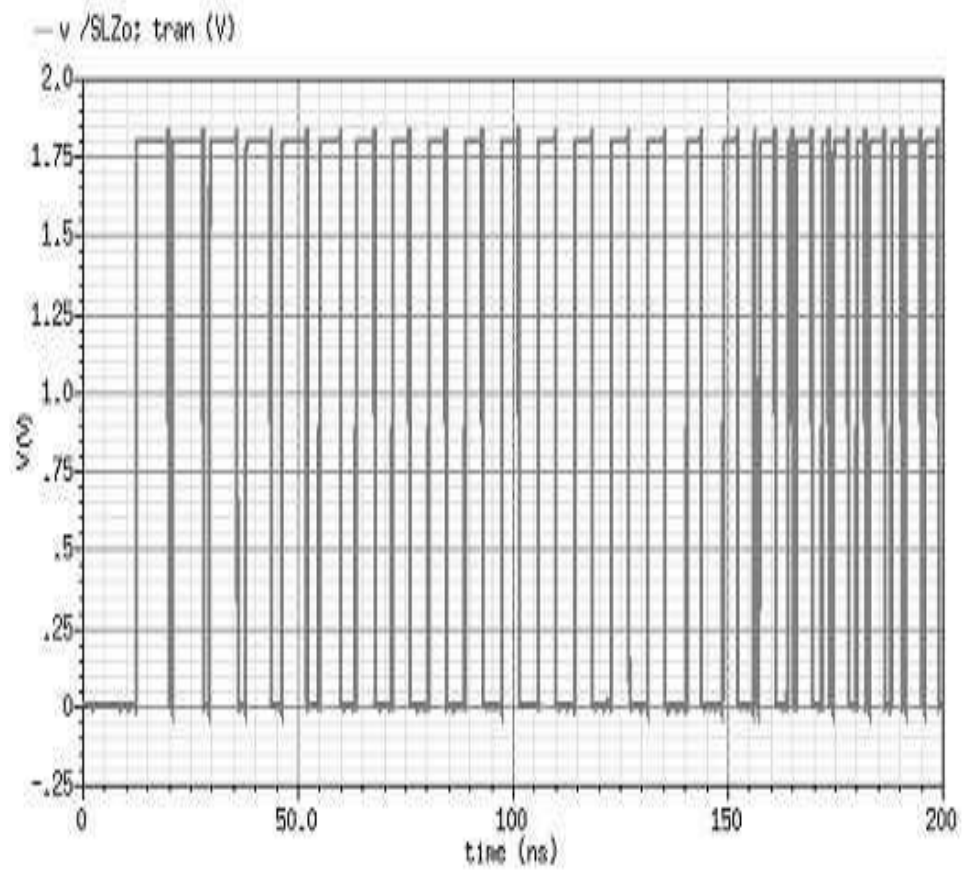
도면7c



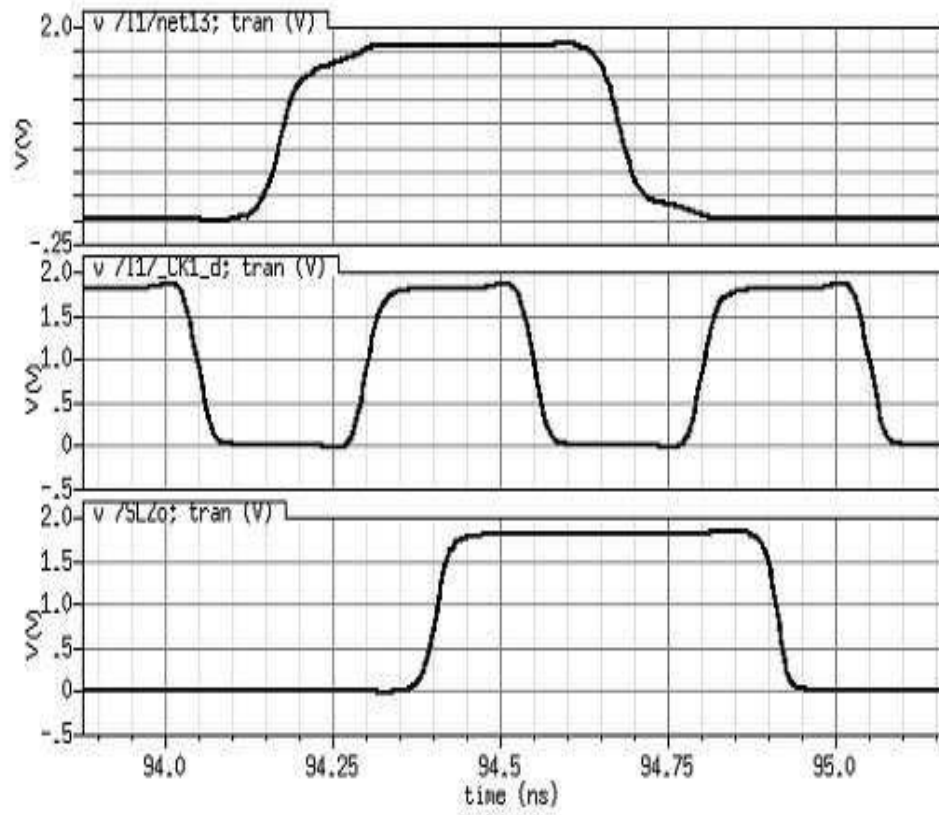
도면7d



도면8



도면9



도면10

