(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[6]
H04B 1/707

(45) 공고일자 2004년10월02일
(11) 등록번호 10-0450838
(24) 등록일자 2004년09월20일

(21) 출원번호 10-1999-7001382
(22) 출원일자 1999년02월20일
번역문 제출일자 1999년02월20일
(86) 국제출원번호 PCT/US1997/014675
(86) 국제출원출원일자 1997년08월20일
(65) 공개번호 10-2000-0068247
(43) 공개일자 2000년11월25일
(87) 국제공개번호 WO 1998/08313
(87) 국제공개일자 1998년02월26일

(81) 지정국 국내특허 : 알바니아, 아르메니아, 오스트리아, 오스트레일리아, 아제르바이잔, 보스니아-헤르체고비나, 바베이도스, 불가리아, 브라질, 벨라루스, 캐나다, 스위스, 중국, 쿠바, 체코, 독일, 덴마크, 에스토니아, 스페인, 핀랜드, 영국, 그루지야, 헝가리, 이스라엘, 아이슬란드, 일본, 케냐, 키르기즈, 북한, 대한민국, 카자흐스탄, 세인트루시아, 스리랑카, 라이베리아, 레소토, 리투아니아, 룩셈부르크, 라트비아, 몰도바, 마다가스카르, 마케도니아, 몽고, 말라위, 멕시코, 노르웨이, 뉴질랜드, 폴란드, 포르투칼, 루마니아, 러시아, 수단, 스웨덴, 싱가포르, 슬로베니아, 슬로바키아, 타지키스탄, 투르크메니스탄, 터어키, 트리니다드토바고, 우크라이나, 우간다, 우즈베키스탄, 베트남,

AP ARIPO특허 : 케냐, 레소토, 말라위, 수단, 스와질랜드, 우간다,

EA 유라시아특허 : 아르메니아, 아제르바이잔, 벨라루스, 키르기즈, 카자흐스탄, 몰도바, 러시아, 타지키스탄, 투르크메니스탄,

EP 유럽특허 : 오스트리아, 벨기에, 스위스, 독일, 덴마크, 스페인, 핀랜드, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투칼, 스웨덴,

OA OAPI특허 : 부르키나파소, 베넹, 중앙아프리카, 콩고, 코트디브와르, 카메룬, 가봉, 기네, 말리, 모리타니, 니제르, 세네갈, 차드, 토고,

(30) 우선권주장 08/701,440 1996년08월22일 미국(US)

(73) 특허권자 골든 브리지 테크놀러지 인코포레이티드
미국, 뉴저지 07740, 롱 브랜치, 브링톤 애버뉴 198

(72) 발명자 트랜,지미쿠옹
미합중국,잭슨,뉴저지08527,18오버루크드라이브

다비도비씨,소린
미합중국,뉴욕11372,잭슨하이츠,35-3875쓰스트리트,아파트먼트6에이

(74) 대리인 강명구

심사관 : 정재우

(54) 적은실리콘과전력소모의기호-부합필터

요약

첫 번째 다수의 시프트 레지스터(131), 두 번째 다수의 시프트 레지스터(132), 제어처리기(138), 멀티플렉서(133), 다수의 데이타 시프트 레지스터(134), 다수의 배타적-OR(XOR) 게이트(135), 가산기 트리(136), 메모리(137), 그리고 가산기(139)를 포함하는 스프레드 스펙트럼 수신기와 함께 사용하기 위한 스프레드 스펙트럼 부합필터. 상기 첫 번째 다수의 시프트 레지스터(131)는 한 기준-칩-순서신호의 첫 번째 부분을 저장시키며 두 번째 다수의 시프트 레지스터(132)는 상기 기준-칩-순서신호의 두 번째 부분을 저장시킨다. 상기 제어처리기(138)에 응답하여 상기 멀티플렉서(133)는 첫 번째 클럭주기중에 첫 번째 부분을 출력시키며 두 번째 클럭주기중에 두 번째 부분을 출력시킨다. 다수의 XOR 게이트(135)는 첫 번째 클럭주기중에 상기 첫 번째 부분에 상기 데이타 시프트 레지스터(134)를 통하여 이동된 다수의 입력-데이타-샘플을 곱하여 첫 번째 다수의 곱셈-출력신호를 발생시키도록 한다. 상기 다수의 XOR 게이트(135)는 상기 두 번째 부분을 상기 데이타 시프트 레지스터(134)를 통하여 이동된 다수의 입력-데이타-샘플을 곱함으로써 두 번째 다수의 곱셈-출력신호를 발생시키도록 한다. 상기 가산기 트리(136)는 상기 메모리(137)내에 저장된 첫 번째 합산으로써 첫 번째 다수의 곱셈-출력신호를 가산시킨다. 상기 가산기 트리(136)는 두 번째 합산으로써 상기 두 번째 다수의 곱셈-출력신호를 가산시킨다. 상기 가산기(139)는 상기 첫 번째와 두 번째 합산을 더한다.

대표도

도 1

명세서

기술분야

본 발명은 스프레드-스펙트럼 통신에 대한 것이며, 특히 적은 실리콘을 필요로 하며 적은 전력을 소모하는 비트부합 필터를 실시하기 위한 아키텍쳐에 대한 것이다.

배경기술

한 비트-부합 필터는 한 입력신호를 한 기준신호와 상관시키기 위해 대개 사용된다. 여기서 용어 '비트-부합 필터'는 특정칩-순서 신호에 부합된 한 필터이며, 상기 비트-부합 필터에서 부합된 칩의 수는 한 정보비트와 같다. 상기 칩순서는 스프레드-스펙트럼 송신기에서 정보비트들을 스프레드하기 위해 사용된다.
상기 비트-부합 필터와 상관시키는 것은 상기 입력신호의 한 세트의 N 샘플을 상기 기준신호에 곱한 다음 그 곱한 항들을 다음과 같이 합산시키므로써 달성된다:

$$S(N)=\sum_{i=1}^{N}\{d_y,0,d_1,d_0\}_i * R_i$$

이때 N은 비트부합 필터의 탭수이며, S(N)은 상기 곱셈항들의 합산이며, d{y,…,0}는 (y+1) 비트 해상도를 갖는 데이타 샘플이며, 그리고 R_i 는 기준신호 샘 플들이다. N과 y는 양의 정수이다.
종래기술에서 공개된 비트-부합 필터를 실시하기 위한 다수의 다른 아키텍쳐들이 있다. 한가지 그와 같은 방법이 표 1 에서 표시되며, 본 발명의 비트-부합 필터와 비교되어진다.
이 예에서 종래기술의 비트-부합 필터는 샘플마다 4개의 비트를 갖는 N=512 샘플들을 갖는 것으로 가정된다. 종래기술의 비트-부합 필터는 총 2048 레지스터에 대하여 뱅크마다 512 레지스터의 4개의 시프트 레지스터 뱅크를 필요로 한다. 또한 2048 배타적-OR(XOR) 게이트가 1비트 멀티플라이어 기능을 실시하기 위해 요구된다.
가산기 기능을 위해 요구조건은 1024 4비트 가산기, 512 5비트 가산기, 256 6비트 가산기, 218 7비트 가산기, 64 8비트 가산기, 32 9비트 가산기, 16 10비트 가산기, 8 11비트 가산기, 4 12비트 가산기, 2 13비트 가산기 그리고 1 14비트 가산기이다.
어떤 기술에서는 데이타가 11단계의 가산기 블록을 통해 전파될 수 없으며 다음의 기능블럭에서 상기 설치시간을 만나고, 파이프라인 레지스터 뱅크가 통상 요구된다.

발명의 상세한 설명

본 발명의 목적은 적은 실리콘과 적은 전력소모의 부합 필터를 제공하는 것이다.
본 발명의 또다른 목적은 종래기술의 비트-부합 필터와 비교하여 더욱 적은 배타적-OR 게이트를 필요로 하는 비트-부합 필터를 제공하는 것이다.
본 발명에 따라 한 스프레드-스펙트럼-부합 필터가 수신된-스프레드-스펙트럼 신호에서 한 스프레드-스펙트럼 수신기의 일부로서 사용하기 위해 제공된다. 상기 수신된-스프레드-스펙트럼 신호는 다수의 정보비트를 가지며, 각 정보비트가 칩-순서신호를 가지는 스프레드-스펙트럼 처리에 의해 스프레드-스펙트럼 송신기에서 발생된다. 스프레드-스펙트럼 부합필터를 위한 본 발명은 각각 N/2 길이의 두 절반들로 필터길이를 나눔으로써 가르쳐지는데 이때 N은 상기 부합필터에서의 탭의 수이다. 상기 스프레드-스펙트럼 부합필터는 가령 두 섹션에 대하여 설명된 개념을 연장

시킴으로써 N/4 길이의 4개 섹션, N/8 길이의 8개 섹션등과 같이 보다 많은 섹션들로 나뉘어진 필터길이를 가질 수 있다.
상기 스프레드-스펙트럼-부합 필터는 한 스프레드-스펙트럼 수신기의 일부로서 한 스프레드-스펙트럼 신호를 수신하기 위해 사용될 수 있다. 여기서 사용된 바와 같은 수신된-스프레드-스펙트럼 신호는 상기 스프레드-스펙트럼 수신기의 입력에 도달되는 한 스프레드-스펙트럼 신호이다. 본 발명을 위한 타이밍은 한 패킷의 일부로서 헤더로부터 또는 파일럿-스프레드-스펙트럼 채널로부터 트리거될 수 있다. 상기 헤더의 경우에 수신기-스프레드-스펙트럼 신호는 다수의 패킷들을 포함하는 것으로 가정된다. 각 패킷은 데이타에 의해 시간상 뒤이어 발생되는 헤더를 가진다. 상기 헤더와 데이타는 한 패킷으로써 보내지며 상기 패킷내 데이타에 대한 타이밍은 상기 헤더로부터 키이된다. 상기 데이타는 계수화된 음성, 시그날링, 적응전력제어(APC), 주기적-중복-체크(CRC) 코드등과 같은 정보를 포함할 수 있다.
상기 헤더, 또는 프리앰블은 한 칩-순서신호로 한 헤더-기호-순서신호를 처리하는 스프레드-스펙트럼으로부터 발생된다. 상기 패킷은 데이타 부분은 상기 칩-순서신호로 한 데이타-기호-순서신호를 처리하는 스프레드-스펙트럼으로부터 발생된다. 상기 헤더-기호-순서신호 및 데이타-기호-순서신호를 처리하는 스프레드-스펙트럼에 대한 칩-순서신호는 동일한 것이 바람직하다.
두 절반의 필터길이를 가지는 스프레드-스펙트럼-부합필터는 첫 번째 다수의 시프트 레지스터, 두 번째 다수의 시프트 레지스터, 제어처리기, 멀티플렉서, 다수의 데이타-시프트 레지스터, 다수의 배타적-OR(XOR) 게이트, 가산기 트리, 메모리 그리고 한 가산기를 포함한다. 상기 첫 번째 다수의 시프트 레지스터는 기준-칩-순서신호의 첫 번째 부분을 저장하며, 그리고 상기 두 번째 다수의 시프트 레지스터는 상기 기준-칩-순서신호의 두 번째 부분을 저장한다. 상기 처리기는 한 클럭신호를 발생시킨다. 상기 클럭신호에 응답하여 상기 멀티플렉서가 순서적으로 상기 클럭주기의 첫 번째 부분중에 상기 첫 번째-순서신호의 첫 번째 부분, 그리고 상기 클럭주기의 두 번째 부분중에 상기 칩-순서신호의 두 번째 부분을 출력시킨다.
상기 다수의 데이타 시프트 레지스터들은 상기 클럭속도로 상기 수신된-스프레드-스펙트럼 신호의 입력데이타 샘플들을 이동시킨다. 각 클럭주기중에, 상기 XOR 게이트는 순서적으로 상기 칩-순서신호의 첫 번째 부분을 다수의 입력데이타 샘플들로 곱한다. 이같은 곱셈은 첫 번째 다수의 곱셈-출력신호를 발생시킨다. 다음에, XOR 게이트들은 상기 칩-순서신호의 두 번째 부분을 다수의 입력데이타 샘플들로 곱한다. 이같은 곱셈은 두 번째 다수의 곱셈-출력신호들을 발생시킨다.
상기 클럭주기의 첫 번째 부분중에, 가산기 트리는 첫 번째 합산을 발생시키기 위해 첫 번째 다수의 곱셈-출력신호들을 합산한다. 상기 첫 번째 합산은 메모리내에 저장된다. 상기 클럭주기의 두 번째 부분중에 상기 가산기 트리는 두 번째 합산을 발생시키기 위해 두 번째 다수의 곱셈-출력신호를 합산시킨다. 상기 가산기는 메모리로부터 첫 번째 합산을 가산기 트리로부터의 두 번째 합산에 가산시킨다. 하기에서는 첨부도면을 참조하여 본 발명을 상세히 설명한다.

도면의 간단한 설명

도 1 은 신호-시간-공유, 부합-필터-기본 복조기의 블럭도.
도 2 는 멀티플라이어 배열 및 가산기 트리의 시간공유를 사용하는 부합된 필터를 도시한 도면.
도 3 은 기호-부합 필터로부터 한 예시적 출력신호를 도시한 도면.
도 4 는 프레임-부합 필터로부터 한 예시적 출력신호를 도시한 도면.
도 5 는 신호-시간-공유, 부합-필터-기본 복조기의 가능한 타이밍을 도시한 도면.
도 6 은 본 발명의 부합필터에 대한 한 실시예의 블럭도.
도 7 은 전력관리 특징이 없는 한 시프트 레지스터의 블럭도.
도 8 은 상기 데이타 입력에서 전력관리 특징을 갖는 한 시프트 레지스터의 블럭도.
도 9 는 상기 클럭입력에서 전력관리 특징을 갖는 한 시프트 레지스터의 블럭도.
도 10 은 부합된 필터의 블럭도.
도 11 은 타이밍을 도시한 도면.
도 12 는 256개의 칩부합 필터에 대한 게이트 수의 실시방법을 도시한 도면.
도 13 은 256개의 칩부합 필터에 대한 전력소모대 실시방법을 도시한 도면.
도 14 는 512개의 칩부합 필터에 대한 게이트수대 실시방법을 도시한 도면.
도 15 는 512개의 칩부합 필터에 대한 전력소모대 실시방법을 도시한 도면.
도 16 은 가산기 트리와 가산기의 시간공유를 사용하는 도 10 에 대한 등가의 부합필터 블럭도.

실시예

본원 명세서 전체에서 같은 도면 부호는 같은 부분을 나타내도록 사용된다.
본 발명은 수신된-스프레드-스펙트럼 신호에 대한 스프레드-스펙트럼 수신기의 일부로써 사용하기 위해 도 1 내지 6 에서 설명된 새롭고 신규한 스프레드-스펙트럼-부합필터를 제공하는 것이다. 상기 수신된-스프레드-스펙트럼 신호는 스프레드-스펙트럼 송신기에서 한 칩-순서신호로 각 정보비트를 스프레드-스펙트럼 처리함으로서 발생된다. 바람직하게는 같은 칩-순서신호가 각 정보비트를 위해 사용되며, 상기 비트는 1비트 또는 제로비트로 적절하게 변환되어진다.

상기 수신된-스프레드-스펙트럼 신호는 바람직한 실시예에서 다수의 패킷을 포함하는 것으로 가정된다. 패킷 각각은 데이타가 뒤이어지는 한 헤더를 가진다. 상기 헤더는 당해 기술분야에서 잘 알려진 기술을 사용하여 칩-순서신호로 한 헤더-기호-순서신호를 스프레드-스펙트럼 처리함으로부터 발생된다. 상기 헤더-기호-순서신호는 기호들의 사전에 정해진 순서이다. 상기 헤더-기호-순서신호는 일정한 값, 즉 일련의 1-비트 또는 기호, 또는 일련의 0-비트 또는 기호, 또는 교대의 1-비트 및 0-비트 또는 교대의 기호, 의사무작위 기호순서, 또는 다른 필요에 따라 정해진 순서일 수 있다. 상기 칩-순서신호는 사용자에 의해 정해지며 통상의 사용에서는 헤더-기호순서신호와 함께 사용된다.

스프레드-스펙트럼 패킷의 데이타부분은 칩-순서신호를 갖는 데이타-기호-순서신호를 스프레드-스펙트럼 처리함으로써 헤더에 대하여 사용되는 당해분야에서 공지된 기술로부터 유사하게 발생되어진다. 데이타-기호-순서신호는 데이타, 또는 신호전송정보, 또는 다른 소스의 데이타기호 또는 비트로 변환된 데이타 또는 아날로그 신호로부터 유도될 수 있다. 상기 칩-순서신호는 사용자에 의해 정해질 수 있으며, 바람직하게는 당해기술분야에서 잘 알려진 바와 같이 상기 칩-순서신호를 사용하여 다른 스프레드-스펙트럼 채널에 거의 직교하도록 하는 것이 좋다.

본 발명은 데이타-스프레드-스펙트럼 채널 및 파일럿 스프레드-스펙트럼 채널을 갖는 것으로 가정되는 수신-스프레드-스펙트럼 신호에 작용할 수 있다. 상기 파일럿-스프레드-스펙트럼 채널은 당해 기술분야에서 잘 알려진 기술을 사용하여 파일럿-칩-순서신호를 갖는 파일럿-비트-순서신호를 스프레드-스펙트럼 처리함으로부터 발생된다. 상기 파일럿-비트-순서신호는 일정한 크기, 즉 직렬의 1-비트, 또는 직렬의 0-비트, 또는 교류의 1-비트 및 0-비트, 기타 필요에 따라 다른 순서일 수 있다. 통상적으로 데이타는 파일럿-비트-순서신호로 전송되지 않는다. 어떤 응용에서는 낮은 데이타전송률을 갖는 데이타를 파일럿-비트-순서신호에 부과되어질 수 있다. 상기 파일럿-칩-순서신호는 사용자에 의해 정해지며 실제 사용에서는 파일럿-비트-순서신호와 함께 사용된다.

데이타-스프레드-스펙트럼 채널은 데이타-칩-순서신호를 갖는 데이타-비트-순서신호를 스프레드-스펙트럼 처리함에 의해 당해기술분야에서 잘 알려진 기술로부터 유사하게 발생된다. 상기 데이타-비트-순서신호는 데이타, 또는 데이타로 변환된 아날로그 신호, 또는 데이타 비트들의 다른 소스로부터 유도될 수 있다. 상기 데이타-칩-순서신호는 사용자에 의해 정해지며 당해 기술분야에서 잘 알려진 바와 같이 다른 사용자의 칩순서신호에 직교하게 된다.

헤더를 사용한 프로그램가능 부합 필터

패킷, 그리고 동기화를 위한 헤더를 사용하는 실시예의 경우 상기 기준수단은 상기 칩-순서신호의 복사를 발생시킨다. 상기 칩-순서신호의 복사는 스프레드-스펙트럼 송신기에서 스프레드-스펙트럼-부합-필터장치의 입력에 도달하는 수신된-스프레드-스펙트럼 신호를 발생시키기 위해 사용되었던 것과 같은 순서이다. 상기 기준수단은 반복적으로 특정 칩순서를 변경시킬 수 있으며 이로부터 상기 칩-순서신호의 복사가 발생된다. 따라서 상기 스프레드-스펙트럼-부합-필터장치는 수신기가 한 지형학적 지역으로부터 다른 지역으로 이동하게 되는 셀룰러-스프레드-스펙트럼 아키텍쳐에서 사용될 수 있었던 것과 같이 상기 기준수단에 의해 발생된 다양한 칩-순서신호에 대하여 사용될 수 있다. 일례로써 상기 스프레드-스펙트럼-부합-필터장치가 한 지형학적 지역으로부터 다른 지역으로 이동하는때 상기 요구조건이 각기 다른 지형학적 지역 각각에서 상기 칩-순서신호를 변경시키도록 허가될 수 있다. 이와 유사하게 한 기저국의 지형학적 지역내 각 송신기는 각기 다른 칩순서를 가질 수 있다.

동기화를 위한 헤더를 사용하는 실시예의 경우 기호-부합 수단은 한 기호-임펄스 응답을 갖는다. 상기 기호-임펄스 응답은 상기 기준수단에 의해 발생된 칩-순서신호의 복사로부터 정해질 수 있다. 따라서 상기 기호-임펄스 응답은 상기 수신된-스프레드-스펙트럼 신호로부터 상기 헤더 및 상기 데이타-기호-순서신호를 필터하기 위해 정해질 수 있다. 상기 칩-순서신호의 복사로 정해진 기호-임펄스 응답 그리고 상기 수신기에 존재하는 수신된-스프레드-스펙트럼 신호의 헤더부분으로, 상기 기호-부합수단은 한 디스프레드-헤더-기호-순서신호를 출력시킨다. 상기 디스프레드-헤더-기호순서를 탐지하게 되면 상기 프레임-부합수단은 시작-데이타신호로서 사용될 수 있는 높은 수준의 신호를 출력시킨다. 다른 용도는 전송, 스위칭 및 수신주기순서를 동기화하거나 시간상 상기 헤더와 관련된 어떤 다른 사건을 위한 타이밍 신호를 발생시키는 것이다.

상기 기호-부합수단은 계속해서 상기 칩-순서신호의 복사로부터 정해진 상기 기호-임펄스 응답을 갖게 된다. 상기 수신된-스프레드-스펙트럼 신호의 데이타부분이 수신기에 존재하는때 상기 기호-부합수단은 상기 수신된-스프레드-스펙트럼 신호를 필터한다. 상기 수신된-스프레드-스펙트럼 신호의 데이타부분을 표본추출하기 위한 타이밍은 상기 시작-데이타신호로부터 트리거된다. 따라서 상기 기호- 부합수단은 상기 디스프레드-데이타-기호-순서신호를 출력시킨다. 따라서 상기 기호-부합수단은 상기 헤더와 상기 수신된-스프레드-스펙트럼 신호의 데이타부분을 디스프레드할 수 있다.

동기화를 위해 상기 헤더를 사용하는 실시예의 경우, 상기 프레임-부합수단은 상기 헤더-기호-순서신호에 부합된 한 프레임-임펄스 응답을 가진다. 따라서 상기 프레임-부합수단은 상기 기호-부합수단으로부터 상기 디스프레드-헤더-기호-순서신호를 필터하며, 그 결과로서 상기 디스프레드-헤더-기호-순서신호가 상기 프레임-임펄스 응답과 부합하는때 한 시작-데이타신호를 발생시킨다. 상기 프레임-부합수단은 프로그램가능하며, 즉 각기 다른 지형학적 지역 사이에서 변경될 수 있는 프로그램가능한 프레임-임펄스 응답을 가진다.

상기 제어수단은 상기 기호-부합수단의 기호-임펄스 응답을 셋팅시킴을 제어한다. 상기 제어수단은 상기 수신된-스프레드-스펙트럼 신호내에 포함된 상기 칩-순서신호를 부합시키기 위해 상기 기준수단에 의해 발생된 칩-순서신호의 복사를 사용함으로써 상기 기호-부합수단을 동적으로 세트시킬 수 있다.

상기 기호부합수단은 한 동위상 기호-부합수단과 한 1/4 위상차 기호-부합수단을 포함할 수 있다. 상기 동위상 기호-부합수단은 상기 기준수단에 의해 발생된 칩-순서신호의 복사로부터 세트될 수 있는 동위상 기호-임펄스 응답을 가진다. 상기 동위상 기호-부합수단이 어떠한 셋팅을 가지는가에 따라 상기 동위상 기호-부합수단은 상기 수신된-스프레드-스펙트럼 신호로부터 상기 헤더-기호-순서신호의 한 디스프레드-동위상-성분으로써 상기 패킷의 헤더부분 동위상-컴포넌트 또는 상기 데이타-기호-순서신호의 한 디스프레드-동위상 컴포넌트로써 상기 패킷의 데이타부분 동

위상 컴포넌트를 디스프레드한다.
상기 1/4 위상차-위상-기호-부합수단은 상기 기준수단에 의해 발생된 칩-순서신호의 복사로부터 세트될 수 있는 한 1/4 위상차-임펄스 응답을 가진다. 상기 1/4 위상차-위상-기호-부합수단이 상기 칩-순서신호에 부합된 1/4 위상차-임펄스 응답을 가지는때, 상기 1/4 위상차-위상-기호-부합수단은 상기 수신된-스프레드-스펙트럼 신호로부터 상기 헤더-기호-순서신호의 한 디스프레드-1/4 위상차-위상-컴포넌트로써 상기 패킷의 헤더부분 1/4 위상차-위상 컴포넌트를 디스프레드한다. 이와 유사하게 상기 1/4 위상차-위상-기호-부합수단이 상기 칩-순서신호의 복사로부터 세트된 상기 1/4 위상차-기호-임펄스 응답을 가지는때, 상기 1/4 위상차-위상-기호-부합수단은 상기 디스프레드 데이타-기호순서의 한 디스프레드-1/4 위상차-위상 컴포넌트로서 상기 패킷의 데이타 부분 1/4 위상차-컴포넌트를 상기 수신된-스프레드-스펙트럼 신호로부터 디스프레드한다.
사용시에 상기 제어수단은 상기 칩-순서신호를 탐지하기 위해 부합된 상기 동위상-기호-부합수단과 상기 1/4 위상차-위상-기호-부합수단을 세트시킨다. 상기 동위상-기호-부합수단 및 상기 1/4 위상차-위상-기호-부합수단은 동시에 부합되며 같은 칩-순서신호에 부합되는 것이 바람직하다.
동위상-프레임-부합수단은 한 동위상-프레임-부합수단 및 1/4 위상차-위상-프레임-부합수단을 포함할 수 있다. 상기 동위상-프레임-부합수단은 헤더-기호-순서신호의 동위상 컴포넌트에 부합된 동위상-프레임-임펄스 응답을 가진다. 상기 동위상-기호-부합수단으로부터 디스프레드-헤더-기호-순서신호의 동위상 성분이 상기 동위상-프레임-임펄스 응답과 부합하는때 한 동위상-시작-데이타신호가 발생된다.
상기 1/4 위상차-위상-프레임-부합수단은 상기 헤더-기호-순서신호의 1/4 위상차-위상 컴포넌트로 부합된 1/4 위상차-위상-프레임-임펄스 응답을 가진다. 상기 디스프레드-헤더-기호-순서신호의 1/4 위상차-위상 컴포넌트가 상기 1/4 위상차-위상-프레임-부합수단의 1/4 위상차-위상-프레임-임펄스 응답에 부합하는때 한 1/4 위상차-위상-시작-데이타신호가 발생된다. 실제에서는, 동위상-시작-데이타신호와 1/4 위상차-위상-시작-데이타신호가 동시에 발생되나 이들은 다른 시간에 발생되기도 한다.
상기 동위상-시작-데이타신호와 1/4 위상차-위상-시작-데이타신호는 상기 시작-데이타신호로서 결합된다. 상기 데이타-기호-순서신호를 탐지하기 위해 상기 동위상-기호-부합신호 및 1/4 위상차-위상-기호-부합수단의 출력을 표본추출하기 위한 타이밍은 상기 시작-데이타신호로부터 일정한 시간지연을 갖고 트리거된다. 상기 시간지연은 제로일 수도 있다.
도 1 에 도시된 예시적 실시예에서 상기 기준수단은 일례로써 한 코드발생기(43)로 구체화되며 상기 기호-부합수단은 한 동위상-기호-부합필터(35)와 1/4 위상차-위상-기호-부합필터(37)로서 구체화되며, 상기 프레임-부합수단은 한 동위상-프레임-부합필터(38)와 1/4 위상차-위상-프레임-부합필터(39)로서 구체화되고, 상기 제어수단은 한 제어기(46)로서 구체화되며, 그리고 상기 복조기 수단 은 한 복조기(41)로써 구체화된다. 상기 동위상-기호-부합필터(35)와 상기 1/4 위상차-위상-기호-부합필터(37)는 디지털-부합필터, 표면-음향파 장치로서, 또는 한 처리기내에 내장된 소프트웨어로서, 또는 응용 특정 집적회로(ASIC)로서 구성될 수 있다. 상기 도면에는 전압제어식 오실레이터(45), 타이밍 발생기(44), 상위 결합기(42), 프레임 처리기(40), 코스타스 루우프(36) 또는 다른 일반적인 트랙킹 루우프, 동위상 아날로그-디지탈 변환기(33), 1/4 위상차-위상 아날로그-디지탈 변환기(34), 동위상 믹서(31), 그리고 1/4 위상차-위상 믹서(32)가 도시된다.
상기 동위상 아날로그-디지탈 변환기(33)는 동위상 믹서(31)와 동위상-기호-부합필터(35) 사이에 결합된다. 상기 1/4 위상차-위상 아날로그-디지탈 변환기(34)는 상기 1/4 위상차-위상 믹서(32)와 상기 1/4 위상차-위상-기호-부합필터(37) 사이에 결합된다. 상기 코스타스 루우프(36)는 상기 동위상-기호-부합-필터(35)의 출력, 상기 1/4 위상차-위상-기호-부합필터(37)의 출력, 그리고 상기 동위상 믹서(31)와 상기 1/4 위상차-위상 믹서(32)로 결합된다. 상기 동위상-프레임-부합필터(38)는 상기 동위상-기호-부합필터(35) 그리고 상기 프레임처리기(40) 그리고 상기 복조기(41) 사이에서 결합된다. 상기 1/4 위상차-위상-프레임-부합필터(39)는 상기 1/4 위상차-위상-기호-부합필터(37) 그리고 처리기(40) 그리고 복조기(41) 사이에서 결합된다. 상기 코드발생기(43)는 상기 타이밍 발생기(44) 그리고 상기 동위상-기호-부합필터(35) 그리고 상기 1/4 위상차-위상-프레임-부합필터(37) 사이에서 결합된다. 상기 타이밍 제어회로는 상기 동위상-기호-부합필터(35)와 상기 1/4 위상차-위상-기호-부합필터(37)로의 아날로그-디지탈 변환기 타이밍 발생기(44)의 샘플링 순간을 제어한다. 상기 전압 제어식 오실레이터(45)는 타이밍 발생기(44)와 부합된-필터제어기(46)에 결합된다. 상기 상위 결합기(42)는 상기 프레임처리기(40)와 복조기(41)로 결합된다. 상기 제어기(46)는 상기 프레임처리기(40)로 결합된다. 상기 접두어 '동위상' 및 '1/4 위상차 위상'은 그같은 성분, 즉 상기 수신된-스프레드-스펙트럼 신호의 동위상 또는 1/4 위상차 위상을 나타내는 것이며 그와 같은 위상으로 해당 성분요소가 동작하게 됨을 나타내는 것이다.
상기 동위상 아날로그-디지탈 변환기(33) 및 상기 1/4 위상차 위상 아날로그-디지탈 변환기(34)는 1비트 아날로그-디지탈 변환을 수행하는 하드 리미터(limiter)로서 또는 N비트 아날로그-디지탈 변환기로서 구체화될 수 있다. 아날로그-디지탈 변환기는 당해 기술분야에서 잘 알려져 있다.
점선으로 나타내진 제어를 위해 상기 제어기(46)는 상기 상위 결합기(42), 프레임 부합필터(38), 프레임-부합필터(39), 복조기(41), 타이밍 발생기(44), 코드발생기(43), 동위상-아날로그-디지탈 변환기(33), 그리고 1/4 위상차-위상 아날로그-디지탈 변환기(34)에 결합된다.
RAKE 응용을 위해, 프레임-부합필터의 추가 섹션이 요구될 것이다. 따라서 한 추가의 동위상 믹서(48) 및 1/4 위상차-위상 믹서(47), 그리고 동위상-프레임-부합필터(49) 및 1/4 위상차-위상 프레임-부합필터(50)가 한 두 번째 프레임-부합필터 처리기(51)와 코스타스 루우프(52)와 함께 사용될 것이다. 상기 응용 RAKE는 당해기술분야에서 잘 알려져 있으며, 따라서 추가의 프레임-부합필터 섹션의 추가 는 용이하게 인식될 것이다.

도 1 에서, 상기 신호입력에서의 수신된-스프레드-스펙트럼 신호는 동위상 믹서(31) 및 1/4 위상차-위상 믹서(32)에 의해 한 중간주파수 또는 기저대 주파수로 전달된다. 설명의 목적을 위해 상기 수신된-스프레드-스펙트럼 신호는 한 기저대 주파수로 변형되는 것으로 가정된다. 낮은 잡음증폭기, 자동이득제어(AGC) 회로, 필터등을 포함하는 상기 스프레드-스펙트럼 수신기의 부분은 당해 기술분야에서 잘 알려져 있으므로 도시되지 않는다. 상기 기저대 수신된-스프레드-스펙트럼 신호는 동위상 아날로그-디지탈 변환기(33) 및 1/4 위상차 아날로그-디지탈 변환기(34)에 의해 한 디지털 신호로 변환된다. 따라서 상기 수신된-스프레드-스펙트럼 신호의 한 기저대 부분이 상기 동위상-기호-부합필터(35) 및 상기 1/4 위상차-위상-기호-부합필터(37)의 입력에 있다.

상기 동위상-기호-부합필터(35)는 코드발생기(43)로부터의 칩-순서신호 복사에 의해 세트된 한 동위상 기호-임펄스 응답을 가진다. 상기 셋팅에 따라, 상기 동위상-기호-부합필터(35)가 상기 헤더-기호-순서신호의 한 디스프레드-동위상 컴포넌트로서 또는 상기 스프레드-스펙트럼-처리된 데이타-기호-순서신호로서 상기 수신된-스프레드-스펙트럼 신호를 디스프레드 할 수 있다. 따라서 상기 동위상-기호-부합필터(35)는 한 디스프레드-동위상-데이타-기호-순서신호로서 상기 헤더-기호-순서신호의 한 디스프레드-동위상 컴포넌트 또는 상기 스프레드-스펙트럼-처리된 데이타-기호-순서신호의 한 디스프레드-동위상 컴포넌트를 출력시킨다.

유사하게 상기 1/4 위상차-위상-기호-부합필터(37)는 상기 코드발생기(43)에 의해 발생된 상기 칩-순서신호의 복사에 의해 세트될 수 있는 한 기호-임펄스응답을 가진다. 상기 셋팅에 따라 1/4 위상차-위상-기호-부합필터(37)는 상기 헤더-기호-순서신호의 1/4 위상차-위상 컴포넌트로서 또는 상기 스프레드-스펙트럼-처리된 데이타-기호-순서신호의 1/4 위상차-위상 컴포넌트로서 상기 수신된-스프레드-스펙트럼 신호를 디스프레드한다. 따라서 상기 1/4 위상차-위상-기호-부합필터(37)의 출력이 한 디스프레드-1/4 위상차-위상-데이타-기호-순서신호로서 상기 헤더-기호-순서신호의 한 디스프레드-1/4 위상차-위상 컴포넌트 또는 상기 스프레드-스펙트럼-처리된 데이타-기호-순서신호의 한 디스프레드-1/4 위상차-위상 컴포넌트이다.

상기 동위상-기호-부합필터(35) 및 상기 1/4 위상차-위상-기호-부합필터(37)는 궁극적으로 상기 제어기(46)에 의해 제어된다. 제어기(46)는 타이밍을 제어하며 필요한 타이밍시에 언제 코드발생기(43)가 상기 동위상-기호-부합필터(35)와 상기 1/4 위상차-위상-기호-부합필터(37)의 기호-임펄스 응답을 한 특정 지형학적 지역내에서 사용되어지는 각 칩-순서신호로 세트시킬 것인가를 결정한다.

도 2 에서 도시된 바와 같이, 상기 제어기(46)는 상기 동위상-기호-부합필터(35)와 상기 1/4 위상차-위상-기호-부합필터(37) 각각에 해당하는 상기 동위상 신호 레지스터(51)와 상기 1/4 위상차-위상신호 레지스터(52)를 제어한다.

도 1 에서 상기 코스타스 루우프(36)는 동위상 믹서(31)와 1/4 위상차-위상 믹서(32) 각각을 위한 코사인 신호와 사인신호를 발생시키기 위해 상기 동위상-기 호-부합필터(35)로부터의 출력과 상기 1/4 위상차-위상-기호-부합필터(37)로부터의 출력을 사용한다.

상기 스프레드-스펙트럼 수신기는 헤더 및 데이타의 패킷을 수신하며, 이들은 주파수분할 듀플렉스(FDD) 응용에서 방해받지 않은 패킷의 스트림으로서 또는 시분할 듀플렉스(TDD) 응용에서 분리된 패킷으로서 도달될 수 있다. 상기 디스프레드 및 탐지된 헤더는 각 패킷내 데이타를 위한 타이밍 및 동기화를 제공한다.

상기 동위상-기호-부합필터(35) 및 1/4 위상차-위상-기호-부합필터(37)는 상기 칩-순서신호에 부합된 이들 각각의 기호-임펄스 응답을 가지며, 상기 수신된-스프레드-스펙트럼 신호의 패킷 헤더부분은 상기 수신기 입력에 존재하며, 따라서 상기 출력은 디스프레드-헤더-기호-순서신호이다. 한 디스프레드-헤더-기호-순서신호로서 출력된 신호의 한 예가 도 1 에서 도시된다. 상기 디스프레드-헤더-기호-순서신호는 동위상-프레임-부합필터(38) 및 1/4 위상차-위상-프레임-부합필터(39)를 통해서 보내진다. 상기 동위상-프레임-부합필터(38)는 상기 헤더-기호-순서신호의 상기 동위상 컴포넌트에 부합된 한 동위상-프레임-임펄스 응답을 가지며, 따라서 상기 디스프레드-헤더-기호-순서신호의 동위상 컴포넌트가 상기 동위상-프레임-임펄스 응답과 부합하는때 한 동위상-시작-데이타신호를 발생시킨다. 이와 유사하게 상기 1/4 위상차-위상-프레임-부합필터(39)는 상기 헤더-기호-순서신호의 1/4 위상차-위상 컴포넌트에 부합된 한 1/4 위상차-위상-프레임-임펄스 응답을 갖는다. 상기 1/4 위상차-위상-기호-부합필터(37)로부터의 디스프레드-헤더-기호-순서신호가 상기 1/4 위상차-위상-부합필터(37)의 1/4 위상차-위상-프레임-임펄스 응 답과 부합하는때, 상기 1/4 위상차-위상-프레임-부합필터가 한 1/4 위상차-위상-시작-데이타신호를 출력시킨다. 상기 프레임-부합필터로부터 출력된 한 신호의 예가 도 4 에서 도시된다. 커다란 스파이크, 즉 커다란 신호크기가 상기 시작-데이타신호이다. 이들 스파이크 또는 시작-데이타신호는 본원 명세서에서 설명한 바와 같이 타이밍을 동기화시키기 위한 타이밍 기준으로써 작용한다. 상기 동위상-시작-데이타신호 및 상기 1/4 위상차-위상-시작-데이타신호는 복조기(41)에 의해 복조되며, 상기 상위 결합기(42)가 상기 동위상-기호-부합필터(35)와 상기 1/4 위상차-위상-기호-부합필터(37)로부터의 각 신호에 대하여 상기 복조기(41)로부터의 출력을 결합시키는 때를 제어하기 위해 한 초기 타이밍신호로서 사용될 수 있다.

또한 상기 동위상-시작-데이타신호 및 상기 1/4 위상차-위상-시작-데이타신호는 상기 데이타-기호-순서신호를 탐지하기 위하여 상기 동위상-기호-부합필터(35) 및 상기 1/4 위상차-위상-기호-부합필터(37)의 출력을 언제 표본추출할 것인가에 대한 타이밍을 작동시키는 제어기(46)로 상기 시작-데이타신호를 트리거하기 위하여 프레임 처리기(40)에 의해 처리될 수 있다.

본 발명의 한 특정 실시예에서 상기 동위상-기호-부합필터(35) 및 상기 1/4 위상차-위상-기호-부합필터(37)는 제어기(46)의 제어하에서 이들 각각의 동위상-기호-임펄스 응답 및 1/4 위상차-위상-기호-임펄스 응답이 결정되도록 하여 이들이 6.4마이크로세컨드내에서 칩-순서신호에 부합하도록 한다(10Mchips/sec에 64개의 칩). 현재의 기술은 100㎒에서 동작하는 시스템의 경우 12.8마이크로세컨드내에 상기 각 기호-부합필터가 적재되도록 하며, 상기 동위상-기호-부합필터(35) 및 1/4 위상차-위상-기호-부합필터(37) 각각은 256개의 스테이지 시프트 레지스터를 가진다(20Mchips/sec에서 256개의 칩).

상기 복조기(41)는 동기 복조를 사용하거나 선택적으로 비동기 복조를 사용하여 실시될 수 있다.
상기 상위 결합기(42)는 직접 결합, 추가, 또는 복조기(42)를 통해 복조된 바의 동위상 기호-부합필터(35)와 1/4 위상차-위상-기호-부합필터(37)로부터의 복조된 출력들을 다양한 방법으로 결합시킨다.
도 2 는 멀티플라이어 배열과 가산기 트리의 시간공유를 사용하여 부합된 필터를 도시한다. 상기 도 2 에서는 동위상-신호 레지스터(51), 1/4 위상차-위상-신호 레지스터(52), 기준신호 레지스터(53), 멀티플라이어 배열(54), 가산기 트리(55), 데이타 레지스터(56), 그리고 제어기가 도시된다. 도시된 바와 같이 상기 점선들은 제어기(46)가 동위상-신호 레지스터(51), 1/4 위상차-위상-신호 레지스터(52), 기준-신호(53) 그리고 데이타 레지스터(56)의 필요한 제어를 제공함을 나타낸다. 실선은 상기 동위상-신호 레지스터(51), 상기 1/4 위상차-위상 신호 레지스터(52), 상기 기준-신호 레지스터(53)로부터의 신호가 상기 멀리플렉서(57)를 통해 흐르는 것을 나타낸다. 상기 동위상-신호 레지스터(51)와 상기 1/4 위상차-위상-신호 레지스터(52)는 멀티플렉서(57)를 통해 멀티플렉서 배열(54)로 그리고 가산기 트리(55)로 그리고 데이타 레지스터(56)로 연결된다. 상기 데이타 레지스터(56)는 동위상 출력 및 1/4 위상차-위상 출력을 갖는다.
본 발명은 또한 한 수신된-스프레드-스펙트럼 신호를 통해 한 스프레드-스펙 트럼 수신기로 한 기호-부합필터 및 한 프레임-부합필터를 사용하는 방법을 포함하기도 한다. 앞서 설명된 장치에서와 같이 상기 수신된-스프레드-스펙트럼 신호는 각 패킷이 헤더와 데이타 부분을 포함하는 다수의 패킷을 갖는 것으로 가정된다. 상기 헤더는 한 칩-순서신호를 갖는 헤더-기호-순서신호를 처리하는 스프레드-스펙트럼으로부터 발생된다. 상기 패킷의 데이타부분은 상기 칩-순서신호를 갖는 데이타-기호-순서신호를 처리하는 스프레드-스펙트럼으로부터 발생된다.
상기의 방법은 상기 칩-순서신호의 복사를 발생시키는 단계들을 포함한다. 상기 방법은 상기 기호-부합필터를 세트시키기 위해 상기 칩-순서신호의 복사로 상기 기호-부합필터를 프로그램하여 한 기호-임펄스 응답이 상기 칩-순서신호에 부합되도록 한다. 상기 신호-부합필터가 상기 칩-순서신호에 부합되므로써 상기 방법은 한 디스프레드 헤더-기호-순서신호로써 상기 수신된-스프레드-스펙트럼 신호로부터 상기 패킷의 헤더부분을 디스프레드한다.
상기 프레임-부합필터는 한 프레임-임펄스 응답이 상기 헤더-기호-순서신호에 부합되도록 한다. 따라서 상기의 방법은 상기 디스프레드 헤더-기호-순서신호를 필터하기 위해 상기 프레임-부합필터를 사용한다. 다음에 상기 방법은 필터된 디스프레드-헤더-기호-순서신호로부터 상기 프레임-부합필터의 프레임-임펄스 응답을 부합하게 하는 상기 디스프레드-헤더-기호-순서신호에 응답하여 상기 데이타-시작신호를 발생시킨다.
상기 방법은 또한 상기 데이타-시작신호로 부터의 한 시간지연이 있는때에 한 데이타-제어신호를 발생시킨다. 상기 시간지연은 제로가 될 수도 있다. 상기 데이타-제어신호에 응답하여 상기의 방법은 상기 데이타-칩-순서신호의 복사로 상기 프레임-부합필터를 프로그램하여 상기 프레임-부합필터가 상기 데이타-기호-순서신호에 부합하는 프레임-임펄스 응답을 얻도록 한다. 이에 의해서 상기 방법은 상기 프레임-부합필터가 상기 데이타-기호-순서신호에 부합하는 동안 한 디스프레드-데이타-기호-순서신호로써 상기 수신된-스프레드-스펙트럼 신호로부터의 데이타-스프레드-스펙트럼 채널을 디스프레드한다.
본원 명세서에서 설명된 바의 상기 방법은 한 수신된-스프레드-스펙트럼 신호의 동위상 및 1/4 위상차-위상 컴포넌트로 확장될 수 있다. 마찬가지로 상기의 방법은 상기 수신된-스프레드-스펙트럼 신호로부터 상기 헤더-기호-순서신호의 디스프레드 동위상 컴포넌트로써 상기 헤더의 동위상 컴포넌트를 디스프레딩하는 단계 그리고 상기 수신된-스프레드-스펙트럼 신호로부터 상기 헤더-기호-순서신호의 디스프레드-1/4 위상차-위상 컴포넌트로써 상기 1/4 위상차-위상 컴포넌트를 디스프레딩하는 단계를 포함하는 상기 수신된-스프레드-스펙트럼 신호로부터 상기 패킷의 헤더부분을 디스프레딩하는 단계를 갖는다.
이와 유사하게 상기 수신된-스프레드-스펙트럼 신호의 동위상 컴포넌트 및 1/4 위상차-위상 컴포넌트는 데이타-기호-순서신호의 동위상 컴포넌트 및 1/4 위상차-위상 컴포넌트로써 디스프레드될 수 있다. 따라서 상기의 방법은 상기 수신된-스프레드-스펙트럼 신호로부터 상기 데이타-기호-순서신호의 한 디스프레드-동위상 컴포넌트로써 상기 패킷의 데이타부분중 한 동위상 컴포넌트를 디스프레딩함을 포함할 것이다. 상기의 방법은 또한 상기 데이타-기호-순서신호의 디스프레드-1/4 위상차-위상 컴포넌트로써 상기 패킷의 데이타부분중 1/4 위상차-위상 컴포넌트를 디스프레딩함을 포함하기도 할 것이다.
동위상 컴포넌트 및 1/4 위상차 위상 컴포넌트로 상기 디스프레드 헤더-기호-순서신호를 필터링하는때, 상기 방법은 상기 동위상-프레임-임펄스 응답 및 상기 1/4 위상차-위상-프레임-임펄스 응답 각각에 부합하는 상기 디스프레드 헤더-기호-순서신호의 동위상 컴포넌트 및 1/4 위상차-위상 컴포넌트에 응답하여 동위상-시작-데이타신호 및 1/4 위상차-위상-시작-데이타신호를 발생함을 포함할 수도 잇다.

파일럿 채널을 사용한 프로그램가능 부합 필터

동기화를 위해 파일럿-스프레드-스펙트럼 채널을 사용하는 한 실시예의 경우, 상기 기준수단은 상기 파일럿-칩-순서신호 및 데이타-칩-순서신호의 한 복사를 발생시킨다. 상기 파일럿-칩-순서신호 및 상기 데이타-칩-순서신호의 이들 복사는 상기 스프레드-스펙트럼-부합-필터장치의 입력에 도달하는 수신된-스프레드-스펙트럼 신호를 발생하기 위해 사용된 것과 같은 순서이다. 상기 기준수단은 반복해서 상기 특정 칩핑 순서를 변경시킬 수 있으며 그와 같은 칩핑 순서로부터 상기 데이타-칩-순서신호의 복사가 발생된다. 따라서 상기 스프레드-스펙트럼-부합-필터장치는 한 수신기가 한 지형학적 지역으로부터 다른 지역으로 이동할 수 있는 셀룰러-스프레드-스펙트럼 아키텍쳐에서 사용되었던 것처럼 상기 기준수단에 의해 발생된 바의 다양한 데이타-칩-순서신호를 위해 사용될 수 있다. 일례로써 상기 스프레드-스펙트럼-부합-필터장치가 한 지형학적 지역으로부터 다른 지역으로 이동 하기 때문에 각기 다른 지형학적 지역 각각에서 상기 파일럿-칩-순서신호 및 상기 데이타-칩-순서신호를 변경해야 하는 요구조건이 부가될 수 있다.

상기 동기화를 위해 파일럿-스프레드-스펙트럼 채널을 사용하는 실시예의 경우, 상기 기호-부합수단은 본원 명세서에서 기호-임펄스 응답으로 표기된 프로그램가능한 임펄스 응답을 갖는다. 상기 기호-임펄스 응답은 상기 기준수단에 의해 발생된 데이타-칩-순서신호의 복사로부터 세트될 수 있다. 따라서 상기 기호-임펄스 응답은 상기 수신된-스프레드-스펙트럼 신호로부터 상기 헤더 및 데이타를 필터링하기 위해 세트될 수 있다. 상기 파일럿-칩-순서신호의 복사로 세트된 기호-임펄스 응답과 상기 수신기에서의 파일럿-스프레드-스펙트럼 채널로 상기 기호-부합수단은 한 디스프레드-파일럿-비트-순서신호를 출력시킨다.

상기 기호-부합수단이 상기 데이타-칩-순서신호의 복사로부터 세트된 기호-임펄스 응답을 갖는때, 상기 기호-부합수단은 상기 수신된-스프레드-스펙트럼 신호로부터 상기 데이타-스프레드-스펙트럼 채널을 필터한다. 따라서 상기 기호-부합수단은 상기 헤더, 신호발생, APC 데이타등을 포함할 수 있는 디스프레드-데이타-비트-순서신호를 출력시킬 수 있다. 따라서 상기 기호-부합수단은 상기 데이타-스프레드-스펙트럼 채널을 디스프레드할 수 있다. 하기에서 설명된 바와 같이 상기 기호-부합수단은 상기 수신된-스프레드-스펙트럼 신호를 수신하는 동안 동적으로 변경되며 상기 동위상 칩 순서신호 및 1/4 위상차-위상칩-순서신호를 수신하는 동안 상기 기호-부합수단이 시간상 공유될 수 있도록 한다.

동기화를 위해 상기 파일럿-스프레드-스펙트럼 채널을 사용하는 실시예의 경 우, 상기 프레임-부합수단은 상기 기호-부합필터출력에 부합된 프레임-임펄스 응답을 갖는다. 따라서 상기 프레임-부합수단은 상기 기호-부합수단으로부터 상기 디스프레드-파일럿-비트-순서신호를 필터하며 그 결과로써 상기 디스프레드-파일럿-비트-순서신호가 상기 프레임-임펄스 응답과 부합하는때 한 피이크-상관신호를 발생시킨다. 상기 프레임-부합수단은 각기 다른 지형학적 지역사이에서 또는 각기 다른 사용자에 대하여 변경될 수 있는 프로그램가능-프레임-임펄스 응답을 가질 수 있다. 상기 제어수단은 상기 기호-부합수단의 기호-임펄스 응답셋팅을 제어한다. 상기 제어수단은 상기 수신된-스프레드-스펙트럼 신호내에 담긴 파일럿-칩-순서신호와 부합하기 위하여 상기 기준수단에 의해 발생된 파일럿-칩-순서신호의 복사를 사용함으로써 상기 기호-부합수단을 동적으로 세트시킬 수 있다. 상기 제어수단은 상기 데이타-칩-순서신호와 부합시키기 위해 상기 기준수단에 의해 발생된 데이타-칩-순서신호의 복사를 사용함으로써 상기 기호-부합수단을 동적으로 세트시킬 수 있다. 상기 제어수단은 다양한 시간지연으로 상기 기호-임펄스 응답을 교대로 세트시키어 상기 기호-부합수단이 상기 수신된-스프레드-스펙트럼 신호내에 담긴 동위상 순서신호 및 1/4 위상차-위상순서신호를 교대로 탐지할 수 있도록 한다.

상기 기호-부합수단은 동위상 기호-부합수단 및 1/4 위상차-위상-기호-부합수단을 포함할 수 있다. 동위상-기호-부합수단은 상기 기준수단에 의해 발생된 데이타-칩-순서신호의 복사로부터 세트될 수 있는 동위상-기호-임펄스 응답을 가진다. 어느 세팅을 상기 동위상-기호-부합수단이 가지는가에 따라, 상기 동위상-기 호-부합수단은 상기 수신된-스프레드-스펙트럼 신호로부터 상기 파일럿-비트-순서신호의 디스프레드-동위상 컴포넌트로써 상기 파일럿-스프레드-스펙트럼 신호채널의 동위상 컴포넌트 또는 상기 데이타-비트-순서신호의 디스프레드-동위상 컴포넌트로써 상기 데이타-스프레드-스펙트럼 채널의 동위상 컴포넌트를 디스프레드 한다.

상기 1/4 위상차-위상-기호-부합수단은 상기 기준수단에 의해 발생된 상기 데이타-칩-순서신호의 복사로부터 세트될 수 있는 1/4 위상차-임펄스 응답을 가진다. 상기 1/4 위상차-위상-기호-부합수단이 상기 파일럿-칩-순서신호에 부합된 1/4 위상차-임펄스 응답을 가지는때, 상기 1/4 위상차-위상-기호-부합수단은 상기 수신된-스프레드-스펙트럼 신호로부터 상기 파일럿-비트-순서신호의 디스프레드-1/4 위상차-위상 컴포넌트로써 상기 파일럿-스프레드-스펙트럼 채널의 1/4 위상차-위상 컴포넌트를 디스프레드 한다. 이와 유사하게, 상기 1/4 위상차-위상-기호-부합수단이 상기 데이타-칩-순서신호의 복사로부터 세트된 1/4 위상차-기호-임펄스 응답을 가지는때, 상기 1/4 위상차-위상-기호-부합수단은 상기 데이타-스프레드-스펙트럼 채널의 1/4 위상차 컴포넌트로써 또는 상기 디스프레드 데이타-비트-순서의 디스프레드-1/4 위상차-위상 컴포넌트로써 상기 수신된-스프레드-스펙트럼 신호를 디스프레드 한다. 사용시에 상기 제어수단은 시간상 동기화된 동위상-기호-부합수단 및 1/4 위상차-위상-기호-부합수단을 가져서 이들이 상기 데이타-칩-순서신호를 탐지하기 위해 부합되도록 한다. 이같은 동위상-기호-부합수단 및 1/4 위상차-위상-기호-부합 수단을 동적으로 변경시키는 것은 상기 수신된-스프레드-스펙트럼 신호내에 담긴 상기 데이타-칩-순서신호를 탐지하기 위해 시간상 이들 요소들을 공유하는 한 스프레드-스펙트럼 신호의 수신중에 교대로 실행된다.

상기 프레임-부합수단은 동위상-프레임-부합수단 및 1/4 위상차-위상-프레임-부합수단을 포함할 수 있다. 상기 동위상-프레임-부합수단은 상기 헤더-비트-순서신호의 한 동위상 컴포넌트에 부합된 동위상-프레임-임펄스 응답을 가진다. 상기 동위상-기호-부합수단으로부터의 상기 디스프레드-파일럿-비트-순서신호의 동위상 컴포넌트가 상기 동위상-프레임-임펄스 응답에 부합하는때, 한 동위상-피이크-헤더-상관신호가 발생된다.

상기 1/4 위상차-위상-프레임-부합수단이 상기 헤더-비트-순서신호의 1/4 위상차-위상 컴포넌트에 부합된 1/4 위상차-위상-프레임-임펄스 응답을 가진다. 상기 디스프레드-헤더-비트-순서신호의 1/4 위상차-위상 컴포넌트가 상기 1/4 위상차-위상-프레임-부합수단의 1/4 위상차-위상-프레임-임펄스 응답과 부합하는때, 한 1/4 위상차-위상-피이크-헤더-상관신호가 발생된다.

도 1 에서 도시된 예시적 실시예에서 상기 기준수단은 코드발생기(43)로써 구체화되며, 상기 기호-부합수단은 동위상-기호-부합필터(35) 및 1/4 위상차-위상-기호-부합필터(37)로써 구체화되고, 상기 프레임-부합수단은 동위상-프레임-부합필터(38) 및 1/4 위상차-위상-프레임-부합필터(39)로써 구체화되며, 상기 제어수단은 한 제어기(46)로써 구체화되고 그리고 상기 복조기 수단은 복조기(41)로써 구체화된다. 상기 동위상-기호-부합필터(35) 및 상기 1/4 위상차-위상-기호-부합필터(37)는 디지털-부합필터, 표면-음향파 장치 또는 한 처 리기내에 내장된 소프트웨어 또는 응용특정 집적회로(ASIC)로써 구성될 수 있기도 하다. 또한 도면에는 전압제어식 오실레이터(45), 타이밍 발생기(44), 상위 결합기(42), 프레임 처리기(40), 코스타스 루우프(36)(또는 다른 일반적인 트랙킹 루우프) 동위상 아날로그-디지탈 변환기(33), 1/4 위상차-위상 아날로그-디지탈 변환기(34), 동위상-믹서(31), 그리고 1/4 위상차-위상믹서

(32)가 도시되기도 한다.
상기 동위상 아날로그-디지탈 변환기(33)는 동위상 믹서(31)와 동위상-기호-부합필터(35) 사이에 결합된다. 상기 1/4 위상차-위상 아날로그-디지탈 변환기(34)는 1/4 위상차-위상믹서(32) 및 1/4 위상차-위상-기호-부합필터(37) 사이에 결합된다. 상기 코스타스 루우프(36)는 상기 동위상-기호-부합필터(35)의 출력, 복조기(41), 동위상 믹서(31) 그리고 1/4 위상차-위상믹서(32)로 결합된다. 상기 동위상-프레임-부합필터(38)는 상기 동위상-기호-부합필터(35)와 프레임처리기(40) 그리고 복조기(41) 사이에서 결합된다. 1/4 위상차-위상-프레임-부합필터(39)는 1/4 위상차-위상-기호-부합필터(37)와 처리기(40) 그리고 복조기(41) 사이에서 결합된다. 상기 코드발생기(43)는 타이밍 발생기(44) 및 동위상-기호-부합필터(35) 그리고 1/4 위상차-위상-기호-부합필터(37) 사이에서 결합된다. 상기 전압제어식 오실레이터(45)는 상기 타이밍 발생기(44) 그리고 상기 부합-필터 제어기(46)로 결합된다. 상기 상위 결합기(42)는 프레임 처리기(40) 및 복조기(41)로 결합된다. 상기 제어기(46)는 상기 프레임처리기(40)로 결합된다. 접두어 '동위상' 및 '1/4 위상차-위상'은 컴포넌트, 즉 요소들이 함께 동작하게 되는 상기 수신된-스프레드-스펙트럼 신호의 동위상 또는 1/4 위상차-위상을 나타내는 것이다.
상기 동위상 아날로그-디지탈 변환기(33) 및 1/4 위상차-위상 아날로그 디지털 변환기(34)는 1비트 아날로그-디지탈 변환을 수행하는 하드리미터로써, 또는 N비트 아날로그-디지탈 변환기로써 구체화될 수 있다. 아날로그-디지탈 변환기들은 당해 기술분야에서 잘 알려져 있다.
점선으로 도시된 제어를 위해 상기 제어기(46)가 상기 상위 결합기(42), 동위상-프레임-부합필터(38), 1/4 위상차-위상-프레임-부합필터(39), 복조기(41), 타이밍 발생기(44), 코드발생기(43), 동위상-아날로그-디지털 변환기(33) 그리고 1/4 위상차-위상-아날로그-디지탈 변환기(34)에 결합될 수 있다.
도 1 에서, 상기 신호입력에서의 수신된-스프레드-스펙트럼 신호는 동위상 믹서(31) 및 1/4 위상차-위상믹서(32)에 의해 중간주파수 또는 기저대 주파수로 변경된다. 설명의 목적을 위해 상기 수신된-스프레드-스펙트럼 신호는 기저대-주파수로 변경된 것으로 가정된다. 따라서 상기 기저대의 수신된-스프레드-스펙트럼 신호는 동위상 아날로그-디지탈 변환기(33)와 1/4 위상차-위상 아날로그-디지탈 변환기(34)에 의해 디지털 신호로 변환된다. 따라서 상기 수신된-스프레드-스펙트럼 신호의 기저대 변환이 동위상-기호-부합필터(35)의 입력에 있게 되며 1/4 위상차-위상-기호-부합필터(37)의 입력에 있게 된다.
상기 동위상-기호-부합필터(35)는 코드발생기(43)로부터의 데이타-칩-순서신호 복사에 의해 세트되는 동위상-기호-임펄스 응답을 가진다. 상기 셋팅에 따라 상기 동위상-기호-부합필터(35)는 상기 데이타-스프레드-스펙트럼 채널의 디스프레드-동위상 컴포넌트로써 상기 수신된-스프레드-스펙트럼 신호를 디스프레드 할 수 있다. 따라서 상기 동위상-기호-부합필터(35)는 디스프레드-데이타-비트-순서신호로써 상기 데이타-비트-순서신호의 한 디스프레드-동위상 컴포넌트를 출력시킨다.
이와 유사하게 상기 1/4 위상차-위상-기호-부합필터(37)는 상기 코드발생기(43)에 의해 발생된 데이타-칩-순서신호의 복사에 의해 세트될 수 있는 한 기호-임펄스 응답을 가진다. 상기 셋팅에 따라, 1/4 위상차-위상-기호-부합필터(37)는 상기 데이타-스프레드-스펙트럼 채널의 1/4 위상차-위상 컴포넌트로써 상기 수신된-스프레드-스펙트럼 신호를 디스프레드 한다. 이들은 상기 디스프레드-1/4 위상차-위상-파일럿-비트-순서신호 또는 1/4 위상차-위상-데이타-비트-순서신호일 수 있다.
상기 동위상-기호-부합필터(35) 및 1/4 위상차-위상-기호-부합필터(37)는 궁극적으로는 상기 제어기(46)에 의해 제어된다. 상기 제어기(46)는 타이밍을 제어하며 필요한 타이밍에서 언제 상기 코드발생기(43)가 상기 동위상-기호-부합필터(35) 및 상기 1/4 위상차-위상-기호-부합필터(37)의 기호-임펄스 응답을 상기 데이타-칩-순서신호로 세트할 것인가를 결정한다.
도 2 에서 도시된 바와 같이 제어기(46)는 상기 동위상 기호-부합필터(35) 및 상기 1/4 위상차-위상-기호-부합필터(37) 각각과 상응하는 동위상 신호 레지스터(51) 및 1/4 위상차-위상신호 레지스터(52)를 제어한다.
도 1 에서, 상기 코스타스 루우프(36)는 상기 동위상-기호-부합필터(35)로부 터의 출력과 상기 1/4 위상차-위상-기호-부합필터(37)의 출력을 사용하여 동위상 믹서(31) 및 1/4 위상차-위상믹서(32) 각각에 대한 코사인 및 사인신호를 발생시키도록 한다.
상기 동위상-기호-부합필터(35) 및 1/4 위상차-위상-기호-부합필터(37)가 상기 파일럿-비트-순서신호에 부합된 이들 각각의 신호-임펄스 응답을 갖게 되는때, 상기 출력은 디스프레드-헤더-순서신호이다. 상기 디스프레드-헤더-비트-순서신호는 동위상-프레임-부합필터(38) 및 1/4 위상차-위상-프레임-부합필터(39) 각각을 통하여 보내진다. 상기 동위상-프레임-부합필터(38)는 상기 파일럿-비트-순서신호의 동위상 컴포넌트에 부합된 한 동위상-프레임-임펄스 응답을 가지며, 따라서 상기 디스프레드-파일럿-비트-순서신호의 동위상 컴포넌트가 상기 동위상-프레임-임펄스 응답과 부합하는때 한 동위상-피이크-파일럿-상관신호를 발생시킨다. 이와 유사하게 상기 1/4 위상차-프레임-부합필터(39)는 상기 파일럿-비트-순서신호의 1/4 위상차-위상 컴포넌트에 부합된 한 1/4 위상차-위상-프레임-임펄스 응답을 가진다. 상기 1/4 위상차-위상-기호-부합필터(37)로부터의 상기 디스프레드 파일럿-비트-순서신호가 상기 1/4 위상차-위상-부합필터(37)의 1/4 위상차-위상-프레임-임펄스 응답과 부합하는때, 상기 1/4 위상차-위상-프레임-부합필터가 한 1/4 위상차-위상-피이크-파일럿-상관신호를 출력시킨다. 상기 동위상-피이크-파일럿-상관신호 및 1/4 위상차-위상-피이크-파일럿-상관신호가 복조기(41)에 의해 복조되며, 동위상-기호-부합필터(35) 및 1/4 위상차-위상-기호-부합필터(37)로부터의 각 신호에 대한 복조기(41)로부터의 출력을 언제 상기 상위 결합기(42)가 결합하는 가를 제어 하기 위해 한 초기 타이밍 신호로써 사용될 수 있다.
또한 상기 동위상-피이크-파일럿-상관신호 및 상기 1/4 위상차-위상-피이크-파일럿-상관신호는 프레임 처리기(40)에 의해 처리되어 상기 동위상-기호-부합필터(35) 및 상기 1/4 위상차-위상-기호-부합필터(37) 각각의 동위상-기호-임펄스 응답 및 1/4 위상차-위상-기호-임펄스 응답이 언제 상기 데이타-칩-순서신호에 부합되는가에 대한 타이

밍을 작동시키는 제어기(46)로 한 타이밍 신호를 트리거할 수 있도록 한다.
본 발명의 한 특정 실시예에서, 상기 동위상-기호-부합필터(35) 및 상기 1/4 위상차-위상-기호-부합필터(37)는 상기 제어기(46)의 제어하에서 이들 각각의 동위상-기호-임펄스 응답과 1/4 위상차-위상 기호-임펄스 응답을 가져서 이들이 매 5마이크로초마다 데이타-칩-순서신호에 대한 I 및 Q에 부합하도록 한다. 따라서 상기 동위상-기호-부합필터(35) 및 1/4 위상차-위상-기호-부합필터(37) 각각은 5마이크로초내에 적재된 각 동위상-기호-임펄스 응답 및 1/4 위상차-위상-기호-임펄스 응답을 가질 수 있다. 일반적으로 현재의 디자인은 100㎒로 동작하는 시스템에 대하여 2.5마이크로세컨드내에 적재되는 이들 각각의 기호-부합필터를 가지며, 동위상-기호-부합필터(35) 및 1/4 위상차-위상-기호-부합필터(37) 각각은 칩-스테이지 시프트 레지스터의 경우 256 또는 64개를 갖는다.
상기 복조기(41)는 동기 복조 또는 선택적으로 비동기 복조를 사용하여 실시될 수 있다.
상기 상위 결합기(42)는 최대 개연성과 같은 다양한 방법으로 직접적인 결 합, 추가, 또는 복조기(41)를 통해 복조된 바와 같은 동위상-기호-부합필터(35) 및 1/4 위상차-위상-기호-부합필터(37)로부터의 복조된 출력들을 결합시킨다.
도 2 는 멀티플라이어 배열 및 가산기 트리의 시간공유를 사용하여 부합된 필터를 도시한다. 도 2 에서는 동위상-신호 레지스터(51), 1/4 위상차-위상-신호 레지스터(52), 멀티플렉서(57), 기준-신호 레지스터(53), 멀티플라이어 배열(54), 가산기 트리(55), 데이타 레지스터(56), 그리고 제어기(46)가 도시된다. 도시된 바와 같이 점선은 제어기(46)가 동위상-신호 레지스터(51), 1/4 위상차-위상-신호 레지스터(52), 기준-신호-레지스터(53) 및 데이타 레지스터(56)의 필요한 제어를 제공함을 나타낸다. 실선은 멀티플렉서(57)를 통해 상기 동위상-신호 레지스터(51), 1/4 위상차-위상-신호 레지스터(52), 상기 기준-신호 레지스터(53)로부터의 신호 흐름을 나타낸다. 상기 동위상 신호 레지스터(51) 및 1/4 위상차-위상-신호 레지스터(52)는 멀티플렉서(57)를 통해서 멀리플라이어 배열(54), 가산기 트리(55), 데이타 레지스터(56)로 결합된다. 상기 데이타 레지스터(56)는 동위상 출력 및 1/4 위상차-위상 출력을 갖는다.
헤더 또는 파일럿 채널 어느 실시예에 대해서도 도 5 는 신호공유, 부합된-필터-기본 상관기의 블록타이밍을 도시한 도면이다. 도시된 바와 같이 한 프레임은 매 8192 칩마다 시작되며 상기 헤더-비트-순서신호와 같은 첫 번째 신호가 매 256 또는 64개 칩마다 코드발생기(43)로부터 출력된다. 이와 유사하게 한 데이타-칩-순서신호와 같은 두 번째 신호가 매 256개의 칩마다 출력될 수 있으나 상기 첫 번째 신호, 즉 파일럿 신호로부터 스테져 되어진다. 따라서 상기 동위상-기호-부 합필터(35) 및 1/4 위상차-위상-기호-부합필터(37)는 상기 첫 번째 신호, 헤더 또는 파일럿-칩-순서신호로 적재되며, 다음에 상기 두 번째 신호, 상기 데이타-칩-순서신호로 스테져되고 적재된다. 상기 첫 번째 신호는 상기 헤더 또는 파일럿-칩-순서신호로 상기 각 부합된 필터들을 적재함을 대표하며 상기 두 번째 신호는 상기 데이타-칩-순서신호로 상기 각 부합된 필터들을 적재하기 위한 타이밍이 될 것이다.
본 발명은 한 수신된-스프레드-스펙트럼 신호를 통하여 스프레드-스펙트럼 수신기와 함께 기호-부합필터 및 프레임-부합필터를 사용하는 방법을 포함하기도 한다. 앞서 설명된 장치에서와 같이, 상기 수신된-스프레드-스펙트럼 신호는 데이타-스프레드-스펙트럼 채널을 갖는 것으로 가정된다. 상기 파일럿-스프레드-스펙트럼 채널은 한 파일럿-칩-순서신호를 갖는 파일럿-비트-순서신호를 스프레드-스펙트럼 처리함으로부터 발생된다. 상기 데이타-스프레드-스펙트럼 채널은 한 데이타-칩-순서신호를 갖는 데이타-비트-순서신호를 스프레드-스펙트럼-처리함으로부터 발생된다.
상기 방법은 상기 데이타-칩-순서신호의 복사를 발생시키는 단계를 포함한다. 피이크-헤더 상관신호의 현재상태에 응답하여 적절한 지연으로 상기 방법은 파일럿-제어신호를 발생시킨다. 상기 파일럿-제어신호에 응답하여, 상기 방법은 한 기호-임펄스 응답이 상기 파일럿-비트-순서신호에 부합하도록 하기 위해 상기 기호-부합필터를 세트시키도록 상기 파일럿-비트-순서신호의 복사로 상기 기호-부합필터를 프로그램한다. 상기 기호-부합필터가 상기 파일럿-칩-순서신호에 부합되 므로써 상기 방법은 디스프레드 파일럿-비트-순서신호로써 상기 수신된-스프레드-스펙트럼 신호로부터 상기 데이타-스프레드-스펙트럼 채널을 디스프레드 한다.
상기 프레임-부합-필터는 상기 파일럿-비트-순서신호에 부합된 프레임-임펄스 응답을 가진다. 따라서 상기 방법은 상기 디스프레드 파일럿-비트-순서신호를 필터하기 위해 상기 프레임-부합필터를 사용한다. 그 다음에 상기 방법은 상기 필터된 디스프레드-데이타-비트-순서신호로부터 상기 프레임-부합필터의 프레임-임펄스 응답에 부합하는 상기 디스프레드-파일럿-비트-순서신호에 응답하여 상기 피이크-파일럿-상관신호를 발생시킨다.
상기 방법은 또한 상기 파일럿-제어신호로부터 일정한 시간지연후에 상기 피이크-파일럿-상관신호에 응답하여 한 데이타-제어신호를 발생시킨다. 상기 데이타-제어신호에 응답하여, 상기 방법은 상기 데이타-칩-순서신호의 복사로 상기 기호-부합필터를 프로그램하여 상기 기호-부합필터가 상기 기호-임펄스 응답으로 하여금 상기 데이타-칩-순서신호에 부합되도록 한다. 이에 의하여 상기 방법은 상기 기호-부합필터가 상기 데이타-칩-순서신호에 부합되는 동안 한 디스프레드-데이타-비트-순서신호로써 상기 수신된-스프레드-스펙트럼 신호로부터 상기 데이타-스프레드-스펙트럼 채널을 디스프레드 한다.
상기 설명된 바의 방법은 한 수신된-스프레드-스펙트럼 신호의 동위상 및 1/4 위상차-위상 컴포넌트로 확장될 수 있다. 마찬가지로 상기 방법은 상기 수신된-스프레드-스펙트럼 신호로부터 상기 파일럿-스프레드-스펙트럼 채널을 디스프레드 하며, 상기 수신된-스프레드-스펙트럼 신호로부터 상기 파일럿-스프레드-스펙트 럼 채널의 동위상 컴포넌트를 디스프레드 하고, 상기 수신된-스프레드-스펙트럼 신호로부터 상기 파일럿-비트-순서신호의 디스프레드 동위상 컴포넌트로써 상기 파일럿-스프레드-스펙트럼 채널의 동위상 컴포넌트를 디스프레드 하며 그리고 상기 수신된-스프레드-스펙트럼 신호로부터 상기 파일럿-비트-순서신호의 디스프레드-1/4 위상차 컴포넌트로써 상기 파일럿-스프레드-스펙트럼 채널의 1/4 위상차-위상 컴포넌트를 디스프레드 하는 단계는 갖는다.
이와 유사하게 상기 수신된-스프레드-스펙트럼 신호의 동위상 컴포넌트 및 1/4 위상차-위상 컴포넌트는 상기 데이타-스프레드-스펙트럼 채널의 동위상 컴포넌트 및 1/4 위상차-위상 컴포넌트로써 디스프레드 될 수 있다. 따라서 상

기 방법은 상기 수신된-스프레드-스펙트럼 신호로부터 상기 디스프레드-데이타-비트-순서신호의 디스프레드-동위상 컴포넌트로써 상기 데이타-스프레드-스펙트럼 채널의 동위상 컴포넌트를 디스프레드 함을 포함한다. 상기 방법은 또한 상기 디스프레드-데이타-비트-순서신호의 디스프레드-1/4 위상차-위상 컴포넌트로써 상기 데이타-스프레드-스펙트럼 채널의 1/4 위상차-위상 컴포넌트를 디스프레드 함을 포함하기도 한다.

상기 디스프레드-데이타-비트-순서신호의 동위상 컴포넌트 및 1/4 위상차-위상 컴포넌트로 상기 디스프레드 데이타-비트-순서신호를 필터링하는때 상기 방법은 상기 동위상-프레임-임펄스 응답 및 상기 1/4 위상차-위상-프레임-임펄스 응답 각각에 부합하는 상기 디스프레드 헤더-비트-순서신호의 동위상 컴포넌트 및 1/4 위상차-위상 컴포넌트에 응답하여 상기 동위상-피이크-데이타-상관신호 및 1/4 위상 차-위상-피이크-데이타-상관신호를 발생시킴을 포함할 수도 있다.

부합된 필터동작

동작시에 헤더 및 파일럿 채널과 같은 두 실시예에서 상기 동위상-기호-부합필터(35) 및 1/4 위상차-위상-기호-부합필터(37)는 도 5 에 도시된 제어기로부터의 타이밍 신호에 의해 M 로커 순서기호, 즉 상기 칩-순서신호의 복사가 적재된다. 동위상-아날로그-디지탈 변환기(33) 및 1/4 위상차-위상-아날로그-디지탈 변환기(34) 각각에 의해 발생된 상기 유입되는 수신된-스프레드-스펙트럼 신호 샘플은 한 줄로 늘어서서 많은 정보를 지니는 출력이 발생될때까지 상기 로컬 복사와 상관관계를 맺는다. 이같은 많은 정보를 지니는 출력의 발생은 동기화처리가 사전에 끝나거나 습득처리를 위해 사용된 추가의 회로가 사용되는 것을 필요로 하지 않으며 유입되는 스프레딩 칩-순서신호를 획득하기 위해 가능한한 가장 짧은 시간에 코드 동기화를 달성시킨다. 이는 코드 동기화를 달성시키기 위해 필요한 시간으로 측정되는 바와 같이 낮은 실시비용, 낮은 물리적인 체적, 줄어든 전력소모, 보다 빠른 실시 및 훨씬 개선된 성능의 장점을 갖도록 한다.

한 강한 신호수준 출력의 존재는 시간상 그같은 특정 순간에 상기 로컬 스프레딩 코드의 M개 유입되는 신호기호와 M개의 기호, 즉 상기 동위상-기호-부합필터(35) 및 1/4 위상차-위상-기호-부합필터(37)내에 적재된 칩-순서신호가 일직선이 되어 있음을 나타낸다. 상기 동위상-기호-부합필터(35) 및 상기 1/4 위상차-위상-기호-부합필터(37)는 상기 로컬 스프레딩 코드의 다음 M개 기호, 즉 상기 동위상-기호-부합필터(35) 및 상기 1/4 위상차-위상-기호-부합필터(37)에서 다음 M개의 유입되는 신호기호의 도달이전 어느때든지 상기 칩-순서신호로 완전히 적재되어질 요구조건이 존재한다. 신호 샘플의 수로 측정되어지는 각 기호-부합필터의 크기를 나타내는 수 M의 값은 약 1정도로 어느 값보다 더욱 크며, 한 실시예에서 M은 256 정도이다. M이 상기 코드를 실시하기 위해 요구되는 회로의 어느 것보다도 크기 때문에 위상 동기화 기능은 제조 및 실시하기가 훨씬 용이하다. 이는 실시비용이 저렴하고, 물리적 크기가 작으며, 전력소모가 적고, 실시가 훨씬 빠르며 고유하게 보다 나은 성능을 갖도록 한다.

상기 동위상-기호-부합필터(35) 및 1/4 위상차-위상-프로그램가능 필터(37)는 어떤 추가의 그리고 병렬신호처리 경로없이 모든 이용가능한 채널, 또는 경로를 통하여 도달하는 정보를 식별하고, 특징지우며, 그리고 축출한다. 상기 동위상-기호-부합필터(35) 및 상기 1/4 위상차-위상-기호-부합필터(37)에서 로컬 기준으로 적재된 상기 스프레딩 코드는 모든 전파채널이 상기 동위상-기호-부합필터(35) 및 상기 1/4 위상차-위상-기호-부합필터(37)에서 상기 정보신호를 전달하기 위한 기회를 가질때까지 제위치에 있으며, 상기 부합된 필터는 다음에 수신할 수 있는 모든 $L=T_M(W+1)$ 신호를 용이하게 회수할 수 있다. 상기 입력신호가 상기 전파경로의 길이차이로 인해 시간상 오프셋되기 때문에, 그리고 상기 동위상-기호-부합필터(35) 및 1/4 위상차-위상-기호-부합필터(37)가 선형 장치이기 때문에, 각기 다른 채널을 통한 상기 신호의 전파로 인한 출력은 시간상 오프셋이된 상기 동위상-기호-부합필터(35) 및 1/4 위상차-위상-기호-부합필터(37)에 의해 출력된다. 따라서 각기 다 른 채널을 통해 전파되는 상기 신호의 수신 및 분리는 어떠한 추가의 회로도 필요로 하지 않으며 지금은 시간상 분리되어진 각 개별적인 신호들이 최적의 방법으로 용이하게 개별적으로 조작되고 결합될 수 있어서 상기 부합필터 수신기가 한 L-상위 시스템의 성능에 도달할 수 있도록 한다.

각기 다른 채널을 통해 전파하는 많은 수 (L)의 신호복사를 식별시키고, 분리시키며 그리고 결합시킬 수 있는 수신기는 시간상위 수신기이며 통상 RAKE 수신기라 불리워진다. 상기 RAKE 수신기 구조는 선택적인 시스템 실시에 의해 발생되는 과도한 복잡성 없이 상기 부합필터를 사용하여 실시될 수 있다. 상기 상위 처리 시스템의 중심인 상기 동위상-기호-부합필터(35) 및 1/4 위상차-위상-기호-부합필터(37) 실시는 실시비용이 저렴하고, 물리적 체적이 작으며, 전력소모가 적고, 실시가 더욱 빠르며, 덜 복잡한 제어 및 보다나은 성능의 장점을 가진다.

이와는 대조적으로 본원 명세서에서 설명된 바와 같은 프로그램가능한-부합-필터-기본 복조기는 단하나의 그와 같은 회로세트만을 사용하며, 고유하게 발생된 정보를 사용하여 분리된 전파경로를 통해 도달한 어떠한 수의 신호복사도 간섭적으로 복조할 수 있다. 상기 실시가 가능해지게 되도록 하는 메카니즘은 하나의 통상적인 위상 트랙킹 회로, 가령 위상고정 루우프(PLL), 코스타스 루우프, 또는 n번째 전력 루우프를 사용하여 일시적으로 안정된 위상기준을 설정하고 다음에 상기 위상기준에 대하여 각 개별신호의 위상오프셋을 축출하도록 하는 것이다. 상기 유입된 신호는 0 Hz(DC)를 포함하여 어떤 주파수로 비간섭적으로 먼저 주파수가 하향변환된다. 다음에 상기 동위상 및 1/4 위상차-위상 채널 출력이 상기 동위상-기호-부합 필터(35) 및 1/4 위상차-위상-기호-부합필터(37) 각각으로부터 판독된다. 상기 캐리어 신호의 위상 오프셋은 상기 수신된 데이타 신호를 복조하기 위해 직접 사용되어지는 동위상 및 1/4 위상차-위상 출력의 상대적 진폭내에 담긴다. 선택적으로 상기 개별적인 전파경로에서의 위상평가는 종래의 간섭적인 복조기에 의해 만들어진 추가의 복잡성 없이 종래의 간섭적인 복조기를 사용하여 얻어지는 것과 같은 또는 그보다 나은 성능으로 상기 신호를 복조하기 위해 더욱 부합된 필터링에 의해 개선될 수 있다. 따라서 상기 기호-부합-필터-기본 실시는 복잡함이 더욱 떨어지고, 실시비용이 낮으며, 물리적 체적이 작고, 전력소모가 적으며, 실시가 더욱 빠르고 보다 나은 성능의 장점을 가진다.

한 세트의 멀티플라이어 및 이와 관련된 가산기 트리가 제거될 수 있다. 두 멀티플렉서로부터 관련된 가산기 트리 및 남아있는 멀티플라이어 세트의 입력에서 신호를 입력시킴으로써, 각 멀티플렉서는 상기 멀티플라이어/가산기 트리구조로 동위상 또는 1/4 위상차-위상신호 레지스터를 연결시킬 수 있도록 한다. 이같은 실시는 두 멀티플렉서의 복잡성을 추가시키며 복잡성에 있어서 상당한 네트감소를 위해 한 세트의 멀티플라이어 및 가산기 트리와 관련된 복잡성을 줄인다.

상기 기호-부합필터는 디지털 신호 처리기이며 상기 처리기의 출력은 유입되는 신호의 관심있는 부분이 완전히 적재되는 순간에만 관심이 있고 그밖의 다른 시간에는 관심이 없다. 본 발명의 실시에서 상기 기호-부합필터의 크기는 대략 64 또는 256개의 단계이며, 상기 수신된-스프레드-스펙트럼 신호의 입력샘플을 적재하기 위해 각각 64개 또는 256개 클럭주기를 필요로 한다. 상기 기호-부합필터의 출 력은 하나 또는 두 개의 클럭주기에 대해서만 관심이 있으며 나머지 대략 248개의 클럭주기에 대해서는 관심이 없다. 따라서 상기 회로는 이들 248개의 클럭주기중에 재사용될 수 있다. 두 개 또는 그이상의 신호, 가령 N개의 신호가 상기 신호가 위상이 한 줄로 되어있지 않으면 따라서 출력들이 시간상 엇갈려 있게 되면 같은 부합된 필터를 사용할 수 있다. 만약 N=5라면 상기 신호는 같은 부합된 필터를 공유하며, 다음에 상기 신호들이 대략 45개의 클럭주기만큼 엇갈려 있게 될 수 있으며, 상기 부합된 필터는 다음의 방식을 포함하여 다수의 방식으로 동작될 수 있다.

1. 클럭주기 5에서 시작한다. 상기 기호-부합필터는 상기 첫 번째 신호에 해당하는 기준으로 적재된다. 상기 첫 번째 신호로 인한 출력은 상기 50번째 및 51번째 클럭주기중에 발생될 것이다.
2. 클럭주기 55에서 시작한다. 상기 기호-부합필터는 두 번째 신호에 해당하는 기준으로 적재된다. 상기 두 번째 신호로 인한 출력은 100번째 및 101번째 클럭주기중에 발생될 것이다.
3. 클럭주기 105에서 시작한다. 상기 기호-부합필터는 세 번째 신호에 해당하는 기준으로 적재된다. 상기 세 번째 신호로 인한 출력은 150번째 및 151번째 클럭주기중에 발생될 것이다.
4. 클럭주기 155에서 시작한다. 상기 기호-부합필터는 네 번째 신호에 해당하는 기준으로 적재된다. 상기 네 번째 신호로 인한 출력은 200번째 및 201번째 클럭주기중에 발생될 것이다.
5. 클럭주기 205에서 시작한다. 상기 기호-부합필터는 상기 다섯 번째 신 호에 해당하는 기준으로 적재된다. 상기 다섯 번째 신호로 인한 출력은 250번째 및 251번째 클럭주기중에 발생될 것이다.

상기의 주기는 단하나의 부합된 필터를 사용하여 상기 첫 번째, 두 번째, 세 번째, 네 번째 및 다섯 번째 신호로 인해 다음의 출력에서 반복된다. 상기 신호처리 이익은 변하지 않고 실시의 복잡성과 크기는 80%가 줄어든다.

실리콘 요구가 적은 부합된 필터

상기 기호-부합필터를 위해 사용될 수 있으며 실리콘과 전력요구가 적은 스프레드-스펙트럼- 부합필터는 기준수단, 제어수단, 멀티플렉서 수단, 데이터-레지스터(data-register) 수단, 멀티플라잉 수단, 합성수단, 메모리수단 및 가산기 수단을 포함한다. 상기 멀티플렉서 수단은 기준수단 및 제어수단에 결합된다. 상기 데이터-레지스터(data-register) 수단은 상기 스프레드-스펙트럼 수신기에 결합된다. 상기 멀티플라잉 수단은 상기 데이터-레지스터(data-register) 수단에 결합되며 멀티플렉서 수단을 통하여 상기 기준수단에 결합된다. 상기 합산수단은 멀티플라잉과 메모리수단사이에 결합된다. 상기 가산기 수단은 합산수단과 메모리수단에 결합된다.

상기 기준수단은 다수의 기준-칩-순서수단 일부를 저장한다. 상기 수 N은 본원 명세서에서 비트당 칩의 수를 나타내도록 사용되며, P는 상기 기준-칩-순서신호의 다수부분의 수를 나타내도록 사용된다. P=2일 때 가령 상기 기준수단은 상기 기준-칩-순서신호의 두 절반을 저장한다. 비트마다 N=512 칩이고 P=2 부분일 때 상기 기준-칩-순서신호의 각 절반마다 256개의 칩이 있게 된다. P=2 이거나 4 또는 그이상이 될 수 있다. P의 선택은 게이트, 메모리 및 클럭속도사이에서 정해질 수 있다.

상기 제어수단은 타이밍 기준에 대하여 상기 클럭신호를 사용하여 제어신호를 발생시킨다. 상기 클럭신호는 상응하는 한 클럭주기를 갖는 상기 칩속도에서 한 클럭속도를 갖는다. 상기 제어신호는 상기 기준수단, 멀티플렉서 수단, 데이터-레지스터(data-register) 수단, 멀티플라잉 수단, 합산수단 및 가산기 수단으로 타이밍을 제공한다.

상기 멀티플렉서 수단은 순서적으로 상기 기준수단으로부터 상기 클럭주기의 각 부분동안에 다수의 상기 기준-칩-순서신호의 각 부분을 출력시킨다. 두 개의 기준-칩-순서신호, P=2인때 상기 멀티플렉서 수단은 상기 클럭주기의 첫 번째 부분동안에 상기 기준-칩-순서신호의 첫 번째 부분을 출력시키며, 상기 클럭주기의 두 번째 부분동안에 상기 기준-칩-순서신호의 두 번째 부분을 출력시킨다.

상기 데이터-레지스터(data-register) 수단은 상기 스프레드-스펙트럼 수신기로부터 상기 클럭속도로 상기 수신된 스프레드-스펙트럼 신호의 다수의 입력-데이타샘플을 이동시킨다. 대개 상기 입력-데이타샘플은 상기 스프레드-스펙트럼 신호의 칩에 해당되며, 따라서 상기 데이터-레지스터(data-register) 수단은 상기 클럭속도의 칩부분에서 다수의 입력-데이타샘플을 이동시킨다. 바람직한 실시예에서 상기 입력-데이타샘플은 각각 L 양자화 크기중 하나로 각각 양자화되는데, 이때 L=16인 경우 4개의 양자화 비트에 해당하는 것으로 정의된다. 칩마다 상기 4개의 양자화 비트는 XOR 게이트등을 사용하여 처리된다. 상기 L 양자화 크기는 본원 명세서에서 사용된 N개의 비트/샘플 아날로그-디지탈 변환($L=2^N$) 및 통신채널에서 상기 칩들로 가산된 잡음으로부터 발생된다.

상기 클럭주기의 각 부분중에 상기 기준-칩-순서신호의 각 부분을 선택하는 멀티플렉서 수단에 응답하여 상기 멀티플라잉 수단은 다수의 입력-데이타샘플에 의해 상기 기준-칩-순서신호의 각 부분을 멀티플라이 한다. 각 칩은 다수의 입력-데이타샘플중 하나에 해당하며, 4개의 양자화 비트에 의해 나타내진다. 한 정해진 클럭주기에 대한 상기 데이터-레지스터(data-register) 수단내에 위치한 다수의 입력-데이타샘플의 경우에 다수의 곱셈-출력수단이 상기 멀티플라잉 수단의 출력에 있다. 상기 수 M은 다수의 곱셈-출력신호에서 곱셈-출력신호의 수를 나타내도록 사용된다. 다수의 상기 곱셈-출력수단 각각에 대하여 상기 합산수단은 상기 클럭주기의 각 부분동안에 다수의 곱셈-출력신호내에서 상기 곱셈-출력신호 각각을 합산하며 이에 의해서 한 합산을 발생시킨다. 따라서 다수의 클럭주기동안에 상기

합산수산의 출력은 다수의 합산이 된다. 상기 합산수단은 다수의 곱셈-출력신호 각각을 상기 다수의 기준-칩-순서신호의 해당하는 부분과 합산시킨다.
상기 메모리수단은 상기 합산수단으로부터 다수의 M 합산중 적어도 M개의 합산을 저장한다. 모든 M개의 합산들은 메모리수단내에 저장될 수 있다. 상기 가산기수단은 다수의 합산을 추가시키며 가산기 부합된 필터로부터 상기 출력 신호를 출력시킨다.
도 6 에서 도시된 상기 예시적인 배치장치는 상기 기준-칩-순서신호의 두 부분 또는 절반들에 대하여 사용된 P=2인 기준-칩-순서신호에 대한 것이다. 도 6 에서 도시된 실시예의 경우 상기 기준수단은 첫 번째 다수의 시프트 레지스터(131) 및 두 번째 다수의 시프트 레지스터(132)를 포함한다. 상기 제어수단은 한 제어처리기(138)로써 구체화되며, 상기 멀티플렉서수단은 한 멀티프렉서(133)로써 구체화되고, 상기 데이터-레지스터(data-register) 수단은 다수의 데이타-시프트 레지스터(134)로써 구체화된다. 한 바람직한 실시예에서 상기 다수의 데이타-시프트 레지스터(134)는 한 샘플로써 각 칩을 저장하며, 각 칩은 16개의 단계중 하나로 양자화 된다. 따라서 상기 다수의 데이타-시프트 레지스터(134)는 칩마다 4개의 양자화 비트를 저장한다. 상기 16개의 양자화 단계는 각 샘플을 나타내기 위해 4개의 양자화 비트, 즉 칩마다 4개의 양자화 비트를 사용하는 입력 아날로그-디지탈 변환기의 결과이다. 상기 양자화 비트를 상기 정보비트로부터 구분시킨다. 상기 정보비트는 전체 칩순서 가령 정보비트마다 256개의 칩에 의해 표시되어진다. 상기 4개의 양자화 비트는 각 칩의 증폭을 양자화하기 위해 사용된다.
상기 멀티플라잉 수단은 다수의 배타적-OR(XOR) 게이트(135)로써 도시되며, 상기 합산수단은 한 가산기 트리(136)로써 구체화된다. 상기 가산기 트리는 다수의 XOR 게이트에 결합된 다수의 가산기 게이트를 포함한다. 상기 메모리 수단은 메모리(137)로써 도시되며 상기 가산기수단은 가산기(139)로써 도시된다.
상기 멀티플렉서(133)는 첫 번째 다수의 시프트 레지스터(131), 두 번째 다수의 시프트 레지스터(132)에 결합된다. 상기 제어처리기(138)는 첫 번째 다수의 시프트 레지스터(131), 두 번째 다수의 시프트 레지스터(132), 멀티플렉서(133), 다수의 데이타-시프트 레지스터(134), 가산기 트리(136), 메모리(137), 그리고 출력 레지스터(147)로 결합된다. 상기 제어수단은 타이밍기준을 위해 상기 클럭신호를 사용하여 제어신호를 발생시킨다. 상기 클럭신호는 상응하는 한 클럭주기를 갖는 칩속도에서 한 클럭속도를 가진다. 상기 제어신호는 상기 기준수단, 멀티플렉서 수단, 데이터-레지스터 수단, 멀티플라잉 수단, 합산수단 그리고 가산기 수단으로 타이밍을 제공한다.
상기 다수의 데이타-시프트 레지스터(134)는 상기 스프레드-스펙트럼 수신기에 결합된다. 상기 다수의 XOR 게이트(135)는 다수의 데이타-시프트 레지스터(134)에 결합되며 멀티플렉서(133)를 통하여 첫 번째 다수의 시프트 레지스터(137)로 결합되고, 그리고 멀티플렉서(133)를 통하여 두 번째 다수의 시프트 레지스터(132)로 결합된다. 상기 가산기 트리(136)는 다수의 XOR 게이트(135)로 결합되며, 상기 메모리(137)는 상기 가산기 트리(136)에 결합되고, 그리고 상기 가산기(139)는 가산기 트리(136)와 메모리(137)의 출력으로 결합된다. 한 출력 레지스터(147)이 상기 가산기(139)로 결합된다.
상기 첫 번째 다수의 시프트 레지스터(131)는 상기 기준-칩-순서신호의 첫 번째 부분을 저장하며, 상기 두 번째 다수의 시프트 레지스터(132)는 상기 기준-칩-순서신호의 두 번째 부분을 저장한다. 상기 클럭신호에 응답하여 그리고 상기 클럭주기의 첫 번째 부분중에 상기 멀티플렉서(133)는 상기 멀티플렉서(133)를 통하여 상기 첫 번째 다수의 시프트 레지스터(131)로부터 상기 클럭주기의 첫 번째 부분중에 상기 기준-칩-순서신호의 첫 번째 부분을 출력시킨다. 상기 클럭주기의 두 번째 부분중에 상기 클럭주기에 응답하여 상기 멀티플렉서(133)는 상기 두 번째 다수의 시프트 레지스터(132)로부터 상기 클럭주기의 두 번째 부분중에 상기 기준-칩-순서신호의 두 번째 부분을 출력시킨다.
다수의 데이타-시프트 레지스터(134)는 상기 수신된-스프레드-스펙트럼 신호의 다수의 입력-데이타샘플을 상기 클럭속도로 이동시킨다. 대개 다수의 데이타-시프트 레지스터(134)는 상기 칩속도로 상기 입력-데이타샘플을 저장하며 일례로써 한 칩에 대하여 4개의 저장 데이타 시프트 레지스터가 있다. 다수의 데이타-시프트 레지스터(134)는 샘플마다 다수의 시프트 레지스터를 가지며, 따라서 일례로써 상기 수신된 스프레드-스펙트럼 신호의 입력-데이타샘플을 저장하기 위해 4개의 시프트 레지스터가 있을 수 있다. 상기 4개의 저장데이타 시프트 레지스터는 한 아날로그-디지탈 변환기로부터 발생된 4개의 양자화 비트를 저장한다. 상기 아날로그-디지탈 변환기는 상기 칩속도로 샘플시키며, 각 칩에 대하여 하나의 입력-데이타샘플을 발생시킨다. 바람직하게는 상기 입력데이타 샘플이 16개의 양자화 크기중 하나를 가진다. 상기 아날로그-디지탈 변환기는 상기 16개의 양자화 크기 각각을 4개의 양자화 비트로 변환시킨다. 당해 기술분야에서 잘 알려진 바와 같이 4개의 이진 크기, 즉 4개의 양자화 비트는 16개의 양자화 크기를 대표할 수 있다.
상기 클럭주기의 첫 번째 부분동안 상기 멀티플렉서(133)가 첫 번째 다수의 시프트 레지스터(132)를 선택하는때 다수의 XOR 게이트(135)가 상기 기준-칩-순서신호의 첫 번째 부분을 상기 클럭주기의 첫 번째 부분동안에 상기 데이타-시프트 레지스터(134)내에 저장된 다수의 입력-데이타샘플로 곱셈시킨다. 이같은 곱셈이 끝나는 때에 상기 다수의 XOR 게이트(135)는 첫 번째 다수의 곱셈-출력신호를 출력시킨다.
상기 멀티플렉서(133)가 상기 클럭주기의 두 번째 부분동안에 두 번째 다수 의 시프트 레지스터(132)를 선택하는때 다수의 XOR 게이트(135)는 상기 기준-칩-순서신호의 두 번째 부분을 상기 클럭주기의 두 번째 부분동안에 상기 데이타-시프트 레지스터(134)내에 저장된 다수의 입력-데이타샘플로 곱셈시킨다. 이같은 곱셈중에 상기 다수의 XOR 게이트(135) 출력에는 두 번째 다수의 곱셈-출력신호가 있게 된다.
상기 가산기 트리(136)는 다수의 XOR 게이트(135)에 결합된 다수의 가산기 게이트를 포함한다. 상기 다수의 가산기 게이트는 상기 다수의 XOR 게이트(135)로부터의 출력을 합산시키도록 한다. 따라서 상기 클럭주기의 첫 번째 부분동안에 상기 가산기 트리(136)는 상기 다수의 곱셈-출력신호를 합산시키며 이에 의하여 첫 번째 합산을 발생시킨다. 다음에, 상기 클럭주기의 두 번째 부분동안에 상기 가산기 트리(136)는 두 번째 다수의 곱셈-출력신호를 합산시키며 이에 의하여 두 번째 합산을 발생시킨다.

상기 메모리(137)는 상기 클럭주기의 첫 번째 부분동안에 상기 가산기 트리(136)로부터 출력된 첫 번째 합산을 저장시킨다. 상기 두 번째 클럭주기가 끝나는때, 상기 첫 번째 합산은 메모리(137)내에 저자오디며 상기 두 번째 합산은 상기 가산기 트리(136)의 출력에 존재한다. 상기 가산기(139)는 상기 메모리(137)내에 저장된 첫 번째 합산을 상기 가산기 트리(136)로부터의 두 번째 합산으로 가산시킨다. 가산기(139)로부터의 출력신호는 상기 출력신호를 상기 클럭신호와 정렬시키기 위해 출력 레지스터(147)내에 저장된다.

본 발명은 상기 기준수단으로의 클럭신호를 금지시키기 위해 상기 제어처리 기에 결합된 한 AND 게이트를 더욱더 포함할 수 있다. 선택에 따라 본 발명은 상기 기준수단으로의 데이타 입력동작을 금지시키기 위해 상기 기준수단에 결합된 AND 게이트를 포함할 수도 있다. 상기 기준수단을 금지시키기 위해 상기 AND 게이트를 사용함으로써 본 발명은 고장시간동안 상기 시프트 레지스터가 동작하지 않도록 함으로써 더욱 적은 전력을 필요로 하게 된다.

본 발명장치의 전력 전략을 최대로 하기 위해 도 7 에서 도시된 바와 같은 연속적으로 가능하게 된 다수의 데이타-시프트 레지스터(134)를 사용하는 대신 도 8 에서 도시된 바와 같이 다수의 데이타-시프트 레지스터(134) 정면에 한 게이트가 추가될 수 있다. 상기 게이트는 상기 처리이득 함수의 출력에 의해 제어된다. 이들 게이트들은 처리이득(PG) 입력에 따라 사용되지 않은 상기 기호-부합필터의 어떤 섹션을 완전히 차단하기 위한 수단을 제공한다.

한 추가의 AND 게이트가 도 9 에서 도시된 바와 같이 다수의 데이타-시프트 레지스터(134) 각각의 입력에서 사용될 수 있다. 상기 AND 게이트의 한 입력은 전체 기호-부합필터를 불능이도록 하거나 가능이도록 하기 위해 사용된다. 이같은 제어신호를 논리 '0'으로 세트시킴으로써 다수의 데이타-시프트 레지스터(134)가 불능이게 된다. 따라서 다수의 데이타-시프트 레지스터(134)의 출력과 전체 기호-부합필터, 도 9 에서는 어떠한 출력 스위칭도 발생되지 않는다. 다양한 논리게이트 또는 게이트조합이 상기에서 설명된 바와 같이 같은 논리기능을 사용하는한 사용될 수 있다.

이같은 개념은 같은 결과를 제공하기 위해 상기 기호-부합필터 내측에서 각 기다른 위치에서 적용될 수 있다. 다수의 데이타-시프트 레지스터(134)내로 입력이 가능하지 않도록 함으로써, 상기 제어신호는 상기 다수의 데이타 시프트 레지스터(134)의 시프트 레지스터 각각과 도 9 에서 도시된 바와 같이 기호-부합필터내 모든 레지스터 각각으로 공급되는 클럭가능 라인으로써 사용될 수 있다. 상기 제어신호를 논리 '0'으로 세트시키므로써, 상기 기호-부합필터로 공급되는 클럭라인은 불능이게 되며, 따라서 어떠한 게이트도 상기 비트부합필터 내측의 논리크기를 스위칭하지 못하도록 한다. 따라서 전력사용은 줄어들 수 있다. 이같은 개념은 실시하기 위해 최소의 하드웨어 요구로 전력을 크게 절약시킬 수 있도록 한다.

일례로써 통신시간분할 듀플렉스(TDD) 응용에서, 전체 기호-부합필터가 전송 및 RF 스위칭 기간중에는 사용되지 않는다. 상기 기호-부합필터는 사용시간의 50% 이하를 대표하는 수신기간중에만 요구된다. 따라서 각 시프트 레지스터 뱅크의 시작시 이들 게이트는 다음과 같은 간단한 절차 뒤에 수신기간중에만 상기 기호-부합필터를 작동시킨다:

IF R_X 주기 = TRUE 이면

상기 AND 게이트중 하나에서의 제어비트를 1로 세트시킨다.

ELSE

상기 제어비트를 '0'로 세트시킨다.

END IF

도 10 내지 15 는 상기 기호-부합필터의 성능 한 예를 도시한다. 상기의 예 에서 도 10 의 기호-부합필터는 N=512 샘플을 갖는 것으로 가정되며, 샘플마다 4개의 양자화 비트를 갖는다.

상기 기호-부합필터의 이같은 실시는 데이타-시프트 레지스터의 P/2 단계를 가짐을 필요로 한다. 이같은 경우에 256개 단계 각각의 4개의 시프트 레지스터 뱅크는 샘플마다 4개의 양자화 비트가 있기 때문에 사용된다. 동위상 입력-데이타샘플 I_1, I_2, I_3, I_4 및 1/4 위상차-위상 입력-데이타샘플 Q_1, Q_2, Q_3, Q_4 는 상기 클럭속도로 다수의 동위상 데이타-시프트 레지스터(256) 및 다수의 1/4 위상차-위상 데이타-시프트 레지스터(266) 각각을 통하여 이동되며 상기 기준-칩-순서신호의 첫 번째 부분과 상기 기준-칩-신호의 두 번째 부분만큼 상기 동위상 XOR 게이트(235) 및 상기 1/4 위상차-위상 XOR 게이트(236) 각각과 곱하여진다. 도 10 에서 4개의 데이타-시프트 레지스터는 상기 동위상 입력-데이타샘플 I_1, I_2, I_3, I_4 각각에 대하여 그리고 상기 1/4 위상차-위상 입력-데이타샘플 Q_1, Q_2, Q_3, Q_4 각각에 대하여 도시된다. 도 11 에서 도시된 상기 클럭신호는 이같은 예에 대한 타이밍 기본이다.

상기 기준-칩-순서신호는 두 개의 절반으로 나뉘어지며 256개(N/2) 레지스터 각각의 첫 번째 다수의 시프트 레지스터(131) 및 두 번째 다수의 시프트 레지스터(132)인 두 개의 시프트 레지스터 뱅크내로 저장된다. 멀티플렉서(133)로부터의 상기 첫 번째 다수의 시프트 레지스터(131)과 두 번째 다수의 시프트 레지스터(132)의 출력은 상기 클럭신호에 의해 선택될 수 있다. 상기 기준-칩-순서신호의 각 절반은 상기 클럭주기 기간의 한 절반동안 이용될 수 있다.

한 세트의 XOR 게이트(135)는 동위상 XOR 게이트(235) 및 1/4 위상차-위상 XOR 게이트(236)를 포함한다. 한 칩 곱셈기능은 동위상-데이타-시프트 레지스터(265) 및 다수의 1/4 위상차-위상-데이타-시프트 레지스터(266)의 출력사이에서 동위상 XOR 게이트(235)에 의해 수행되며 상기 멀티플렉서(133)는 도 10 에서 도시된 바와 같이 첫 번째 다수의 시프트 레지스터(131), 그리고 두 번째 다수의 시프트 레지스터(132) 각각의 출력이다. 상기 동위상 XOR 게이트(235)는 상기 동위상 컴포넌트에 대하여 한 가산기 트리(136)로 공급된다. 상기 1/4 위상차-위상 XOR 게이트(236)는 동위상 컴포넌트에 대하여 상기 동위상 그룹의 엘리먼트(157)를 위해 사용된 바와 유사하게 상기 1/4 위상차-위상 컴포넌트에 대하여 1/4 위상차-위상 그룹의 엘리먼트(도시되지 않음)로 공급된다. 따라서 1/4 위상차-위상 부분은 동위상 부분에서와 같은 방식으로 처리될 것이다. 선택에 따라 상기 동위상 그룹의 엘리먼트(157) 및 출력 레지스터(147)로 구성된 엘리먼트인 상기 동위상 XOR 게이트(235)는 도 16 에서 도시된 바와 같이 시간다중화 될 수 있다. 멀티플렉서(233)는 동위상 데이타-시프트 레지스터(255) 및 1/4 위상차-위상 데이타-시프트 레지스터(256) 그리고 동위상 XOR 게이트(235) 사이에서 삽입된다. 상기 멀티플렉서(233)는 XOR 게이트(135), 엘리먼트 그룹(157

) 그리고 출력 레지스터(147)과 함께 상기 동위상 입력-데이타샘플 I_1, I_2, I_3, I_4 및 1/4 위상차-위상 입력-데이타샘플 Q_1, Q_2, Q_3, Q_4 의 처리를 시간상 공유한다.
이같은 예에서 가산기 트리(136)는 128개의 4비트 가산기, 64개의 5비트 가 산기, 32개의 6비트 가산기, 16개의 7비트 가산기, 8개의 8비트 가산기, 4개의 9비트 가산기, 2개의 10비트 가산기, 1개의 11비트 가산기로 구성된다. 상기 가산기 트리(136)는 XOR 게이트(135)의 상기 멀티플라이어 뱅크로부터 모든 256개의 데이타출력을 합산시키도록 사용된다. 다중 파이프라인 레지스터 크기는 타이밍 요구에 부합하도록 상기 클럭속도에 의해 결정된 바에 따라 요구되어질 수 있다.
상기 클럭주기의 첫 번째 절반에서 첫 번째 다수의 시프트 레지스터(131)는 상기 256개의 입력샘플과 상관하도록 선택된다. 상기 가산기 트리(136)의 결과의 출력은 선입선출(FIFO) 메모리(137) 또는 정규 메모리내에 FIFO 판독제어기의 제어하에서 저장된다. 상기 FIFO 메모리(137)는 단어당 11개의 양자화 비트를 갖는 적어도 M/2 메모리셀 깊이여야 한다. 단어길이는 가산기 트리(136)의 출력 또는 고안자에 의해 결정된다. 도 11 은 동위상 입력-데이타샘플 I_A, I_B 의 타이밍, 상기 클럭신호에 대한 상기 데이타 시프트 레지스터(134)의 출력 및 상기 XOR 게이트(135)의 출력 타이밍을 도시한다.
도 11 에서의 같은 클럭주기 두 번째 절반에서, 두 번째 다수의 시프트 레지스터(132)가 같은 세트의 256개의 입력샘플과 상관하도록 선택된다. 상기 가산기 트리(136)의 결과의 출력은 N/2 클럭주기가 더 빠른 상기 FIFO 메모리(137) 내에 저장된 값에 추가된다. 상기 FIFO 메모리(137)와 가산기 트리(136)의 출력에 대한 타이밍이 도 11 에서 도시되며, FIFO 판독제어기에 의해 제어된다.
이같은 최종 결과는 출력 레지스터(147)내에 저장된 상기 기호-부합필터의 N/2 저장데이타 시프트 레지스터만을 사용함으로써 실시간으로 전 N개의 샘플의 한 상관결과를 제공한다.
이같은 아키텍쳐는 상기 기호-부합필터의 어떠한 크기 N에 대해서도 사용될 수 있으며 상기 아키텍쳐는 크기 축적이 가능하다.
상기에서 설명된 바와 같이 상기 기호-부합필터 길이는 각각 길이가 N/2 인 두 개의 절반들로 나눌 수 있다. 또한 상기 기호-부합필터는 표 1 및 2 의 세 번째 실시(IMPL3) 및 6번째 실시(IMPL6)에 대하여 도시된 바와 같이 길이가 각각 N/4 인 4개의 섹션, 또는 각각 길이가 N/8 인 8개의 섹션, 또는 각각 길이가 N/M 인 M개의 섹션으로 나눌 수 있기도 하다. 그러나 각기 다른 M의 값에 대하여 번갈아 사용함을 고려해야 한다.
이같은 방법은 256개의 칩 부합필터에 대하여 표 1 과 도 12-13, 그리고 512개의 칩 부합필터에 대하여 표 2 와 도 14-15 에서 도시된 바와 같이 상당한 양의 전력을 절약한다. 표 1 에서 도시된 바와 같은 이같은 예는 파이프라인에 대하여 세단계의 레지스터들을 사용한다.

[표 1]
256개 칩 부합 필터

	IMPL1	IMPL2	IMPL3	IMPL4	IMPL5	IMPL6
# gates	39376	32080	29674	24580	24580	23890
PWR AC	2.242368	1.680192	1.886688	1.744704	1.329964	1.377504
PWR CO	0.687789	0.400262	0.30479	0.572602	0.232531	0.187517

[표 2]
512개 칩 부합 필터

	IMPL1	IMPL2	IMPL3	IMPL4	IMPL5	IMPL6
# gates	78752	64160	59348	55520	49120	47380
PWR AC	4.484736	3.360384	3.773376	3.489408	2.659968	2.755008
PWR CO	1.775578	0.800525	0.809581	1.145203	0.465062	0.375034

상기 디자인을 실시하기 위한 게이트의 총수는 첫 번째 내지 여섯 번째 실시(IMPL1-IMPL6)로써 표 1 에서 계산되며 목록된다. 표 1 및 도 12-13 으로 부터, 상기 첫 번째 실시(IMPL1)는 본원 명세서의 배경기술 부분에서 설명된 바와 같이 기호-부합필터를 실시하는 통상의 방법을 참고로 한다. 상기 두 번째 실시(IMPL2) 및 세 번째 실시(IMPL3)는 N=256 및 P=2 및 P=4 각각을 갖는 아키텍쳐를 사용한 결과이다. 실시 1(IMPL1)은 레지스터, 즉 게이트를 위해 정적 플립플롭을 사용한다. 상기 실시 2(IMPL2)는 레지스터, 게이트의 절반이 임의접근 메모리(RAM)로 대체된 것을 제외하고는 실시 1(IMPL1)과 유사하다. 도 12-15 는 정적 플립플롭, 즉 게이트의 수가 감소한 상태에서 전력소모가 줄어듦을 설명한다. 실시 3(IMPL3)은 실시 1(IMPL1)에서와 같이 레지스터를 위해 상기 플립-플롭의 1/4를 사용하며, 상기 플립-플롭의 4/3은 RAM으로 대체된다. 실시 3(IMPL3)은 두 번째 실시(IMPL2)와 비교하여 전력소모가 증가되나

게이트 수는 감소한다.
실시 4(IMPL4), 실시 5(IMPL5) 및 실시 6(IMPL6)은 실시 1(IMPL1), 실시 2(IMPL2), 및 실시 3(IMPL3)과 유사하나 동적 플립플롭이 상기 정적 플립플롭을 대체시킨다.
상기의 전략들은 다양한 소스로부터 발생되며 다음과 같이 요약될 수 있다.
본 발명은 시프트 레지스터 총수의 절반과 이전 크기의 절반인 가산기 트리만을 사용한다. 각 레지스터는 약 6개의 게이트 계수(ASIC 매각인 종속)를 가진 다. 따라서 절약된 게이트의 수는 약
7개의 게이트*(N/2)*(샘플마다의 비트수) = 7*(512/2)*4 = 7168 게이트
따라서 상기 가산기 트리(136)를 공유하기 위해, 기존의 아키텍쳐는 두 개의 입력 데이타를 다중송신할 것을 필요로 하며, 많은 멀티플렉서 회로가 요구된다. 본 발명의 경우, N/2 2:1 멀티플렉서(133)가 요구되며, X비트 너비의 N/2 단어크기를 갖는 작은 정적 임의접근 메모리(RAM)가 또한 요구된다. N은 상기 필터의 길이를 나타내며 X는 가산기 트리(136) 출력의 동적범위이다. 상기 장점이외에도 메모리(137)는 대기중 모드에서는 어떠한 전력도 소모하지 않는다.
상기 기호-부합필터(512)개의 칩은 HDL VHDL 에서 실시되었으며 모델 테크놀로지 VSystem 시뮬레이션 툴(tool)에서 모의되었다. 상기 디자인은 LSI 로직 lcbg10p 기술 라이브러리와 함께 시놉시스 디자인 컴파일러 버전 3.4a를 사용하여 성공적으로 동기화 되었다.
여러 수정이 본 발명의 사상을 벗어나지 않는 한도내에서 본 발명의 부합필터에 가해질 수 있으며 본 발명은 제공된 바의 부합필터에 대한 수정 및 변경을 포함하는 것으로 이해되어야 한다.

(57) 청구의 범위

청구항 1.
한 기준-칩-순서신호의 첫 번째 부분을 저장하기 위한 첫 번째 다수의 시프트 레지스터,
상기 기준-칩-순서신호의 두 번째 부분을 저장하기 위한 두 번째 다수의 시프트 레지스터,
한 클럭주기를 갖는 클럭속도의 클럭신호를 발생시키기 위한 제어처리기,
상기 멀티플렉서를 통하여 상기 첫 번째 다수의 시프트 레지스터로부터 상기 클럭주기의 첫 번째 부분동안에 상기 기준-칩-순서신호의 첫 번째 부분을 출력시키고, 상기 멀티플렉서를 통하여 상기 두 번째 다수의 시프트 레지스터로부터 상기 클럭주기의 두 번째 부분동안에 상기 기준-칩-순서신호의 두 번째 부분을 출력시키기 위해 상기 클럭신호에 응답하여 상기 첫 번째 다수의 시프트 레지스터와 상기 두 번째 다수의 시프트 레지스터에 결합된 멀티플렉서,
상기 클럭속도로 상기 수신된-스프레드-스펙트럼 신호의 다수의 입력-데이타샘플을 이동시키기 위해 상기 스프레드-스펙트럼 수신기에 결합된 다수의 데이타-시프트 레지스터,
상기 클럭주기의 첫 번째 부분중에 상기 다수의 입력-데이타샘플로 상기 기준-칩-순서신호의 첫 번째 부분을 곱함으로써, 첫 번째 다수의 곱셈-출력신호를 출력시키며, 상기 클럭주기의 두 번째 부분동안에 상기 두 번째 다수의 시프트 레지스터를 선택하는 상기 멀티플렉서에 응답하고, 상기 클럭주기의 두 번째 부분동안 에 상기 다수의 입력-데이타샘플로 상기 기준-칩-순서신호의 두 번째 부분을 곱함으로써 두 번째 다수의 곱셈-출력신호를 출력시키기 위해 상기 클럭주기의 첫 번째 부분동안에 상기 첫 번째 다수의 시프트 레지스터를 선택하는 상기 멀티플렉서에 응답하여,
상기 다수의 데이타-시프트 레지스터 그리고 상기 멀티플렉서를 통하여 상기 첫 번째 다수의 시프트 레지스터 그리고 상기 멀티플렉서를 통하여 상기 두 번째 다수의 시프트 레지스터에 결합된 다수의 배타적-OR(XOR) 게이트,
상기 클럭주기의 첫 번째 부분동안에 상기 첫 번째 다수의 곱셈-출력신호를 합산함으로써 한 첫 번째 합산을 발생시키고, 상기 클럭주기의 두 번째 부분동안에 상기 두 번째 다수의 곱셈-출력신호를 합산시키므로써 두 번째 합산을 발생시키기 위해 상기 다수의 XOR 게이트에 결합된 다수의 가산기 게이트를 포함하는 가산기 트리,
상기 클럭주기의 첫 번째 부분동안에 상기 가산기 트리로부터 출력된 첫 번째 합산을 저장하기 위해 상기 가산기 트리에 결합된 메모리, 그리고
상기 가산기 트리로부터의 두 번째 합산으로 상기 메모리내에 저장된 첫 번째 합산을 추가시키기 위해 가산기 트리 및 상기 메모리에 결합된 가산기로 구성되어진 상기 수신된-스프레드-스펙트럼 신호가 각 정보비트가 한 칩-순서신호를 갖는 스프레드-스펙트럼 처리로부터 발생된 다수의 정보비트를 가지는 한 수신된-스프레드-스펙트럼 신호에 대한 스프레드-스펙트럼 수신기의 일부분으로써 사용하기 위한 스프레드-스펙트럼 부합필터.

청구항 2.
제 1 항에 있어서, 상기 첫 번째 다수의 시프트 레지스터 및 상기 두 번째 다수의 시프트 레지스터로의 상기 클럭신호를 금지시키기 위해 상기 제어처리기에 결합된 한 AND 게이트를 더욱더 포함함을 특징으로 하는 스프레드-스펙트럼-부합필터.

청구항 3.
제 1 항에 있어서, 상기 첫 번째 다수의 시프트 레지스터의 동작을 금지시키기 위해 상기 첫 번째 다수의 각 시프트 레지스터 입력에 결합된 한 AND 게이트를 더욱더 포함함을 특징으로 하는 스프레드-스펙트럼-부합필터.

청구항 4.
제 1 항에 있어서, 상기 두 번째 다수의 시프트 레지스터의 동작을 금지시키기 위해 상기 두 번째 다수의 시프트 레지스터 각각의 입력으로 결합된 한 AND 게이트를 더욱더 포함함을 특징으로 하는 스프레드-스펙트럼-부합필터.

청구항 5.
한 기준-칩-순서신호의 다수의 부분을 저장하기 위한 기준수단,

한 클럭주기를 갖는 클럭속도의 클럭신호를 발생시키기 위한 제어수단,
상기 클럭신호에 응답하고 상기 기준수단에 결합되어 상기 기준수단으로부터 그리고 상기 멀티플렉서 수단을 통하여 상기 클럭주기의 각 부분동안에 상기 기준-칩-순서신호의 다수의 각 부분을 순서적으로 출력시키기 위한 멀티플렉서 수단,
상기 클럭속도로 상기 수신된-스프레드-스펙트럼 신호의 다수의 입력-데이타샘플을 이동시키기 위해 상기 스프레드-스펙트럼 수신기에 결합된 데이터-레지스터 수단,
상기 데이터-레지스터 수단에 결합되고 상기 멀티플렉서 수단을 통하여 상기 기준수단에 결합되어, 상기 클럭주기의 각 부분동안에 상기 멀티플렉서 수단에 응답하여 상기 클럭주기의 각 부분동안에 상기 데이터-레지스터 수단내에 위치한 다수의 입력-데이타샘플로 상기 기준-칩-순서신호의 각 부분을 곱함으로써 각 다수의 곱셈-출력신호를 출력시키기 위한 다중전송수단,
상기 클럭주기의 각 부분동안에 다수의 곱셈-출력신호 각각을 합산시키므로써 상기 기준-칩-순서신호의 다수의 부분에 해당하는 다수의 합산을 발생시키기 위해 상기 다중전송수단에 결합된 합산수단,
다수의 합산을 저장하기 위해 상기 합산수단에 결합된 메모리수단, 그리고
상기 합산수단에 결합되고 상기 메모리수단에 결합되어 다수의 합산을 가산시키기 위한 가산기 수단
을 포함하는, 상기 수신된-스프레드-스펙트럼 신호가 한 칩-순서신호를 갖는 각 정보비트를 스프레드-스펙트럼 처리함으로부터 발생된 다수의 정보비트를 가지는 한 수신된-스프레드-스펙트럼 신호에 대한 스프레드-스펙트럼 수신기의 일부로 사용하기 위한 스프레드-스펙트럼-부합필터.

청구항 6.

제 5 항에 있어서, 상기 기준수단으로의 클럭신호를 금지시키기 위해 상기 제어수단에 결합된 한 AND 게이트를 더욱더 포함함을 특징으로 하는 스프레드-스펙트럼-부합필터.

청구항 7.

제 5 항에 있어서, 상기 기준수단이
한 기준-칩-순서신호의 첫 번째 부분을 저장하기 위한 첫 번째 다수의 시프트 레지스터, 그리고
상기 기준-칩-순서신호의 두 번째 부분을 저장하기 위한 두 번째 다수의 시프트 레지스터
를 포함함을 특징으로 하는 스프레드-스펙트럼-부합필터.

청구항 8.

제 7 항에 있어서, 상기 첫 번째 다수의 시프트 레지스터의 동작을 금지시키기 위해 상기 기준수단에 결합된 한 AND 게이트를 더욱더 포함함을 특징으로 하는 스프레드-스펙트럼-부합필터.

청구항 9.

제 8 항에 있어서, 상기 멀티플렉서 수단이 상기 클럭신호에 응답하여 상기 첫 번째 다수의 시프트 레지스터로부터 그리고 상기 멀티플렉서를 통하여 상기 클럭주기의 첫 번째 부분동안에 상기 기준-칩-순서신호의 첫 번째 부분을 출력시키고, 상기 두 번째 다수의 시프트 레지스터로부터 그리고 상기 멀티플렉서를 통하여 상기 클럭주기의 두 번째 부분동안에 상기 기준-칩-순서신호의 두 번째 부분을 출력시키기 위해 상기 첫 번째 다수의 시프트 레지스터 및 상기 두 번째 다수의 시프트 레지스터에 결합된 멀티플렉서를 포함함을 특징으로 하는 스프레드-스펙트럼-부합필터.

청구항 10.

제 9 항에 있어서, 상기 클럭주기의 첫 번째 부분동안에 상기 첫 번째 다수의 시프트 레지스터를 선택하는 멀티플렉서에 응답하여 상기 기준-칩-순서신호의 첫 번째 부분을 상기 클럭주기의 첫 번째 부분동안에 다수의 입력-데이타샘플로 곱셈하여 이에 의하여 첫 번째 다수의 곱셈-출력신호를 출력하도록 하며, 상기 클럭주기의 두 번째 부분동안에 상기 두 번째 다수의 시프트 레지스터를 선택하는 상기 멀티플렉서에 응답하여 상기 기준-칩-순서신호의 두 번째 부분을 상기 클럭주기의 두 번째 부분동안에 상기 다수의 입력-데이타샘플로 곱셈함으로써 두 번째 다수의 곱셈-출력신호를 출력시키기 위해 상기 데이터-레지스터 수단에 결합되고 상기 멀티플렉서를 통하여 상기 첫 번째 다수의 시프트 레지스터에 결합되며 그리고 상기 멀티플렉서를 통하여 두 번째 다수의 시프트 레지스터에 결합된 다수의 배타적-OR(XOR) 게이트를 포함함을 특징으로 하는 스프레드-스펙트럼-부합필터.

청구항 11.

한 기준-칩-순서신호의 첫 번째 부분을 저장하기 위한 첫 번째 기준수단,
상기 기준-칩-순서신호의 두 번째 부분을 저장하기 위한 두 번째 기준수단,
한 클럭주기를 갖는 클럭속도의 한 클럭신호를 발생시키기 위한 제어수단,
상기 첫 번째 기준수단 및 상기 두 번째 기준수단에 결합되며 상기 클럭신호에 응답하여 상기 첫 번째 기준수단으로부터 상기 멀티플렉서 수단을 통하여, 상기 클럭주기의 첫 번째 부분동안에 상기 기준-칩-순서신호의 첫 번째 부분을 출력시키도록 하고, 상기 두 번째 기준수단으로부터, 상기 클럭주기의 두 번째 부분동안에 상기 기준-칩-순서신호의 두 번째 부분을 출력시키기 위한 멀티플렉서 수단,
상기 스프레드-스펙트럼 수신기에 결합되어 상기 클럭속도로 상기 수신된-스프레드-스펙트럼 신호의 다수의 입력-데이타샘플들을 이동시키기 위한 데이터-레지스터 수단,
상기 데이터-레지스터 수단에 결합되고 상기 멀티플렉서 수단을 통하여 상기 첫 번째 기준수단에 결합되며 상기 멀티플렉서 수단을 통하여 상기 두 번째 기준수단에 결합되므로써 상기 클럭주기의 첫 번째 부분동안에 상기 첫 번째 기준수단을 선택하는 상기 멀티플렉서 수단에 응답하여 상기 기준-칩-순서신호의 첫 번째 부분을 상기 클럭주기의 첫 번째 부분동안에 상기 데이터-레지스터 수단내에 위치한 다수의 입력-데이타샘플로 곱셈하므로써 첫 번째 다수의 곱셈-출력신호를 출력시키고, 그리고 상기 클럭주기의 두 번째 부분동안에 상기 두 번째 기준수단을 선택하는 상기

멀티플렉서 수단에 응답하여 상기 기준-칩-순서신호의 두 번째 부분을 상기 클럭주기의 두 번째 부분동안에 상기 데이터-레지스터 수단내에 위치한 다수의 입력-데이타샘플로 곱셈함으로써 두 번째 다수의 곱셈-출력신호를 출력시키기 위한 다중전송수단,
상기 다중전송수단에 결합되어 상기 클럭주기의 첫 번째 부분동안에 상기 첫 번째 다수의 곱셈-출력신호를 합산함으로써 첫 번째 합산을 발생시키도록 하고, 그리고 상기 클럭주기의 두 번째 부분동안에 상기 두 번째 다수의 곱셈-출력신호를 합산하여 두 번째 합산을 발생시키기 위한 가산기-트리수단,
상기 가산기-트리수단에 결합되어 상기 첫 번째 합산을 저장하기 위한 메모리 수단, 그리고
상기 가산기 트리수단 및 상기 메모리수단에 결합되어 상기 메모리수단내에 저장된 첫 번째 합산을 상기 가산기 트리로부터의 두 번째 합산으로 가산시키기 위한 가산기 수단
을 포함하는, 상기 수신된-스프레드-스펙트럼 신호가 한 칩-순서신호를 갖는 각 정보비트를 스프레드-스펙트럼 처리함으로부터 발생된 다수의 정보비트를 갖는 수신된-스프레드-스펙트럼 신호에 대한 스프레드-스펙트럼 수신기의 일부로서 사용하기 위한 스프레드-스펙트럼 부합필터.

청구항 12.

제 11 항에 있어서, 상기 첫 번째 기준수단 및 상기 두 번째 기준수단으로의 클럭신호를 금지시키기 위해 상기 제어수단에 결합된 하나의 AND 게이트를 더욱더 포함함을 특징으로 하는 스프레드-스펙트럼-부합필터.

청구항 13.

제 8 항에 있어서, 첫 번째 다수의 시프트 레지스터의 동작을 금지시키기 위해 상기 첫 번째 다수의 각 시프트 레지스터의 입력으로 결합된 한 AND 게이트를 더욱더 포함함을 특징으로 하는 스프레드-스펙트럼-부합필터.

청구항 14.

제 8 항에 있어서, 상기 두 번째 다수의 시프트 레지스터의 동작을 금지시키기 위해 상기 두 번째 다수의 각 시프트 레지스터의 입력으로 결합된 한 AND 게이트를 더욱더 포함함을 특징으로 하는 스프레드-스펙트럼-부합필터.

청구항 15.

제 11 항에 있어서,
한 기준-칩-순서신호의 첫 번째 부분을 저장하기 위한 첫 번째 다수의 시프트 레지스터를 포함하는 상기 첫 번째 기준 수단, 그리고
상기 기준-칩-순서신호의 두 번째 부분을 저장하기 위한 두 번째 다수의 시프트 레지스터를 포함하는 상기 두 번째 기준 수단
을 포함함을 특징으로 하는 스프레드-스펙트럼-부합필터.

청구항 16.

제 15 항에 있어서, 상기 멀티플렉서 수단이 상기 클럭신호에 응답하여 상기 첫 번째 다수의 시프트 레지스터로부터 그리고 상기 멀티플렉서를 통하여 상기 클럭주기의 첫 번째 부분동안에 상기 기준-칩-순서신호의 첫 번째 부분을 출력시키고, 상기 두 번째 다수의 시프트 레지스터로부터 그리고 상기 멀티플렉서를 통하여 상기 클럭주기의 두 번째 부분동안에 상기 기준-칩-순서신호의 두 번째 부분을 출력시키기 위해 상기 첫 번째 다수의 시프트 레지스터 및 상기 두 번째 다수의 시프트 레지스터에 결합된 멀티플렉서를 포함함을 특징으로 하는 스프레드-스펙트럼-부합필터.

청구항 17.

제 16 항에 있어서, 상기 클럭주기의 첫 번째 부분동안에 상기 첫 번째 다수의 시프트 레지스터를 선택하는 멀티플렉서에 응답하여 상기 기준-칩-순서신호의 첫 번째 부분을 상기 클럭주기의 첫 번째 부분동안에 다수의 입력-데이타샘플로 곱셈하여 이에 의하여 첫 번째 다수의 곱셈-출력신호를 출력하도록 하며, 상기 클럭주기의 두 번째 부분동안에 상기 두 번째 다수의 시프트 레지스터를 선택하는 상기 멀티플렉서에 응답하여 상기 기준-칩-순서신호의 두 번째 부분을 상기 클럭주기의 두 번째 부분동안에 상기 다수의 입력-데이타샘플로 곱셈함으로써 두 번째 다수의 곱셈-출력신호를 출력시키기 위해 상기 데이터-레지스터 수단에 결합되고 상기 멀티플렉서를 통하여 상기 첫 번째 다수의 시프트 레지스터에 결합되며 그리고 상기 멀티플렉서를 통하여 두 번째 다수의 시프트 레지스터에 결합된 다수의 배타적-OR(XOR) 게이트를 포함함을 특징으로 하는 스프레드-스펙트럼-부합필터.

청구항 18.

- 기준-칩-순서 신호의 다수의 부분을 기준-시프트 레지스터에 저장하고,
- 한 클럭주기를 갖는 클럭속도의 클럭신호를 발생시키며,
- 상기 클럭 주기의 각 부분동안 상기 기준-칩-순서 신호의 다수의 부분에 대한 각각의 부분을, 상기 기준-시프트 레지스터로부터 멀티플렉서를 통해 순차적으로 상기 클럭 신호에 따라 출력하고,
- 수신된-스프레드-스펙트럼 신호의 다수의 입력-데이터 샘플을 상기 클럭 속도로 데이터-시프트 레지스터에서 이동시키며,
- 클럭 주기의 각 부분동안의 선택에 따라, 클럭 주기의 각각의 부분동안 상기 데이터-시프트 레지스터 내에 위치하는 다수의 입력-데이터 샘플에 의해 기준-칩-순서 신호의 각각의 부분을 멀티플라잉(multiplying)하며, 그래서 그 각각에 대응하는 다수의 프로덕트-출력 신호를 출력하고,
- 상기 클럭 주기의 각 부분동안 다수의 프로덕트-출력 신호 각각을 합계하고, 그래서 기준-칩-순서 신호의 다수의 부분에 대응하는 다수의 합계를 발생시키며,
- N이 정수일 때 다수의 N개 합산중 적어도 N-1개의 합산을 저장하고, 그리고
- 상기 다수의 N개 합산을 더하는,
이상의 단계를 포함하는 것을 특징으로 하는, 한 칩-순서신호를 갖는 각 정보비트를 스프레드-스펙트럼 처리함으로

서 발생되는 다수의 정보 비트를 가진 수신된-스프레드-스펙트럼 신호에서 스프레드-스펙트럼 수신기의 일부로 이용하기 위한 방법.

청구항 19.

제 18 항에 있어서, 상기 기준-시프트 레지스터에 대한 클럭 신호를 금지시키는 단계를 추가로 포함하는 것을 특징으로 하는 방법.

청구항 20.

제 18 항에 있어서, 첫 번째 시프트 레지스터와 두 번째 시프트 레지스터를 포함하는 상기 기준-시프트 레지스터에 저장을 하는 상기 단계는,

- 상기 첫 번째 시프트 레지스터에 기준-칩-순서 신호의 첫 번째 부분을 저장하고,
- 상기 두 번째 시프트 레지스터에 기준-칩-순서 신호의 두 번째 부분을 저장하는,

이상의 과정을 포함하는 것을 특징으로 하는 방법.

청구항 21.

제 20 항에 있어서, 상기 첫 번째 시프트 레지스터에 대한 클럭 신호를 금지시키는 단계를 추가로 포함하는 것을 특징으로 하는 방법.

청구항 22.

제 21 항에 있어서, 상기 출력 단계는,

- 클럭 주기의 첫 번째 부분동안 상기 기준-칩-순서 신호의 첫 번째 부분을, 상기 첫 번째 시프트 레지스터로부터 멀티플렉서를 통해 출력하고, 그리고
- 상기 클럭 주기의 두 번째 부분동안 상기 기준-칩-순서 신호의 두 번째 부분을, 상기 두 번째 시프트 레지스터로부터 멀티플렉서를 통해 출력하는,

이상의 과정을 포함하는 것을 특징으로 하는 방법.

청구항 23.

제 22 항에 있어서, 상기 멀티플라잉 단계는,

- 상기 클럭 주기의 첫 번째 부분동안 상기 첫 번째 시프트 레지스터를 상기 멀티플렉서가 선택함에 따라, 상기 클럭 주기의 첫 번째 부분동안 다수의 입력-데이터 샘플에 의해 상기 기준-칩-순서 신호의 첫 번째 부분을 멀티플라잉하고, 그래서 첫 번째 다수의 프로덕트-출력 신호를 출력하며, 그리고
- 상기 클럭 주기의 두 번째 부분동안 상기 두 번째 시프트 레지스터를 상기 멀티플렉서가 선택함에 따라, 상기 클럭 주기의 두 번째 부분동안 다수의 입력-데이터 샘플에 의해 상기 기준-칩-순서 신호의 두 번째 부분을 멀티플라잉하며, 그래서 두 번째 다수의 프로덕트-출력 신호를 출력하는,

이상의 과정을 포함하는 것을 특징으로 하는 방법.

청구항 24.

- 기준-칩-순서 신호의 첫 번째 부분을 첫 번째 시프트 레지스터에 저장하고,
- 기준-칩-순서 신호의 두 번째 부분을 두 번째-시프트 레지스터에 저장하며,
- 한 클럭주기를 갖는 클럭속도의 클럭신호를 발생시키고,
- 상기 클럭 주기의 첫 번째 부분동안 상기 기준-칩-순서 신호의 첫 번째 부분을, 상기 기준-시프트 레지스터로부터 멀티플렉서를 통해 순차적으로 상기 클럭 신호에 따라 출력하며,
- 상기 클럭 주기의 두 번째 부분동안 상기 기준-칩-순서 신호의 두 번째 부분을, 상기 기준-시프트 레지스터로부터 출력하고,
- 수신된-스프레드-스펙트럼 신호의 다수의 입력-데이터 샘플을 상기 클럭 속도로 데이터-시프트 레지스터에서 이동시키며,
- 클럭 주기의 첫 번째 부분동안 첫 번째 시프트 레지스터를 상기 멀티플렉서가 선택함에 따라, 클럭 주기의 첫 번째 부분동안 상기 데이터-시프트 레지스터 내에 위치하는 다수의 입력-데이터 샘플에 의해 기준-칩-순서 신호의 첫 번째 부분을 멀티플라잉(multiplying)하고, 그래서 첫 번째 다수의 프로덕트-출력 신호를 출력하며,
- 클럭 주기의 두 번째 부분동안 두 번째 시프트 레지스터를 상기 멀티플렉서가 선택함에 따라, 클럭 주기의 두 번째 부분동안 상기 데이터-시프트 레지스터 내에 위치하는 다수의 입력-데이터 샘플에 의해 기준-칩-순서 신호의 두 번째 부분을 멀티플라잉(multiplying)하고, 그래서 두 번째 다수의 프로덕트-출력 신호를 출력하며,
- 상기 클럭 주기의 첫 번째 부분동안 첫 번째 다수의 프로덕트-출력 신호를 합계하고, 그래서 첫 번째 합계를 발생시키며,
- 상기 클럭 주기의 두 번째 부분동안 두 번째 다수의 프로덕트-출력 신호를 합계하고, 그래서 두 번째 합계를 발생시키며,
- 첫 번째 합계를 저장하고,
- 첫 번째 합계를 두 번째 합계에 더하는,

이상의 단계를 포함하는 것을 특징으로 하는, 한 칩-순서신호를 갖는 각 정보비트를 스프레드-스펙트럼 처리함으로서 발생되는 다수의 정보 비트를 가진 수신된-스프레드-스펙트럼 신호에서 스프레드-스펙트럼 수신기의 일부로 이용하기 위한 방법.

청구항 25.

제 24 항에 있어서, 상기 첫 번째 시프트 레지스터와 상기 두 번째 시프트 레지스터 중 어느 것에 대한 클럭 신호도 금지시키는 단계를 추가로 포함하는 것을 특징으로 하는 방법.

청구항 26.
- 한 기준-칩-순서신호의 다수의 부분을 저장하기 위한 한 개의 기준-시프트 레지스터,
- 한 클럭주기를 갖는 클럭속도의 클럭신호를 발생시키기 위한 제어처리기,
- 상기 클럭 신호에 따라, 상기 기준-시프트 레지스터에 연결된 멀티플렉서를 통하여 상기 기준-시프트 레지스터로부터, 상기 클럭주기의 각각의 부분동안에 상기 기준-칩-순서신호의 다수의 부분 중 각각의 부분을 순차적으로 출력시키는 멀티플렉서,
- 상기 클럭속도로 상기 수신된-스프레드-스펙트럼 신호의 다수의 입력-데이타샘플을 이동시키기 위해 상기 스프레드-스펙트럼 수신기에 결합된 한 개의 데이타-시프트 레지스터,
- 상기 클럭주기의 각 부분중에 상기 멀티플렉서의 선택에 따라, 상기 클럭주기의 각 부분 중에 상기 데이터-시프트 레지스터 내에 위치하는 다수의 입력-데이터 샘플에 의해 기준-칩-순서 신호의 각각의 부분을 멀티플라잉하여 다수의 프로덕트-출력 신호를 출력하기 위해, 상기 데이터-시프트 레지스터에 연결되고 상기 멀티플렉서를 통해 상기 기준-시프트 레지스터에 연결되는 멀티플라잉 수단,
- 클럭 주기의 각각의 부분동안 다수의 프로덕트-출력 신호 각각을 합계하여, 기준-칩-순서 신호의 다수의 부분에 대응하는 다수의 합계를 발생시키기 위해, 상기 멀티플라잉 수단에 연결되는 가산기 트리,
- N이 정수일 때 다수의 N개 합계 중 적어도 N-1개 합계를 저장하기 위해 상기 가산기 트리에 연결되는 메모리 수단, 그리고
- 다수의 N개 합계를 더하기 위해 상기 가산기 트리와 상기 메모리 수단에 연결되는 가산기
를 포함하는 것을 특징으로 하는, 한개씩의 칩-순서 신호를 가지는 각각의 정보 비트를 스프레드-스펙트럼 처리함으로서 발생되는, 다수의 정보 비트를 가진 수신된-스프레드-스펙트럼 신호에서 스프레드-스펙트럼 수신기의 일부로 이용하기 위한 스프레드-스펙트럼 부합필터.

청구항 27.
상기 기준-시프트 레지스터에 대한 클럭 신호를 금지하기 위해 상기 제어처리기에 연결된 AND 게이트를 추가로 포함하는 것을 특징으로 하는 스프레드-스펙트럼 부합필터.

청구항 28.
제 26 항에 있어서, 상기 기준-시프트 레지스터가,
- 한 개의 기준-칩-순서 신호의 첫 번째 부분을 저장하기 위한 첫 번째 시프트 레지스터와,
- 상기 기준-칩-순서 신호의 두 번째 부분을 저장하기 위한 두 번째 시프트 레지스터
를 포함하는 것을 특징으로 하는 스프레드-스펙트럼 부합필터.

청구항 29.
제 28 항에 있어서, 상기 첫 번째 시프트 레지스터의 동작을 금지하기 위해 상기 기준-시프트 레지스터에 연결되는 AND 게이트를 추가로 포함하는 것을 특징으로 하는 스프레드-스펙트럼 부합필터.

청구항 30.
제 29 항에 있어서, 상기 클럭 신호에 따라, 상기 스프레드-스펙트럼-부합필터는 클럭 주기의 첫 번째 부분동안 상기 기준-칩-순서 신호의 첫 번째 부분을 상기 첫 번째 시프트 레지스터로부터 상기 멀티플렉서를 통해 출력하고, 상기 클럭 주기의 두 번째 부분동안 상기 기준-칩-순서 신호의 두 번째 부분을 상기 두 번째 시프트 레지스터로부터 멀티플렉서를 통해 출력하기 위해, 상기 멀티플렉서가 상기 첫 번째 시프트 레지스터와 상기 두 번째 시프트 레지스터에 연결되는 것을 특징으로 하는, 스프레드-스펙트럼 부합필터.

청구항 31.
제 30 항에 있어서, 클럭 주기의 첫 번째 부분동안 상기 멀티플렉서가 첫 번째 시프트 레지스터를 선택함에 따라, 클럭 주기의 첫 번째 부분동안 다수의 입력-데이터 샘플에 의해 기준-칩-순서 신호의 첫 번째 부분을 멀티플라잉하여 첫 번째 다수의 프로덕트-출력 신호를 출력하고, 그리고 클럭 주기의 두 번째 부분동안 상기 멀티플렉서가 두 번째 시프트 레지스터를 선택함에 따라, 클럭 주기의 두 번째 부분동안 다수의 입력-데이터 샘플에 의해 기준-칩-순서 신호의 두 번째 부분을 멀티플라잉하여 두 번째 다수의 프로덕트-출력 신호를 출력하기 위해, 상기 데이터-시프트 레지스터에 연결되고, 상기 멀티플렉서를 통해 상기 첫 번째 시프트 레지스터에 연결되며, 상기 멀티플렉서를 통해 상기 두 번째 시프트 레지스터에 연결되는, 다수의 배타적-OR(XOR) 게이트를 상기 멀티플라잉 수단이 포함하는 것을 특징으로 하는 스프레드-스펙트럼 부합필터.

청구항 32.
제 1 항에 있어서, 처리 이득 입력에 따라 상기 스프레드-스펙트럼 부합필터의 어떤 섹션을 오프시키기 위해 상기 다수의 데이터-시프트 레지스터의 입력에 연결되는 게이트를 추가로 포함하는 것을 특징으로 하는, 스프레드-스펙트럼 부합필터.

청구항 33.
제 1 항에 있어서, 상기 스프레드-스펙트럼 부합필터는 상기 다수의 데이터-시프트 레지스터의 입력에 각각 연결되는 다수의 AND 게이트를 추가로 포함하고, 이때 상기 AND 게이트 각각의 한개의 입력은 상기 스프레드-스펙트럼 부합필터의 동작을 제어하기 위해 사용되는 것을 특징으로 하는 스프레드-스펙트럼 부합필터.

청구항 34.
제 1 항에 있어서, 상기 다수의 데이터-시프트 레지스터가,
- 다수의 동상 데이터-시프트 레지스터와,
- 다수의 직각-위상 데이터-시프트 레지스터

를 포함하는 것을 특징으로 하는 스프레드-스펙트럼 부합필터.

청구항 35.

제 34 항에 있어서, 상기 다수의 배타적-OR(XOR) 게이트는,

- 클럭 주기의 첫 번째 부분동안 다수의 동상 입력-데이터 샘플에 의해 기준-칩-순서 신호의 첫 번째 부분을 멀티플라잉하기 위한 다수의 동상 XOR 게이트와,

- 클럭 주기의 두 번째 부분동안 다수의 직각-위상 입력-데이터 샘플에 의해 상기 기준-칩-순서 신호의 두 번째 부분을 멀티플라잉하기 위한 다수의 직각-위상 XOR 게이트

를 추가로 포함하는 것을 특징으로 하는 스프레드-스펙트럼 부합필터.

청구항 36.

한개씩의 칩-순서 신호를 가지는 각각의 정보 비트를 스프레드-스펙트럼 처리함으로서 발생되는, 다수의 정보 비트를 가진 수신된-스프레드-스펙트럼 신호에서 스프레드-스펙트럼 수신기의 일부로 이용하기 위한 스프레드-스펙트럼-부합필터로서,

- 기준-칩-순서 신호의 다수의 부분을 저장하기 위한 기준 수단,

- 한 클럭 주기의 클럭 속도를 가진 클럭 신호를 발생시키기 위한 제어 수단,

- 상기 클럭 신호에 따라, 클럭 주기의 각각의 부분동안 기준-칩-순서 신호의 다수의 부분의 각각의 부분을, 상기 기준 수단으로부터 상기 멀티플렉서 수단을 통해 출력하기 위해 상기 기준 수단에 연결되는 멀티플렉서 수단,

- 상기 클럭 속도에서 수신된-스프레드-스펙트럼 신호의 다수의 직각-위상 입력-데이터 샘플과 다수의 동상 입력-데이터 샘플을 이동시키기 위해 상기 스프레드-스펙트럼 수신기에 연결되는 데이터-레지스터 수단,

- 클럭 주기의 각각의 부분동안 상기 데이터-레지스터 수단 내에 위치한 다수의 직각-위상 입력-데이터 샘플에 의해, 그리고 다수의 동상 입력-데이터 샘플에 의해 기준-칩-순서 신호의 각각의 부분을 멀티플라잉하여, 각각에 대한 다수의 프로덕트-출력 신호를 출력하기 위해, 상기 데이터-레지스터 수단에 연결되고 상기 멀티플렉서 수단을 통해 상기 기준 수단에 연결되는 멀티플라잉 수단,

- 클럭 주기의 각각의 부분동안 다수의 프로덕트-출력 신호 각각을 합계하여 상기 기준-칩-순서 신호의 다수의 부분에 대응하는 다수의 합계를 발생시키기 위해 상기 멀티플라잉 수단에 연결되는 합계 수단,

- 다수의 합계를 저장하기 위해 상기 합계 수단에 연결되는 메모리 수단, 그리고

- 다수의 합계를 가산하기 위해 상기 합계 수단과 상기 메모리 수단에 연결되는 가산기 수단

을 포함하는 것을 특징으로 하는 스프레드-스펙트럼-부합필터.

청구항 37.

제 36 항에 있어서, 상기 기준 수단은,

- 한 개의 기준-칩-순서 신호의 첫 번째 부분을 저장하기 위한 첫 번째 기준 수단과,

- 상기 기준-칩-순서 신호의 두 번째 부분을 저장하기 위한 두 번째 기준 수단

을 포함하며, 클럭 신호에 따라, 클럭 주기의 첫 번째 부분동안 기준-칩-순서 신호의 첫 번째 부분을 상기 첫 번째 기준 수단으로부터 상기 멀티플렉서 수단을 통해 출력하고, 클럭 주기의 두 번째 부분동안 기준-칩-순서 신호의 두 번째 부분을 상기 두 번째 기준 수단으로부터 출력하기 위해, 상기 멀티플렉서 수단이 상기 첫 번째 기준 수단과 상기 두 번째 기준 수단에 연결되는 것을 특징으로 하는 스프레드-스펙트럼 부합필터.

청구항 38.

제 36 항에 있어서, 상기 데이터-레지스터 수단은,

- 다수의 동상 데이터-시프트 레지스터와,

- 다수의 직각-위상 데이터-시프트 레지스터

를 포함하는 것을 특징으로 하는 스프레드-스펙트럼 부합필터.

청구항 39.

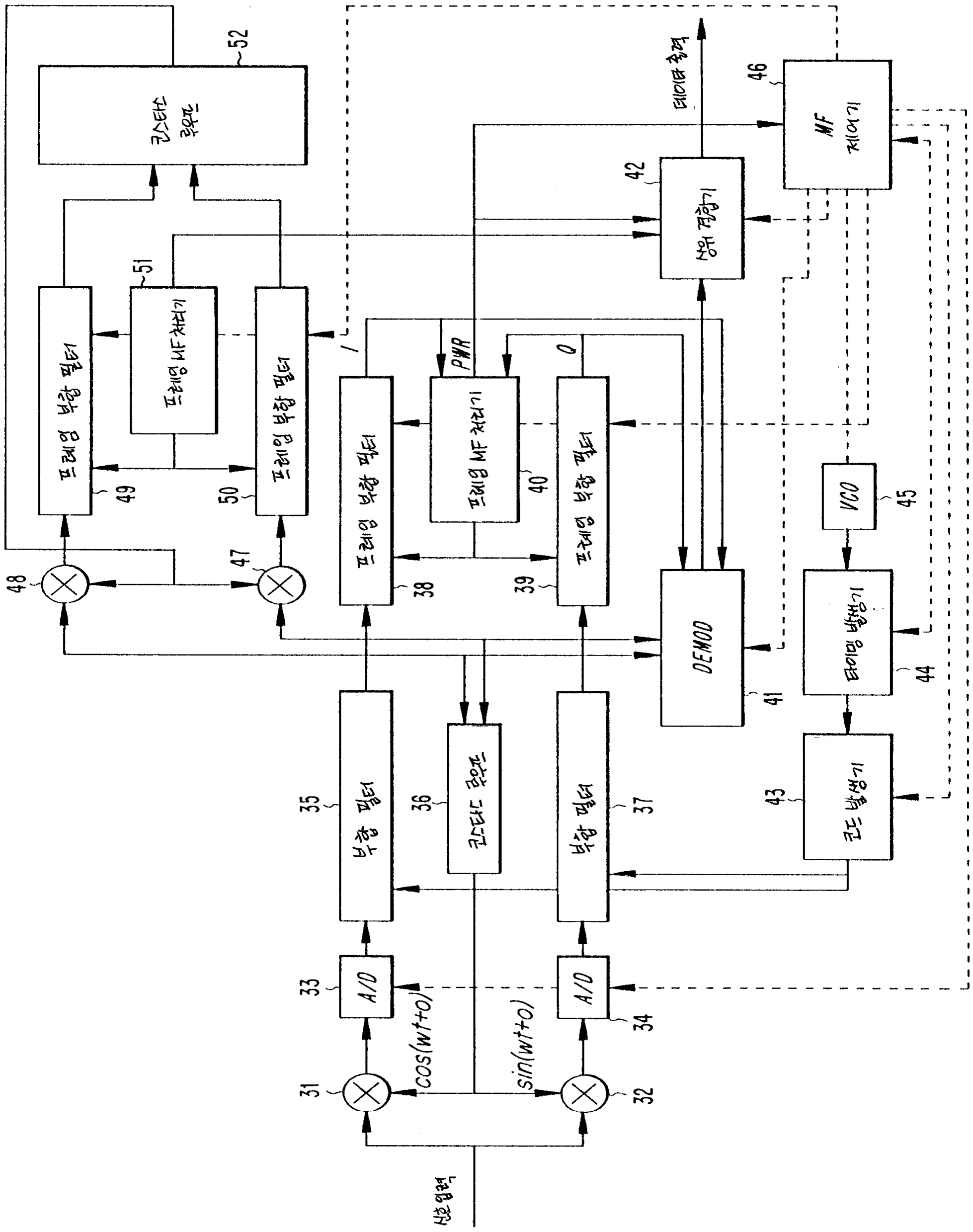
제 36 항에 있어서, 상기 멀티플라잉 수단이,

- 클럭 주기의 첫 번째 부분동안 다수의 동상 입력-데이터 샘플에 의해 기준-칩-순서 신호의 첫 번째 부분을 멀티플라잉하기 위한 다수의 동상 XOR 게이트와,

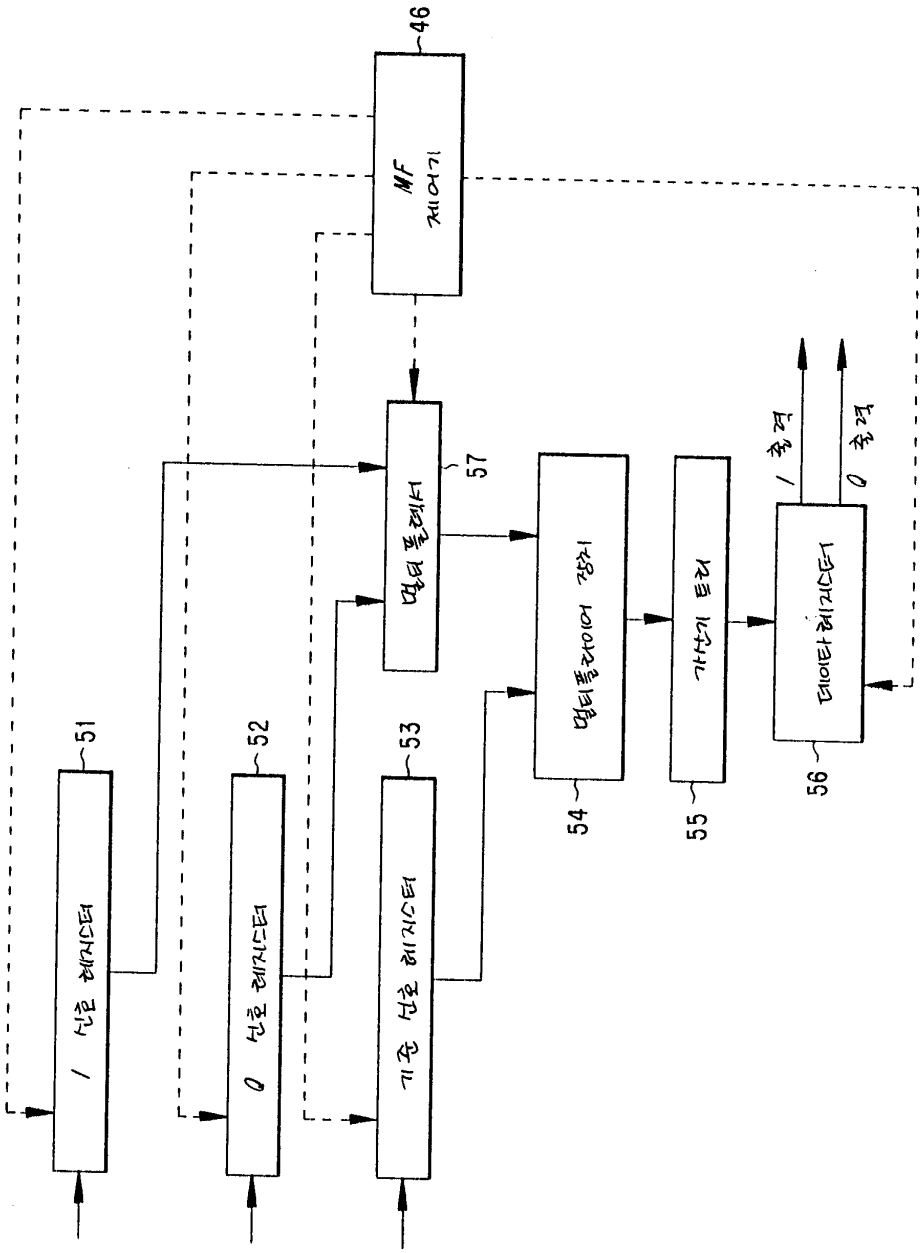
- 클럭 주기의 두 번째 부분동안 다수의 직각-위상 입력-데이터 샘플에 의해 기준-칩-순서 신호의 두 번째 부분을 멀티플라잉하기 위한 다수의 직각-위상 XOR 게이트

도면

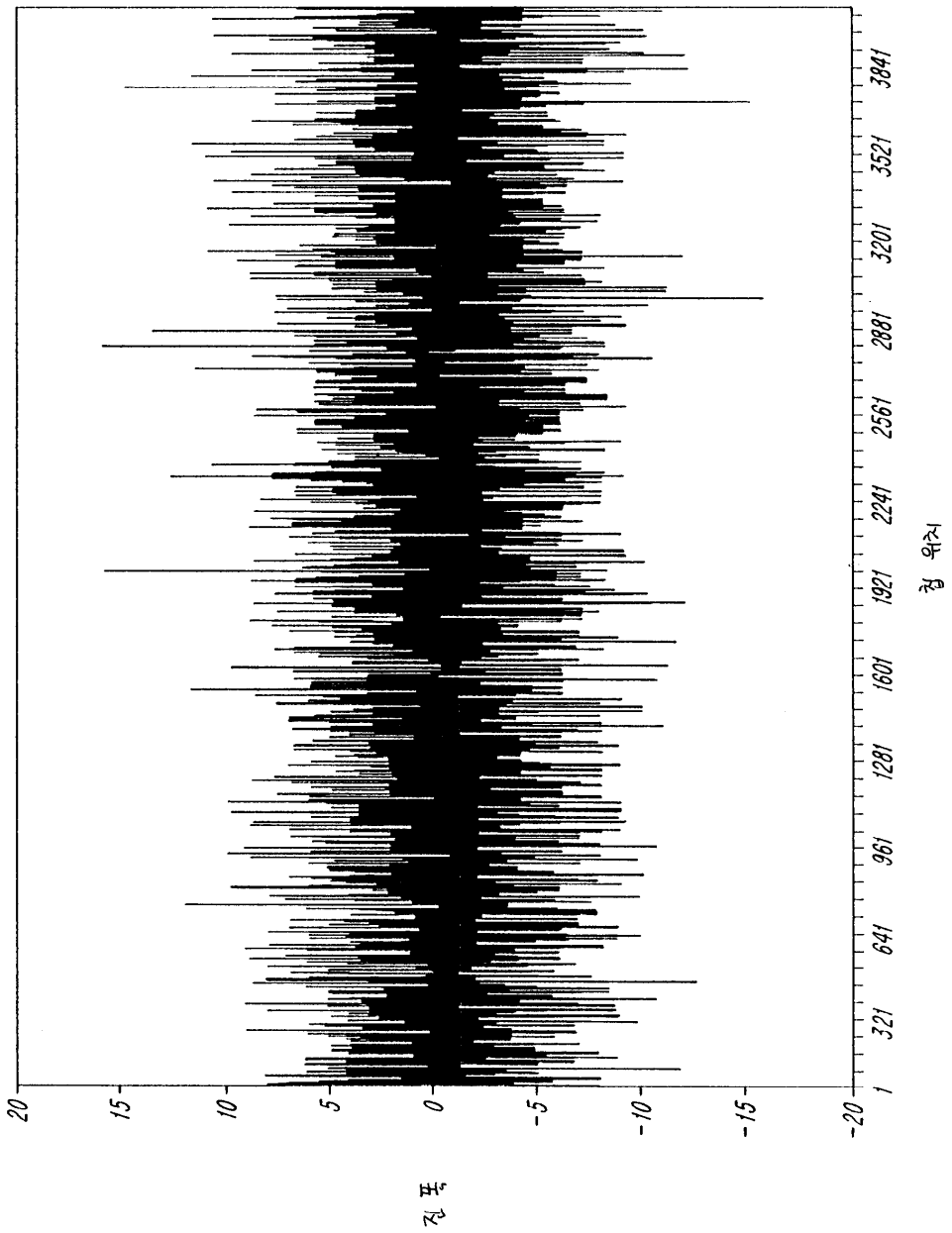
도면1


신호입력
cos(wt+θ)
sin(wt+θ)
A/D
보상 필터
코스타스 루프
프레임 보상 필터
프레임 MF 처리기
PWR
DEMOD
심볼 결정기
데이터 출력
MF 제어기
VCO
타이밍 발생기
코드 발생기
31
32
33
34
35
36
37
38
39
40
41
42
43
44
45
46
47
48
49
50
51
52

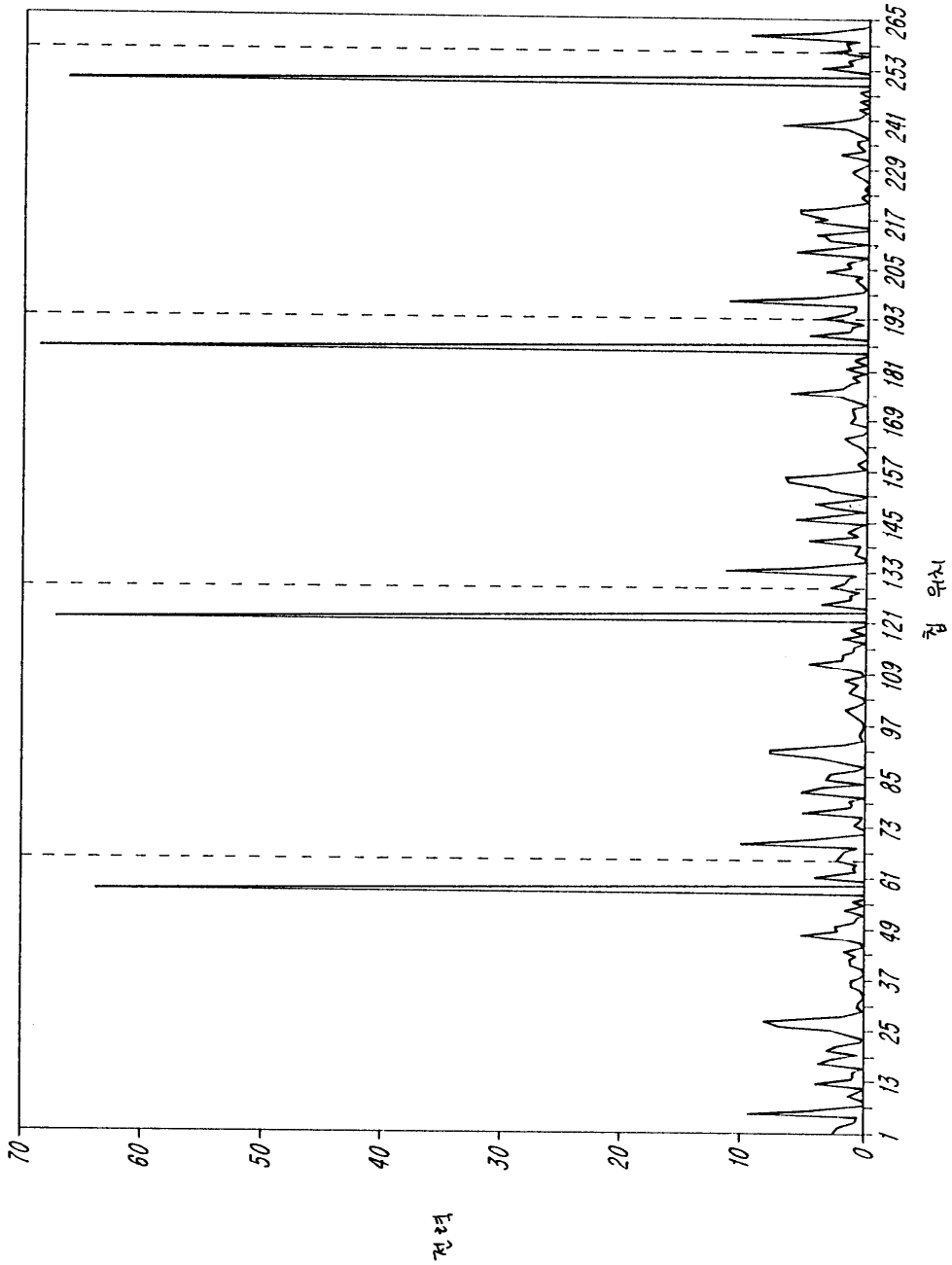
도면2


46
MF 제어기
57
멀티 플렉서
51
1 신호 레지스터
52
0 신호 레지스터
53
기준 신호 레지스터
54
멀티플라이어 장치
55
가산기 트리
56
데이타 레지스터
1 출력
0 출력

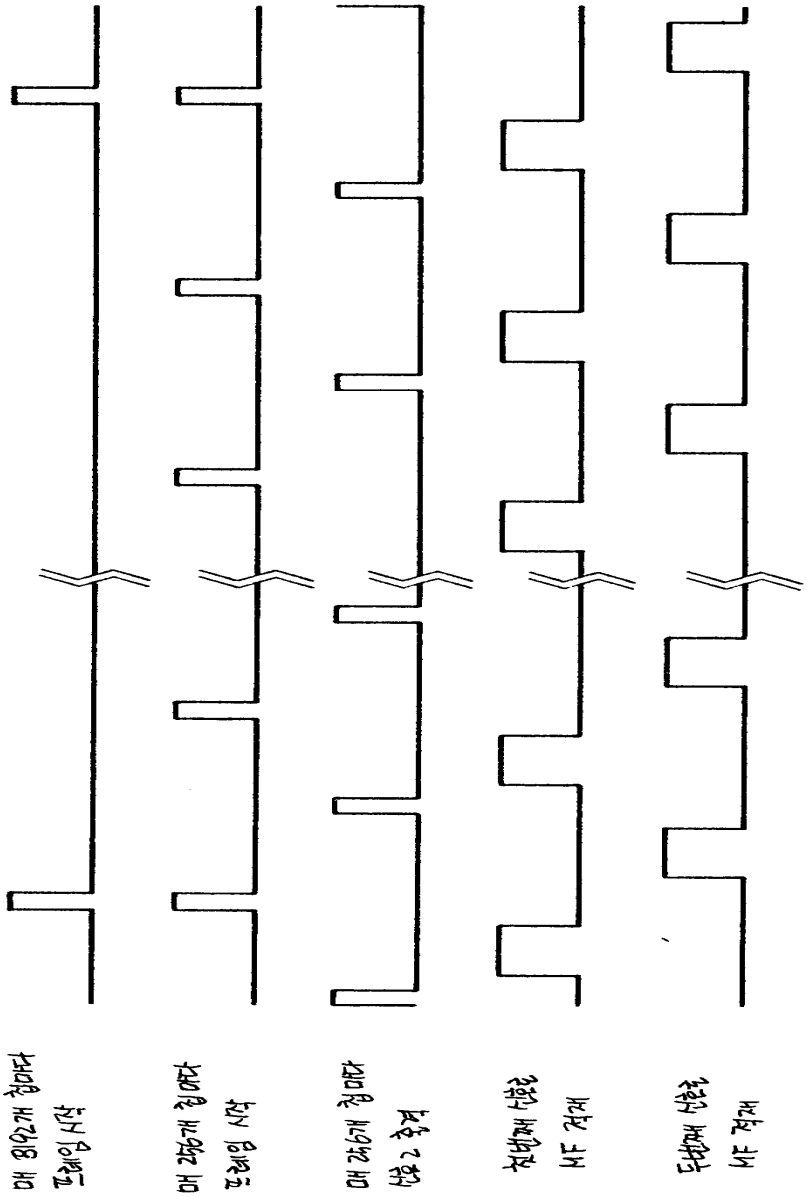
도면3


20
15
10
5
0
-5
-10
-15
-20
1
321
641
961
1281
1601
1921
2241
2561
2881
3201
3521
3841
진폭
칩 위치

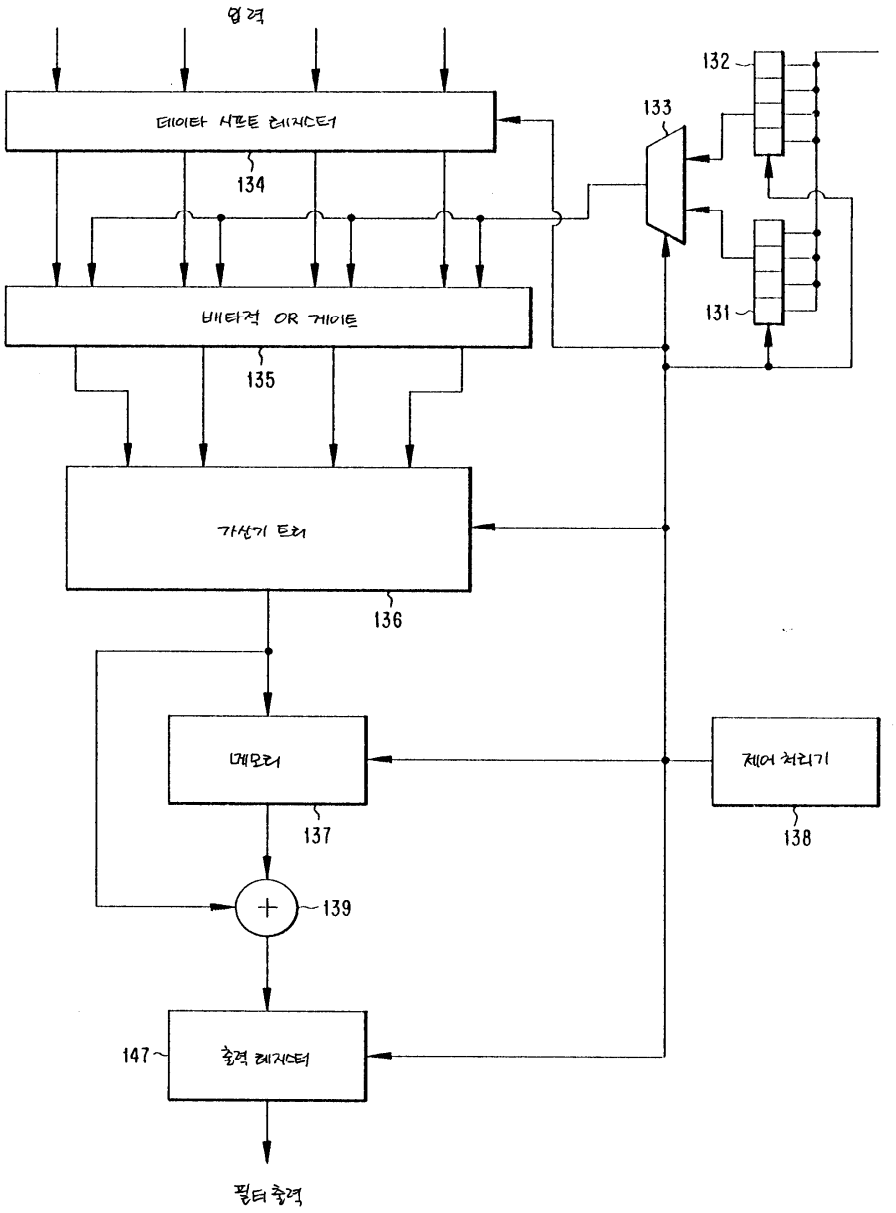
도면4


70
60
50
40
30
20
10
0
전력
1
13
25
37
49
61
73
85
97
109
121
133
145
157
169
181
193
205
217
229
241
253
265
첩 육식

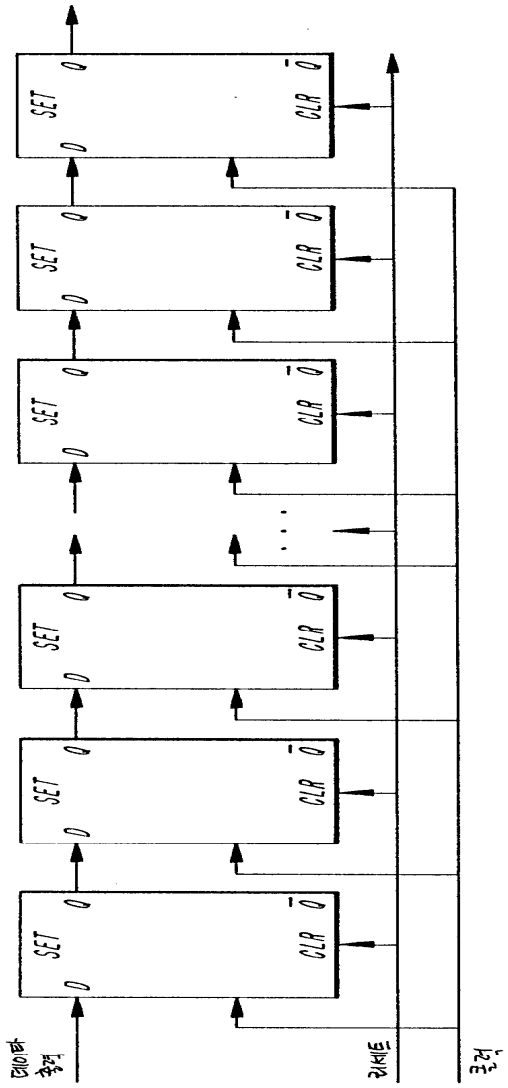
도면5



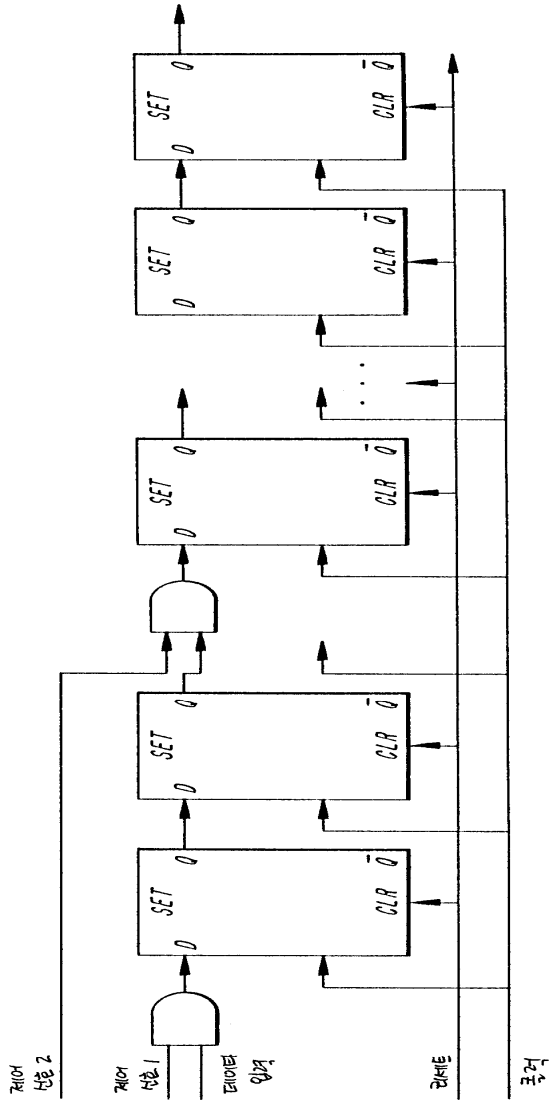
도면6


입력
데이타 시프트 레지스터
134
132
133
131
비터적 OR 게이트
135
가산기 트리
136
메모리
137
제어 처리기
138
139
147
출력 레지스터
필터 출력

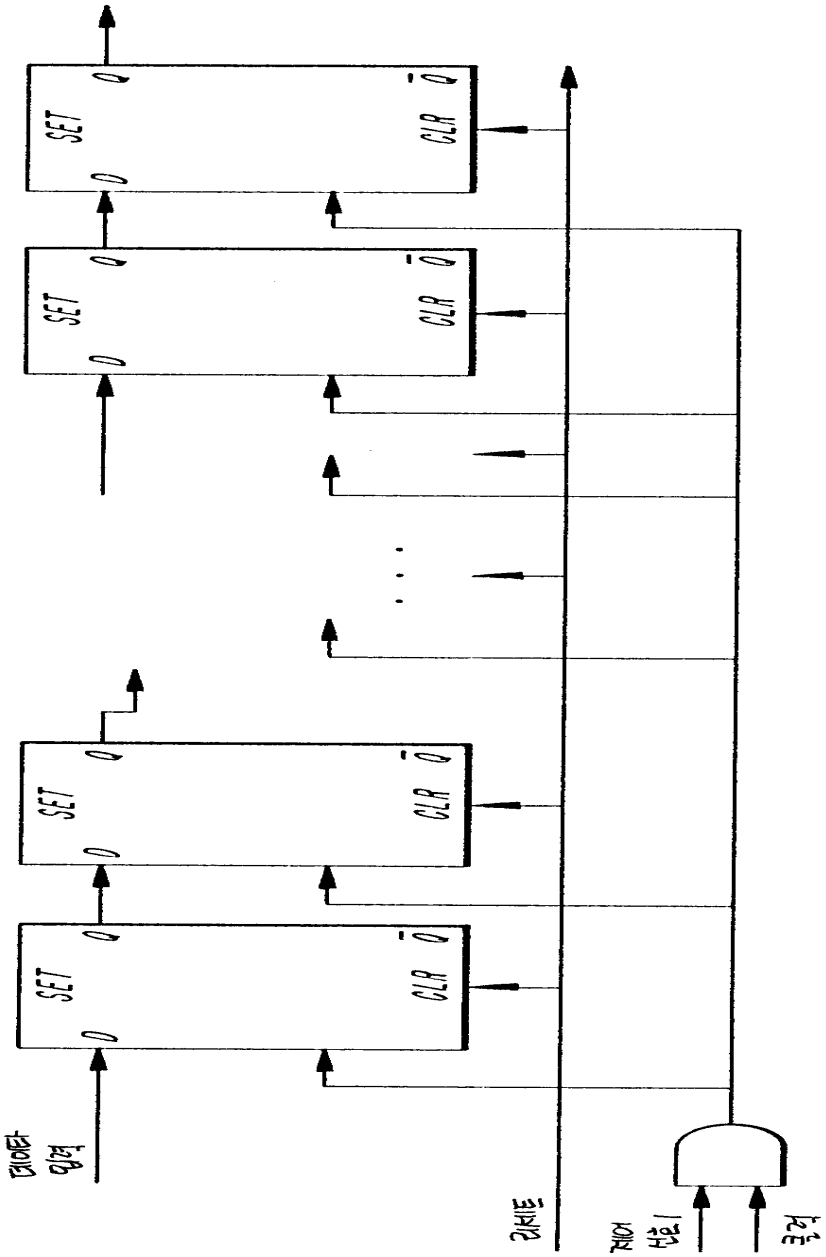
도면7



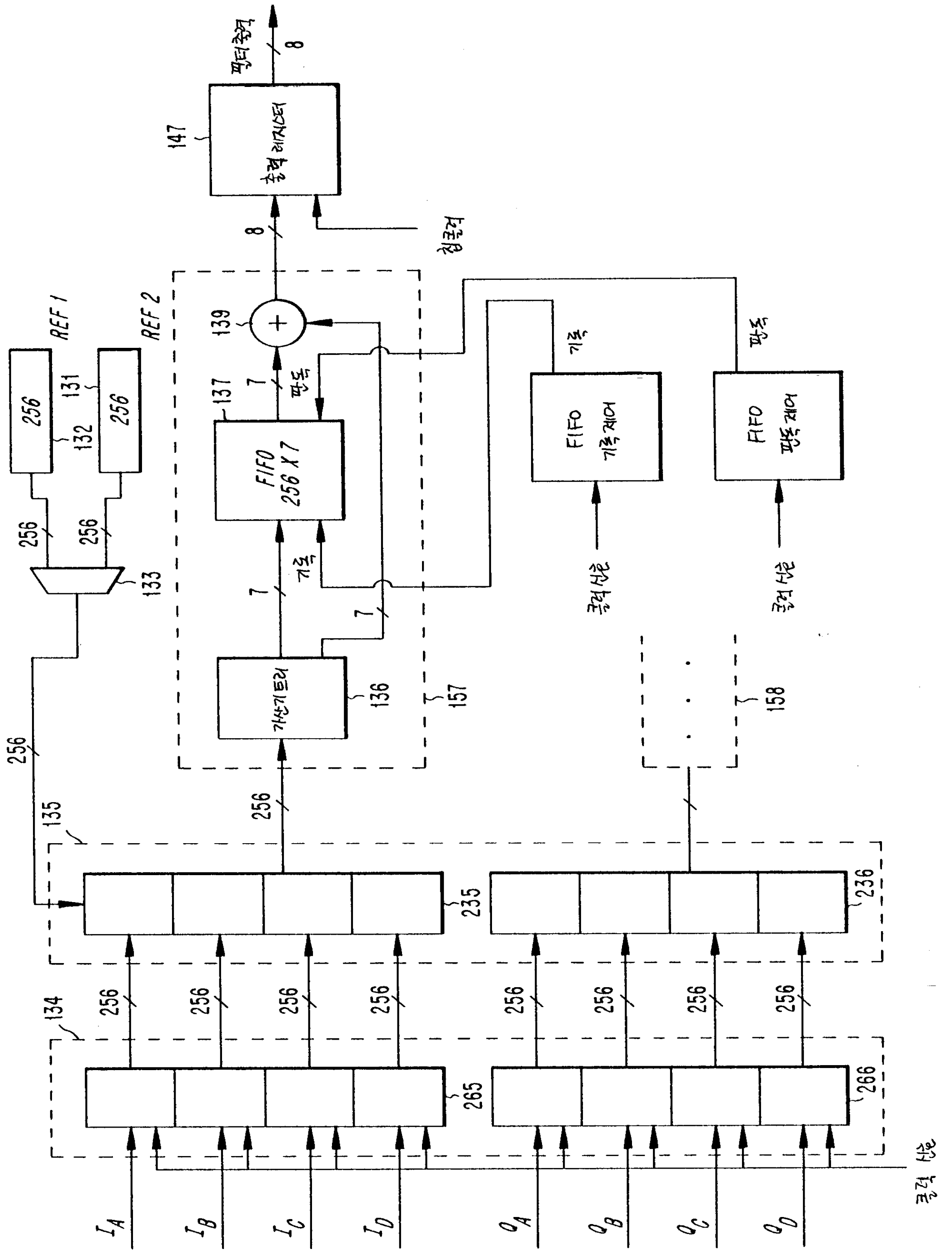
도면8



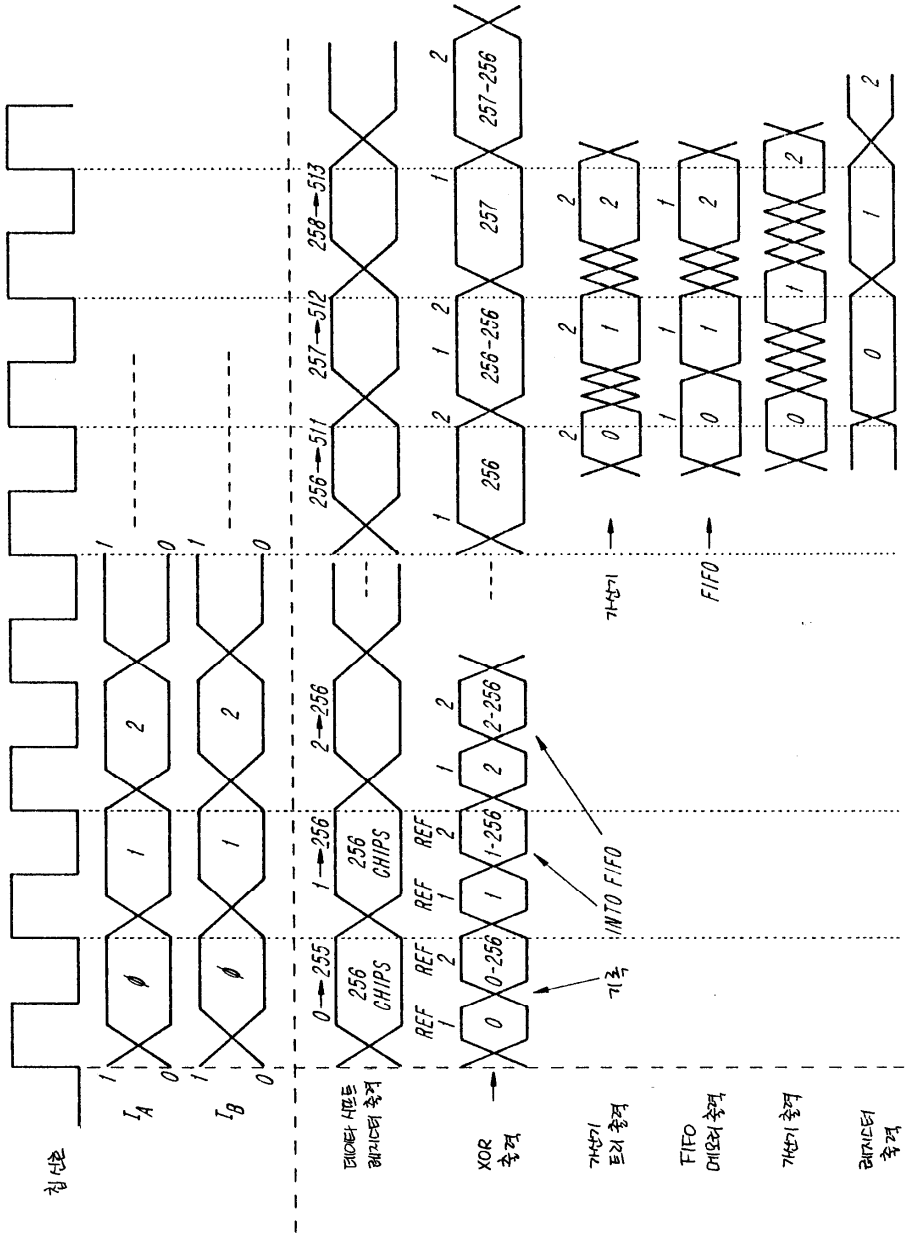
도면9



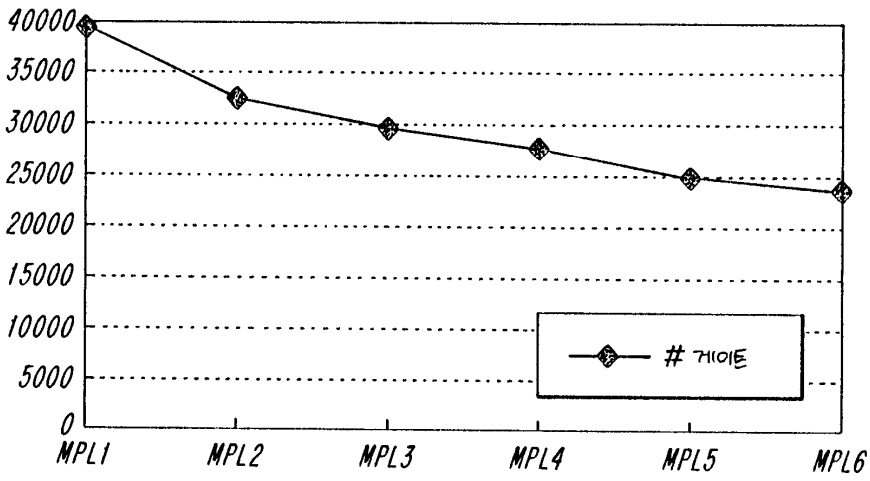
도면10


REF 1
REF 2
FIFO
256 X 7
출력 레지스터
가산기 트리
FIFO
기록 제어
FIFO
판독 제어
클럭 신호
147
139
137
131
132
133
134
135
136
157
158
235
236
265
266

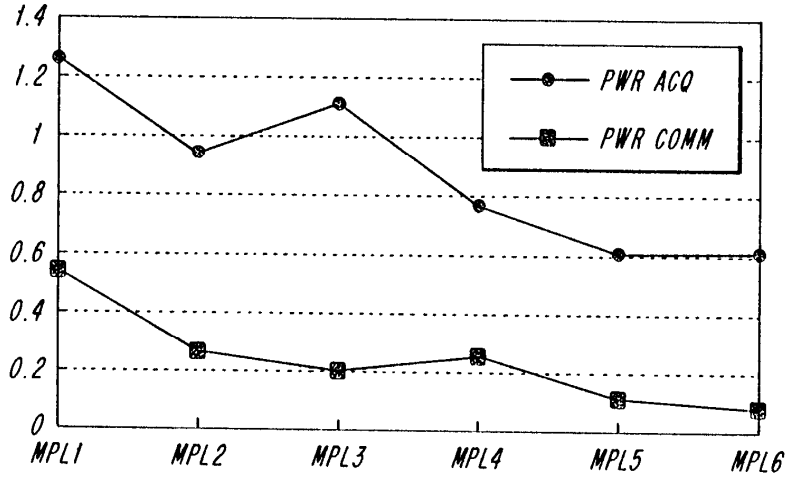
도면11


칩 선택
I_A
I_B
데이터 세트 레지스터 출력
XOR 출력
가산기 트리 출력
FIFO 메모리 출력
가산기 출력
레지스터 출력
256 CHIPS
256 CHIPS
REF
REF
INTO FIFO
가산기
FIFO

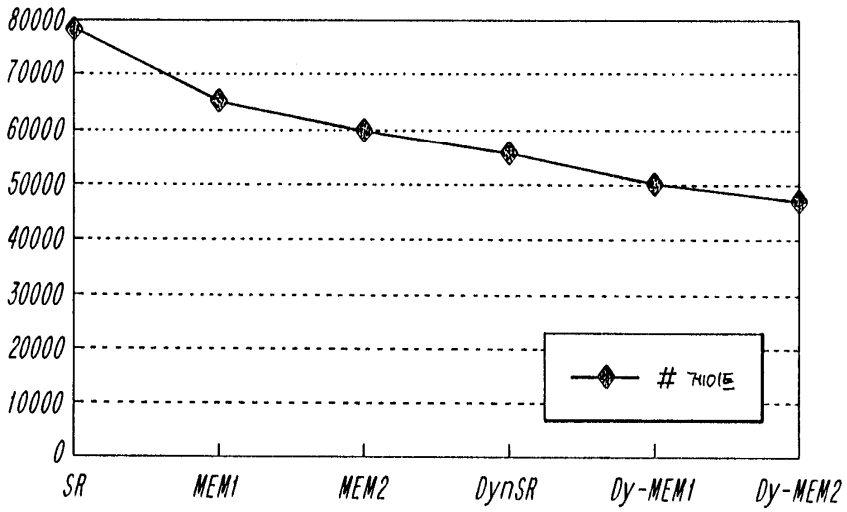
도면12


40000
35000
30000
25000
20000
15000
10000
5000
0
MPL1
MPL2
MPL3
MPL4
MPL5
MPL6
게이트

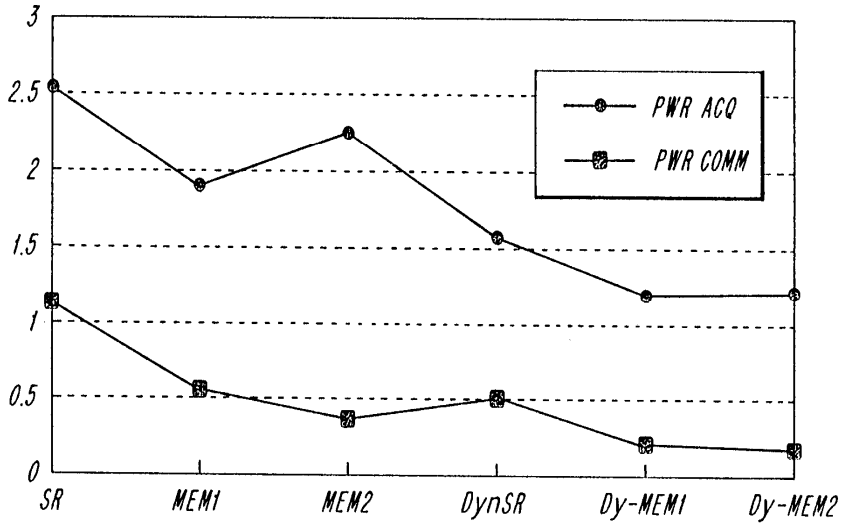
도면13



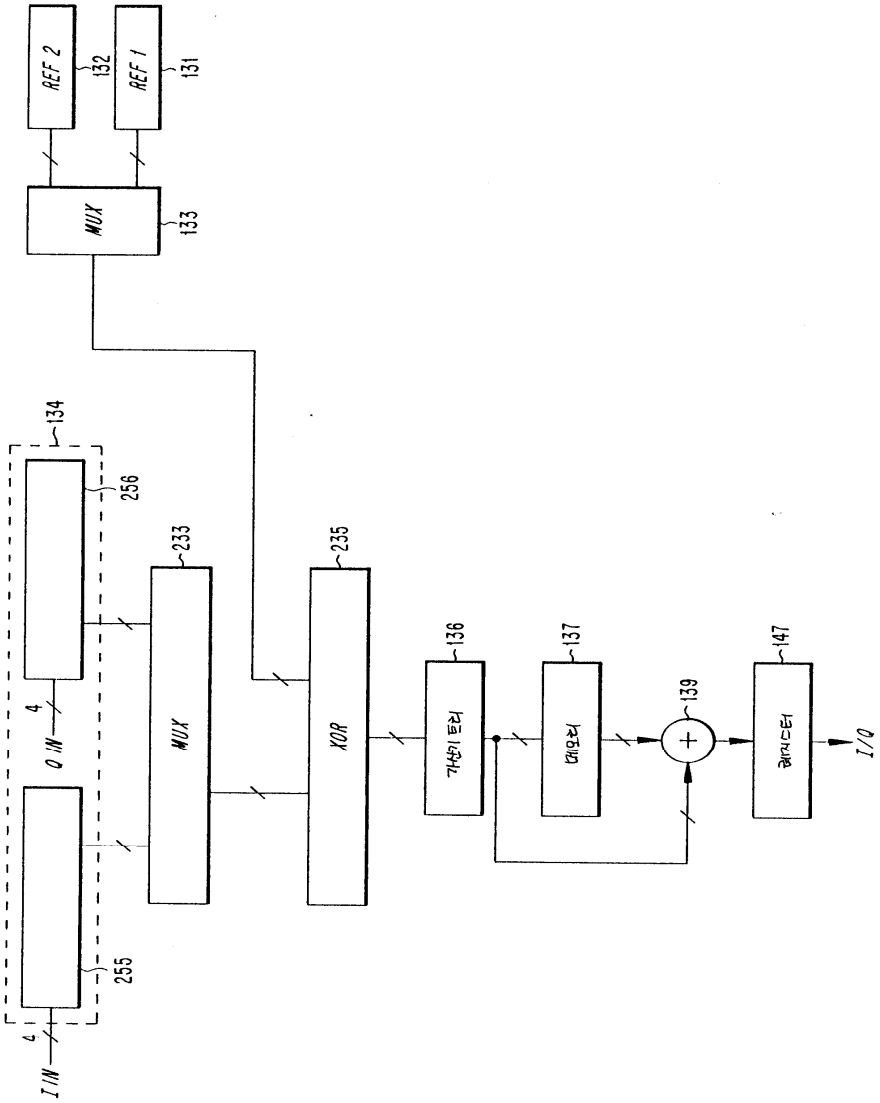
도면14



도면15



도면16


REF 2
132
REF 1
131
MUX
133
134
256
233
235
136
137
139
147
Q IN
4
MUX
XOR
I/Q
255
4
I IN