

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7614283号
(P7614283)

(45)発行日 令和7年1月15日(2025.1.15)

(24)登録日 令和7年1月6日(2025.1.6)

(51)国際特許分類		F I	
H 1 0 D	86/40 (2025.01)	H 0 1 L	29/78 6 1 3 B
H 1 0 D	30/67 (2025.01)	H 0 1 L	29/78 6 1 6 S
H 1 0 D	84/85 (2025.01)	H 0 1 L	27/092 A
H 1 0 D	84/83 (2025.01)	H 0 1 L	27/088 E
H 1 0 D	84/80 (2025.01)	H 0 1 L	27/06 1 0 2 A
請求項の数 3 (全74頁) 最終頁に続く			
(21)出願番号	特願2023-164229(P2023-164229)	(73)特許権者	000153878
(22)出願日	令和5年9月27日(2023.9.27)		株式会社半導体エネルギー研究所
(62)分割の表示	特願2022-184586(P2022-184586)の分割	(72)発明者	宮入 秀和
原出願日	平成26年12月26日(2014.12.26)		神奈川県厚木市長谷3 9 8 番地 株式会
(65)公開番号	特開2023-171421(P2023-171421 A)	(72)発明者	社半導体エネルギー研究所内
(43)公開日	令和5年12月1日(2023.12.1)		笹川 慎也
審査請求日	令和5年10月10日(2023.10.10)		神奈川県厚木市長谷3 9 8 番地 株式会
(31)優先権主張番号	特願2013-269701(P2013-269701)	審査官	岩本 勉
(32)優先日	平成25年12月26日(2013.12.26)		
(33)優先権主張国・地域又は機関	日本国(JP)		
		最終頁に続く	

(54)【発明の名称】 半導体装置

(57)【特許請求の範囲】

【請求項1】

第1の層と、前記第1の層上に配置された第2の層と、接続電極と、を有し、
前記第1の層は、半導体基板にチャネル形成領域が設けられた第1のトランジスタと、
前記接続電極に電気的に接続された配線と、を有し、
前記第2の層は、半導体にチャネル形成領域が設けられた第2のトランジスタと、前記
半導体に重なる領域を有する第1の導電層と、前記第1の導電層の上面に接する領域を有
する絶縁層と、を有し、
前記第1の導電層は、金属を主成分として含み、
前記接続電極は、前記半導体の開口部に配置された領域を有し、
前記接続電極は、第2の導電層と、前記第2の導電層の側面に接する領域を有する第3
の導電層と、を有し、
前記第3の導電層は、前記半導体の前記開口部における側面に接する領域と、前記第1
の導電層の側面に接する領域と、を有し、
前記第2の導電層は、前記半導体の前記開口部における側面に接する領域を有さず、
前記第2の導電層は、前記第1の導電層の側面に接する領域を有さず、
前記第3の導電層は、金属窒化物を有する半導体装置。

【請求項2】

第1の層と、前記第1の層上に配置された第2の層と、接続電極と、を有し、
前記第1の層は、半導体基板にチャネル形成領域が設けられた第1のトランジスタと、

前記接続電極に電氣的に接続された配線と、を有し、

前記第 1 のトランジスタは、前記第 1 のトランジスタの前記チャネル形成領域の上方にゲート電極を有し、

前記第 2 の層は、半導体にチャネル形成領域が設けられた第 2 のトランジスタと、前記半導体に重なる領域を有する第 1 の導電層と、前記第 1 の導電層の上面に接する領域を有する絶縁層と、を有し、

前記第 1 の導電層は、金属を主成分として含み、

前記接続電極は、前記半導体の開口部に配置された領域を有し、

前記接続電極は、第 2 の導電層と、前記第 2 の導電層の側面に接する領域を有する第 3 の導電層と、を有し、

前記第 3 の導電層は、前記半導体の前記開口部における側面に接する領域と、前記第 1 の導電層の側面に接する領域と、を有し、

前記第 2 の導電層は、前記半導体の前記開口部における側面に接する領域を有さず、

前記第 2 の導電層は、前記第 1 の導電層の側面に接する領域を有さず、

前記第 3 の導電層は、金属窒化物を有する半導体装置。

【請求項 3】

請求項 1 又は請求項 2 において、

前記第 1 の導電層に主成分として含まれる前記金属は、アルミニウム、チタン、クロム、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、銀、タンタル及びタングステンの少なくとも一である半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、物、方法、または、製造方法に関する。または、本発明は、プロセス、マシン、マニュファクチャ、または、組成物（コンビジション・オブ・マター）に関する。特に、本発明の一態様は、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、それらの駆動方法、または、それらの製造方法に関する。

【0002】

なお、本明細書等において、半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。トランジスタ、半導体回路は、半導体装置の一態様である。また、演算装置、記憶装置、撮像装置、電気光学装置、発電装置（薄膜太陽電池、有機薄膜太陽電池等を含む）、及び電子機器は半導体装置を有している場合がある。

【背景技術】

【0003】

半導体材料を用いてトランジスタを構成する技術が注目されている。該トランジスタは集積回路（IC）や画像表示装置（単に表示装置とも表記する）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体材料としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

【0004】

例えば、酸化物半導体として酸化亜鉛、または $In-Ga-Zn$ 系酸化物半導体を用いてトランジスタを作製する技術が開示されている（特許文献 1 及び特許文献 2 参照）。

【0005】

また、近年では電子機器の高性能化、小型化、または軽量化に伴い、微細化されたトランジスタなどの半導体素子を高密度に集積した集積回路の要求が高まっている。

【先行技術文献】

【特許文献】

【0006】

【文献】特開 2007-123861 号公報

【文献】特開 2007-96055 号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

本発明の一態様は、集積度の高い半導体装置を提供することを課題の一とする。

【0008】

また、本発明の他の一態様は、信頼性の高い半導体装置を提供することを課題の一つとする。

【0009】

または、半導体装置に良好な電気特性を付与することを課題の一とする。または、信頼性の高い半導体装置を提供することを課題の一とする。または、新規な構成の半導体装置を提供することを課題の一とする。

【0010】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

【課題を解決するための手段】

【0011】

本発明の一態様は、第1の素子と、当該第1の素子の上の第1の絶縁体と、当該第1の絶縁体の上の第1のバリア膜と、当該第1のバリア膜の上の第1の導電体と、当該第1の導電体の上の第2のバリア膜と、当該第2のバリア膜の上の第2の絶縁体と、当該第2の絶縁体の上の半導体と、を有し、当該第1の導電体は、当該第1のバリア膜と当該第2のバリア膜に囲われている半導体装置である。

【0012】

また、本発明の他の一態様は、第1の素子と、当該第1の素子の上の第1の絶縁体と、当該第1の絶縁体の上の第1のバリア膜と、当該第1のバリア膜の上の第1の導電体と、当該第1の導電体の上の第2のバリア膜と、当該第2のバリア膜の上の第2の絶縁体と、当該第2の絶縁体の上の半導体と、を有し、当該第1の絶縁体は、溝又は開口を有し、当該第1の導電体の少なくとも一部は、当該溝又は開口に設けられ、当該第1の導電体は、当該第1のバリア膜と当該第2のバリア膜に囲われている半導体装置である。

【0013】

また、本発明の他の一態様は、半導体と、当該半導体の上に接する第1の導電体と、当該半導体及び当該第1の導電体に設けられた開口に設けられた第2の導電体と、を有する半導体装置である。

【0014】

また、本発明の他の一態様は、第1の素子と、当該第1の素子の上の第1の絶縁体と、当該第1の絶縁体の上の第1のバリア膜と、当該第1のバリア膜の上の第1の導電体と、当該第1の導電体の上の第2のバリア膜と、当該第2のバリア膜の上の第2の絶縁体と、当該第2の絶縁体の上の半導体と、当該半導体の上に接する第2の導電体と、当該半導体及び当該第2の導電体に設けられた開口に設けられた当該第1の素子と電気的に接続する第3の導電体と、を有する半導体装置である。

【0015】

また、本発明の他の一態様は、第1の素子と、当該第1の素子の上の第1の絶縁体と、当該第1の絶縁体の上の第1のバリア膜と、当該第1のバリア膜の上の第1の導電体と、当該第1の導電体の上の第2のバリア膜と、当該第2のバリア膜の上の第2の絶縁体と、当該第2の絶縁体の上の半導体と、当該半導体の上に接する第2の導電体と、当該半導体及び当該第2の導電体の上の第3の絶縁体と、当該半導体と当該第3の絶縁体を介して重なる第3の導電体と、を有し、当該第1の絶縁体は溝又は開口を有し、当該第1の導電体の少なくとも一部は、当該溝又は開口に設けられ、当該第1の導電体は、当該第1のバリア膜と当該第2のバリア膜に囲われ、当該半導体及び当該第2の導電体に設けられた開口に設けられた当該第1の素子と電気的に接続する第4の導電体と、を有する半導体装置で

10

20

30

40

50

ある。

【0016】

また、本発明の他の一態様は、第1の素子と、当該第1の素子の上の第1の絶縁体と、当該第1の絶縁体の上の第1のバリア膜と、当該第1のバリア膜の上の第1の導電体と、当該第1の導電体の上の第2のバリア膜と、当該第2のバリア膜の上の第2の絶縁体と、当該第2の絶縁体の上の半導体と、当該半導体の上に接する第2の導電体と、当該半導体及び当該第2の導電体の上の第3の絶縁体と、当該半導体と当該第3の絶縁体を介して重なる第3の導電体と、当該第3の導電体の上の第3のバリア膜と、当該第3のバリア膜の上の第2の素子と、を有し、当該第1の導電体は、当該第1のバリア膜と当該第2のバリア膜に囲われ、当該半導体及び当該第2の導電体に設けられた開口に設けられた当該第1の素子及び当該第2の素子と電気的に接続する第4の導電体と、を有する半導体装置である。

10

【0017】

また、本発明の他の一態様は、第1の素子と、当該第1の素子の上の第1の絶縁体と、当該第1の絶縁体の上の第1のバリア膜と、当該第1のバリア膜の上の第1の導電体と、当該第1の導電体の上の第2のバリア膜と、当該第2のバリア膜の上の第2の絶縁体と、当該第2の絶縁体の上の半導体と、当該半導体の上に接する第2の導電体と、当該半導体及び当該第2の導電体の上の第3の絶縁体と、当該半導体と当該第3の絶縁体を介して重なる第3の導電体と、当該第3の導電体の上の第3のバリア膜と、当該第3のバリア膜の上の第2の素子と、を有し、当該第1の絶縁体は、溝又は開口を有し、当該第1の導電体の少なくとも一部は、当該溝又は開口に設けられ、当該第1の導電体は、当該第1のバリア膜と当該第2のバリア膜に囲われ、当該半導体及び当該第2の導電体に設けられた開口に設けられた当該第1の素子及び当該第2の素子と電気的に接続する第4の導電体と、を有する半導体装置である。

20

【0018】

また、上記第1、第2及び第3のバリア膜は、それぞれ、窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウムのうち、少なくとも一を含むことが好ましい。

【0019】

また、上記第2のバリア膜には、 In-Ga-Zn 系酸窒化物半導体膜、 In-Sn 系酸窒化物半導体膜、 In-Ga 系酸窒化物半導体膜、 In-Zn 系酸窒化物半導体膜、 Sn 系酸窒化物半導体膜、 In 系酸窒化物半導体膜、金属窒化膜（ InN 、 ZnN 等）等を用いることができ、これらの材料の内、少なくとも一、若しくは、複数の材料の積層であってもよい。

30

【0020】

また、上記第1のバリア膜と上記半導体の間に、酸化物を含む絶縁膜を有し、当該絶縁膜は、化学量論的組成を満たす酸素よりも多くの酸素を含む領域を有することが好ましい。

【0021】

また、上記酸化物を含む絶縁膜は、含有する水素の濃度が、 $5 \times 10^{18} \text{ atoms/cm}^3$ 未満の領域を有することが好ましい。

40

【0022】

また、上記半導体は、含有する水素の濃度が、 $5 \times 10^{18} \text{ atoms/cm}^3$ 未満の領域を有することが好ましい。

【0023】

また、上記第2の素子はトランジスタであり、第3の絶縁体が該トランジスタのゲート絶縁膜であり、そのゲート絶縁膜は、含有する水素の濃度が、 $5 \times 10^{18} \text{ atoms/cm}^3$ 未満の領域を有することが好ましい。

【0024】

50

また、上記トランジスタは、サブスレッショルドスイング値が $60\text{ mV} / \text{dec.}$ 以上、 $100\text{ mV} / \text{dec.}$ 以下であることが好ましい。

【発明の効果】

【0025】

本発明の一態様によれば、微細化に適した半導体装置を提供することができる。

【0026】

または、半導体装置に良好な電気特性を付与することができる。または、信頼性の高い半導体装置を提供することができる。または、新規な構成の半導体装置等を提供することができる。なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

【図面の簡単な説明】

【0027】

【図1】実施の形態に係る、半導体装置の構成例。

【図2】実施の形態に係る、半導体装置に含まれる積層構造を説明する図。

【図3】実施の形態に係る、半導体装置の作製方法例を説明する図。

【図4】実施の形態に係る、半導体装置の作製方法例を説明する図。

【図5】実施の形態に係る、半導体装置の作製方法例を説明する図。

【図6】実施の形態に係る、半導体装置の作製方法例を説明する図。

【図7】実施の形態に係る、半導体装置の回路図及び構成例。

【図8】実施の形態に係る、半導体装置の構成例。

【図9】実施の形態に係る、半導体装置の構成例。

【図10】実施の形態に係る、半導体装置の構成例。

【図11】実施の形態に係る、半導体装置の構成例。

【図12】実施の形態に係る、半導体装置の構成例。

【図13】実施の形態に係る、半導体装置の構成例。

【図14】CAAC-Osの断面におけるCs補正高分解能TEM像、およびCAAC-Osの断面模式図。

【図15】CAAC-Osの平面におけるCs補正高分解能TEM像。

【図16】CAAC-Osおよび単結晶酸化物半導体のXRDによる構造解析を説明する図。

【図17】CAAC-Osの電子回折パターンを示す図。

【図18】In-Ga-Zn酸化物の電子照射による結晶部の変化を示す図。

【図19】CAAC-Osおよびnc-Osの成膜モデルを説明する模式図。

【図20】InGaZnO₄の結晶、およびペレットを説明する図。

【図21】CAAC-Osの成膜モデルを説明する模式図。

【図22】実施の形態に係る、回路図。

【図23】実施の形態に係る、RFデバイスの構成例。

【図24】実施の形態に係る、CPUの構成例。

【図25】実施の形態に係る、記憶素子の回路図。

【図26】実施の形態に係る、表示装置の回路図。

【図27】実施の形態に係る、電子機器。

【図28】実施の形態に係る、RFデバイスの使用例。

【図29】実施の形態に係る、バンド構造を説明する図。

【図30】実施の形態に係る、半導体装置の作製方法例を説明する図。

【図31】実施の形態に係る、半導体装置の作製方法例を説明する図。

【図32】実施の形態に係る、半導体装置の作製方法例を説明する図。

【図33】実施の形態に係る、半導体装置の作製方法例を説明する図。

【図34】実施の形態に係る、半導体装置の作製方法例を説明する図。

【図 3 5】実施の形態に係る、半導体装置の構成例。

【図 3 6】実施の形態に係る、半導体装置の構成例。

【図 3 7】実施の形態に係る、半導体装置の構成例。

【発明を実施するための形態】

【0028】

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0029】

なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。また、同様の機能を指す場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。

【0030】

なお、本明細書で説明する各図において、各構成の大きさ、層の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。

【0031】

なお、本明細書等における「第 1」、「第 2」等の序数詞は、構成要素の混同を避けるために付すものであり、数的に限定するものではない。

【0032】

なお、本明細書等において、電極と、電極と電氣的に接続する配線とが一体物であってもよい。すなわち、配線の一部が電極として機能する場合や、電極の一部が配線として機能する場合もある。

【0033】

トランジスタは半導体素子の一種であり、電流や電圧の増幅や、導通または非導通を制御するスイッチング動作などを実現することができる。本明細書におけるトランジスタは、IGFET (Insulated Gate Field Effect Transistor) や薄膜トランジスタ (TFT: Thin Film Transistor) を含む。

【0034】

本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「略平行」とは、二つの直線が -30° 以上 30° 以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。また、「略垂直」とは、二つの直線が 60° 以上 120° 以下の角度で配置されている状態をいう。

【0035】

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

【0036】

(実施の形態 1)

[積層構造の構成例]

以下では、本発明の一態様の半導体装置に適用することのできる、トランジスタ 100 を含む積層体 10 の例について説明する。図 1 は、以下で示す積層体 10 の断面概略図である。

【0037】

なお、積層体 10 の上層又は下層に様々な素子を形成し、重ねることが出来る。図 2 には、積層体 20 の上に積層体 10、積層体 10 の上に積層体 30 を積層した例を示した。例えば、積層体 20 として単結晶シリコン半導体を形成した上に、積層体 10 を形成し、

10

20

30

40

50

さらに上に積層体30として容量などの素子を形成することも可能である。

【0038】

積層体10には、絶縁体101の上面に接する絶縁体102と、絶縁体102に形成された溝、又は、開口と、当該溝、又は、開口の内側と絶縁体102の上面とに接するバリア膜103と、絶縁体102の溝、又は、開口内にバリア膜103を介して設けられた導電体104aと、導電体104aの上面に接するバリア膜105aと、バリア膜103の上面とバリア膜105aの上面とに接する絶縁体106と、絶縁体106の上面に接する半導体107aと、半導体107aの上面に接する半導体108aと、半導体108aの上面に接し、半導体108aと重なる領域で離間する導電体109b及び導電体109cと、少なくとも導電体109b、導電体109c、半導体108a、及び半導体107aに設けられた開口内に設けられた複数のプラグ120a、120bと、半導体108aの上面に接する半導体113と、半導体113の上面に接する絶縁体114と、絶縁体114の上面に接する導電体115と、少なくとも半導体107a、半導体108a、半導体113を覆うバリア膜116とが設けられている。

10

【0039】

導電体104aとバリア膜105aは、半導体108aに重畳して設けられる。導電体104aは、第2のゲート電極としての機能を有する。

【0040】

また、導電体104aが、バリア膜103及びバリア膜105aに囲われているため、導電体104aの酸化を防ぐことが出来る。

20

【0041】

導電体109b及び、109cは、一方がソース電極として機能し、他方がドレイン電極として機能する。また、プラグ120a、120bは、少なくとも側面が半導体108aと接するため、プラグ120a、120bの一方がソース電極として機能し、他方がドレイン電極として機能する。なお、プラグ120aは導電体111b及び112aからなり、プラグ120bは導電体111c及び112bからなる。

【0042】

また、プラグ120a、120bが、導電体109b、109c及び半導体108a、半導体107aに設けられた開口に形成されるため、半導体装置を微細化することが出来る。

30

【0043】

絶縁体114は、半導体108aと導電体115との間に設けられ、ゲート絶縁膜として機能する。

【0044】

導電体115は、半導体108aに重畳して設けられ、第1のゲート電極としての機能を有する。

【0045】

なお、トランジスタ100には、少なくとも半導体108a、絶縁体114、導電体115などが含まれる。

【0046】

絶縁体101には、50nm程度の厚さを有する窒化シリコンを用いると好ましい。また、絶縁体102には、150nm程度の厚さを有する、TEOS (Tetra-Ethyl-Ortho-Silicate) を用いて成膜した酸化シリコンを用いると好ましい。

40

【0047】

絶縁体102は絶縁体101とエッチングの選択比が取れる材料であれば良い。また、絶縁体101及び絶縁体102のそれぞれは、例えば酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いることもでき、積層または単層でもよい。

【0048】

50

絶縁体102はその下層に設けられる構造物などによって生じる段差を平坦化する平坦化層として機能する。絶縁体102の上面は、その上面の平坦性を高めるためにCMP (Chemical Mechanical Polishing) 法等を用いた平坦化処理により平坦化されていてもよい。

【0049】

バリア膜103及びバリア膜116に用いることのできる材料としては、窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウムなどが挙げられる。特に、酸化アルミニウムは水や水素に対するバリア性に優れているため好ましい。

【0050】

バリア膜103及びバリア膜116は水や水素を透過しにくい材料の層のほかに、他の絶縁材料を含む層を積層させて用いてもよい。例えば、酸化シリコンまたは酸化窒化シリコンを含む層、金属酸化物を含む層などを積層させて用いてもよい。

【0051】

ここで、バリア膜103よりも下層では、水素や水などを出来る限り低減あるいは、脱ガスを抑制させておくことが好ましい。水素や水は酸化物半導体にとって電気特性の変動を引き起こす要因となりうる。またバリア膜103を介して下層から上層へ拡散する水素や水は、バリア膜103により抑制することができる。

【0052】

バリア膜103よりも下層に位置する各層に含まれる水素や水を出来る限り低減あるいは、脱ガスを抑制させるため、バリア膜103を形成する前、またはバリア膜103にプラグ120a、120bを形成するための開口を形成した直後に、バリア膜103よりも下層に含まれる水素や水を除去するための加熱処理を施すことが好ましい。半導体装置を構成する導電膜などの耐熱性や、トランジスタの電気特性が劣化しない程度であれば、加熱処理の温度は高いほど好ましい。具体的には、例えば450℃以上、好ましくは490℃以上、より好ましくは530℃以上の温度とすればよいが、650℃以上で行ってもよい。不活性ガス雰囲気下または減圧雰囲気下で1時間以上、好ましくは5時間以上、より好ましくは10時間以上の加熱処理を行うことが好ましい。また加熱処理の温度は半導体装置に含まれる配線、電極またはプラグの材料の耐熱性を考慮して決定すればよいが、例えば当該材料の耐熱性が低い場合には、550℃以下、または600℃以下、または650℃以下、または800℃以下の温度で行えばよい。またこのような加熱処理は、少なくとも1回以上行えばよいが、複数回行うとより好ましい。

【0053】

また、バリア膜103及びバリア膜116は、酸素を透過しにくい材料を用いることが好ましい。上述した材料は、水素、水に加え酸素に対してもバリア性に優れた材料である。このような材料を用いることで、絶縁体106を加熱した時に放出される酸素がバリア膜103よりも下層に、また、バリア膜116よりも上層に拡散することを抑制することができる。その結果、絶縁体106から放出され、半導体107a、半導体108a、半導体113に供給されうる酸素の量を増大させることができる。

【0054】

このように、バリア膜103よりも下層に位置する各層に含まれる水素や水の濃度を減少する、または水素や水を除去し、さらにバリア膜103により水素や水が半導体107a、半導体108a、半導体113へ拡散することを抑制する。そのため、半導体107a、半導体108a、半導体113の各層における水素及び水の含有量を、極めて低いものとすることができる。例えば、半導体107a、半導体108a、半導体113、または絶縁体114に含まれる水素濃度を $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $3 \times 10^{17} \text{ atoms/cm}^3$ 未満にまで低減することができる。

【0055】

導電体 104a としては、タンタル、タングステン、チタン、モリブデン、クロム、ニオブ等から選択された金属、またはこれらの金属を主成分とする合金材料若しくは化合物材料を用いることが好ましい。また、リン等の不純物を添加した多結晶シリコンを用いることができる。また、金属窒化物膜と上記の金属膜の積層構造を用いてもよい。金属窒化物としては、窒化タングステン、窒化モリブデン、窒化チタンを用いることができる。金属窒化物膜を設けることにより、金属膜の密着性を向上させることができ、剥離を防止することができる。

【0056】

また、導電体 104a は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化シリコンを添加したインジウム錫酸化物等の透光性を有する導電性材料を適用することもできる。また、上記透光性を有する導電性材料と、上記金属の積層構造とすることもできる。

【0057】

例えば、導電体 104a は、3 層の積層構造とすることも出来る。一層目をチタン、当該一層目の上の二層目として窒化チタン、当該二層目の上の三層目としてタングステンという積層構造としても良い。

【0058】

このバリア膜 105a は、In-Ga-Zn 系酸窒化物半導体膜、In-Sn 系酸窒化物半導体膜、In-Ga 系酸窒化物半導体膜、In-Zn 系酸窒化物半導体膜、Sn 系酸窒化物半導体膜、In 系酸窒化物半導体膜、金属窒化膜 (InN、ZnN 等) 等を設けることが出来る。これらの膜は 5 eV 以上、好ましくは 5.5 eV 以上の仕事関数を有し、酸化物半導体の電子親和力よりも大きい値であるため、酸化物半導体を用いたトランジスタのしきい値電圧をプラスにシフトすることができ、所謂ノーマリーオフ特性のスイッチング素子を実現できる。例えば、In-Ga-Zn 系酸窒化物半導体膜を用いる場合、少なくとも半導体 107a より高い窒素濃度、具体的には 7 原子% 以上の窒素を含む In-Ga-Zn 系酸窒化物半導体膜を用いる。

【0059】

バリア膜 105a は、酸素を拡散しにくい材料を用いることが好ましい。これにより、導電体 104a の酸化を防ぐことができ、導電体 104a の抵抗値の増加を防ぐことが出来る。

【0060】

絶縁体 106 は、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。

【0061】

加熱により酸素を脱離する酸化物材料として、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物を用いることが好ましい。化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物膜は、加熱により一部の酸素が脱離する。化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物膜は、昇温脱離ガス分光法 (TDS: Thermal Desorption Spectroscopy) 分析にて、酸素原子に換算しての酸素の脱離量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上である酸化物膜である。なお、上記 TDS 分析時における膜の表面温度としては 100℃ 以上 700℃ 以下、または 100℃ 以上 500℃ 以下の範囲が好ましい。

【0062】

例えばこのような材料として、酸化シリコンまたは酸化窒化シリコンを含む材料を用いることが好ましい。または、金属酸化物を用いることもできる。当該金属酸化物としては、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム等がある。なお、本明細書中において、酸化窒化シリコンとは、その組成として窒素よりも酸素の含有

10

20

30

40

50

量が多い材料を指し、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。半導体材料として酸化物半導体を用いた場合、絶縁体106から脱離した酸素が酸化物半導体に供給され、酸化物半導体中の酸素欠損を低減することが可能となる。その結果、トランジスタの電気特性の変動を抑制し、信頼性を高めることができる。

【0063】

また、絶縁体106の形成前に、バリア膜103の上面とバリア膜105aの上面とに段差がない構造にすれば、絶縁体106を薄く形成することが可能になる。

【0064】

半導体108aは、チャネルが形成される領域において、シリコン系半導体などの半導体を含んでいてもよい。特に、半導体108aは、シリコンよりもバンドギャップの大きな半導体を含むことが好ましい。好適には、半導体108aは酸化物半導体を含んで構成される。シリコンよりもバンドギャップが広く、且つキャリア密度の小さい半導体材料を用いると、トランジスタのオフ状態における電流を低減できるため好ましい。

【0065】

例えば、上記酸化物半導体として、少なくともインジウム(In)もしくは亜鉛(Zn)を含むことが好ましい。より好ましくは、In-M-Zn系酸化物(MはAl、Ti、Ga、Ge、Y、Zr、Sn、La、CeまたはHf等の金属)で表記される酸化物を含む。

【0066】

特に、半導体として、複数の結晶部を有し、当該結晶部はc軸が半導体の被形成面、または半導体の上面に対し垂直に配向し、且つ隣接する結晶部間には粒界を有さない酸化物半導体膜を用いることが好ましい。

【0067】

半導体としてこのような材料を用いることで、電気特性の変動が抑制され、信頼性の高いトランジスタを実現できる。

【0068】

なお、半導体に適用可能な酸化物半導体の好ましい形態とその形成方法については、後の実施の形態で詳細に説明する。

【0069】

本発明の一態様の半導体装置は、酸化物半導体と、該酸化物半導体と重なる絶縁体との間に、酸化物半導体を構成する金属元素のうち、少なくとも一の金属元素を構成元素として含む酸化物を有することが好ましい。これにより、酸化物半導体と、該酸化物半導体と重なる絶縁体との界面にトラップ準位が形成されることを抑制することができる。

【0070】

すなわち、本発明の一態様は、酸化物半導体の少なくともチャネル形成領域における上面および底面が、酸化物半導体の界面準位形成防止のためのバリア膜として機能する酸化物に接する構成とすることが好ましい。このような構成とすることにより、酸化物半導体中および界面においてキャリアの生成要因となる酸素欠損の生成および不純物の混入を抑制することが可能となるため、酸化物半導体を高純度真性化することができる。高純度真性化とは、酸化物半導体を真性または実質的に真性にするをいう。よって、当該酸化物半導体を含むトランジスタの電気特性の変動を抑制し、信頼性の高い半導体装置を提供することが可能となる。

【0071】

なお、本明細書等において実質的に真性という場合、酸化物半導体のキャリア密度は、 $1 \times 10^{17} / \text{cm}^3$ 未満、 $1 \times 10^{15} / \text{cm}^3$ 未満、または $1 \times 10^{13} / \text{cm}^3$ 未満である。酸化物半導体を高純度真性化することで、トランジスタに安定した電気特性を付与することができる。

【0072】

半導体107aは、絶縁体106と半導体108aとの間に設けられている。

【0073】

半導体113は、半導体108aとゲート絶縁膜として機能する絶縁体114の間に設けられている。

【0074】

半導体107a及び半導体113は、それぞれ半導体108aと同一の金属元素を一種以上含む酸化物を含むことが好ましい。

【0075】

なお、半導体108aと半導体107aの境界、及び半導体108aと半導体113の境界は不明瞭である場合がある。

【0076】

例えば、半導体107aおよび半導体113は、In若しくはGaを含み、代表的には、In-Ga系酸化物、In-Zn系酸化物、In-M-Zn系酸化物（MはAl、Ti、Ga、Y、Zr、La、Ce、NdまたはHf）であり、且つ半導体108aよりも伝導帯の下端のエネルギーが真空準位に近い材料を用いる。代表的には、半導体107aまたは半導体113の伝導帯の下端のエネルギーと、半導体108aの伝導帯の下端のエネルギーとの差が、0.05eV以上、0.07eV以上、0.1eV以上、または0.15eV以上、且つ2eV以下、1eV以下、0.5eV以下、または0.4eV以下とすることが好ましい。また、半導体113には、酸化ガリウムなどを用いることができる。なお、場合によって半導体113は、ゲート絶縁膜の一部として機能する場合がある。

【0077】

半導体108aを挟むように設けられる半導体107aおよび半導体113に、半導体108aに比べてスタビライザとして機能するGaの含有量の多い酸化物を用いることにより、半導体108aからの酸素の放出を抑制することができる。

【0078】

半導体108aとして、例えばIn:Ga:Zn=1:1:1または3:1:2の原子数比のIn-Ga-Zn系酸化物を用いた場合、半導体107aまたは半導体113として、例えばIn:Ga:Zn=1:3:2、1:3:4、1:3:6、1:6:4、1:6:8、1:6:10、または1:9:6などの原子数比のIn-Ga-Zn系酸化物を用いることができる。なお、半導体108a、半導体107aおよび半導体113の原子数比はそれぞれ、誤差として上記の原子数比のプラスマイナス20%の変動を含む。また、半導体107aと半導体113は、組成の同じ材料を用いてもよいし、異なる組成の材料を用いてもよい。

【0079】

また、半導体108aとしてIn-M-Zn系酸化物を用いた場合、半導体108aとなる半導体膜を成膜するために用いるターゲットは、該ターゲットが含有する金属元素の原子数比をIn:M:Zn= x_1 : y_1 : z_1 としたときに、 x_1/y_1 の値が1/3以上6以下、好ましくは1以上6以下であり、 z_1/y_1 が1/3以上6以下、好ましくは1以上6以下の原子数比の酸化物を用いることが好ましい。なお、 z_1/y_1 を6以下とすることで、後述するCAAC-OS膜が形成されやすくなる。ターゲットの金属元素の原子数比の代表例としては、In:M:Zn=1:1:1、3:1:2などがある。

【0080】

また、半導体107a、半導体113としてIn-M-Zn系酸化物を用いた場合、半導体107a、半導体113となる酸化物膜を成膜するために用いるターゲットは、該ターゲットが含有する金属元素の原子数比をIn:M:Zn= x_2 : y_2 : z_2 としたときに、 $x_2/y_2 < x_1/y_1$ であり、 z_2/y_2 の値が1/3以上6以下、好ましくは1以上6以下の原子数比の酸化物を用いることが好ましい。なお、 z_2/y_2 を6以下とすることで、後述するCAAC-OS膜が形成されやすくなる。ターゲットの金属元素の原子数比の代表例としては、In:M:Zn=1:3:4、1:3:6、1:3:8などがある。

【0081】

また、半導体 107a および半導体 113 に、半導体 108a に比べて伝導帯の下端のエネルギーが真空準位に近い材料を用いることにより、半導体 108a に主としてチャネルが形成され、半導体 108a が主な電流経路となる。このように、チャネルが形成される半導体 108a を、同じ金属元素を含む半導体 107a および半導体 113 で挟持することにより、これらの界面準位の生成が抑制され、トランジスタの電気特性における信頼性が向上する。

【0082】

なお、これに限られず、必要とするトランジスタの半導体特性及び電気特性（電界効果移動度、しきい値電圧等）に応じて適切な組成のものを用いればよい。また、必要とするトランジスタの半導体特性を得るために、半導体 108a、半導体 107a、半導体 113 のキャリア密度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間距離、密度等を適切なものとするのが好ましい。

【0083】

ここで、半導体 107a と半導体 108a との間には、半導体 107a と半導体 108a との混合領域を有する場合がある。また、半導体 108a と半導体 113 との間には、半導体 108a と半導体 113 との混合領域を有する場合がある。混合領域は、界面準位密度が低くなる。そのため、半導体 107a、半導体 108a および半導体 113 の積層体は、それぞれの界面近傍において、エネルギーが連続的に変化する（連続接合ともいう。）バンド構造となる。

【0084】

ここで、バンド構造について説明する（図 29（A）、（B））。バンド構造は、理解を容易にするため絶縁体 106、半導体 107a、半導体 108a、半導体 113 およびゲート絶縁膜として機能する絶縁体 114 の伝導帯下端のエネルギー（ E_c ）を示す。

【0085】

図 29（A）、図 29（B）に示すように、半導体 107a、半導体 108a、半導体 113 において、伝導帯下端のエネルギーが連続的に変化する。これは、半導体 107a、半導体 108a、半導体 113 を構成する元素が共通することにより、酸素が相互に拡散しやすい点からも理解される。したがって、半導体 107a、半導体 108a、半導体 113 は組成が異なる層の積層体ではあるが、物性的に連続であるということもできる。

【0086】

主成分を共通として積層された酸化物半導体は、各層を単に積層するのではなく連続接合（ここでは特に伝導帯下端のエネルギーが各層の間で連続的に変化する U 字型の井戸構造）が形成されるように作製する。すなわち、各層の界面にトラップ中心や再結合中心のような欠陥準位を形成するような不純物が存在しないように積層構造を形成する。仮に、積層された多層膜の層間に不純物が混在していると、エネルギーバンドの連続性が失われ、界面でキャリアがトラップあるいは再結合により消滅してしまう。

【0087】

なお、図 29（A）では、半導体 107a と半導体 113 の E_c が同様である場合について示したが、それぞれが異なってもよい。例えば、半導体 107a よりも半導体 113 の E_c が高いエネルギーを有する場合、バンド構造の一部は、図 29（B）のように示される。

【0088】

図 29（A）、図 29（B）より、半導体 108a がウェル（井戸）となり、チャネルが半導体 108a に形成されることがわかる。なお、半導体 107a、半導体 108a、半導体 113 は伝導帯下端のエネルギーが連続的に変化しているため、U 字型井戸（U Shape Well）とも呼ぶことができる。また、このような構成で形成されたチャネルを埋め込みチャネルということもできる。

【0089】

なお、半導体 107a および半導体 113 と、酸化シリコン膜などの絶縁膜との界面近傍には、不純物や欠陥に起因したトラップ準位が形成され得る。半導体 107a および半

10

20

30

40

50

半導体 113 があることにより、半導体 108a と当該トラップ準位とを遠ざけることができる。ただし、半導体 107a または半導体 113 の E_c と、半導体 108a の E_c とのエネルギー差が小さい場合、半導体 108a の電子が該エネルギー差を越えてトラップ準位に達することがある。トラップ準位に電子が捕獲されることで、絶縁膜界面にマイナスの固定電荷が生じ、トランジスタのしきい値電圧はプラス方向にシフトしてしまう。

【0090】

したがって、トランジスタのしきい値電圧の変動を低減するには、半導体 107a および半導体 113 の E_c と、半導体 108a との間にエネルギー差を設けることが必要となる。それぞれの当該エネルギー差は、0.1 eV 以上が好ましく、0.15 eV 以上がより好ましい。

【0091】

なお、半導体 107a、半導体 108a、半導体 113 には、結晶部が含まれることが好ましい。特に c 軸に配向した結晶を用いることでトランジスタに安定した電気特性を付与することができる。

【0092】

また、図 29 (B) に示すようなバンド構造において、半導体 113 を設けず、半導体 108a とゲート絶縁膜として機能する絶縁体 114 の間に In-Ga 系酸化物（たとえば、原子数比で In : Ga = 7 : 93）を設けてもよい。

【0093】

半導体 108a は、半導体 107a および半導体 113 よりも電子親和力の大きい酸化物を用いる。例えば、半導体 108a として、半導体 107a および半導体 113 よりも電子親和力の 0.07 eV 以上 1.3 eV 以下、好ましくは 0.1 eV 以上 0.7 eV 以下、さらに好ましくは 0.15 eV 以上 0.4 eV 以下の酸化物を用いる。なお、電子親和力は、真空準位と伝導帯下端のエネルギーとの差である。

【0094】

ここで、半導体 108a の厚さは、少なくとも半導体 107a よりも厚く形成することが好ましい。半導体 108a が厚いほど、トランジスタのオン電流を高めることができる。また、半導体 107a は、半導体 108a の界面準位の生成を抑制する効果が失われない程度の厚さであればよい。例えば、半導体 108a の厚さは、半導体 107a の厚さに対して、1 倍よりも大きく、好ましくは 2 倍以上、より好ましくは 4 倍以上、より好ましくは 6 倍以上とすればよい。なお、トランジスタのオン電流を高める必要のない場合にはその限りではなく、半導体 107a の厚さを半導体 108a の厚さ以上としてもよい。

【0095】

また、半導体 113 も半導体 107a と同様に、半導体 108a の界面準位の生成を抑制する効果が失われない程度の厚さであればよい。例えば、半導体 107a と同等またはそれ以下の厚さとすればよい。半導体 113 が厚いと、ゲート電極として機能する導電体 115 による電界が半導体 108a に届きにくくなる恐れがあるため、半導体 113 は薄く形成することが好ましい。例えば、半導体 108a の厚さよりも薄くすればよい。なおこれに限られず、半導体 113 の厚さはゲート絶縁膜として機能する絶縁体 114 の耐圧を考慮して、トランジスタを駆動させる電圧に応じて適宜設定すればよい。

【0096】

ここで、例えば半導体 108a が、構成元素の異なる絶縁体（例えば酸化シリコン膜を含む絶縁体など）と接する場合、これらの界面に界面準位が形成され、該界面準位はチャネルを形成することがある。このような場合、しきい値電圧の異なるトランジスタが出現し、トランジスタの見かけ上のしきい値電圧が変動することがある。しかしながら、本構成のトランジスタにおいては、半導体 108a を構成する金属元素を一種以上含んで半導体 107a を有しているため、半導体 107a と半導体 108a との界面に界面準位を形成しにくくなる。よって半導体 107a を設けることにより、トランジスタのしきい値電圧などの電気特性のばらつきや変動を低減することができる。

【0097】

10

20

30

40

50

また、ゲート絶縁膜として機能する絶縁体 114 と半導体 108a との界面にチャネルが形成される場合、該界面で界面散乱がおり、トランジスタの電界効果移動度が低下する場合がある。しかしながら、本構成のトランジスタにおいては、半導体 108a を構成する金属元素を一種以上含んで半導体 113 を有しているため、半導体 108a と半導体 113 との界面ではキャリアの散乱が起これにくく、トランジスタの電界効果移動度を高くすることができる。

【0098】

導電体 109b 及び導電体 109c は、アルミニウム、チタン、クロム、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、銀、タンタル、またはタングステンからなる単体金属、またはこれを主成分とする合金を単層構造または積層構造として用いる。例えば、シリコンを含むアルミニウム膜の単層構造、チタン膜上にアルミニウム膜を積層する二層構造、タングステン膜上にアルミニウム膜を積層する二層構造、銅-マグネシウム-アルミニウム合金膜上に銅膜を積層する二層構造、チタン膜上に銅膜を積層する二層構造、タングステン膜上に銅膜を積層する二層構造、チタン膜または窒化チタン膜と、そのチタン膜または窒化チタン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にチタン膜または窒化チタン膜を形成する三層構造、モリブデン膜または窒化モリブデン膜と、そのモリブデン膜または窒化モリブデン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にモリブデン膜または窒化モリブデン膜を形成する三層構造等がある。なお、酸化インジウム、酸化錫または酸化亜鉛を含む透明導電材料を用いてもよい。

【0099】

絶縁体 114 は、例えば酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化ハフニウム、酸化ガリウムまたは Ga-Zn 系金属酸化物、窒化シリコンなどを用いればよく、積層または単層で設ける。

【0100】

また、絶縁体 114 として、ハフニウムシリケート (HfSiO_x)、窒素が添加されたハフニウムシリケート ($\text{HfSi}_x\text{O}_y\text{N}_z$)、窒素が添加されたハフニウムアルミネート ($\text{HfAl}_x\text{O}_y\text{N}_z$)、酸化イットリウムなどの high-k 材料を用いてもよい。

【0101】

また、絶縁体 114 として、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルなどの酸化物絶縁膜、窒化シリコン、窒化酸化シリコン、窒化アルミニウム、窒化酸化アルミニウムなどの窒化物絶縁膜、またはこれらの混合材料を用いてもよい。

【0102】

また、絶縁体 114 として、絶縁体 106 と同様に、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物絶縁膜を用いることが好ましい。

【0103】

なお、特定の材料をゲート絶縁膜に用いると、特定の条件でゲート絶縁膜に電子を捕獲せしめて、しきい値電圧を増大させることもできる。例えば、酸化シリコンと酸化ハフニウムの積層膜のように、ゲート絶縁膜の一部に酸化ハフニウム、酸化アルミニウム、酸化タンタルのような電子捕獲準位の多い材料を用い、より高い温度（半導体装置の使用温度あるいは保管温度よりも高い温度、あるいは、125℃以上450℃以下、代表的には150℃以上300℃以下）の下で、ゲート電極の電位をソース電極やドレイン電極の電位より高い状態を、1秒以上、代表的には1分以上維持することで、半導体層からゲート電極に向かって、電子が移動し、そのうちのいくらかは電子捕獲準位に捕獲される。

【0104】

このように電子捕獲準位に必要な量の電子を捕獲させたトランジスタは、しきい値電圧がプラス側にシフトする。ゲート電極の電圧の制御によって電子の捕獲する量を制御する

10

20

30

40

50

ことができ、それに伴ってしきい値電圧を制御することができる。また、電子を捕獲せしめる処理は、トランジスタの作製過程におこなえばよい。

【0105】

例えば、トランジスタのソース電極あるいはドレイン電極に接続する配線メタルの形成後、あるいは、前工程（ウェハー処理）の終了後、あるいは、ウェハーダイシング工程後、パッケージ後等、工場出荷前のいずれかの段階で行うとよい。いずれの場合にも、その後125℃以上の温度に1時間以上さらされないことが好ましい。

【0106】

導電体115は、例えばアルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた金属、または上述した金属を成分とする合金か、上述した金属を組み合わせた合金等を用いて形成することができる。また、マンガン、ジルコニウムのいずれか一または複数から選択された金属を用いてもよい。また、リン等の不純物元素をドーピングした多結晶シリコンに代表される半導体、ニッケルシリサイド等のシリサイドを用いてもよい。また、導電体115は、単層構造でも、二層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する二層構造、窒化チタン膜上にチタン膜を積層する二層構造、窒化チタン膜上にタングステン膜を積層する二層構造、窒化タンタル膜または窒化タングステン膜上にタングステン膜を積層する二層構造、チタン膜と、そのチタン膜上にアルミニウム膜を積層し、さらにその上にチタン膜を形成する三層構造等がある。また、アルミニウムに、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた一または複数の金属を組み合わせた合金膜を用いてもよい。

【0107】

また、導電体115は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化シリコンを添加したインジウム錫酸化物等の透光性を有する導電性材料を適用することもできる。また、上記透光性を有する導電性材料と、上記金属の積層構造とすることもできる。

【0108】

また、導電体115には、仕事関数を調整する材料として、チタンナイトライド、タンタルナイトライド、タングステン、窒化タングステン、ルテニウム、N型多結晶シリコン、P型多結晶シリコン等を用いることも出来る。例えば、トランジスタ100をノーマリーオフ化させるために、仕事関数の高い材料を用いると良い。仕事関数の高い材料としては、タングステン、窒化タングステン、ルテニウムなどがある。

【0109】

また、導電体115と絶縁体114との間に、In-Ga-Zn系酸窒化物半導体膜、In-Sn系酸窒化物半導体膜、In-Ga系酸窒化物半導体膜、In-Zn系酸窒化物半導体膜、Sn系酸窒化物半導体膜、In系酸窒化物半導体膜、金属窒化膜（InN、ZnN等）等を設けてもよい。これらの膜は5eV以上、好ましくは5.5eV以上の仕事関数を有し、酸化物半導体の電子親和力よりも大きい値であるため、酸化物半導体を用いたトランジスタのしきい値電圧をプラスにシフトすることができ、所謂ノーマリーオフ特性のスイッチング素子を実現できる。例えば、In-Ga-Zn系酸窒化物半導体膜を用いる場合、少なくとも半導体108aより高い窒素濃度、具体的には7原子%以上のIn-Ga-Zn系酸窒化物半導体膜を用いる。

【0110】

以上が構成例についての説明である。

【0111】

なお、本実施の形態の一部または全部について、他の実施の形態の一部または全部と自由に、組み合わせ、適用、置き換えて実施することができる。

【0112】

（実施の形態2）

〔作製方法例〕

以下では、上記構成例で示した半導体装置の作製方法の一例について、図3乃至図6を用いて説明する。

〔0113〕

絶縁体101の上に絶縁体102を形成する。当該絶縁体101には、50nm程度の厚さを有する窒化シリコンを用いると好ましい。また、当該絶縁体102には、150nm程度の厚さを有する、TEOS（Tetra-Ethyl-Ortho-Silicate）を用いて成膜した酸化シリコンを用いると好ましい。

〔0114〕

絶縁体101及び絶縁体102のそれぞれは、例えば酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いることもでき、積層または単層でもよい。

〔0115〕

当該絶縁体101及び当該絶縁体102は、スパッタリング法、CVD（Chemical Vapor Deposition）法（熱CVD法、PECVD（Plasma Enhanced CVD）法等を含む）、MOCVD（Metal Organic CVD）法、MBE（Molecular Beam Epitaxy）法、ALD（Atomic Layer Deposition）法、PLD（Pulsed Laser Deposition）法、HDP（High density plasma）-CVD法、減圧CVD法（LP-CVD：low pressure CVD）、常圧CVD法（AP-CVD：atmospheric pressure CVD）、コーメートスパッタリング法、またはロングスロースパッタリング法等で成膜することにより形成してもよい。

〔0116〕

特に、当該絶縁体をCVD法、好ましくはプラズマCVD法によって成膜すると、埋め込み性を向上させることができるため好ましい。またプラズマによるダメージを減らすには、熱CVD法、MOCVD法あるいはALD法が好ましい。

〔0117〕

次に加熱処理を行う。この加熱処理は、希ガスや窒素ガスなどの不活性ガス雰囲気下、または減圧雰囲気下にて、例えば490℃以上基板の歪み点未満で行うことができる。

〔0118〕

この加熱処理により、絶縁体102を含み、これより下に形成されている積層体から水素等、絶縁体102よりも上に形成される半導体に悪影響を及ぼす物質を脱離あるいは脱ガスを抑制させる。なお、当該加熱処理は、行った方が好ましいが、特に必要が無ければ省略することも可能である。また、次に説明する、絶縁体に開口又は溝を形成する工程が終了したあとに行ってもよい。

〔0119〕

次に、当該絶縁体102に、開口又は溝を形成する。また、当該絶縁体102に開口を設ける際には、当該絶縁体102は当該絶縁体101とエッチングの選択比が大きい材料の組み合わせを選択することが望ましい。

〔0120〕

当該絶縁体102に開口又は溝を形成する際には、フォトリソグラフィ法等を用いることができる。当該絶縁体102上に、レジストマスクを形成し、当該絶縁体102の不要な部分を除去する。その後、レジストマスクを除去することにより、当該絶縁体102に開口又は溝を形成することができる。（図3（a））

〔0121〕

ここで、被加工膜の加工方法について説明する。被加工膜を微細に加工する場合には、様々な微細加工技術を用いることができる。例えば、フォトリソグラフィ法等で形成したレジストマスクに対してスリミング処理を施す方法を用いてもよい。また、フォトリソグラフィ法等でダミーパターンを形成し、当該ダミーパターンにサイドウォールを形成した

10

20

30

40

50

後にダミーパターンを除去し、残存したサイドウォールをマスクとして用いて、被加工膜をエッチングしてもよい。また被加工膜のエッチングとして、高いアスペクト比を実現するために、異方性のドライエッチングを用いることが好ましい。また、無機膜または金属膜からなるハードマスクを用いてもよい。

【0122】

レジストマスクの形成に用いる光は、例えばi線（波長365nm）、g線（波長436nm）、h線（波長405nm）、またはこれらを混合させた光を用いることができる。そのほか、紫外線やKrFレーザ光、またはArFレーザ光等を用いることもできる。また、液浸露光技術により露光を行ってもよい。また、露光に用いる光として、極端紫外光（EUV: Extreme Ultra-violet）やX線を用いてもよい。また、露光に用いる光に換えて、電子ビームを用いることもできる。極端紫外光、X線または電子ビームを用いると、極めて微細な加工が可能となるため好ましい。なお、電子ビームなどのビームを走査することにより露光を行う場合には、フォトマスクは不要である。

10

【0123】

また、レジストマスクとなるレジスト膜を形成する前に、被加工膜とレジスト膜との密着性を改善する機能を有する有機樹脂膜を形成してもよい。当該有機樹脂膜は、例えばスピコート法などにより、その下層の段差を被覆して表面を平坦化するように形成することができ、当該有機樹脂膜の上層に設けられるレジストマスクの厚さのばらつきを低減できる。また特に微細な加工を行う場合には、当該有機樹脂膜として、露光に用いる光に対する反射防止膜として機能する材料を用いることが好ましい。このような機能を有する有機樹脂膜としては、例えばBARC（Bottom Anti-Reflection Coating）膜などがある。当該有機樹脂膜は、レジストマスクの除去と同時に除去するか、レジストマスクを除去した後に除去すればよい。

20

【0124】

次に、開口又は溝が形成された当該絶縁体102上に、バリア膜103を設ける。バリア膜103としては、50nm程度の厚みを有する酸化アルミニウムを用いると好ましい。（図3（b））

【0125】

バリア膜103より下層に設けられる積層体は、昇温脱離ガス分光法分析（TDS分析ともよぶ）によって測定される、基板表面温度が400℃での水素分子の脱離量が、300℃で水素分子の脱離量の130%以下、好ましくは110%以下であることが好ましい。または、TDS分析によって基板表面温度が450℃での水素分子の脱離量が、350℃での脱離量の130%以下、好ましくは110%以下であることが好ましい。

30

【0126】

バリア膜103は、これよりも下層から水及び水素が上層に拡散することを抑制する機能を有する層である。なお、バリア膜103はこの上方に設けられる電極または配線と、下方に設けられる電極または配線とを電氣的に接続するための開口やプラグを有していてもよい。

【0127】

バリア膜103に用いることのできる材料としては、窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウムなどが挙げられる。特に、酸化アルミニウムは水や水素や酸素に対するバリア性に優れているため好ましい。

40

【0128】

バリア膜103は水や水素を透過しにくい材料の層のほかに、他の絶縁材料を含む層を積層させて用いてもよい。例えば、酸化シリコンまたは酸化窒化シリコンを含む層、金属酸化物を含む層などを積層させて用いてもよい。

【0129】

また、バリア膜103は、酸素を透過しにくい材料を用いることが好ましい。上述した

50

材料は、水素、水に加え酸素に対してもバリア性に優れた材料である。このような材料を用いることで、後に設けられる絶縁体106を加熱した時に放出される酸素がバリア膜103よりも下層に拡散することを抑制することができる。その結果、絶縁体106から放出され、半導体107、108、113に供給されうる酸素の量を増大させることができる。

【0130】

また、バリア膜103自体に含まれる水や水素も低減されていることが好ましい。例えばバリア膜103として、TDS分析によって基板表面温度が20℃から600℃の範囲における水素分子($M/z=2$)の脱離量が、 2×10^{15} 個/cm²未満、好ましくは 1×10^{15} 個/cm²未満、より好ましくは 5×10^{14} 個/cm²未満である材料をバリア膜103に用いることが好ましい。または、TDS分析によって基板表面温度が20℃から600℃の範囲における水分子($M/z=18$)の脱離量が、 1×10^{16} 個/cm²未満、好ましくは 5×10^{15} 個/cm²未満、より好ましくは 2×10^{12} 個/cm²未満である材料をバリア膜103に用いることが好ましい。

【0131】

次に、バリア膜103上に、導電体104を設ける。(図3(c))

【0132】

導電体104としては、タンタル、タングステン、チタン、モリブデン、クロム、ニオブ等から選択された金属、またはこれらの金属を主成分とする合金材料若しくは化合物材料を用いることが好ましい。また、リン等の不純物を添加した多結晶シリコンを用いることができる。また、金属窒化物膜と上記の金属膜の積層構造を用いてもよい。金属窒化物としては、窒化タングステン、窒化モリブデン、窒化チタンを用いることができる。金属窒化物膜を設けることにより、金属膜の密着性を向上させることができ、剥離を防止することができる。

【0133】

また、導電体104は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化シリコンを添加したインジウム錫酸化物等の透光性を有する導電性材料を適用することもできる。また、上記透光性を有する導電性材料と、上記金属の積層構造とすることもできる。

【0134】

導電体104は、スパッタリング法、蒸着法、CVD法(熱CVD法、MOCVD法、PECVD法等を含む)などにより成膜することができる。またプラズマによるダメージを減らすには、熱CVD法、MOCVD法あるいはALD法が好ましい。

【0135】

次に、導電体104をCMP(Chemical Mechanical Polishing)法等を用いた平坦化処理により平坦化されていてもよい。

【0136】

その際、導電体104を、絶縁体102の開口又は溝の設けられていない領域上のバリア膜103の上面と、導電体104の上面との高さが揃うまで、CMP法により削ってもよいし、途中で止めてもよい。

【0137】

次に、導電体104をエッチングし、導電体104aを得る。ここでは、導電体104aの上面は、絶縁体102の開口又は溝の設けられていない領域上のバリア膜103の上面と比べ、低くなるのが好ましく、特に、50nm程度低いことが好ましい。(図3(d))

【0138】

次に、バリア膜105をバリア膜103上及び導電体104a上に設ける。(図4(a))

【0139】

このバリア膜105は、In-Ga-Zn系酸窒化物半導体膜、In-Sn系酸窒化物半導体膜、In-Ga系酸窒化物半導体膜、In-Zn系酸窒化物半導体膜、Sn系酸窒化物半導体膜、In系酸窒化物半導体膜、金属窒化膜(InN、ZnN等)等を設けることができる。これらの膜は5 eV以上、好ましくは5.5 eV以上の仕事関数を有し、酸化物半導体の電子親和力よりも大きい値であるため、酸化物半導体を用いたトランジスタのしきい値電圧をプラスにシフトすることができ、所謂ノーマリーオフ特性のスイッチング素子を実現できる。例えば、In-Ga-Zn系酸窒化物半導体膜を用いる場合、少なくとも半導体108aより高い窒素濃度、具体的には7原子%以上のIn-Ga-Zn系酸窒化物半導体膜を用いる。

【0140】

バリア膜105は、酸素を拡散しにくい材料を用いることが好ましい。これにより、導電体104aの酸化を防ぐことができ、導電体104aの抵抗値の増加を防ぐことができる。また、バリア膜105には、バリア膜103と同様の材質、成膜方法等を用いることができる。

【0141】

次に、バリア膜105を、絶縁体102の開口又は溝の設けられていない領域上のバリア膜103の上面と、バリア膜105の上面との高さが揃うまで、CMP法により削り、バリア膜105aを得る(図4(b))。なお、図4(b)では、CMP法により削り、バリア膜105aを得る例を示すが、バリア膜105を削らなくてもよい。

【0142】

次に、厚さ100 nm程度の絶縁体106を設ける。(図4(c))

【0143】

絶縁体106は、後の熱処理などによって酸素を放出する絶縁体であることが好ましい。放出される酸素は、酸化物半導体の酸素欠損を低減するために利用され、トランジスタの電気特性や信頼性を向上させることができる。一方で積層体10の下側に単結晶シリコンを用いた半導体素子などが形成される場合、放出される酸素が単結晶シリコンに達すると、半導体素子の電気特性や信頼性を劣化させる場合がある。上述した酸化アルミニウム膜は、積層体10の下側に位置する素子への酸素の混入を防ぐ機能を有する。そのため、過剰酸素を有する酸化窒化シリコン膜を設けても、電気特性や信頼性を高い素子(例えば、単結晶シリコンを用いたトランジスタ)を作製することができる。

【0144】

絶縁体106は、例えばスパッタリング法、CVD法(熱CVD法、PECVD法等を含む)、MOCVD法、MBE法、ALD法またはPLD法などを用いて形成することができる。特に、当該絶縁体をCVD法、好ましくはプラズマCVD法によって成膜すると、被覆性を向上させることができるため好ましい。またプラズマによるダメージを減らすには、熱CVD法、MOCVD法あるいはALD法が好ましい。

【0145】

絶縁体106に酸素を過剰に含有させるためには、例えば酸素雰囲気下にて絶縁体106の成膜を行えばよい。または、成膜後の絶縁体106に酸素を導入して酸素を過剰に含有する領域を形成してもよく、双方の手段を組み合わせてもよい。

【0146】

例えば、成膜後の絶縁体106に酸素(少なくとも酸素ラジカル、酸素原子、酸素イオンのいずれかを含む)を導入して酸素を過剰に含有する領域を形成する。酸素の導入方法としては、イオン注入法、イオンドーピング法、プラズマイメージョンイオン注入法、プラズマ処理などを用いることができる。

【0147】

酸素導入処理には、酸素を含むガスを用いることができる。酸素を含むガスとしては、酸素、一酸化二窒素、二酸化窒素、二酸化炭素、一酸化炭素などを用いることができる。また、酸素導入処理において、酸素を含むガスに希ガス又は/及び水素を含ませてもよい。例えば、二酸化炭素と水素とアルゴンの混合ガスを用いることも出来る。

10

20

30

40

50

【0148】

また、絶縁体106を形成した後、その上面の平坦性を高めるためにCMP法等を用いた平坦化処理を行ってもよい。

【0149】

また、バリア膜103の上面とバリア膜105aの上面とを、CMP法により処理を行うことで、段差が生じにくいようにすることが好ましい。つまり、絶縁体106の被形成面に段差が生じないようにすることで、絶縁体106の厚みを薄く形成することが出来る。ここでは、厚みを100nmで形成したが、さらに薄く形成することもできる。

【0150】

次に、半導体107、半導体108を形成する。例えば、半導体107は、厚さが15nmの酸化物半導体を、半導体108は、厚さが20nmから40nmの酸化物半導体を用いる。これらの半導体の成膜には、スパッタリング法を用いることが好ましい。その際、半導体107の酸化物半導体の成膜には、In:Ga:Zn=1:3:4〔原子数比〕であるターゲットを用いる。また、半導体108の酸化物半導体の成膜には、In:Ga:Zn=1:1:1〔原子数比〕であるターゲットを用いる。

10

【0151】

当該半導体107及び半導体108は、大気に触れさせることなく連続して成膜することが好ましい。

【0152】

また、半導体107及び半導体108を成膜後、加熱処理を行うことが好ましい。加熱処理は、250℃以上650℃以下、好ましくは300℃以上500℃以下の温度で、不活性ガス雰囲気、酸化性ガスを10ppm以上含む雰囲気、または減圧状態で行えばよい。また、加熱処理の雰囲気は、不活性ガス雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを10ppm以上含む雰囲気で行ってもよい。加熱処理は、半導体を成膜した直後に行ってもよいし、半導体を加工して島状の半導体を形成した後に行ってもよい。加熱処理により、絶縁体106などから半導体107及び108に酸素が供給され、半導体膜中の酸素欠損を低減することができる。

20

【0153】

次に、導電体109を設ける。導電体109としては、厚さが100nm程度のタングステンを用いることが好ましい。この導電体109の成膜には、スパッタリング法を用いることが出来る。

30

【0154】

導電体109の形成には、スパッタリング法の他に、例えば、CVD法（熱CVD法、MOCVD法、PECVD法等を含む）、MBE法、ALD法またはPLD法などを用いて形成することができる。特に、当該導電体をCVD法、好ましくはプラズマCVD法によって成膜すると、被覆性を向上させることができるため好ましい。またプラズマによるダメージを減らすには、熱CVD法、MOCVD法あるいはALD法が好ましい。

【0155】

導電体109、半導体108、半導体107、絶縁体106、バリア膜103、絶縁体102及び絶縁体101に開口を形成する。その際、フォトリソグラフィ法等を用いることができる。導電体109上に、レジストマスクを形成し、導電体109の不要な部分を除去する。その後、レジストマスクを除去し、導電体109をマスクとして、半導体108、半導体107、絶縁体106、バリア膜103に開口を形成する。このようにして、開口110が形成される。（図4（d））

40

【0156】

次に、開口110の内側及び、導電体109上に導電体111及び導電体112を形成する。導電体111及び導電体112の形成は、例えばスパッタリング法、CVD法（熱CVD法、MOCVD法、PECVD法等を含む）、MBE法、ALD法またはPLD法などを用いて形成することができる。（図5（a））

【0157】

50

導電体 111 及び、導電体 112 としては、タンタル、タングステン、チタン、モリブデン、クロム、ニオブ等から選択された金属、またはこれらの金属を主成分とする合金材料若しくは化合物材料を用いることが好ましい。また、リン等の不純物を添加した多結晶シリコンを用いることができる。また、金属窒化物膜と上記の金属膜の積層構造を用いてもよい。金属窒化物としては、窒化タングステン、窒化モリブデン、窒化チタンを用いることができる。金属窒化物膜を設けることにより、金属膜の密着性を向上させることができ、剥離を防止することができる。

【0158】

次に、導電体 112 を CMP 法等などの平坦化処理により平坦化してもよい。その際、導電体 112 を、導電体 112 の上面が、導電体 111 の上面と高さが揃うまで CMP 法により削ってもよいし、途中で止めてもよい。また、ウェットエッチング法などにより、導電体 112 をエッチングしてもよい。このようにして、導電体 112 a 及び 112 b を得る。(図 5 (b))

【0159】

次に、導電体 111 及び導電体 112 a 及び導電体 112 b 上に、フォトリソグラフィ法等を用いてレジストマスクを形成する。当該レジストマスクを用いて、導電体 111 の不要な部分を除去し、導電体 111 a を得る。その後、レジストマスクを除去し、導電体 111 a をマスクとして、導電体 109、半導体 108、半導体 107、をエッチングする。このようにして、導電体 109 a、半導体 108 a、半導体 107 a を得る。ここで、導電体 109 a、半導体 108 a、半導体 107 a をエッチングする際、絶縁体 106 の一部がエッチングされることがある。したがって、エッチングされる深さを考慮して予め厚く絶縁体 106 を形成しておくことが好ましい。(図 5 (c))

【0160】

次いで、導電体 109 a 上に位置する導電体 111 a を除去し、導電体 111 b 及び導電体 111 c を得る。ここで、プラグ 120 a、120 b が形成される。そして、導電体 109 a の一部をエッチングし、導電体 109 b 及び導電体 109 c を得る。この際、フォトリソグラフィ法等を用いることができる。ここで、導電体 109 a のエッチングし、導電体 109 b 及び、導電体 109 c を得る際に、半導体 108 a の一部がエッチングされ、導電体 109 b 及び導電体 109 c と重ならない部分が薄膜化することがある。したがって、半導体 108 となる半導体厚さを、エッチングされる深さを考慮して予め厚く形成しておくことが好ましい。(図 6 (a))

【0161】

また、プラグ 120 a、120 b は、半導体 108 a と重なる導電体 109 b、109 c に形成された開口に設けられるため素子の微細化が図られる。

【0162】

また、導電体 109 b、109 c、半導体 108 a 及び半導体 107 a と同じ層から配線を形成してもよい。

【0163】

続いて、半導体、絶縁体、及び導電体の順に積層して成膜する。その後、当該導電体上にレジストマスクを形成し、当該導電体の不要な部分を除去する。その後レジストマスクを除去することにより、導電体 115 を形成することができる。その際、当該レジストマスクを除去せずに、当該絶縁体、当該半導体の不要な部分を除去して、絶縁体 114、半導体 113 を形成してもよい。また、当該レジストマスクを除去した後に、導電体 115 をマスクとして、当該絶縁体、当該半導体の不要な部分を除去して、絶縁体 114、半導体 113 を形成してもよい。

【0164】

半導体 113 には、厚さが 5 nm の酸化物半導体を用いる。この半導体 113 の成膜には、スパッタリング法を用いることが好ましい。その際、酸化物半導体の成膜には、In : Ga : Zn = 1 : 3 : 2 [原子数比] であるターゲットを用いる。

【0165】

また、当該半導体 113、絶縁体 114 及び導電体 115 は、大気に触れさせることなく連続して成膜することが好ましい。(図 6 (b))

【0166】

ついで、バリア膜 116 を設ける。バリア膜 116 としては、バリア膜 103 と同様の材質、成膜方法等を用いることが可能である。(図 6 (c))

【0167】

バリア膜 116 の成膜後、加熱処理を行うことが好ましい。加熱処理により、絶縁体 106 等から半導体 107a、108a、113 に対して酸素を供給され、半導体 107a、108a、113 中の酸素欠損を低減することができる。またこのとき、絶縁体 106 から脱離した酸素は、バリア膜 103 及びバリア膜 116 によってブロックされ、バリア膜 103 よりも下層及びバリア膜 116 よりも上層には拡散しないため、当該酸素を効果的に閉じ込めることができる。そのため半導体 107a、108a、113 に供給しうる酸素の量を損なうことなく供給でき、半導体 107a、半導体 108a、半導体 113 中の酸素欠損を効果的に低減することができる。

【0168】

このようにして、トランジスタ 100 を含む積層体 10 が形成される。

【0169】

なお、本実施の形態の一部または全部について、他の実施の形態の一部または全部と自由に、組み合わせ、適用、置き換えて実施することができる。

【0170】

(実施の形態 3)

積層体 10 に含まれるトランジスタ 100 に適用可能なトランジスタの他の構成例について示す。

【0171】

図 9 (A) は、トランジスタの上面概略図であり、図 9 (B)、(C) はそれぞれ、図 9 (A) の切断線 A1-A2、B1-B2 で切断したときの断面概略図である。なお、図 9 (B) はトランジスタのチャンネル長方向の断面に相当し、図 9 (C) はトランジスタのチャンネル幅方向の断面に相当する。

【0172】

図 9 では、図 1 に示したトランジスタ 100 と比較して、半導体 113 が導電体 109b、導電体 109c と半導体 108a との間に設けられ、かつ、半導体 113 は、半導体 108a の上面形状と概略一致するように、同一のフォトリソマスクを用いて加工する例を示している。

【0173】

図 10 (A) は、トランジスタの上面概略図であり、図 10 (B)、(C) はそれぞれ、図 10 (A) の切断線 A1-A2、B1-B2 で切断したときの断面概略図である。なお、図 10 (B) はトランジスタのチャンネル長方向の断面に相当し、図 10 (C) はトランジスタのチャンネル幅方向の断面に相当する。

【0174】

図 10 では、図 1 に示したトランジスタ 100 と比較して、半導体 113、絶縁体 114 及び導電体 115 が、導電体 109b、導電体 109c と重ならないように、半導体 113、絶縁体 114 及び導電体 115 の上面形状が概略一致するように、同一のフォトリソマスクを用いて加工する例を示している。

【0175】

図 11 (A) は、トランジスタの上面概略図であり、図 11 (B)、(C) はそれぞれ、図 11 (A) の切断線 A1-A2、B1-B2 で切断したときの断面概略図である。なお、図 11 (B) はトランジスタのチャンネル長方向の断面に相当し、図 11 (C) はトランジスタのチャンネル幅方向の断面に相当する。

【0176】

図 11 では、図 1 に示したトランジスタ 100 と比較して、導電体 115 が、導電体 1

10

20

30

40

50

09b、導電体109cと重ならないように加工する例を示している。

【0177】

図12(A)は、トランジスタの上面概略図であり、図12(B)、(C)はそれぞれ、図12(A)の切断線A1-A2、B1-B2で切断したときの断面概略図である。なお、図12(B)はトランジスタのチャンネル長方向の断面に相当し、図12(C)はトランジスタのチャンネル幅方向の断面に相当する。

【0178】

図12では、図1に示したトランジスタ100と比較して、導電体109b及び導電体109cが設けられておらず、半導体113、絶縁体114及び導電体115の上面形状と概略一致するように、同一のフォトマスクを用いて加工する例を示している。

10

【0179】

図13(A)は、トランジスタの上面概略図であり、図13(B)、(C)はそれぞれ、図13の切断線A1-A2、B1-B2で切断したときの断面概略図である。なお、図13(B)はトランジスタのチャンネル長方向の断面に相当し、図13(C)はトランジスタのチャンネル幅方向の断面に相当する。

【0180】

図13では、図1に示したトランジスタ100と比較して、導電体104aが絶縁体101と接し、導電体104aの上と絶縁体102の上とにバリア膜103を設けた例を示す。

【0181】

20

図13では、導電体104aに酸化物半導体を用いると好ましい。その際、絶縁体101に水素を含む窒化シリコンを用いると好ましい。酸化物半導体と水素を含む窒化シリコンが接することにより酸化物半導体層の導電性が高められる。

【0182】

また、図9乃至図12に示す各トランジスタにおいて、導電体115、導電体109b及び導電体109cと重ならない半導体113、半導体108a、半導体107aの各領域には、各半導体に不純物を添加し低抵抗化すると好ましい。半導体に添加する不純物としては、アルゴン、リン、ホウ素、窒素、アルミニウム、水素、タングステン、クロム、マンガン、バナジウム、チタン、マグネシウム、カルシウムなどを用いることが出来る。なお、不純物を半導体に添加する方法としては、プラズマ処理、イオン注入法などを用いることが出来る。

30

【0183】

なお、本明細書等において「上面形状が概略一致」とは、積層した層と層との間で少なくとも輪郭の一部が重なることをいう。例えば、上層と下層とが、同一のマスクパターン、または一部が同一のマスクパターンにより加工された場合を含む。ただし、厳密には輪郭が重なり合わず、上層が下層の内側に位置することや、上層が下層の外側に位置することもあり、この場合も「上面形状が概略一致」という。

【0184】

また、図9(C)に示すように、トランジスタのチャンネル幅方向の断面において、ゲート電極として機能する導電体115が半導体108aの上面及び側面に面して設けられることで、半導体108aの上面近傍だけでなく側面近傍にまでチャンネルが形成され、実効的なチャンネル幅が増大し、オン状態における電流(オン電流)を高めることができる。特に、半導体108aの幅が極めて小さい(例えば50nm以下、好ましくは30nm以下、より好ましくは20nm以下)場合には、半導体108aの内部にまでチャンネルが形成される領域が広がるため、微細化するほどオン電流に対する寄与が高まる。

40

【0185】

なお、チャンネル長とは、例えば、トランジスタの上面図において、半導体(またはトランジスタがオン状態のときに半導体の中で電流の流れる部分)とゲート電極とが重なる領域、またはチャンネルが形成される領域における、ソース(ソース領域またはソース電極)とドレイン(ドレイン領域またはドレイン電極)との間の距離をいう。なお、一つのトラ

50

ンジスタにおいて、チャンネル長が全ての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャンネル長は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル長は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

【0186】

チャンネル幅とは、例えば、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが重なる領域、またはチャンネルが形成される領域における、ソースとドレインとが向かい合っている部分の長さをいう。なお、一つのトランジスタにおいて、チャンネル幅がすべての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャンネル幅は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル幅は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

10

【0187】

なお、トランジスタの構造によっては、実際にチャンネルの形成される領域におけるチャンネル幅（以下、実効的なチャンネル幅と呼ぶ。）と、トランジスタの上面図において示されるチャンネル幅（以下、見かけ上のチャンネル幅と呼ぶ。）と、が異なる場合がある。例えば、立体的な構造を有するトランジスタでは、実効的なチャンネル幅が、トランジスタの上面図において示される見かけ上のチャンネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつ立体的な構造を有するトランジスタでは、半導体の上面に形成されるチャンネル領域の割合に対して、半導体の側面に形成されるチャンネル領域の割合が大きくなる場合がある。その場合は、上面図において示される見かけ上のチャンネル幅よりも、実際にチャンネルの形成される実効的なチャンネル幅の方が大きくなる。

20

【0188】

ところで、立体的な構造を有するトランジスタにおいては、実効的なチャンネル幅の、実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャンネル幅を見積もるためには、半導体の形状が既知という仮定が必要である。したがって、半導体の形状が正確にわからない場合には、実効的なチャンネル幅を正確に測定することは困難である。

【0189】

そこで、本明細書では、トランジスタの上面図において、半導体とゲート電極とが重なる領域における、ソースとドレインとが向かい合っている部分の長さである見かけ上のチャンネル幅を、「囲い込みチャンネル幅（SCW: Surrounded Channel Width）」と呼ぶ場合がある。また、本明細書では、単にチャンネル幅と記載した場合には、囲い込みチャンネル幅または見かけ上のチャンネル幅を指す場合がある。または、本明細書では、単にチャンネル幅と記載した場合には、実効的なチャンネル幅を指す場合がある。なお、チャンネル長、チャンネル幅、実効的なチャンネル幅、見かけ上のチャンネル幅、囲い込みチャンネル幅などは、断面TEM像などを取得して、その画像を解析することなどによって、値を決定することができる。

30

【0190】

なお、トランジスタの電界効果移動度や、チャンネル幅当たりの電流値などを計算して求める場合、囲い込みチャンネル幅を用いて計算する場合がある。その場合には、実効的なチャンネル幅を用いて計算する場合とは異なる値をとる場合がある。

40

【0191】

なお、本実施の形態の一部または全部について、他の実施の形態の一部または全部と自由に、組み合わせ、適用、置き換えて実施することができる。

【0192】

（実施の形態4）

〔構成例〕

図7（A）は、本発明の一態様の半導体装置の回路図の一例である。図7（A）に示す半導体装置は、トランジスタ200と、トランジスタ100と、容量130と、配線BL

50

と、配線WLと、配線CLと、配線BGとを有する。

【0193】

本実施の形態では、図2に示した積層構造の一実施形態を示す。本実施の形態では、積層体20として単結晶シリコン半導体を用い、積層体20上に積層体10を重ね、さらに上に積層体30として容量を重ねた例について示す。

【0194】

トランジスタ200は、ソースまたはドレインの一方が配線BLと電氣的に接続し、他方が配線SLと電氣的に接続し、ゲートがトランジスタ100のソースまたはドレインの一方及び容量130の一方の電極と電氣的に接続する。トランジスタ100は、ソースまたはドレインの他方が配線BLと電氣的に接続し、ゲートが配線WLと電氣的に接続する。容量130は、他方の電極が配線CLと電氣的に接続する。また配線BGはトランジスタ100の第2のゲートと電氣的に接続する。なお、トランジスタ200のゲートと、トランジスタ100のソースまたはドレインの一方と、容量130の一方の電極の間のノードをノードFNと呼ぶ。

【0195】

図7(A)に示す半導体装置は、トランジスタ100が導通状態(オン状態)の時に配線BLの電位に応じた電位を、ノードFNに与える。また、トランジスタ100が非導通状態(オフ状態)のときに、ノードFNの電位を保持する機能を有する。すなわち、図7(A)に示す半導体装置は、記憶装置のメモリセルとしての機能を有する。なお、ノードFNと電氣的に接続する液晶素子や有機EL(Electroluminescence)素子などの表示素子を有する場合、図7(A)の半導体装置は表示装置の画素として機能させることもできる。

【0196】

トランジスタ100の導通状態、非導通状態の選択は、配線WLまたは配線BGに与える電位によって制御することができる。また配線WLまたは配線BGに与える電位によってトランジスタ100のしきい値電圧を制御することができる。トランジスタ100として、オフ電流の小さいトランジスタを用いることによって、非導通状態におけるノードFNの電位を長期間に渡って保持することができる。したがって、半導体装置のリフレッシュ頻度を低減することができるため、消費電力の小さい半導体装置を実現することができる。なお、オフ電流の小さいトランジスタの一例として、酸化物半導体を用いたトランジスタが挙げられる。

【0197】

なお、配線CLには基準電位や接地電位、または任意の固定電位などの定電位が与えられる。このとき、ノードFNの電位によって、トランジスタ100の見かけ上のしきい値電圧が変動する。見かけ上のしきい値電圧の変動により、トランジスタ200の導通状態、非導通状態が変化することを利用し、ノードFNに保持された電位の情報をデータとして読み出すことができる。

【0198】

なお、ノードFNに保持された電位を85℃において10年間(3.15×10^8 秒)保持するためには、容量1fFあたり、トランジスタのチャネル幅1μmあたりのオフ電流の値が4.3yA(ヨクトアンペア: 1yAは 10^{-24} A)未満であることが好ましい。このとき、許容されるノードFNの電位の変動が0.5V以内であることが好ましい。または、95℃において、上記オフ電流が1.5yA未満であることが好ましい。本発明の一態様の半導体装置は、バリア膜よりも下層の水素濃度が十分に低減されているため、その結果、その上層の酸化物半導体を用いたトランジスタは、このように極めて低いオフ電流を実現することができる。

【0199】

また、酸化物半導体を用いたトランジスタのサブスレッショルドスイング値(S値)は、66mV/déc.以上、好ましくは60mV/déc.以上、より好ましくは50mV/déc.以上であり、200mV/déc.以下、好ましくは150mV/déc.

以下、より好ましくは $100\text{mV}/\text{dec.}$ 以下、さらに好ましくは $80\text{mV}/\text{dec.}$ 以下であることが好ましい。S値が小さいほど、トランジスタをオフする特定の電圧におけるオフ電流を小さくすることができる。

【0200】

図7(A)に示す半導体装置をマトリクス状に配置することで、記憶装置(メモリセルアレイ)を構成することができる。

【0201】

図7(B)に、図7(A)で示した回路を実現可能な半導体装置の断面構成の一例を示す。

【0202】

半導体装置は、トランジスタ200、トランジスタ100、及び容量130を有する。トランジスタ100はトランジスタ200の上に設けられ、トランジスタ200とトランジスタ100の間にはバリア膜103が設けられている。

【0203】

トランジスタ200は、半導体基板711上に設けられ、半導体基板711の一部からなる半導体712、ゲート絶縁膜714、ゲート電極715、及びソース領域またはドレイン領域として機能する低抵抗領域713a及び低抵抗領域713bを有する。

【0204】

トランジスタ200は、pチャネル型、nチャネル型のいずれでもよいが、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

【0205】

半導体712のチャンネルが形成される領域やその近傍の領域や、ソース領域またはドレイン領域となる低抵抗領域713a及び低抵抗領域713b等において、シリコン系半導体などの半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。または、Ge(ゲルマニウム)、SiGe(シリコンゲルマニウム)、GaAs(ガリウムヒ素)、GaAlAs(ガリウムアルミニウムヒ素)などを有する材料で形成してもよい。結晶格子に歪みを有するシリコンを用いた構成としてもよい。またはGaAsとAlGaAs等を用いることで、トランジスタ200をHEMT(High Electron Mobility Transistor)としてもよい。

【0206】

低抵抗領域713a及び低抵抗領域713bは、半導体712に適用される半導体材料に加え、リンなどのn型の導電性を付与する元素、またはホウ素などのp型の導電性を付与する元素を含む。

【0207】

ゲート電極715は、リンなどのn型の導電性を付与する元素、またはホウ素などのp型の導電性を付与する元素を含むシリコンなどの半導体材料、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。特に、耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、特にタングステンを用いることが好ましい。

【0208】

ここで、トランジスタ200を含む構成が、上記図2における積層体20の一部に対応する。

【0209】

ここで、トランジスタ200に換えて図8に示すようなトランジスタ180を用いてもよい。図8の左側にトランジスタ180のチャンネル長方向の断面を、右側にチャンネル幅方向の断面を示す。図8に示すトランジスタ180はチャンネルが形成される半導体812(半導体基板の一部)が凸形状を有し、その側面及び上面に沿ってゲート絶縁膜814及びゲート電極815が設けられている。このようなトランジスタ180は半導体基板の凸部を利用していることからFIN型トランジスタとも呼ばれる。なお、凸部の上部に接して、凸部を形成するためのマスクとして機能する絶縁膜を有していてもよい。また、ここで

10

20

30

40

50

は半導体基板の一部を加工して凸部を形成する場合を示したが、SOI基板を加工して凸形状を有する半導体を形成してもよい。

【0210】

トランジスタ200を覆って、絶縁体721、絶縁体722、絶縁体723、及び絶縁体724が順に積層して設けられている。

【0211】

絶縁体721は半導体装置の作製工程において、低抵抗領域713a及び低抵抗領域713bに添加された導電性を付与する元素の活性化の際の保護膜として機能する。絶縁体721は不要であれば設けなくてもよい。

【0212】

半導体712にシリコン系半導体材料を用いた場合、絶縁体722は水素を含む絶縁材料を含むことが好ましい。水素を含む絶縁体722をトランジスタ200上に設け、加熱処理を行うことで絶縁体722中の水素により半導体712中のダングリングボンドが終端され、トランジスタ200の信頼性を向上させることができる。

【0213】

絶縁体723は、窒化シリコン膜などを用いることが好ましい。絶縁体723は、絶縁体722から脱離する水素を上層への拡散させないようにするバリア膜としての機能も有する。

【0214】

絶縁体724はその下層に設けられるトランジスタ200などによって生じる段差を平坦化する平坦化層として機能する。絶縁体724の上面は、その上面の平坦性を高めるためにCMP (Chemical Mechanical Polishing) 法等を用いた平坦化処理により平坦化されていてもよい。

【0215】

また、絶縁体724は、HDP-CVD法や、常圧CVD法等により設けられたUSG (Undoped Silicate Glass) 膜を用いてもよい。また、BPSG (Borophosphosilicate Glass) 膜や、BSG (Borosilicate Glass) を用いてもよい。例えば、シランガス、TEOSガス、オゾンガス、酸素ガス、ホスフィン (Phosphine)、ジボラン (diborane)、ホウ酸トリエチル、ホウ酸トリメチル、リン酸トリエチル、リン酸トリメチル、亜リン酸トリメチルなど用いて、BSG膜や、BPSG膜をCVD法により成膜してもよい。USG膜、BPSG膜、BSG膜などは熱処理によるリフローや、CMP法を用いることにより平坦性を高めてもよい。

【0216】

また、絶縁体721、絶縁体722、絶縁体723、絶縁体724には低抵抗領域713aや低抵抗領域713b等と電氣的に接続するプラグ761、763、トランジスタ200のゲート電極715と電氣的に接続するプラグ762等が埋め込まれていてもよい。

【0217】

絶縁体724の上部には、配線731、配線732、及び配線733等が設けられている。

【0218】

配線731はプラグ761と電氣的に接続する。また配線732はプラグ762と電氣的に接続する。また、配線733はプラグ763と電氣的に接続する。

【0219】

配線731、配線732、及び配線733等の材料としては、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。特に、耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、特にタングステンを用いることが好ましい。

【0220】

また配線731、配線732、及び配線733等は、絶縁体725に埋め込まれるよう

10

20

30

40

50

に設けられ、絶縁体 7 2 5 と配線 7 3 1、配線 7 3 2、及び配線 7 3 3 等の各々の上面は平坦化することが好ましい。

【0 2 2 1】

上述した積層体 2 0 の上に上記積層体 1 0 を積層する。

【0 2 2 2】

積層体 1 0 の上に積層体 3 0 を設ける。トランジスタ 1 0 0 を含む積層体 1 0 を覆う絶縁体 7 2 6 は、その下層の凹凸形状を被覆する平坦化層として機能する。また絶縁体 7 0 8 は、絶縁体 7 2 6 を成膜する際の保護膜としての機能を有していてもよい。絶縁体 7 0 8 は不要であれば設けなくてもよい。

【0 2 2 3】

バリア膜 1 1 6、絶縁体 7 0 8 及び絶縁体 7 2 6 には、導電体 1 0 9 b と電氣的に接続するプラグ 7 6 4、導電体 1 1 5 と電氣的に接続するプラグ 7 6 5、ゲート電極 7 1 5 及び導電体 1 0 9 c と電氣的に接続するプラグ 7 6 6 と、トランジスタ 2 0 0 の低抵抗領域 7 1 3 b と電氣的に接続するプラグ 7 6 7 等が埋め込まれている。

【0 2 2 4】

絶縁体 7 2 6 の上には、プラグ 7 6 4 と電氣的に接続する配線 7 5 1、プラグ 7 6 5 と電氣的に接続する配線 7 5 2、プラグ 7 6 6 と電氣的に接続する配線 7 5 3 と、プラグ 7 6 7 と電氣的に接続する配線 7 5 4 等が設けられている。

【0 2 2 5】

また配線 7 5 1、配線 7 5 2、配線 7 5 3 及び配線 7 5 4 等は、絶縁体 7 2 7 に埋め込まれるように設けられ、配線 7 5 1、配線 7 5 2、配線 7 5 3、配線 7 5 4、絶縁体 7 2 7 等の各々の上面は平坦化することが好ましい。

【0 2 2 6】

絶縁体 7 2 7 の上には、絶縁体 7 2 8 が設けられる。この絶縁体 7 2 8 には配線 7 5 1 と電氣的に接続するプラグ 7 6 8、配線 7 5 3 と電氣的に接続するプラグ 7 6 9、配線 7 5 4 と電氣的に接続するプラグ 7 7 0 等が設けられている。

【0 2 2 7】

絶縁体 7 2 8 の上には、プラグ 7 6 8 と電氣的に接続する配線 7 5 5、プラグ 7 6 9 と電氣的に接続する電極 7 8 1、プラグ 7 7 0 と電氣的に接続する配線 7 5 6 等が設けられる。なお、電極 7 8 1 は、その一部が配線としても機能する。

【0 2 2 8】

また、配線 7 5 5、配線 7 5 6、電極 7 8 1 等は、絶縁体 7 2 9 に埋め込まれるように設けられ、配線 7 5 5、配線 7 5 6、電極 7 8 1、絶縁体 7 2 9 等の各々の上面は平坦化することが好ましい。

【0 2 2 9】

絶縁体 7 8 2 は、電極 7 8 1 上に接して設けられ、電極 7 8 3 は、絶縁体 7 8 2 の上に接して設けられる。電極 7 8 1、絶縁体 7 8 2、電極 7 8 3 は容量 1 3 0 を構成する。なお、電極 7 8 3 は、その一部が配線としても機能する。

【0 2 3 0】

絶縁体 7 2 9 上に、絶縁体 7 3 0 が設けられ、容量 1 3 0 は絶縁体 7 3 0 に埋め込まれている。また、絶縁体 7 3 0 には、配線 7 5 5 と電氣的に接続するプラグ 7 7 1、配線 7 5 6 と電氣的に接続するプラグ 7 7 2 等が設けられる。

【0 2 3 1】

絶縁体 7 3 0 上には、プラグ 7 7 1 に電氣的に接続する配線 7 5 7、プラグ 7 7 2 に電氣的に接続する配線 7 5 8 等が設けられる。

【0 2 3 2】

また、配線 7 5 7、配線 7 5 8 等は、絶縁体 7 4 1 に埋め込まれるように設けられ、配線 7 5 7、配線 7 5 8、絶縁体 7 4 1 等の各々の上面は平坦化することが好ましい。

【0 2 3 3】

絶縁体 7 4 1 の上には、絶縁体 7 4 2 が設けられる。この絶縁体 7 4 2 には、配線 7 5

10

20

30

40

50

8に電氣的に接続するプラグ773等が設けられる。

【0234】

絶縁体742上には、プラグ773に電氣的に接続する配線759が設けられる。

【0235】

また、配線759は、絶縁体743に埋め込まれるように設けられ、配線759と絶縁体743等の各々の上面は平坦化することが好ましい。

【0236】

絶縁体743上に絶縁体744が設けられる。

【0237】

ここで、図7(B)において、配線757が図7(A)に示す配線BLに相当する。同様に配線752が配線WLに相当し、電極783が配線CLに相当し、導電体104a及びバリア膜105aが配線BGに相当する。またトランジスタ200のゲート電極715、容量130の電極781、及びトランジスタ100の導電体109cを含むノードが、図7(A)に示すノードFNに相当する。

【0238】

本発明の一態様の半導体装置は、トランジスタ200と、トランジスタ200の上方に位置するトランジスタ100と、トランジスタ100の上方に位置する容量130とを有するため、これらを積層して設けることにより素子の占有面積を縮小することができる。さらに、トランジスタ200とトランジスタ100との間に設けられたバリア膜103により、これよりも下層に存在する水や水素等の不純物がトランジスタ100側に拡散することを抑制できる。

【0239】

本実施の形態では、容量130をトランジスタ100の上方に配置する例を示したが、容量130を別の位置に配置してもよい。例えば、トランジスタ200とトランジスタ100の間に配置してもよい。また、容量130の電極は、金属を用いてもよいが、半導体材料を用いてもよい。半導体材料としては、不純物が添加された多結晶シリコンを用いるとよい。

【0240】

なお、本実施の形態の一部または全部について、他の実施の形態の一部または全部と自由に、組み合わせ、適用、置き換えて実施することができる。

【0241】

(実施の形態5)

本実施の形態では、本発明の一態様の半導体装置の半導体に好適に用いることのできる酸化物半導体について説明する。

【0242】

酸化物半導体は、エネルギーギャップが3.0eV以上と大きく、酸化物半導体を適切な条件で加工し、そのキャリア密度を十分に低減して得られた酸化物半導体膜が適用されたトランジスタにおいては、オフ状態でのソースとドレイン間のリーク電流(オフ電流)を、従来のシリコンを用いたトランジスタと比較して極めて低いものとすることができる。

【0243】

適用可能な酸化物半導体としては、少なくともインジウム(In)あるいは亜鉛(Zn)を含むことが好ましい。特にInとZnを含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザとして、それらに加えてガリウム(Ga)、スズ(Sn)、ハフニウム(Hf)、ジルコニウム(Zr)、チタン(Ti)、スカンジウム(Sc)、イットリウム(Y)、ランタノイド(例えば、セリウム(Ce)、ネオジム(Nd)、ガドリニウム(Gd))から選ばれた一種、または複数種が含まれていることが好ましい。

【0244】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、In-Zn系酸

10

20

30

40

50

化物、 $\text{Sn}-\text{Zn}$ 系酸化物、 $\text{Al}-\text{Zn}$ 系酸化物、 $\text{Zn}-\text{Mg}$ 系酸化物、 $\text{Sn}-\text{Mg}$ 系酸化物、 $\text{In}-\text{Mg}$ 系酸化物、 $\text{In}-\text{Ga}$ 系酸化物、 $\text{In}-\text{Ga}-\text{Zn}$ 系酸化物（ IGZO とも表記する）、 $\text{In}-\text{Al}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Sn}-\text{Zn}$ 系酸化物、 $\text{Sn}-\text{Ga}-\text{Zn}$ 系酸化物、 $\text{Al}-\text{Ga}-\text{Zn}$ 系酸化物、 $\text{Sn}-\text{Al}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Hf}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Zr}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Ti}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Sc}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Y}-\text{Zn}$ 系酸化物、 $\text{In}-\text{La}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Ce}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Pr}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Nd}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Sm}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Eu}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Gd}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Tb}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Dy}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Ho}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Er}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Tm}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Yb}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Lu}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Sn}-\text{Ga}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Hf}-\text{Ga}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Al}-\text{Ga}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Sn}-\text{Al}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Sn}-\text{Hf}-\text{Zn}$ 系酸化物、 $\text{In}-\text{Hf}-\text{Al}-\text{Zn}$ 系酸化物を用いることができる。

【0245】

ここで、 $\text{In}-\text{Ga}-\text{Zn}$ 系酸化物とは、 In と Ga と Zn を主成分として有する酸化物という意味であり、 In と Ga と Zn の比率は問わない。また、 In と Ga と Zn 以外の金属元素が入っていてもよい。

【0246】

また、酸化物半導体として、 $\text{In}_{1+\alpha}\text{M}_{1-\alpha}\text{O}_3(\text{ZnO})_m$ ($-1 \leq \alpha \leq 1$ 、 $m > 0$ 、且つ、 m は整数でない) で表記される材料を用いてもよい。なお、 M は、 Ga 、 Fe 、 Mn 及び Co から選ばれた一の金属元素または複数の金属元素、若しくは上記のスタビライザとしての元素を示す。また、酸化物半導体として、 $\text{In}_2\text{SnO}_5(\text{ZnO})_n$ ($n > 0$ 、且つ、 n は整数) で表記される材料を用いてもよい。

【0247】

例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ 、 $\text{In}:\text{Ga}:\text{Zn}=1:3:2$ 、 $\text{In}:\text{Ga}:\text{Zn}=1:3:4$ 、 $\text{In}:\text{Ga}:\text{Zn}=1:3:6$ 、 $\text{In}:\text{Ga}:\text{Zn}=3:1:2$ あるいは $\text{In}:\text{Ga}:\text{Zn}=2:1:3$ の原子数比の $\text{In}-\text{Ga}-\text{Zn}$ 系酸化物やその組成の近傍の酸化物を用いるとよい。

【0248】

酸化物半導体膜に水素が多量に含まれると、酸化物半導体と結合することによって、水素の一部がドナーとなり、キャリアである電子を生じてしまう。これにより、トランジスタのしきい値電圧がマイナス方向にシフトしてしまう。そのため、酸化物半導体膜の形成後において、脱水処理（脱水素化処理）を行い酸化物半導体膜から、水素、又は水分を除去して不純物が極力含まれないように高純度化することが好ましい。

【0249】

なお、酸化物半導体膜への脱水化処理（脱水素化処理）によって、酸化物半導体膜から酸素も同時に減少してしまうことがある。よって、酸化物半導体膜への脱水化処理（脱水素化処理）によって増加した酸素欠損を補填するために酸素を酸化物半導体に加える処理を行うことが好ましい。本明細書等において、酸化物半導体膜に酸素を供給する場合を、加酸素化処理と記す場合がある、または酸化物半導体膜に含まれる酸素を化学量論的組成よりも多くする場合を過酸素化処理と記す場合がある。

【0250】

このように、酸化物半導体膜は、脱水化処理（脱水素化処理）により、水素または水分が除去され、加酸素化処理により酸素欠損を補填することによって、 i 型（真性）化または i 型に限りなく近く実質的に i 型（真性）である酸化物半導体膜とすることができる。なお、実質的に真性とは、酸化物半導体膜中にドナーに由来するキャリアが極めて少なく（ゼロに近く）、キャリア密度が $1 \times 10^{17} / \text{cm}^3$ 以下、 $1 \times 10^{16} / \text{cm}^3$ 以下、 $1 \times 10^{15} / \text{cm}^3$ 以下、 $1 \times 10^{14} / \text{cm}^3$ 以下、 $1 \times 10^{13} / \text{cm}^3$ 以下であることをいう。

【0251】

10

20

30

40

50

またこのように、i 型又は実質的に i 型である酸化物半導体膜を備えるトランジスタは、極めて優れたオフ電流特性を実現できる。例えば、酸化物半導体膜を用いたトランジスタがオフ状態のときのドレイン電流を、室温（25℃程度）にて 1×10^{-18} A 以下、好ましくは 1×10^{-21} A 以下、さらに好ましくは 1×10^{-24} A 以下、または85℃にて 1×10^{-15} A 以下、好ましくは 1×10^{-18} A 以下、さらに好ましくは 1×10^{-21} A 以下とすることができる。なお、トランジスタがオフ状態とは、nチャネル型のトランジスタの場合、ゲート電圧がしきい値電圧よりも十分小さい状態をいう。具体的には、ゲート電圧がしきい値電圧よりも1 V以上、2 V以上または3 V以上小さければ、トランジスタはオフ状態となる。

【0252】

<酸化物半導体の構造について>

以下では、酸化物半導体の構造について説明する。

【0253】

酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体とに分けられる。非単結晶酸化物半導体としては、CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor)、多結晶酸化物半導体、微結晶酸化物半導体、非晶質酸化物半導体などがある。

【0254】

また別の観点では、酸化物半導体は、非晶質酸化物半導体と、それ以外の結晶性酸化物半導体とに分けられる。結晶性酸化物半導体としては、単結晶酸化物半導体、CAAC-OS、多結晶酸化物半導体、微結晶酸化物半導体などがある。

【0255】

<CAAC-OS>

まずは、CAAC-OSについて説明する。なお、CAAC-OSを、CANC (C Axis Aligned nanocrystals) を有する酸化物半導体と呼ぶこともできる。

【0256】

CAAC-OSは、c軸配向した複数の結晶部（ペレットともいう。）を有する酸化物半導体の一つである。

【0257】

透過型電子顕微鏡（TEM: Transmission Electron Microscope）によって、CAAC-OSの明視野像と回折パターンとの複合解析像（高分解能TEM像ともいう。）を観察すると、複数のペレットを確認することができる。一方、高分解能TEM像ではペレット同士の境界、即ち結晶粒界（グレインバウンダリーともいう。）を明確に確認することができない。そのため、CAAC-OSは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【0258】

以下では、TEMによって観察したCAAC-OSについて説明する。図14（A）に、試料面と略平行な方向から観察したCAAC-OSの断面の高分解能TEM像を示す。高分解能TEM像の観察には、球面収差補正（Spherical Aberration Corrector）機能を用いた。球面収差補正機能を用いた高分解能TEM像を、特にCs補正高分解能TEM像と呼ぶ。Cs補正高分解能TEM像の取得は、例えば、日本電子株式会社製原子分解能分析電子顕微鏡JEM-ARM200Fなどによって行うことができる。

【0259】

図14（A）の領域（1）を拡大したCs補正高分解能TEM像を図14（B）に示す。図14（B）より、ペレットにおいて、金属原子が層状に配列していることを確認できる。金属原子の各層の配列は、CAAC-OSの膜を形成する面（被形成面ともいう。）または上面の凹凸を反映しており、CAAC-OSの被形成面または上面と平行となる。

【0260】

10

20

30

40

50

図14 (B) に示すように、CAAC-Osは特徴的な原子配列を有する。図14 (C) は、特徴的な原子配列を、補助線で示したものである。図14 (B) および図14 (C) より、ペレット一つの大きさは1 nm以上3 nm以下程度であり、ペレットとペレットとの傾きにより生じる隙間の大きさは0.8 nm程度であることがわかる。したがって、ペレットを、ナノ結晶 (nc: nanocrystal) と呼ぶこともできる。

【0261】

ここで、Cs補正高分解能TEM像をもとに、基板5120上のCAAC-Osのペレット5100の配置を模式的に示すと、レンガまたはブロックが積み重なったような構造となる(図14 (D) 参照。)。図14 (C) で観察されたペレットとペレットとの間で傾きが生じている箇所は、図14 (D) に示す領域5161に相当する。

【0262】

また、図15 (A) に、試料面と略垂直な方向から観察したCAAC-Osの平面のCs補正高分解能TEM像を示す。図15 (A) の領域(1)、領域(2) および領域(3) を拡大したCs補正高分解能TEM像を、それぞれ図15 (B)、図15 (C) および図15 (D) に示す。図15 (B)、図15 (C) および図15 (D) より、ペレットは、金属原子が三角形状、四角形状または六角形状に配列していることを確認できる。しかしながら、異なるペレット間で、金属原子の配列に規則性は見られない。

【0263】

次に、X線回折(XRD: X-Ray Diffraction)によって解析したCAAC-Osについて説明する。例えば、InGaZnO₄の結晶を有するCAAC-Osに対し、out-of-plane法による構造解析を行うと、図16 (A) に示すように回折角(2θ)が31°近傍にピークが現れる場合がある。このピークは、InGaZnO₄の結晶の(009)面に帰属されることから、CAAC-Osの結晶がc軸配向性を有し、c軸が被形成面または上面に略垂直な方向を向いていることが確認できる。

【0264】

なお、CAAC-Osのout-of-plane法による構造解析では、2θが31°近傍のピークの他に、2θが36°近傍にもピークが現れる場合がある。2θが36°近傍のピークは、CAAC-Os中の一部に、c軸配向性を有さない結晶が含まれることを示している。より好ましいCAAC-Osは、out-of-plane法による構造解析では、2θが31°近傍にピークを示し、2θが36°近傍にピークを示さない。

【0265】

一方、CAAC-Osに対し、c軸に略垂直な方向からX線を入射させるin-plane法による構造解析を行うと、2θが56°近傍にピークが現れる。このピークは、InGaZnO₄の結晶の(110)面に帰属される。CAAC-Osの場合は、2θを56°近傍に固定し、試料面の法線ベクトルを軸(φ軸)として試料を回転させながら分析(φスキャン)を行っても、図16 (B) に示すように明瞭なピークは現れない。これに対し、InGaZnO₄の単結晶酸化物半導体であれば、2θを56°近傍に固定してφスキャンした場合、図16 (C) に示すように(110)面と等価な結晶面に帰属されるピークが6本観察される。したがって、XRDを用いた構造解析から、CAAC-Osは、a軸およびb軸の配向が不規則であることが確認できる。

【0266】

次に、電子回折によって解析したCAAC-Osについて説明する。例えば、InGaZnO₄の結晶を有するCAAC-Osに対し、試料面に平行にプローブ径が300 nmの電子線を入射させると、図17 (A) に示すような回折パターン(制限視野透過電子回折パターンともいう。)が現れる場合がある。この回折パターンには、InGaZnO₄の結晶の(009)面に起因するスポットが含まれる。したがって、電子回折によっても、CAAC-Osに含まれるペレットがc軸配向性を有し、c軸が被形成面または上面に略垂直な方向を向いていることがわかる。一方、同じ試料に対し、試料面に垂直にプローブ径が300 nmの電子線を入射させたときの回折パターンを図17 (B) に示す。図17 (B) より、リング状の回折パターンが確認される。したがって、電子回折によっても、

10

20

30

40

50

C A A C - O S に含まれるペレットの a 軸および b 軸は配向性を有さないことがわかる。なお、図 17 (B) における第 1 リングは、 InGaZnO_4 の結晶の (010) 面および (100) 面などに起因すると考えられる。また、図 17 (B) における第 2 リングは (110) 面などに起因すると考えられる。

【0267】

また、C A A C - O S は、欠陥準位密度の低い酸化物半導体である。酸化物半導体の欠陥としては、例えば、不純物に起因する欠陥や、酸素欠損などがある。したがって、C A A C - O S は、不純物濃度の低い酸化物半導体ということもできる。また、C A A C - O S は、酸素欠損の少ない酸化物半導体ということもできる。

【0268】

酸化物半導体に含まれる不純物は、キャリアトラップとなる場合や、キャリア発生源となる場合がある。また、酸化物半導体中の酸素欠損は、キャリアトラップとなる場合や、水素を捕獲することによってキャリア発生源となる場合がある。

【0269】

なお、不純物は、酸化物半導体の主成分以外の元素で、水素、炭素、シリコン、遷移金属元素などがある。例えば、シリコンなどの、酸化物半導体を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体から酸素を奪うことで酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径（または分子半径）が大きいため、酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。

【0270】

また、欠陥準位密度の低い（酸素欠損が少ない）酸化物半導体は、キャリア密度を低くすることができる。そのような酸化物半導体を、高純度真性または実質的に高純度真性な酸化物半導体と呼ぶ。C A A C - O S は、不純物濃度が低く、欠陥準位密度が低い。即ち、高純度真性または実質的に高純度真性な酸化物半導体となりやすい。したがって、C A A C - O S を用いたトランジスタは、しきい値電圧がマイナスとなる電気特性（ノーマリーオンともいう。）になることが少ない。また、高純度真性または実質的に高純度真性な酸化物半導体は、キャリアトラップが少ない。酸化物半導体のキャリアトラップに捕獲された電荷は、放出するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、不純物濃度が高く、欠陥準位密度が高い酸化物半導体を用いたトランジスタは、電気特性が不安定となる場合がある。一方、C A A C - O S を用いたトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる。

【0271】

また、C A A C - O S は欠陥準位密度が低いため、光の照射などによって生成されたキャリアが、欠陥準位に捕獲されることが少ない。したがって、C A A C - O S を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。

【0272】

<微結晶酸化物半導体>

次に、微結晶酸化物半導体について説明する。

【0273】

微結晶酸化物半導体は、高分解能 T E M 像において、結晶部を確認することのできる領域と、明確な結晶部を確認することのできない領域と、を有する。微結晶酸化物半導体に含まれる結晶部は、1 nm 以上 100 nm 以下、または 1 nm 以上 10 nm 以下の大きさであることが多い。特に、1 nm 以上 10 nm 以下、または 1 nm 以上 3 nm 以下の微結晶であるナノ結晶を有する酸化物半導体を、n c - O S (n a n o c r y s t a l l i n e O x i d e S e m i c o n d u c t o r) と呼ぶ。n c - O S は、例えば、高分解能 T E M 像では、結晶粒界を明確に確認できない場合がある。なお、ナノ結晶は、C A A C - O S におけるペレットと起源を同じくする可能性がある。そのため、以下では n c - O S の結晶部をペレットと呼ぶ場合がある。

【0274】

$nc-Os$ は、微小な領域（例えば、1 nm以上10 nm以下の領域、特に1 nm以上3 nm以下の領域）において原子配列に周期性を有する。また、 $nc-Os$ は、異なるペレット間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、 $nc-Os$ は、分析方法によっては、非晶質酸化物半導体と区別が付かない場合がある。例えば、 $nc-Os$ に対し、ペレットよりも大きい径のX線を用いるXRD装置を用いて構造解析を行うと、*out-of-plane*法による解析では、結晶面を示すピークが検出されない。また、 $nc-Os$ に対し、ペレットよりも大きいプローブ径（例えば50 nm以上）の電子線を用いる電子回折（制限視野電子回折ともいう。）を行うと、ハローパターンのような回折パターンが観測される。一方、 $nc-Os$ に対し、ペレットの大きさと近いペレットより小さいプローブ径の電子線を用いるナノビーム電子回折を行うと、スポットが観測される。また、 $nc-Os$ に対しナノビーム電子回折を行うと、円を描くように（リング状に）輝度の高い領域が観測される場合がある。さらに、リング状の領域内に複数のスポットが観測される場合がある。

10

【0275】

このように、ペレット（ナノ結晶）間では結晶方位が規則性を有さないことから、 $nc-Os$ を、RANC（Random Aligned nanocrystals）を有する酸化物半導体、またはNANC（Non-Aligned nanocrystals）を有する酸化物半導体と呼ぶこともできる。

【0276】

$nc-Os$ は、非晶質酸化物半導体よりも規則性の高い酸化物半導体である。そのため、 $nc-Os$ は、非晶質酸化物半導体よりも欠陥準位密度が低くなる。ただし、 $nc-Os$ は、異なるペレット間で結晶方位に規則性が見られない。そのため、 $nc-Os$ は、CAAC-Osと比べて欠陥準位密度が高くなる。

20

【0277】

<非晶質酸化物半導体>

次に、非晶質酸化物半導体について説明する。

【0278】

非晶質酸化物半導体は、膜中における原子配列が不規則であり、結晶部を有さない酸化物半導体である。石英のような無定形状態を有する酸化物半導体が一例である。

【0279】

非晶質酸化物半導体は、高分解能TEM像において結晶部を確認することができない。

30

【0280】

非晶質酸化物半導体に対し、XRD装置を用いた構造解析を行うと、*out-of-plane*法による解析では、結晶面を示すピークが検出されない。また、非晶質酸化物半導体に対し、電子回折を行うと、ハローパターンが観測される。また、非晶質酸化物半導体に対し、ナノビーム電子回折を行うと、スポットが観測されず、ハローパターンのみが観測される。

【0281】

非晶質構造については、様々な見解が示されている。例えば、原子配列に全く秩序性を有さない構造を完全な非晶質構造（*completely amorphous structure*）と呼ぶ場合がある。また、最近接原子間距離または第2近接原子間距離まで秩序性を有し、かつ長距離秩序性を有さない構造を非晶質構造と呼ぶ場合もある。したがって、最も厳格な定義によれば、僅かでも原子配列に秩序性を有する酸化物半導体を非晶質酸化物半導体と呼ぶことはできない。また、少なくとも、長距離秩序性を有する酸化物半導体を非晶質酸化物半導体と呼ぶことはできない。よって、結晶部を有することから、例えば、CAAC-Osおよび $nc-Os$ を、非晶質酸化物半導体または完全な非晶質酸化物半導体と呼ぶことはできない。

40

【0282】

<非晶質ライク酸化物半導体>

なお、酸化物半導体は、 $nc-Os$ と非晶質酸化物半導体との間の構造を有する場合があ

50

る。そのような構造を有する酸化物半導体を、特に非晶質ライク酸化物半導体（*a-like OS: amorphous-like Oxide Semiconductor*）と呼ぶ。

【0283】

*a-like OS*は、高分解能TEM像において鬆（ポイドともいう。）が観察される場合がある。また、高分解能TEM像において、明確に結晶部を確認することのできる領域と、結晶部を確認することのできない領域と、を有する。

【0284】

鬆を有するため、*a-like OS*は、不安定な構造である。以下では、*a-like OS*が、*CAAC-OS*および*nc-OS*と比べて不安定な構造であることを示すため、電子照射による構造の変化を示す。

【0285】

電子照射を行う試料として、*a-like OS*（試料Aと表記する）、*nc-OS*（試料Bと表記する）および*CAAC-OS*（試料Cと表記する）を準備する。いずれの試料もInGaZn酸化物である。

【0286】

まず、各試料の高分解能断面TEM像を取得する。高分解能断面TEM像により、各試料は、いずれも結晶部を有することがわかる。

【0287】

なお、どの部分を一つの結晶部と見なすかの判定は、以下のように行えばよい。例えば、InGaZnO₄の結晶の単位格子は、In-O層を3層有し、またGa-Zn-O層を6層有する、計9層がc軸方向に層状に重なった構造を有することが知られている。これらの近接する層同士の間隔は、(009)面の格子面間隔（d値ともいう。）と同程度であり、結晶構造解析からその値は0.29nmと求められている。したがって、格子縞の間隔が0.28nm以上0.30nm以下である箇所を、InGaZnO₄の結晶部と見なすことができる。なお、格子縞は、InGaZnO₄の結晶のa-b面に対応する。

【0288】

図18は、各試料の結晶部（22箇所から45箇所）の平均の大きさを調査した例である。ただし、上述した格子縞の長さを結晶部の大きさとしている。図18より、*a-like OS*は、電子の累積照射量に応じて結晶部が大きくなっていくことがわかる。具体的には、図18中に（1）で示すように、TEMによる観察初期においては1.2nm程度の大きさだった結晶部（初期核ともいう。）が、累積照射量が $4.2 \times 10^8 \text{ e}^-/\text{nm}^2$ においては2.6nm程度の大きさまで成長していることがわかる。一方、*nc-OS*および*CAAC-OS*は、電子照射開始時から電子の累積照射量が $4.2 \times 10^8 \text{ e}^-/\text{nm}^2$ までの範囲で、結晶部の大きさに変化が見られないことがわかる。具体的には、図18中の（2）および（3）で示すように、電子の累積照射量によらず、*nc-OS*および*CAAC-OS*の結晶部の大きさは、それぞれ1.4nm程度および2.1nm程度であることがわかる。

【0289】

このように、*a-like OS*は、電子照射によって結晶部の成長が見られる場合がある。一方、*nc-OS*および*CAAC-OS*は、電子照射による結晶部の成長がほとんど見られないことがわかる。即ち、*a-like OS*は、*nc-OS*および*CAAC-OS*と比べて、不安定な構造であることがわかる。

【0290】

また、鬆を有するため、*a-like OS*は、*nc-OS*および*CAAC-OS*と比べて密度の低い構造である。具体的には、*a-like OS*の密度は、同じ組成の単結晶の密度の78.6%以上92.3%未満となる。また、*nc-OS*の密度および*CAAC-OS*の密度は、同じ組成の単結晶の密度の92.3%以上100%未満となる。単結晶の密度の78%未満となる酸化物半導体は、成膜すること自体が困難である。

【0291】

例えば、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ [原子数比] を満たす酸化物半導体において、菱面体晶構造を有する単結晶 InGaZnO_4 の密度は 6.357 g/cm^3 となる。よって、例えば、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ [原子数比] を満たす酸化物半導体において、*a-like OS* の密度は 5.0 g/cm^3 以上 5.9 g/cm^3 未満となる。また、例えば、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ [原子数比] を満たす酸化物半導体において、*nc-OS* の密度および *CAAC-OS* の密度は 5.9 g/cm^3 以上 6.3 g/cm^3 未満となる。

【0292】

なお、同じ組成の単結晶が存在しない場合がある。その場合、任意の割合で組成の異なる単結晶を組み合わせることにより、所望の組成における単結晶に相当する密度を見積もることができる。所望の組成の単結晶に相当する密度は、組成の異なる単結晶を組み合わせる割合に対して、加重平均を用いて見積もればよい。ただし、密度は、可能な限り少ない種類の単結晶を組み合わせで見積もることが好ましい。

10

【0293】

以上のように、酸化物半導体は、様々な構造をとり、それぞれが様々な特性を有する。なお、酸化物半導体は、例えば、非晶質酸化物半導体、*a-like OS*、微結晶酸化物半導体、*CAAC-OS* のうち、二種以上を有する積層膜であってもよい。

【0294】

<成膜モデル>

以下では、*CAAC-OS* および *nc-OS* の成膜モデルの一例について説明する。

20

【0295】

図19 (A) は、スパッタリング法により *CAAC-OS* が成膜される様子を示した成膜室内の模式図である。

【0296】

ターゲット5130は、バックングプレートに接着されている。バックングプレートを通じてターゲット5130と向かい合う位置には、複数のマグネットが配置される。該複数のマグネットによって磁場が生じている。マグネットの磁場を利用して成膜速度を高めるスパッタリング法は、マグネトロンスパッタリング法と呼ばれる。

【0297】

基板5120は、ターゲット5130と向かい合うように配置しており、その距離 d (ターゲット-基板間距離 (T-S間距離) ともいう。) は 0.01 m 以上 1 m 以下、好ましくは 0.02 m 以上 0.5 m 以下とする。成膜室内は、ほとんどが成膜ガス (例えば、酸素、アルゴン、または酸素を5体積%以上の割合で含む混合ガス) で満たされ、 0.01 Pa 以上 100 Pa 以下、好ましくは 0.1 Pa 以上 10 Pa 以下に制御される。ここで、ターゲット5130に一定以上の電圧を印加することで、放電が始まり、プラズマが確認される。なお、ターゲット5130の近傍には磁場によって、高密度プラズマ領域が形成される。高密度プラズマ領域では、成膜ガスがイオン化することで、イオン5101が生じる。イオン5101は、例えば、酸素の陽イオン (O^+) やアルゴンの陽イオン (Ar^+) などである。

30

【0298】

ここで、ターゲット5130は、複数の結晶粒を有する多結晶構造を有し、いずれかの結晶粒には劈開面が含まれる。図20 (A) に、一例として、ターゲット5130に含まれる InGaZnO_4 の結晶の構造を示す。なお、図20 (A) は、 b 軸に平行な方向から InGaZnO_4 の結晶を観察した場合の構造である。図20 (A) より、近接する二つの Ga-Zn-O 層において、それぞれの層における酸素原子同士が近距離に配置されていることがわかる。そして、酸素原子が負の電荷を有することにより、近接する二つの Ga-Zn-O 層の間には斥力が生じる。その結果、 InGaZnO_4 の結晶は、近接する二つの Ga-Zn-O 層の間に劈開面を有する。

40

【0299】

高密度プラズマ領域で生じたイオン5101は、電界によってターゲット5130側に加

50

速され、やがてターゲット5130と衝突する。このとき、劈開面から平板状またはペレット状のスパッタ粒子であるペレット5100aおよびペレット5100bが剥離し、叩き出される。なお、ペレット5100aおよびペレット5100bは、イオン5101の衝突の衝撃によって、構造に歪みが生じる場合がある。

【0300】

ペレット5100aは、三角形、例えば正三角形の平面を有する平板状またはペレット状のスパッタ粒子である。また、ペレット5100bは、六角形、例えば正六角形の平面を有する平板状またはペレット状のスパッタ粒子である。なお、ペレット5100aおよびペレット5100bなどの平板状またはペレット状のスパッタ粒子を総称してペレット5100と呼ぶ。ペレット5100の平面の形状は、三角形、六角形に限定されない、例えば、三角形が複数個合わさった形状となる場合がある。例えば、三角形（例えば、正三角形）が2個合わさった四角形（例えば、ひし形）となる場合もある。

【0301】

ペレット5100は、成膜ガスの種類などに応じて厚さが決定する。理由は後述するが、ペレット5100の厚さは、均一にすることが好ましい。また、スパッタ粒子は厚みのないペレット状である方が、厚みのあるサイコロ状であるよりも好ましい。例えば、ペレット5100は、厚さを0.4nm以上1nm以下、好ましくは0.6nm以上0.8nm以下とする。また、例えば、ペレット5100は、幅を1nm以上3nm以下、好ましくは1.2nm以上2.5nm以下とする。ペレット5100は、上述の図18中の(1)で説明した初期核に相当する。例えば、In-Ga-Zn酸化物を有するターゲット5130にイオン5101を衝突させると、図20(B)に示すように、Ga-Zn-O層、In-O層およびGa-Zn-O層の3層を有するペレット5100が剥離する。図20(C)に、剥離したペレット5100をc軸に平行な方向から観察した構造を示す。ペレット5100は、二つのGa-Zn-O層（パン）と、In-O層（具）と、を有するナノサイズのサンドイッチ構造と呼ぶこともできる。

【0302】

ペレット5100は、プラズマを通過する際に、側面が負または正に帯電する場合がある。ペレット5100は、例えば、側面に位置する酸素原子が負に帯電する可能性がある。側面が同じ極性の電荷を有することにより、電荷同士の反発が起こり、平板状またはペレット状の形状を維持することが可能となる。なお、CAAC-Osが、In-Ga-Zn酸化物である場合、インジウム原子と結合した酸素原子が負に帯電する可能性がある。または、インジウム原子、ガリウム原子または亜鉛原子と結合した酸素原子が負に帯電する可能性がある。また、ペレット5100は、プラズマを通過する際に、プラズマ中のインジウム原子、ガリウム原子、亜鉛原子および酸素原子などと結合することで成長する場合がある。上述の図18中の(2)と(1)の大きさの違いが、プラズマ中での成長分に相当する。ここで、基板5120が室温程度である場合、基板5120上におけるペレット5100の成長が起こりにくいためnc-Osとなる（図19(B)参照。）。室温程度で成膜できることから、基板5120が大面積である場合でもnc-Osの成膜が可能である。なお、ペレット5100をプラズマ中で成長させるためには、スパッタリング法における成膜電力を高くすることが有効である。成膜電力を高くすることで、ペレット5100の構造を安定にすることができる。

【0303】

図19(A)および図19(B)に示すように、例えば、ペレット5100は、プラズマ中を風のように飛翔し、ひらひらと基板5120上まで舞い上がっていく。ペレット5100は電荷を帯びているため、ほかのペレット5100が既に堆積している領域が近づく、斥力が生じる。ここで、基板5120の上面では、基板5120の上面に平行な向きの磁場（水平磁場ともいう。）が生じている。また、基板5120およびターゲット5130間には、電位差が与えられるため、基板5120からターゲット5130に向かう方向に電流が流れる。したがって、ペレット5100は、基板5120の上面において、磁場および電流の作用によって、力（ローレンツ力）を受ける。このことは、フレミングの

左手の法則によって理解できる。

【0304】

ペレット5100は、原子一つと比べると質量が大きい。そのため、基板5120の上面を移動するためには何らかの力を外部から印加することが重要となる。その力の一つが磁場および電流の作用で生じる力である可能性がある。なお、ペレット5100に、基板5120の上面を移動するために十分な力を与えるには、基板5120の上面において、基板5120の上面に平行な向きの磁場が10G以上、好ましくは20G以上、さらに好ましくは30G以上、より好ましくは50G以上となる領域を設けるとよい。または、基板5120の上面において、基板5120の上面に平行な向きの磁場が、基板5120の上面に垂直な向きの磁場の1.5倍以上、好ましくは2倍以上、さらに好ましくは3倍以上、より好ましくは5倍以上となる領域を設けるとよい。

10

【0305】

このとき、マグネットと基板5120とが相対的に移動すること、または回転することによって、基板5120の上面における水平磁場の向きは変化し続ける。したがって、基板5120の上面において、ペレット5100は、様々な方向から力を受け、様々な方向へ移動することができる。

【0306】

また、図19(A)に示すように基板5120が加熱されている場合、ペレット5100と基板5120との間で摩擦などによる抵抗が小さい状態となっている。その結果、ペレット5100は、基板5120の上面を滑空するように移動する。ペレット5100の移動は、平板面を基板5120に向けた状態で起こる。その後、既に堆積しているほかのペレット5100の側面まで到達すると、側面同士が結合する。このとき、ペレット5100の側面にある酸素原子が脱離する。脱離した酸素原子によって、CAAC-O-S中の酸素欠損が埋まる場合があるため、欠陥準位密度の低いCAAC-O-Sとなる。なお、基板5120の上面の温度は、例えば、100℃以上500℃未満、150℃以上450℃未満、または170℃以上400℃未満とすればよい。したがって、基板5120が大面積である場合でもCAAC-O-Sの成膜は可能である。

20

【0307】

また、ペレット5100は、基板5120上で加熱されることにより、原子が再配列し、イオン5101の衝突で生じた構造の歪みが緩和される。歪みの緩和されたペレット5100は、ほとんど単結晶となる。ペレット5100がほとんど単結晶となることにより、ペレット5100同士が結合した後に加熱されたとしても、ペレット5100自体の伸縮はほとんど起こり得ない。したがって、ペレット5100間の隙間が広がることで結晶粒界などの欠陥を形成し、クレバス化することがない。

30

【0308】

また、CAAC-O-Sは、単結晶酸化物半導体が一枚板のようになっているのではなく、ペレット5100（ナノ結晶）の集合体がレンガまたはブロックが積み重なったような配列をしている。また、ペレット5100同士の間には結晶粒界を有さない。そのため、成膜時の加熱、成膜後の加熱または曲げなどで、CAAC-O-Sに縮みなどの変形が生じた場合でも、局部応力を緩和する、または歪みを逃がすことが可能である。したがって、可とう性を有する半導体装置に用いることに適した構造である。なお、nc-O-Sは、ペレット5100（ナノ結晶）が無秩序に積み重なったような配列となる。

40

【0309】

ターゲット5130をイオン5101でスパッタした際に、ペレット5100だけでなく、酸化亜鉛などが剥離する場合がある。酸化亜鉛はペレット5100よりも軽量であるため、先に基板5120の上面に到達する。そして、0.1nm以上10nm以下、0.2nm以上5nm以下、または0.5nm以上2nm以下の酸化亜鉛層5102を形成する。図21に断面模式図を示す。

【0310】

図21(A)に示すように、酸化亜鉛層5102上にはペレット5105aと、ペレット

50

5 1 0 5 b と、が堆積する。ここで、ペレット 5 1 0 5 a とペレット 5 1 0 5 b とは、互いに側面が接するように配置している。また、ペレット 5 1 0 5 c は、ペレット 5 1 0 5 b 上に堆積した後、ペレット 5 1 0 5 b 上を滑るように移動する。また、ペレット 5 1 0 5 a の別の側面において、酸化亜鉛とともにターゲットから剥離した複数の粒子 5 1 0 3 が、基板 5 1 2 0 からの加熱により結晶化し、領域 5 1 0 5 a 1 を形成する。なお、複数の粒子 5 1 0 3 は、酸素、亜鉛、インジウムおよびガリウムを含む可能性がある。

【0311】

そして、図 2 1 (B) に示すように、領域 5 1 0 5 a 1 は、ペレット 5 1 0 5 a と一体化し、ペレット 5 1 0 5 a 2 となる。また、ペレット 5 1 0 5 c は、その側面がペレット 5 1 0 5 b の別の側面と接するように配置する。

【0312】

次に、図 2 1 (C) に示すように、さらにペレット 5 1 0 5 d がペレット 5 1 0 5 a 2 上およびペレット 5 1 0 5 b 上に堆積した後、ペレット 5 1 0 5 a 2 上およびペレット 5 1 0 5 b 上を滑るように移動する。また、ペレット 5 1 0 5 c の別の側面に向けて、さらにペレット 5 1 0 5 e が酸化亜鉛層 5 1 0 2 上を滑るように移動する。

【0313】

そして、図 2 1 (D) に示すように、ペレット 5 1 0 5 d は、その側面がペレット 5 1 0 5 a 2 の側面と接するように配置する。また、ペレット 5 1 0 5 e は、その側面がペレット 5 1 0 5 c の別の側面と接するように配置する。また、ペレット 5 1 0 5 d の別の側面において、酸化亜鉛とともにターゲット 5 1 3 0 から剥離した複数の粒子 5 1 0 3 が基板 5 1 2 0 からの加熱により結晶化し、領域 5 1 0 5 d 1 を形成する。

【0314】

以上のように、堆積したペレット同士が接するように配置し、ペレットの側面において成長が起こることで、基板 5 1 2 0 上に C A A C - O S が形成される。したがって、C A A C - O S は、n c - O S よりも一つ一つのペレットが大きくなる。上述の図 1 8 中の (3) と (2) の大きさの違いが、堆積後の成長分に相当する。

【0315】

また、ペレット同士の隙間が極めて小さくなることで、一つの大きなペレットが形成される場合がある。一つの大きなペレットは、単結晶構造を有する。例えば、ペレットの大きさが、上面から見て 1 0 n m 以上 2 0 0 n m 以下、1 5 n m 以上 1 0 0 n m 以下、または 2 0 n m 以上 5 0 n m 以下となる場合がある。このとき、微細なトランジスタに用いる酸化物半導体において、チャンネル形成領域が一つの大きなペレットに収まる場合がある。即ち、単結晶構造を有する領域をチャンネル形成領域として用いることができる。また、ペレットが大きくなることで、単結晶構造を有する領域をトランジスタのチャンネル形成領域、ソース領域およびドレイン領域として用いることができる場合がある。

【0316】

このように、トランジスタのチャンネル形成領域などが、単結晶構造を有する領域に形成されることによって、トランジスタの周波数特性を高くすることができる場合がある。

【0317】

以上のようなモデルにより、ペレット 5 1 0 0 が基板 5 1 2 0 上に堆積していくと考えられる。被形成面が結晶構造を有さない場合においても、C A A C - O S の成膜が可能であることから、エピタキシャル成長とは異なる成長機構であることがわかる。また、C A A C - O S は、レーザ結晶化が不要であり、大面積のガラス基板などであっても均一な成膜が可能である。例えば、基板 5 1 2 0 の上面（被形成面）の構造が非晶質構造（例えば非晶質酸化シリコン）であっても、C A A C - O S を成膜することは可能である。

【0318】

また、C A A C - O S は、被形成面である基板 5 1 2 0 の上面に凹凸がある場合でも、その形状に沿ってペレット 5 1 0 0 が配列することがわかる。例えば、基板 5 1 2 0 の上面が原子レベルで平坦な場合、ペレット 5 1 0 0 は a - b 面と平行な平面である平板面を下に向けて並置する。ペレット 5 1 0 0 の厚さが均一である場合、厚さが均一で平坦、かつ

10

20

30

40

50

高い結晶性を有する層が形成される。そして、当該層が n 段（ n は自然数。）積み重なることで、 $CAAC-OS$ を得ることができる。

【0319】

一方、基板5120の上面が凹凸を有する場合でも、 $CAAC-OS$ は、ペレット5100が凹凸に沿って並置した層が n 段（ n は自然数。）積み重なった構造となる。基板5120が凹凸を有するため、 $CAAC-OS$ は、ペレット5100間に隙間が生じやすい場合がある。ただし、この場合でも、ペレット5100間で分子間力が働き、凹凸があってもペレット間の隙間はなるべく小さくなるように配列する。したがって、凹凸があっても高い結晶性を有する $CAAC-OS$ とすることができる。

【0320】

このようなモデルによって $CAAC-OS$ が成膜されるため、スパッタ粒子が厚みのないペレット状である方が好ましい。なお、スパッタ粒子が厚みのあるサイコロ状である場合、基板5120上に向ける面が一定とならず、厚さや結晶の配向を均一にできない場合がある。

【0321】

以上に示した成膜モデルにより、非晶質構造を有する被形成面上であっても、高い結晶性を有する $CAAC-OS$ を得ることができる。

【0322】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

【0323】

（実施の形態6）

本実施の形態では、本発明の一態様のトランジスタを利用した回路の一例について図面を参照して説明する。

【0324】

〔回路構成例〕

上記実施の形態に示した構成において、トランジスタや配線、電極の接続構成を異ならせることにより、様々な回路を構成することができる。以下では、本発明の一態様の半導体装置を用いることにより実現できる回路構成の例を説明する。

【0325】

〔CMOS回路〕

図22（A）に示す回路図は、 p チャネル型のトランジスタ1701と n チャネル型のトランジスタ1700を直列に接続し、且つそれぞれのゲートを接続した、いわゆるCMOS回路の構成を示している。なお図中、半導体に酸化物半導体が適用されたトランジスタには「OS」の記号を付して示している。

【0326】

〔アナログスイッチ〕

また図22（B）に示す回路図は、トランジスタ1700とトランジスタ1701のそれぞれのソースとドレインを接続した構成を示している。このような構成とすることで、いわゆるアナログスイッチとして機能させることができる。

【0327】

〔記憶装置の例〕

本発明の一態様であるトランジスタを使用し、電力が供給されない状況でも記憶内容の保持が可能で、且つ、書き込み回数にも制限が無い半導体装置（記憶装置）の一例を図22（C）に示す。

【0328】

図22（C）に示す半導体装置は、第1の半導体材料を用いたトランジスタ3200と半導体に酸化物半導体を用いたトランジスタ3300、及び容量素子3400を有している。なお、トランジスタ3300としては、上記実施の形態で例示したトランジスタを用いることができる。

10

20

30

40

50

【0329】

トランジスタ3300は、酸化物半導体を有する半導体にチャネルが形成されるトランジスタである。トランジスタ3300は、オフ電流が小さいため、これを用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、或いは、リフレッシュ動作の頻度が極めて少ない半導体記憶装置とすることが可能となるため、消費電力を十分に低減することができる。

【0330】

図22(C)において、第1の配線3001はトランジスタ3200のソース電極と電氣的に接続され、第2の配線3002はトランジスタ3200のドレイン電極と電氣的に接続される。また、第3の配線3003はトランジスタ3300のソース電極またはドレイン電極の一方と電氣的に接続され、第4の配線3004はトランジスタ3300のゲート電極と電氣的に接続される。そして、トランジスタ3200のゲート電極、およびトランジスタ3300のソース電極またはドレイン電極の他方は、容量素子3400の電極の一方と電氣的に接続され、第5の配線3005は容量素子3400の電極の他方と電氣的に接続される。

【0331】

図22(C)に示す半導体装置では、トランジスタ3200のゲート電極の電位が保持可能という特徴を活かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

【0332】

情報の書き込みおよび保持について説明する。まず、第4の配線3004の電位を、トランジスタ3300がオン状態となる電位にして、トランジスタ3300をオン状態とする。これにより、第3の配線3003の電位が、トランジスタ3200のゲート電極、および容量素子3400に与えられる。すなわち、トランジスタ3200のゲート電極には、所定の電荷が与えられる（書き込み）。ここでは、異なる二つの電位レベルを与える電荷（以下Lowレベル電荷、Highレベル電荷という）のいずれかが与えられるものとする。その後、第4の配線3004の電位を、トランジスタ3300がオフ状態となる電位にして、トランジスタ3300をオフ状態とすることにより、トランジスタ3200のゲート電極に与えられた電荷が保持される（保持）。

【0333】

トランジスタ3300のオフ電流は極めて小さいため、トランジスタ3200のゲート電極の電荷は長時間にわたって保持される。

【0334】

次に情報の読み出しについて説明する。第1の配線3001に所定の電位（定電位）を与えた状態で、第5の配線3005に適切な電位（読み出し電位）を与えると、トランジスタ3200のゲート電極に保持された電荷量に応じて、第2の配線3002は異なる電位をとる。一般に、トランジスタ3200をnチャネル型とすると、トランジスタ3200のゲート電極にHighレベル電荷が与えられている場合の見かけのしきい値 V_{th_H} は、トランジスタ3200のゲート電極にLowレベル電荷が与えられている場合の見かけのしきい値 V_{th_L} より低くなるためである。ここで、見かけのしきい値電圧とは、トランジスタ3200を「オン状態」とするために必要な第5の配線3005の電位をいうものとする。したがって、第5の配線3005の電位を V_{th_H} と V_{th_L} の間の電位 V_0 とすることにより、トランジスタ3200のゲート電極に与えられた電荷を判別できる。例えば、書き込みにおいて、Highレベル電荷が与えられていた場合には、第5の配線3005の電位が $V_0 (> V_{th_H})$ となれば、トランジスタ3200は「オン状態」となる。Lowレベル電荷が与えられていた場合には、第5の配線3005の電位が $V_0 (< V_{th_L})$ となっても、トランジスタ3200は「オフ状態」のままである。このため、第2の配線3002の電位を判別することで、保持されている情報を読み出すことができる。

【0335】

なお、メモリセルをアレイ状に配置して用いる場合、所望のメモリセルの情報のみを読み出せることが必要になる。このように情報を読み出さない場合には、ゲート電極の状態にかかわらずトランジスタ3200が「オフ状態」となるような電位、つまり、 V_{th_H} より小さい電位を第5の配線3005に与えればよい。または、ゲート電極の状態にかかわらずトランジスタ3200が「オン状態」となるような電位、つまり、 V_{th_L} より大きい電位を第5の配線3005に与えればよい。

【0336】

図22(D)に示す半導体装置は、トランジスタ3200を設けていない点で主に図22(C)と相違している。この場合も上記と同様の動作により情報の書き込み及び保持動作が可能である。

【0337】

次に、情報の読み出しについて説明する。トランジスタ3300がオン状態となると、浮遊状態である第3の配線3003と容量素子3400とが導通し、第3の配線3003と容量素子3400の間で電荷が再分配される。その結果、第3の配線3003の電位が変化する。第3の配線3003の電位の変化量は、容量素子3400の第1の電極の電位（あるいは容量素子3400に蓄積された電荷）によって、異なる値をとる。

【0338】

例えば、容量素子3400の第1の電極の電位を V 、容量素子3400の容量を C 、第3の配線3003が有する容量成分を CB 、電荷が再分配される前の第3の配線3003の電位を $VB0$ とすると、電荷が再分配された後の第3の配線3003の電位は、 $(CB \times VB0 + C \times V) / (CB + C)$ となる。したがって、メモリセルの状態として、容量素子3400の第1の電極の電位が $V1$ と $V0$ ($V1 > V0$) の2状態をとるとすると、電位 $V1$ を保持している場合の第3の配線3003の電位 ($= (CB \times VB0 + C \times V1) / (CB + C)$) は、電位 $V0$ を保持している場合の第3の配線3003の電位 ($= (CB \times VB0 + C \times V0) / (CB + C)$) よりも高くなることがわかる。

【0339】

そして、第3の配線3003の電位を所定の電位と比較することで、情報を読み出すことができる。

【0340】

この場合、メモリセルを駆動させるための駆動回路に上記第1の半導体材料が適用されたトランジスタを用い、トランジスタ3300として半導体に酸化物半導体が適用されたトランジスタを駆動回路上に積層して設ける構成とすればよい。

【0341】

本実施の形態に示す半導体装置では、チャネル形成領域に酸化物半導体を用いたオフ電流の極めて小さいトランジスタを適用することで、極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合（ただし、電位は固定されていることが望ましい）であっても、長期にわたって記憶内容を保持することが可能である。

【0342】

また、本実施の形態に示す半導体装置では、情報の書き込みに高い電圧を必要とせず、素子の劣化の問題もない。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行う必要がないため、ゲート絶縁膜の劣化といった問題が全く生じない。すなわち、開示する発明に係る半導体装置では、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上する。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速な動作も容易に実現しうる。

【0343】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

【0344】

(実施の形態7)

本実施の形態では、上記実施の形態で例示したトランジスタ、または記憶装置を含むRFデバイスについて、図23を用いて説明する。

【0345】

本実施の形態におけるRFデバイスは、内部に記憶回路を有し、記憶回路に必要な情報を記憶し、非接触手段、例えば無線通信を用いて外部と情報の授受を行うものである。このような特徴から、RFデバイスは、物品などの個体情報を読み取ることにより物品の識別を行う個体認証システムなどに用いることが可能である。なお、これらの用途に用いるためには極めて高い信頼性が要求される。

10

【0346】

RFデバイスの構成について図23を用いて説明する。図23は、RFデバイスの構成例を示すブロック図である。

【0347】

図23に示すようにRFデバイス800は、通信器801（質問器、リーダ／ライタなどともいう）に接続されたアンテナ802から送信される無線信号803を受信するアンテナ804を有する。またRFデバイス800は、整流回路805、定電圧回路806、復調回路807、変調回路808、論理回路809、記憶回路810、ROM811を有している。なお、復調回路807に含まれる整流作用を示すトランジスタに逆方向電流を十分に抑制することが可能な材料、例えば、酸化物半導体、が用いられた構成としてもよい。これにより、逆方向電流に起因する整流作用の低下を抑制し、復調回路の出力が飽和することを防止できる。つまり、復調回路の入力に対する復調回路の出力を線形に近づけることができる。なお、データの伝送形式は、一対のコイルを対向配置して相互誘導によって交信を行う電磁結合方式、誘導電磁界によって交信する電磁誘導方式、電波を利用して交信する電波方式の3つに大別される。本実施の形態に示すRFデバイス800は、そのいずれの方式に用いることも可能である。

20

【0348】

次に各回路の構成について説明する。アンテナ804は、通信器801に接続されたアンテナ802との間で無線信号803の送受信を行うためのものである。また、整流回路805は、アンテナ804で無線信号を受信することにより生成される入力交流信号を整流、例えば、半波2倍圧整流し、後段に設けられた容量素子により、整流された信号を平滑化することで入力電位を生成するための回路である。なお、整流回路805の入力側または出力側には、リミッタ回路を設けてもよい。リミッタ回路とは、入力交流信号の振幅が大きく、内部生成電圧が大きい場合に、ある電力以上の電力を後段の回路に入力しないように制御するための回路である。

30

【0349】

定電圧回路806は、入力電位から安定した電源電圧を生成し、各回路に供給するための回路である。なお、定電圧回路806は、内部にリセット信号生成回路を有していてもよい。リセット信号生成回路は、安定した電源電圧の立ち上がりを利用して、論理回路809のリセット信号を生成するための回路である。

40

【0350】

復調回路807は、入力交流信号を包絡線検出することにより復調し、復調信号を生成するための回路である。また、変調回路808は、アンテナ804より出力するデータに応じて変調をおこなうための回路である。

【0351】

論理回路809は復調信号を解析し、処理を行うための回路である。記憶回路810は、入力された情報を保持する回路であり、ロウデコーダ、カラムデコーダ、記憶領域などを有する。また、ROM811は、固有番号（ID）などを格納し、処理に応じて出力を行うための回路である。

【0352】

50

なお、上述の各回路は、必要に応じて、適宜、取捨することができる。

【0353】

ここで、先の実施の形態で説明した記憶回路を、記憶回路810に用いることができる。本発明の一態様の記憶回路は、電源が遮断された状態であっても情報を保持できるため、RFデバイスに好適に用いることができる。さらに本発明の一態様の記憶回路は、データの書き込みに必要な電力（電圧）が従来の不揮発性メモリに比べて著しく小さいため、データの読み出し時と書き込み時の最大通信距離の差を生じさせないことも可能である。さらに、データの書き込み時に電力が不足し、誤動作または誤書き込みが生じることを抑制することができる。

【0354】

また、本発明の一態様の記憶回路は、不揮発性のメモリとして用いることが可能であるため、ROM811に適用することもできる。その場合には、生産者がROM811にデータを書き込むためのコマンドを別途用意し、ユーザが自由に書き換えできないようにしておくことが好ましい。生産者が出荷前に固有番号を書込んだのちに製品を出荷することで、作製したRFデバイスすべてについて固有番号を付与するのではなく、出荷する良品にのみ固有番号を割り当てることが可能となり、出荷後の製品の固有番号が不連続になることがなく出荷後の製品に対応した顧客管理が容易となる。

【0355】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

【0356】

（実施の形態8）

本実施の形態では、少なくとも実施の形態で説明したトランジスタを用いることができ、先の実施の形態で説明した記憶装置を含むCPUについて説明する。

【0357】

図24は、先の実施の形態で説明したトランジスタを少なくとも一部に用いたCPUの一例の構成を示すブロック図である。

【0358】

図24に示すCPUは、基板1190上に、ALU1191（ALU：Arithmetic logic unit、演算回路）、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、タイミングコントローラ1195、レジスタ1196、レジスタコントローラ1197、バスインターフェース1198（Bus I/F）、書き換え可能なROM1199、およびROMインターフェース1189（ROM I/F）を有している。基板1190は、半導体基板、SOI基板、ガラス基板などを用いる。ROM1199およびROMインターフェース1189は、別チップに設けてもよい。もちろん、図24に示すCPUは、その構成を簡略化して示した一例にすぎず、実際のCPUはその用途によって多種多様な構成を有している。例えば、図24に示すCPUまたは演算回路を含む構成を一つのコアとし、当該コアを複数含み、それぞれのコアが並列で動作するような構成としてもよい。また、CPUが内部演算回路やデータバスで扱えるビット数は、例えば8ビット、16ビット、32ビット、64ビットなどとすることができる。

【0359】

バスインターフェース1198を介してCPUに入力された命令は、インストラクションデコーダ1193に入力され、デコードされた後、ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195に入力される。

【0360】

ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195は、デコードされた命令に基づき、各種制御を行なう。具体的にALUコントローラ1192は、ALU1191の動作を制御す

10

20

30

40

50

るための信号を生成する。また、インタラプトコントローラ 1194 は、CPU のプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタコントローラ 1197 は、レジスタ 1196 のアドレスを生成し、CPU の状態に応じてレジスタ 1196 の読み出しや書き込みを行なう。

【0361】

また、タイミングコントローラ 1195 は、ALU 1191、ALU コントローラ 1192、インストラクションデコーダ 1193、インタラプトコントローラ 1194、およびレジスタコントローラ 1197 の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ 1195 は、基準クロック信号 CLK1 を元に、内部クロック信号 CLK2 を生成する内部クロック生成部を備えており、内部クロック信号 CLK2 を上記各種回路に供給する。

【0362】

図 24 に示す CPU では、レジスタ 1196 に、メモリセルが設けられている。レジスタ 1196 のメモリセルとして、先の実施の形態に示したトランジスタを用いることができる。

【0363】

図 24 に示す CPU において、レジスタコントローラ 1197 は、ALU 1191 からの指示に従い、レジスタ 1196 における保持動作の選択を行う。すなわち、レジスタ 1196 が有するメモリセルにおいて、フリップフロップによるデータの保持を行うか、容量素子によるデータの保持を行うかを、選択する。フリップフロップによるデータの保持が選択されている場合、レジスタ 1196 内のメモリセルへの、電源電圧の供給が行われる。容量素子におけるデータの保持が選択されている場合、容量素子へのデータの書き換えが行われ、レジスタ 1196 内のメモリセルへの電源電圧の供給を停止することができる。

【0364】

図 25 は、レジスタ 1196 として用いることのできる記憶素子の回路図の一例である。記憶素子 1200 は、電源遮断で記憶データが揮発する回路 1201 と、電源遮断で記憶データが揮発しない回路 1202 と、スイッチ 1203 と、スイッチ 1204 と、論理素子 1206 と、容量素子 1207 と、選択機能を有する回路 1220 と、を有する。回路 1202 は、容量素子 1208 と、トランジスタ 1209 と、トランジスタ 1210 と、を有する。なお、記憶素子 1200 は、必要に応じて、ダイオード、抵抗素子、インダクタなどのその他の素子をさらに有していても良い。

【0365】

ここで、回路 1202 には、先の実施の形態で説明した記憶装置を用いることができる。記憶素子 1200 への電源電圧の供給が停止した際、回路 1202 のトランジスタ 1209 のゲートには接地電位 (0V)、またはトランジスタ 1209 がオフする電位が入力され続ける構成とする。例えば、トランジスタ 1209 のゲートが抵抗等の負荷を介して接地される構成とする。

【0366】

スイッチ 1203 は、一導電型 (例えば、n チャネル型) のトランジスタ 1213 を用いて構成され、スイッチ 1204 は、一導電型とは逆の導電型 (例えば、p チャネル型) のトランジスタ 1214 を用いて構成した例を示す。ここで、スイッチ 1203 の第 1 の端子はトランジスタ 1213 のソースとドレインの一方に対応し、スイッチ 1203 の第 2 の端子はトランジスタ 1213 のソースとドレインの他方に対応し、スイッチ 1203 はトランジスタ 1213 のゲートに入力される制御信号 RD によって、第 1 の端子と第 2 の端子の間の導通または非導通 (つまり、トランジスタ 1213 のオン状態またはオフ状態) が選択される。スイッチ 1204 の第 1 の端子はトランジスタ 1214 のソースとドレインの一方に対応し、スイッチ 1204 の第 2 の端子はトランジスタ 1214 のソースとドレインの他方に対応し、スイッチ 1204 はトランジスタ 1214 のゲートに入力さ

れる制御信号 R D によって、第 1 の端子と第 2 の端子の間の導通または非導通（つまり、トランジスタ 1 2 1 4 のオン状態またはオフ状態）が選択される。

【 0 3 6 7 】

トランジスタ 1 2 0 9 のソースとドレインの一方は、容量素子 1 2 0 8 の一対の電極のうち的一方、およびトランジスタ 1 2 1 0 のゲートと電氣的に接続される。ここで、接続部分をノード M 2 とする。トランジスタ 1 2 1 0 のソースとドレインの一方は、低電源電位を供給することのできる配線（例えば G N D 線）に電氣的に接続され、他方は、スイッチ 1 2 0 3 の第 1 の端子（トランジスタ 1 2 1 3 のソースとドレインの一方）と電氣的に接続される。スイッチ 1 2 0 3 の第 2 の端子（トランジスタ 1 2 1 3 のソースとドレインの他方）はスイッチ 1 2 0 4 の第 1 の端子（トランジスタ 1 2 1 4 のソースとドレインの一方）と電氣的に接続される。スイッチ 1 2 0 4 の第 2 の端子（トランジスタ 1 2 1 4 のソースとドレインの他方）は電源電位 V D D を供給することのできる配線と電氣的に接続される。スイッチ 1 2 0 3 の第 2 の端子（トランジスタ 1 2 1 3 のソースとドレインの他方）と、スイッチ 1 2 0 4 の第 1 の端子（トランジスタ 1 2 1 4 のソースとドレインの一方）と、論理素子 1 2 0 6 の入力端子と、容量素子 1 2 0 7 の一対の電極のうち的一方と、は電氣的に接続される。ここで、接続部分をノード M 1 とする。容量素子 1 2 0 7 の一対の電極のうち他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位（G N D 等）または高電源電位（V D D 等）が入力される構成とすることができる。容量素子 1 2 0 7 の一対の電極のうち他方は、低電源電位を供給することのできる配線（例えば G N D 線）と電氣的に接続される。容量素子 1 2 0 8 の一対の電極のうち他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位（G N D 等）または高電源電位（V D D 等）が入力される構成とすることができる。容量素子 1 2 0 8 の一対の電極のうち他方は、低電源電位を供給することのできる配線（例えば G N D 線）と電氣的に接続される。

【 0 3 6 8 】

なお、容量素子 1 2 0 7 および容量素子 1 2 0 8 は、トランジスタや配線の寄生容量等を積極的に利用することによって省略することも可能である。

【 0 3 6 9 】

トランジスタ 1 2 0 9 の第 1 ゲート（第 1 のゲート電極）には、制御信号 W E が入力される。スイッチ 1 2 0 3 およびスイッチ 1 2 0 4 は、制御信号 W E とは異なる制御信号 R D によって第 1 の端子と第 2 の端子の間の導通状態または非導通状態を選択され、一方のスイッチの第 1 の端子と第 2 の端子の間が導通状態のとき他方のスイッチの第 1 の端子と第 2 の端子の間は非導通状態となる。

【 0 3 7 0 】

トランジスタ 1 2 0 9 のソースとドレインの他方には、回路 1 2 0 1 に保持されたデータに対応する信号が入力される。図 2 5 では、回路 1 2 0 1 から出力された信号が、トランジスタ 1 2 0 9 のソースとドレインの他方に入力される例を示した。スイッチ 1 2 0 3 の第 2 の端子（トランジスタ 1 2 1 3 のソースとドレインの他方）から出力される信号は、論理素子 1 2 0 6 によってその論理値が反転された反転信号となり、回路 1 2 2 0 を介して回路 1 2 0 1 に入力される。

【 0 3 7 1 】

なお、図 2 5 では、スイッチ 1 2 0 3 の第 2 の端子（トランジスタ 1 2 1 3 のソースとドレインの他方）から出力される信号は、論理素子 1 2 0 6 および回路 1 2 2 0 を介して回路 1 2 0 1 に入力する例を示したがこれに限定されない。スイッチ 1 2 0 3 の第 2 の端子（トランジスタ 1 2 1 3 のソースとドレインの他方）から出力される信号が、論理値を反転させられることなく、回路 1 2 0 1 に入力されてもよい。例えば、回路 1 2 0 1 内に、入力端子から入力された信号の論理値が反転した信号が保持されるノードが存在する場合に、スイッチ 1 2 0 3 の第 2 の端子（トランジスタ 1 2 1 3 のソースとドレインの他方）から出力される信号を当該ノードに入力することができる。

【 0 3 7 2 】

また、図 25 において、記憶素子 1200 に用いられるトランジスタのうち、トランジスタ 1209 以外のトランジスタは、酸化物半導体以外の半導体でなる層または基板 1190 にチャネルが形成されるトランジスタとすることができる。例えば、シリコン層またはシリコン基板にチャネルが形成されるトランジスタとすることができる。また、記憶素子 1200 に用いられるトランジスタ全てを、チャネルが酸化物半導体層で形成されるトランジスタとすることもできる。または、記憶素子 1200 は、トランジスタ 1209 以外にも、チャネルが酸化物半導体層で形成されるトランジスタを含んでいてもよく、残りのトランジスタは酸化物半導体以外の半導体でなる層または基板 1190 にチャネルが形成されるトランジスタとすることもできる。

【0373】

図 25 における回路 1201 には、例えばフリップフロップ回路を用いることができる。また、論理素子 1206 としては、例えばインバータやクロックドインバータ等を用いることができる。

【0374】

本発明の一態様における半導体装置では、記憶素子 1200 に電源電圧が供給されない間は、回路 1201 に記憶されていたデータを、回路 1202 に設けられた容量素子 1208 によって保持することができる。

【0375】

また、酸化物半導体層にチャネルが形成されるトランジスタはオフ電流が極めて小さい。例えば、酸化物半導体層にチャネルが形成されるトランジスタのオフ電流は、結晶性を有するシリコンにチャネルが形成されるトランジスタのオフ電流に比べて著しく低い。そのため、当該トランジスタをトランジスタ 1209 として用いることによって、記憶素子 1200 に電源電圧が供給されない間も容量素子 1208 に保持された信号は長期間にわたり保たれる。こうして、記憶素子 1200 は電源電圧の供給が停止した間も記憶内容（データ）を保持することが可能である。

【0376】

また、スイッチ 1203 およびスイッチ 1204 を設けることによって、プリチャージ動作を行うことを特徴とする記憶素子であるため、電源電圧供給再開後に、回路 1201 が元のデータを保持しなおすまでの時間を短くすることができる。

【0377】

また、回路 1202 において、容量素子 1208 によって保持された信号はトランジスタ 1210 のゲートに入力される。そのため、記憶素子 1200 への電源電圧の供給が再開された後、容量素子 1208 によって保持された信号を、トランジスタ 1210 の状態（オン状態、またはオフ状態）に変換して、回路 1202 から読み出すことができる。それ故、容量素子 1208 に保持された信号に対応する電位が多少変動していても、元の信号を正確に読み出すことが可能である。

【0378】

このような記憶素子 1200 を、プロセッサが有するレジスタやキャッシュメモリなどの記憶装置に用いることで、電源電圧の供給停止による記憶装置内のデータの消失を防ぐことができる。また、電源電圧の供給を再開した後、短時間で電源供給停止前の状態に復帰することができる。よって、プロセッサ全体、もしくはプロセッサを構成する一つ、または複数の論理回路において、短い時間でも電源停止を行うことができるため、消費電力を抑えることができる。

【0379】

本実施の形態では、記憶素子 1200 を CPU に用いる例として説明したが、記憶素子 1200 は、DSP (Digital Signal Processor)、カスタム LSI、PLD (Programmable Logic Device) 等の LSI、RF-ID (Radio Frequency Identification) にも応用可能である。

【0380】

10

20

30

40

50

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせ実施することができる。

【0381】

(実施の形態9)

本実施の形態では、本発明の一態様の表示パネルの構成例について説明する。

【0382】

[構成例]

図26(A)は、本発明の一態様の表示パネルの上面図であり、図26(B)は、本発明の一態様の表示パネルの画素に液晶素子を適用する場合に用いることができる画素回路を説明するための回路図である。また、図26(C)は、本発明の一態様の表示パネルの画素に有機EL素子を適用する場合に用いることができる画素回路を説明するための回路図である。

【0383】

画素部に配置するトランジスタは、上記実施の形態に従って形成することができる。また、当該トランジスタはnチャネル型とすることが容易なので、駆動回路のうち、nチャネル型トランジスタで構成することができる駆動回路の一部を画素部のトランジスタと同一基板上に形成する。このように、画素部や駆動回路に上記実施の形態に示すトランジスタを用いることにより、信頼性の高い表示装置を提供することができる。

【0384】

アクティブマトリクス型表示装置のブロック図の一例を図26(A)に示す。表示装置の基板2100上には、画素部2101、第1の走査線駆動回路2102、第2の走査線駆動回路2103、信号線駆動回路2104を有する。画素部2101には、複数の信号線が信号線駆動回路2104から延伸して配置され、複数の走査線が第1の走査線駆動回路2102、及び第2の走査線駆動回路2103から延伸して配置される。なお走査線と信号線との交差領域には、各々、表示素子を有する画素がマトリクス状に設けられている。また、表示装置の基板2100はFPC(Flexible Printed Circuit)等の接続部を介して、タイミング制御回路(コントローラ、制御ICともいう)に接続される。

【0385】

図26(A)では、第1の走査線駆動回路2102、第2の走査線駆動回路2103、信号線駆動回路2104は、画素部2101と同じ基板2100上に形成される。そのため、外部に設ける駆動回路等の部品の数が減るので、コストの低減を図ることができる。また、基板2100外部に駆動回路を設けた場合、配線を延伸させる必要が生じ、配線間の接続数が増える。同じ基板2100上に駆動回路を設けた場合、その配線間の接続数を減らすことができ、信頼性の向上、又は歩留まりの向上を図ることができる。

【0386】

[液晶パネル]

また、画素の回路構成の一例を図26(B)に示す。ここでは、VA型液晶表示パネルの画素に適用することができる画素回路を示す。

【0387】

この画素回路は、一つの画素に複数の画素電極層を有する構成に適用できる。それぞれの画素電極層は異なるトランジスタに接続され、各トランジスタは異なるゲート信号で駆動できるように構成される。これにより、マルチドメイン設計された画素の個々の画素電極層に印加する信号を、独立して制御できる。

【0388】

トランジスタ2116のゲート配線2112と、トランジスタ2117のゲート配線2113には、異なるゲート信号を与えることができるように分離される。一方、データ線として機能するソース電極層又はドレイン電極層2114は、トランジスタ2116とトランジスタ2117で共通に用いられている。トランジスタ2116とトランジスタ2117は上記実施の形態で説明するトランジスタを適宜用いることができる。これにより、

信頼性の高い液晶表示パネルを提供することができる。

【0389】

トランジスタ2116と電氣的に接続する第1の画素電極層と、トランジスタ2117と電氣的に接続する第2の画素電極層の形状について説明する。第1の画素電極層と第2の画素電極層の形状は、スリットによって分離される。第1の画素電極層はV字型に広がる形状を有し、第2の画素電極層は第1の画素電極層の外側を囲むように形成される。

【0390】

トランジスタ2116のゲート電極はゲート配線2112と接続され、トランジスタ2117のゲート電極はゲート配線2113と接続される。ゲート配線2112とゲート配線2113に異なるゲート信号を与えてトランジスタ2116とトランジスタ2117の動作タイミングを異ならせ、液晶の配向を制御できる。

【0391】

また、容量配線2110と、誘電体として機能するゲート絶縁膜と、第1の画素電極層または第2の画素電極層と電氣的に接続する容量電極とで保持容量を形成してもよい。

【0392】

マルチドメイン構造は、一画素に第1の液晶素子2118と第2の液晶素子2119を備える。第1の液晶素子2118は第1の画素電極層と対向電極層とその間の液晶層とで構成され、第2の液晶素子2119は第2の画素電極層と対向電極層とその間の液晶層とで構成される。

【0393】

なお、図26(B)に示す画素回路は、これに限定されない。例えば、図26(B)に示す画素に新たにスイッチ、抵抗素子、容量素子、トランジスタ、センサ、又は論理回路などを追加してもよい。

【0394】

〔有機ELパネル〕

画素の回路構成の他の一例を図26(C)に示す。ここでは、有機EL素子を用いた表示パネルの画素構造を示す。

【0395】

有機EL素子は、発光素子に電圧を印加することにより、一対の電極の一方から電子が、他方から正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、電子および正孔が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

【0396】

図26(C)は、適用可能な画素回路の一例を示す図である。ここではnチャネル型のトランジスタを1つの画素に2つ用いる例を示す。なお、本発明の一態様の金属酸化物膜は、nチャネル型のトランジスタのチャネル形成領域に用いることができる。また、当該画素回路は、デジタル時間階調駆動を適用することができる。

【0397】

適用可能な画素回路の構成及びデジタル時間階調駆動を適用した場合の画素の動作について説明する。

【0398】

画素2120は、スイッチング用トランジスタ2121、駆動用トランジスタ2122、発光素子2124及び容量素子2123を有している。スイッチング用トランジスタ2121は、ゲート電極層が走査線2126に接続され、第1電極（ソース電極層及びドレイン電極層の一方）が信号線2125に接続され、第2電極（ソース電極層及びドレイン電極層の他方）が駆動用トランジスタ2122のゲート電極層に接続される。駆動用トランジスタ2122は、ゲート電極層が容量素子2123を介して電源線2127に接続され、第1電極が電源線2127に接続され、第2電極が発光素子2124の第1電極（画素電極）に接続される。発光素子2124の第2電極は共通電極2128に相当する。共

10

20

30

40

50

通電極 2128 は、同一基板上に形成される共通電位線と電氣的に接続される。

【0399】

スイッチング用トランジスタ 2121 および駆動用トランジスタ 2122 は上記実施の形態で説明するトランジスタを適宜用いることができる。これにより、信頼性の高い有機 EL 表示パネルを提供することができる。

【0400】

発光素子 2124 の第 2 電極（共通電極 2128）の電位は低電源電位に設定する。なお、低電源電位とは、電源線 2127 に供給される高電源電位より低い電位であり、例えば GND、0V など低電源電位として設定することができる。発光素子 2124 の順方向のしきい値電圧以上となるように高電源電位と低電源電位を設定し、その電位差を発光素子 2124 に印加することにより、発光素子 2124 に電流を流して発光させる。なお、発光素子 2124 の順方向電圧とは、所望の輝度とする場合の電圧を指しており、少なくとも順方向しきい値電圧を含む。

10

【0401】

なお、容量素子 2123 は駆動用トランジスタ 2122 のゲート容量を代用することにより省略できる。駆動用トランジスタ 2122 のゲート容量については、チャンネル形成領域とゲート電極層との間で容量が形成されていてもよい。

【0402】

次に、駆動用トランジスタ 2122 に入力する信号について説明する。電圧入力電圧駆動方式の場合、駆動用トランジスタ 2122 が十分にオンするか、オフするか二つの状態となるようなビデオ信号を、駆動用トランジスタ 2122 に入力する。なお、駆動用トランジスタ 2122 を線形領域で動作させるために、電源線 2127 の電圧よりも高い電圧を駆動用トランジスタ 2122 のゲート電極層にかける。また、信号線 2125 には、電源線電圧に駆動用トランジスタ 2122 の閾値電圧 V_{th} を加えた値以上の電圧をかける。

20

【0403】

アナログ階調駆動を行う場合、駆動用トランジスタ 2122 のゲート電極層に発光素子 2124 の順方向電圧に駆動用トランジスタ 2122 の閾値電圧 V_{th} を加えた値以上の電圧をかける。なお、駆動用トランジスタ 2122 が飽和領域で動作するようにビデオ信号を入力し、発光素子 2124 に電流を流す。また、駆動用トランジスタ 2122 を飽和領域で動作させるために、電源線 2127 の電位を、駆動用トランジスタ 2122 のゲート電位より高くする。ビデオ信号をアナログとすることで、発光素子 2124 にビデオ信号に応じた電流を流し、アナログ階調駆動を行うことができる。

30

【0404】

なお、画素回路の構成は、図 26 (C) に示す画素構成に限定されない。例えば、図 26 (C) に示す画素回路にスイッチ、抵抗素子、容量素子、センサ、トランジスタ又は論理回路などを追加してもよい。

【0405】

図 26 で例示した回路に上記実施の形態で例示したトランジスタを適用する場合、低電位側にソース電極（第 1 の電極）、高電位側にドレイン電極（第 2 の電極）がそれぞれ電氣的に接続される構成とする。さらに、制御回路等により第 1 のゲート電極の電位を制御し、第 2 のゲート電極には図示しない配線によりソース電極に与える電位よりも低い電位など、上記で例示した電位を入力可能な構成とすればよい。

40

【0406】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

【0407】

（実施の形態 10）

本発明の一態様に係る半導体装置は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的には DVD: Digital Versatile Dis

50

c等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）に用いることができる。その他に、本発明の一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯データ端末、電子書籍、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレーヤー等）、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機（ＡＴＭ）、自動販売機などが挙げられる。これら電子機器の具体例を図２７に示す。

【０４０８】

図２７（Ａ）は携帯型ゲーム機であり、筐体９０１、筐体９０２、表示部９０３、表示部９０４、マイクロフォン９０５、スピーカー９０６、操作キー９０７、スタイラス９０８等を有する。なお、図２７（Ａ）に示した携帯型ゲーム機は、２つの表示部９０３と表示部９０４とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

10

【０４０９】

図２７（Ｂ）は携帯データ端末であり、第１筐体９１１、第２筐体９１２、第１表示部９１３、第２表示部９１４、接続部９１５、操作キー９１６等を有する。第１表示部９１３は第１筐体９１１に設けられており、第２表示部９１４は第２筐体９１２に設けられている。そして、第１筐体９１１と第２筐体９１２とは、接続部９１５により接続されており、第１筐体９１１と第２筐体９１２の間の角度は、接続部９１５により変更が可能である。第１表示部９１３における映像を、接続部９１５における第１筐体９１１と第２筐体９１２との間の角度に従って、切り替える構成としても良い。また、第１表示部９１３および第２表示部９１４の少なくとも一方に、位置入力装置としての機能が付加された表示装置を用いるようにしても良い。なお、位置入力装置としての機能は、表示装置にタッチパネルを設けることで付加することができる。或いは、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を表示装置の画素部に設けることでも、付加することができる。

20

【０４１０】

図２７（Ｃ）はノート型パーソナルコンピュータであり、筐体９２１、表示部９２２、キーボード９２３、ポインティングデバイス９２４等を有する。

30

【０４１１】

図２７（Ｄ）は電気冷凍冷蔵庫であり、筐体９３１、冷蔵室用扉９３２、冷凍室用扉９３３等を有する。

【０４１２】

図２７（Ｅ）はビデオカメラであり、第１筐体９４１、第２筐体９４２、表示部９４３、操作キー９４４、レンズ９４５、接続部９４６等を有する。操作キー９４４およびレンズ９４５は第１筐体９４１に設けられており、表示部９４３は第２筐体９４２に設けられている。そして、第１筐体９４１と第２筐体９４２とは、接続部９４６により接続されており、第１筐体９４１と第２筐体９４２の間の角度は、接続部９４６により変更が可能である。表示部９４３における映像を、接続部９４６における第１筐体９４１と第２筐体９４２との間の角度に従って切り替える構成としても良い。

40

【０４１３】

図２７（Ｆ）は普通自動車であり、車体９５１、車輪９５２、ダッシュボード９５３、ライト９５４等を有する。

【０４１４】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

【０４１５】

（実施の形態１１）

本実施の形態では、本発明の一態様に係るＲＦデバイスの使用例について図２８を用い

50

ながら説明する。ＲＦデバイスの用途は広範にわたるが、例えば、紙幣、硬貨、有価証券類、無記名債券類、証書類（運転免許証や住民票等、図２８（Ａ）参照）、包装用容器類（包装紙やボトル等、図２８（Ｃ）参照）、記録媒体（ＤＶＤやビデオテープ等、図２８（Ｂ）参照）、乗り物類（自転車等、図２８（Ｄ）参照）、身の回り品（靴や眼鏡等）、食品類、植物類、動物類、人体、衣類、生活用品類、薬品や薬剤を含む医療品、または電子機器（液晶表示装置、ＥＬ表示装置、テレビジョン装置、または携帯電話）等の物品、若しくは各物品に取り付ける荷札（図２８（Ｅ）、図２８（Ｆ）参照）等に設けて使用することができる。

【０４１６】

本発明の一態様に係るＲＦデバイス４０００は、表面に貼る、または埋め込むことにより、物品に固定される。例えば、本であれば紙に埋め込み、有機樹脂からなるパッケージであれば当該有機樹脂の内部に埋め込み、各物品に固定される。本発明の一態様に係るＲＦデバイス４０００は、小型、薄型、軽量を実現するため、物品に固定した後もその物品自体のデザイン性を損なうことがない。また、紙幣、硬貨、有価証券類、無記名債券類、または証書類等に本発明の一態様に係るＲＦデバイス４０００を設けることにより、認証機能を設けることができ、この認証機能を活用すれば、偽造を防止することができる。また、包装用容器類、記録媒体、身の回り品、食品類、衣類、生活用品類、または電子機器等に本発明の一態様に係るＲＦデバイスを取り付けることにより、検品システム等のシステムの効率化を図ることができる。また、乗り物類であっても、本発明の一態様に係るＲＦデバイスを取り付けることにより、盗難などに対するセキュリティ性を高めることができる。

【０４１７】

以上のように、本発明の一態様に係わるＲＦデバイスを本実施の形態に挙げた各用途に用いることにより、情報の書込みや読み出しを含む動作電力を低減できるため、最大通信距離を長くとることが可能となる。また、電力が遮断された状態であっても情報を極めて長い期間保持可能であるため、書き込みや読み出しの頻度が低い用途にも好適に用いることができる。

【０４１８】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

【０４１９】

（実施の形態１２）

本実施の形態では、積層体１０に適用可能なトランジスタを含む積層体の作成方法及び、構成の一例について図３０乃至図３４に示す。尚、図中ａ１－ａ２断面は、トランジスタを含む断面を示し、ｂ１－ｂ２断面は、配線部を示す。

【０４２０】

絶縁体２５０１の上に絶縁体２５０２を形成する。絶縁体２５０１には、実施の形態２に示した絶縁体１０１と同様の材質、成膜方法等を用いると良い。また、絶縁体２５０２には、実施の形態２に示した絶縁体２４０２と同様の材質、成膜方法を用いるとよい。（図３０（ａ））

【０４２１】

次に、絶縁体２５０２に開口又は溝を形成する。また、絶縁体２５０２に開口を設ける際には、絶縁体２５０２と絶縁体２５０１のエッチングの選択比が大きい材料の組み合わせを選択することが望ましい。

【０４２２】

絶縁体２５０２に開口又は溝を形成する際には、フォトリソグラフィ法等を用いることができる。絶縁体２５０２上にレジストマスクを形成し、絶縁体２５０２の不要な部分を除去する。その後、レジストマスクを除去することにより、絶縁体２５０２に開口又は溝を形成することができる。

【０４２３】

フォトリソグラフィ法等の被加工膜の加工方法については、実施の形態2に示した方法を用いることが出来る。

【0424】

次に、開口又は溝が形成された絶縁体2502上に、バリア膜2503を設ける。バリア膜2503としては、50nm程度の厚みを有する酸化アルミニウムを用いると好ましい。(図30(b))

【0425】

バリア膜2503は、この膜よりも下層から水及び水素等が上層に拡散することを抑制する機能を有する層である。尚、バリア膜2503は、この上方に設けられる電極又は配線と、下方に設けられる電極又は配線とを電氣的に接続するための開口やプラグを有していてもよい。

【0426】

バリア膜2503には、実施の形態2で示したバリア膜103と同様の材質、成膜方法等を用いることが出来る。

【0427】

次に、バリア膜2503上に、導電体2504を設ける。(図30(c))

【0428】

導電体2504には、実施の形態2で示した導電体104と同様の材質、成膜方法等を用いることが出来る。

【0429】

尚、導電体2504は、CMP (Chemical Mechanical Polishing) 法等を用いた平坦化処理により平坦化されていてもよい。

【0430】

その際、導電体2504を絶縁体2502の開口又は溝が設けられていない領域上のバリア膜2503の上面と、導電体2504の上面との高さが揃うまで、CMP法により削ってもよいし、途中で止めてもよい。

【0431】

次に、絶縁体2502の開口又は溝に、バリア膜2503を介して、形成された導電体2504をエッチングし、導電体2504aを得る。ここでは、導電体2504aの上面は、絶縁体2502の開口又は溝の設けられていない領域上のバリア膜2503の上面と比べ、低くなることが好ましく、特に、50nm程度低いことが好ましい。

【0432】

次に、バリア膜2601をバリア膜2503上及び導電体2504a上に設ける。(図31(a))なお、バリア膜2601を成膜後、CMP法により表面を平坦化してもよい。また、本実施の形態では、バリア膜2601を設ける例を示したが、場合によっては設けなくてもよい。

【0433】

バリア膜2601には、実施の形態2で示したバリア膜103及びバリア膜105と同様の材質、成膜方法等を用いることが出来る。

【0434】

次に、厚さ100nm程度の絶縁体2602を設ける。

【0435】

絶縁体2602には、実施の形態2で示した絶縁体106と同様の材質、成膜方法等を用いることが出来る。場合によっては、絶縁体2602をCMP法により平坦化させてもよい。

【0436】

次に、半導体2603、半導体2604を形成する。

【0437】

半導体2603には、実施の形態2で示した半導体107と同様の材質、成膜方法等を用いることが出来る。また、半導体2604には、実施の形態2で示した半導体108と

10

20

30

40

50

同様の材質、成膜方法等を用いることが出来る。

【0438】

次に、導電体2605を設ける。導電体2605としては、厚さが100nm程度のタングステンを用いることが好ましい。この導電体2605の成膜には、スパッタリング法を用いることが出来る。

【0439】

導電体2605には、実施の形態2で示した導電体109と同様の材質、成膜方法等を用いることが出来る。

【0440】

次に導電体2605上に絶縁体2606を形成する。絶縁体2606としては、例えば酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを、積層または単層で用いることができる。(図31(b))

【0441】

次に、絶縁体2606、導電体2605、半導体2604、半導体2603、絶縁体2602、バリア膜2601、バリア膜2503、絶縁体2502、絶縁体2501等に開口を形成する。その際、フォトリソグラフィ法等を用いることができる。絶縁体2606上にレジストマスクを形成し、絶縁体2606及び導電体2605の不要な部分を除去する。その後、レジストマスク等を除去し、導電体2605をマスクとして、半導体2604、半導体2603、絶縁体2602、バリア膜2601、バリア膜2503、絶縁体2502、絶縁体2501等に開口を形成する。このようにして開口2607a、2607bが形成される。(図31(c))

【0442】

絶縁体2606を導電体2605上に設けることにより、バリア膜2601、2503、絶縁体2502、2501などをエッチングする際、導電体2605がエッチングされることを低減し、導電体2605に形成されている開口の広がりを抑えることが可能となる。

【0443】

また、開口2607a、2607bが形成に際し、絶縁体2606を設けずにレジストマスクを導電体2605上に形成してから、開口2607a、2607bを形成してもよい。

【0444】

また、絶縁体2606上に反射防止膜又は密着性向上膜を形成し、その上にレジストマスクを形成してから、開口2607a、2607bを形成してもよい。また、導電体2605上に反射防止膜又は密着性向上膜を形成し、その上にレジストマスクを形成してから開口2607a、2607bを形成してもよい。

【0445】

反射防止膜は、レジストマスクを露光する際、導電体2605により、露光に用いる光が反射されることを低減する機能を有する。光の反射を低減することにより、レジストマスクの加工精度が向上し、より微細な加工が可能となる。

【0446】

密着性向上膜は、導電体2605とレジストマスクとの、もしくは、絶縁体2606とレジストマスクとの密着性を改善することにより、より微細な加工が可能となる。

【0447】

次に、開口2607a、2607bの内側及び、導電体2605上に導電体2701を形成する。(図32(a))

【0448】

導電体2701には、実施の形態2で示した導電体111及び導電体112と同様の材質、成膜方法等を用いることが出来る。

【0449】

次に、導電体 2701 を、CMP 法等を用いて平坦化処理を行い平坦化してもよい。また、ウェットエッチングなどで導電体 2701 の表面をエッチングしてもよい。

【0450】

次に、導電体 2701 上に、レジストマスクを形成する。当該レジストマスクを用いて、導電体 2701 の不要な部分を除去し、導電体 2701a、2701b、2701c を形成する。その後、レジストマスクを除去する。(図 32 (b))

【0451】

次に、導電体 2605、導電体 2701a、2701b、2701c 上にレジストマスクを形成する。当該レジストマスクを用いて、導電体 2605、半導体 2604、半導体 2603、の不要な部分を除去し、導電体 2605a、2605b を得る。その際、絶縁体 2602 の一部が除去されることがある。したがって、一部が除去される深さを考慮して予め絶縁体 2602 の膜厚を厚く形成しておく为好ましい。(図 33 (a))

【0452】

次に、導電体 2605a 上にレジストマスクを形成し、導電体 2605a の不要な部分を除去し、導電体 2605c、2605d を得る。(図 33 (b))

【0453】

次に、半導体、絶縁体、及び導電体の順に成膜する。その後、当該導電体上にレジストマスクを形成し、当該導電体の不要な部分を除去する。その後レジストマスクを除去し、導電体 2903a を得る。さらに導電体 2903a をマスクとして、絶縁体、半導体の不要な部分を除去して、絶縁体 2902a、半導体 2901a を得る。絶縁体 2902a、半導体 2901a を得る際、導電体 2903a を得るために用いたレジストマスクを除去せずに残したまま、絶縁体、半導体の不要な部分を除去して絶縁体 2902a、半導体 2901a を得てもよい。(図 34 (a))

【0454】

本実施の形態では、半導体、絶縁体の不要な部分を除去することにより、絶縁体 2902a、半導体 2901a を得る例を示したが、不要な部分を除去しなくてもよい。

【0455】

半導体 2901a としては、実施の形態 2 に示した半導体 113 と同様の材質、成膜方法を用いることが出来る。なお、半導体 2901a は、ゲート絶縁膜の一部として機能する場合もある。

【0456】

ついで、バリア膜 2904 を設ける。バリア膜 2904 には、実施の形態 2 に示したバリア膜 103 と同様の材質、成膜方法を用いることが出来る。(図 34 (b))

【0457】

このようにして、トランジスタを含む積層体 10 の一部が形成される。

【0458】

なお、本実施の形態の一部または全部について、他の実施の形態の一部または全部と自由に、組み合わせ、適用、置き換えて実施することが出来る。

【0459】

(実施の形態 13)

図 35 は、本発明の一態様の半導体装置の一例である。本実施の形態では、図 2 に示した積層構造の一実施の形態を示す。本実施の形態では積層体 20 として単結晶シリコン半導体を用い、積層体 20 上に積層体 10 を重ねた例について示す。

【0460】

半導体装置は、トランジスタ 3600、トランジスタ 3500 と、を有する。トランジスタ 3500 は、トランジスタ 3600 の上に設けられ、トランジスタ 3500 の半導体とトランジスタ 3600 の間にはバリア膜が設けられる。

【0461】

トランジスタ 3600 は、半導体基板 3010 の一部からなる半導体 3011、絶縁体 3012、導電体 3013 及び、低抵抗領域 3014、低抵抗領域 3015 を有する。絶

10

20

30

40

50

縁体 3012 はトランジスタのゲート絶縁膜として機能する領域を有する。また、低抵抗領域 3014 及び低抵抗領域 3015 は、ソース領域またはドレイン領域として機能する領域を有する。

【0462】

トランジスタ 3600 は、p チャンネル型、n チャンネル型のいずれでもよいが、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

【0463】

半導体 3011 のチャンネルが形成される領域やその近傍の領域、低抵抗領域 3014、低抵抗領域 3015 等としては、実施の形態 4 に示した、半導体 712、低抵抗領域 713a、低抵抗領域 713b と同様な材質、形成方法を用いることが出来る。

10

【0464】

ここで、トランジスタ 3600 を含む構成が、図 2 における積層体 20 に対応する。

【0465】

ここで、トランジスタ 3600 に換えて図 8 に示すようなトランジスタ 180 を用いてもよい。

【0466】

導電体 3013 を覆って、絶縁体 3016、絶縁体 3017、絶縁体 3018 及び絶縁体 3019 を順に積層して設ける。絶縁体 3016 には、実施の形態 4 に示した絶縁体 721 と同様な材質、形成方法を用いることが出来る。絶縁体 3017 には、実施の形態 4 に示した絶縁体 722 と同様な材質、形成方法を用いることが出来る。絶縁体 3018 には、実施の形態 4 に示した絶縁体 723 と同様な材質、形成方法を設けることが出来る。絶縁体 3019 には、実施の形態 4 に示した絶縁体 724 と同様な材質、形成方法を設けることが出来る。

20

【0467】

絶縁体 3016、絶縁体 3017、絶縁体 3018 及び絶縁体 3019 には、低抵抗領域 3014、低抵抗領域 3015 等と電氣的に接続するプラグ 3020、プラグ 3021 等が埋め込まれてもよい。必要に応じて導電体 3013 と電氣的に接続するプラグを形成してもよい。

【0468】

絶縁体 3019 の上には、配線 3022、配線 3023 等が設けられている。

30

【0469】

配線 3022 はプラグ 3020 と電氣的に接続する。また、配線 3023 は、プラグ 3021 と電氣的に接続する。

【0470】

配線 3022 及び配線 3023 には、実施の形態 4 に示した配線 731、配線 732、配線 733 と同様な材質、形成方法を用いることが出来る。

【0471】

配線 3022、配線 3023 上に絶縁体 3024 を設ける。

【0472】

また、配線 3022、配線 3023 等を形成する際、絶縁体 3019 上に絶縁体 3024 を形成し、絶縁体 3024 に開口又は溝を形成した後に導電体を成膜し、当該導電体に CMP 処理などを施し、絶縁体 3024 に形成された開口又は溝に残った導電体を、配線 3022、配線 3023 などに用いてもよい。

40

【0473】

また、プラグ 3020、プラグ 3021、配線 3022、配線 3023 等を形成する場合、デュアルダマシン法などを用いてもよい。

【0474】

上述した積層体 20 の上に積層体 10 を形成する。積層体 10 はトランジスタ 3500 含む。積層体 10 の一部またはすべての積層の一例として、図 34 (b) などを用いることが出来る。

50

【0475】

本実施の形態では、積層体10の一部に図34(b)に示す積層体を適用する例を示す。バリア膜2904上に、絶縁体3025を設けられている。

【0476】

バリア膜2904及び絶縁体3025には、導電体2701a、2701b、2701cと電氣的に接続するプラグ3026、プラグ3027、プラグ3028が設けられている。

【0477】

絶縁体3025上に、プラグ3026、プラグ3027、プラグ3028と電氣的に接続される配線3029、配線3030、配線3031が設けられている。

10

【0478】

本発明の一態様の半導体装置は、トランジスタ3600を含む積層体の上にトランジスタ3500を含む積層体を有するため、半導体装置の面積を縮小することが出来る。また、トランジスタ等の半導体素子の集積度を向上することが出来る。また、トランジスタ3600とトランジスタ3500との間に設けられたバリア膜により、これよりも下層に存在する水や水素等の不純物がトランジスタ3500側に拡散することを抑制できる。

【0479】

また、本実施の形態では、トランジスタ3600をp型トランジスタとし、トランジスタ3500をn型トランジスタとすれば、CMOSのインバータ回路を構成することができる。このように、単位回路を構成するトランジスタを重ねて配置することでレイアウトの自由度が向上し、集積度を向上することが出来る。

20

【0480】

なお、本実施の形態の一部または全部について、他の実施の形態の一部または全部と自由に、組み合わせ、適用、置き換えて実施することができる。

【0481】

(実施の形態14)

図36は、本発明の一態様の半導体装置の一例である。本実施の形態では、図2に示した積層構造の一実施の形態を示す。本実施の形態では積層体20の一部に単結晶シリコン半導体を用い、積層体20上に積層体10を重ねた例について示す。

【0482】

積層体20としては、実施の形態13に示した積層体20と同様の積層体を用いることが出来る。

30

【0483】

積層体20の上に積層体10を形成する。積層体10はトランジスタ3101含む。

【0484】

本実施の形態では、積層体10の一部に図34(b)の一部を変更した積層体を適用する例を示す。具体的には、図34(b)における導電体2701a、2701b、2701cを形成しない構造を適用する。

【0485】

バリア膜2904上に、絶縁体3025を設けられている。バリア膜2904及び絶縁体3025には、配線3022と電氣的に接続するプラグ3126、配線3023と電氣的に接続するプラグ3128を形成する。また、導電体2605dと電氣的に接続するプラグ3127を形成する。

40

【0486】

絶縁体3025上に、プラグ3126、プラグ3127、プラグ3128と電氣的に接続される配線3129、配線3130、配線3131が設けられている。

【0487】

本発明の一態様の半導体装置は、トランジスタ3600を含む積層体の上にトランジスタ3101を含む積層体を有するため、半導体装置の面積を縮小することが出来る。また、トランジスタ等の半導体素子の集積度を向上することが出来る。また、トランジスタ3

50

600とトランジスタ3101との間に設けられたバリア膜により、これよりも下層に存在する水や水素等の不純物がトランジスタ3101側に拡散することを抑制できる。

【0488】

また、本実施の形態では、トランジスタ3600をp型トランジスタとし、トランジスタ3101をn型トランジスタとすれば、CMOSのインバータ回路を構成することができる。このように、単位回路を構成するトランジスタを重ねて配置することでレイアウトの自由度が向上し、集積度を向上することが出来る。

【0489】

なお、本実施の形態の一部または全部について、他の実施の形態の一部または全部と自由に、組み合わせ、適用、置き換えて実施することができる。

【0490】

(実施の形態15)

図37は、本発明の一態様の半導体装置の一例である。本実施の形態では、図2に示した積層構造の一実施の形態を示す。本実施の形態では積層体20として単結晶シリコン半導体を用い、積層体20上に積層体10を重ねた例について示す。

【0491】

積層体20としては、実施の形態13に示した積層体20と同様の積層体を用いることが出来る。

【0492】

積層体20の上に積層体10を形成する。積層体10はトランジスタ3201含む。

【0493】

本実施の形態では、積層体10の一部に図34(b)の一部を変更した積層体を適用する例を示す。具体的には、バリア膜2601を形成した後に、配線3022と電氣的に接続するプラグ3232及び配線3233、配線3023と電氣的に接続するプラグ3134及び配線3235を形成し、図34(b)における導電体2701a、2701b、2701cを形成しない構造を適用する。

【0494】

バリア膜2904上に、絶縁体3225を設けられている。バリア膜2904及び絶縁体3225には、配線3233と電氣的に接続するプラグ3226、配線3235と電氣的に接続するプラグ3228を形成する。また、導電体2605dと電氣的に接続するプラグ3227を形成する。

【0495】

絶縁体3225上に、プラグ3226、プラグ3227、プラグ3228と電氣的に接続される配線3229、配線3230、配線3231が設けられている。

【0496】

本発明の一態様の半導体装置は、トランジスタ3600を含む積層体の上にトランジスタ3201を含む積層体を有するため、半導体装置の面積を縮小することが出来る。また、トランジスタ等の半導体素子の集積度を向上することが出来る。また、トランジスタ3600とトランジスタ3201との間に設けられたバリア膜により、これよりも下層に存在する水や水素等の不純物がトランジスタ3201側に拡散することを抑制できる。

【0497】

また、本実施の形態では、トランジスタ3600をp型トランジスタとし、トランジスタ3201をn型トランジスタとすれば、CMOSのインバータ回路を構成することができる。このように、単位回路を構成するトランジスタを重ねて配置することでレイアウトの自由度が向上し、集積度を向上することが出来る。

【0498】

なお、本実施の形態の一部または全部について、他の実施の形態の一部または全部と自由に、組み合わせ、適用、置き換えて実施することができる。

【符号の説明】

【0499】

10

20

30

40

50

1 0	積層体	
2 0	積層体	
3 0	積層体	
1 0 0	トランジスタ	
1 0 1	絶縁体	
1 0 2	絶縁体	
1 0 3	バリア膜	
1 0 4	導電体	
1 0 4 a	導電体	
1 0 5	バリア膜	10
1 0 5 a	バリア膜	
1 0 6	絶縁体	
1 0 7	半導体	
1 0 7 a	半導体	
1 0 8	半導体	
1 0 8 a	半導体	
1 0 9	導電体	
1 0 9 a	導電体	
1 0 9 b	導電体	
1 0 9 c	導電体	20
1 1 0	開口	
1 1 1	導電体	
1 1 1 a	導電体	
1 1 1 b	導電体	
1 1 1 c	導電体	
1 1 2	導電体	
1 1 2 a	導電体	
1 1 2 b	導電体	
1 1 3	半導体	
1 1 4	絶縁体	30
1 1 5	導電体	
1 1 6	バリア膜	
1 2 0 a	プラグ	
1 2 0 b	プラグ	
1 3 0	容量	
1 8 0	トランジスタ	
2 0 0	トランジスタ	
7 0 8	絶縁体	
7 1 1	半導体基板	
7 1 2	半導体	40
7 1 3 a	低抵抗領域	
7 1 3 b	低抵抗領域	
7 1 4	ゲート絶縁膜	
7 1 5	ゲート電極	
7 2 1	絶縁体	
7 2 2	絶縁体	
7 2 3	絶縁体	
7 2 4	絶縁体	
7 2 5	絶縁体	
7 2 6	絶縁体	50

7 2 7	絶縁体	
7 2 8	絶縁体	
7 2 9	絶縁体	
7 3 0	絶縁体	
7 3 1	配線	
7 3 2	配線	
7 3 3	配線	
7 4 1	絶縁体	
7 4 2	絶縁体	
7 4 3	絶縁体	10
7 4 4	絶縁体	
7 5 1	配線	
7 5 2	配線	
7 5 3	配線	
7 5 4	配線	
7 5 5	配線	
7 5 6	配線	
7 5 7	配線	
7 5 8	配線	
7 5 9	配線	20
7 6 1	プラグ	
7 6 2	プラグ	
7 6 3	プラグ	
7 6 4	プラグ	
7 6 5	プラグ	
7 6 6	プラグ	
7 6 7	プラグ	
7 6 8	プラグ	
7 6 9	プラグ	
7 7 0	プラグ	30
7 7 1	プラグ	
7 7 2	プラグ	
7 7 3	プラグ	
7 8 1	電極	
7 8 2	絶縁体	
7 8 3	電極	
8 0 0	R F デバイス	
8 0 1	通信器	
8 0 2	アンテナ	
8 0 3	無線信号	40
8 0 4	アンテナ	
8 0 5	整流回路	
8 0 6	定電圧回路	
8 0 7	復調回路	
8 0 8	変調回路	
8 0 9	論理回路	
8 1 0	記憶回路	
8 1 1	R O M	
8 1 2	半導体	
8 1 4	ゲート絶縁膜	50

8 1 5	ゲート電極	
9 0 1	筐体	
9 0 2	筐体	
9 0 3	表示部	
9 0 4	表示部	
9 0 5	マイクロフォン	
9 0 6	スピーカー	
9 0 7	操作キー	
9 0 8	スタイラス	
9 1 1	筐体	10
9 1 2	筐体	
9 1 3	表示部	
9 1 4	表示部	
9 1 5	接続部	
9 1 6	操作キー	
9 2 1	筐体	
9 2 2	表示部	
9 2 3	キーボード	
9 2 4	ポインティングデバイス	
9 3 1	筐体	20
9 3 2	冷蔵室用扉	
9 3 3	冷凍室用扉	
9 4 1	筐体	
9 4 2	筐体	
9 4 3	表示部	
9 4 4	操作キー	
9 4 5	レンズ	
9 4 6	接続部	
9 5 1	車体	
9 5 2	車輪	30
9 5 3	ダッシュボード	
9 5 4	ライト	
1 1 8 9	ROMインターフェース	
1 1 9 0	基板	
1 1 9 1	ALU	
1 1 9 2	ALUコントローラ	
1 1 9 3	インストラクションデコーダ	
1 1 9 4	インタラプトコントローラ	
1 1 9 5	タイミングコントローラ	
1 1 9 6	レジスタ	40
1 1 9 7	レジスタコントローラ	
1 1 9 8	バスインターフェース	
1 1 9 9	ROM	
1 2 0 0	記憶素子	
1 2 0 1	回路	
1 2 0 2	回路	
1 2 0 3	スイッチ	
1 2 0 4	スイッチ	
1 2 0 6	論理素子	
1 2 0 7	容量素子	50

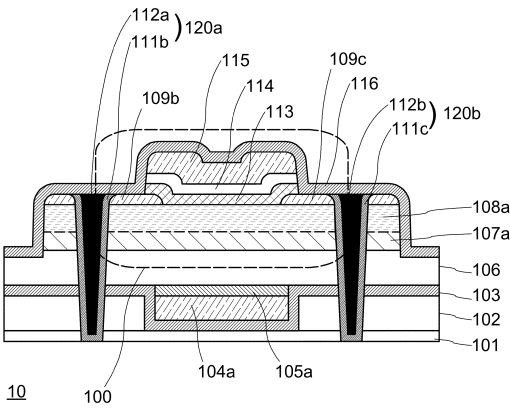
1 2 0 8	容量素子	
1 2 0 9	トランジスタ	
1 2 1 0	トランジスタ	
1 2 1 3	トランジスタ	
1 2 1 4	トランジスタ	
1 2 2 0	回路	
1 7 0 0	トランジスタ	
1 7 0 1	トランジスタ	
2 1 0 0	基板	
2 1 0 1	画素部	10
2 1 0 2	走査線駆動回路	
2 1 0 3	走査線駆動回路	
2 1 0 4	信号線駆動回路	
2 1 1 0	容量配線	
2 1 1 2	ゲート配線	
2 1 1 3	ゲート配線	
2 1 1 4	ドレイン電極層	
2 1 1 6	トランジスタ	
2 1 1 7	トランジスタ	
2 1 1 8	液晶素子	20
2 1 1 9	液晶素子	
2 1 2 0	画素	
2 1 2 1	スイッチング用トランジスタ	
2 1 2 2	駆動用トランジスタ	
2 1 2 3	容量素子	
2 1 2 4	発光素子	
2 1 2 5	信号線	
2 1 2 6	走査線	
2 1 2 7	電源線	
2 1 2 8	共通電極	30
2 4 0 2	絶縁体	
2 5 0 1	絶縁体	
2 5 0 2	絶縁体	
2 5 0 3	バリア膜	
2 5 0 4	導電体	
2 5 0 4 a	導電体	
2 6 0 1	バリア膜	
2 6 0 2	絶縁体	
2 6 0 3	半導体	
2 6 0 4	半導体	40
2 6 0 5	導電体	
2 6 0 5 a	導電体	
2 6 0 5 b	導電体	
2 6 0 5 c	導電体	
2 6 0 5 d	導電体	
2 6 0 6	絶縁体	
2 6 0 7 a	開口	
2 6 0 7 b	開口	
2 7 0 1	導電体	
2 7 0 1 a	導電体	50

2 7 0 1 b	導電体	
2 7 0 1 c	導電体	
2 9 0 1 a	半導体	
2 9 0 2 a	絶縁体	
2 9 0 3 a	導電体	
2 9 0 4	バリア膜	
3 0 0 1	配線	
3 0 0 2	配線	
3 0 0 3	配線	
3 0 0 4	配線	10
3 0 0 5	配線	
3 0 1 0	半導体基板	
3 0 1 1	半導体	
3 0 1 2	絶縁体	
3 0 1 3	導電体	
3 0 1 4	低抵抗領域	
3 0 1 5	低抵抗領域	
3 0 1 6	絶縁体	
3 0 1 7	絶縁体	
3 0 1 8	絶縁体	20
3 0 1 9	絶縁体	
3 0 2 0	プラグ	
3 0 2 1	プラグ	
3 0 2 2	配線	
3 0 2 3	配線	
3 0 2 4	絶縁体	
3 0 2 5	絶縁体	
3 0 2 6	プラグ	
3 0 2 7	プラグ	
3 0 2 8	プラグ	30
3 0 2 9	配線	
3 0 3 0	配線	
3 0 3 1	配線	
3 1 0 1	トランジスタ	
3 1 2 6	プラグ	
3 1 2 7	プラグ	
3 1 2 8	プラグ	
3 1 2 9	配線	
3 1 3 0	配線	
3 1 3 1	配線	40
3 1 3 4	プラグ	
3 2 0 0	トランジスタ	
3 2 0 1	トランジスタ	
3 2 2 5	絶縁体	
3 2 2 6	プラグ	
3 2 2 7	プラグ	
3 2 2 8	プラグ	
3 2 2 9	配線	
3 2 3 0	配線	
3 2 3 1	配線	50

- 3 2 3 2 プラグ
- 3 2 3 3 配線
- 3 2 3 5 配線
- 3 3 0 0 トランジスタ
- 3 4 0 0 容量素子
- 3 5 0 0 トランジスタ
- 3 6 0 0 トランジスタ
- 4 0 0 0 R F デバイス
- 5 1 0 0 ペレット
- 5 1 0 0 a ペレット
- 5 1 0 0 b ペレット
- 5 1 0 1 イオン
- 5 1 0 2 酸化亜鉛層
- 5 1 0 3 粒子
- 5 1 0 5 a ペレット
- 5 1 0 5 a 1 領域
- 5 1 0 5 a 2 ペレット
- 5 1 0 5 b ペレット
- 5 1 0 5 c ペレット
- 5 1 0 5 d ペレット
- 5 1 0 5 d 1 領域
- 5 1 0 5 e ペレット
- 5 1 2 0 基板
- 5 1 3 0 ターゲット
- 5 1 6 1 領域

【図面】

【図 1】



【図 2】

<u>30</u>
<u>10</u>
<u>20</u>

10

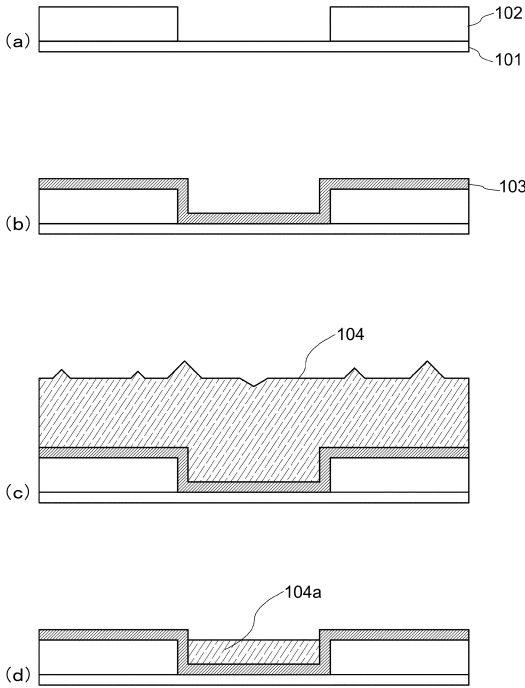
20

30

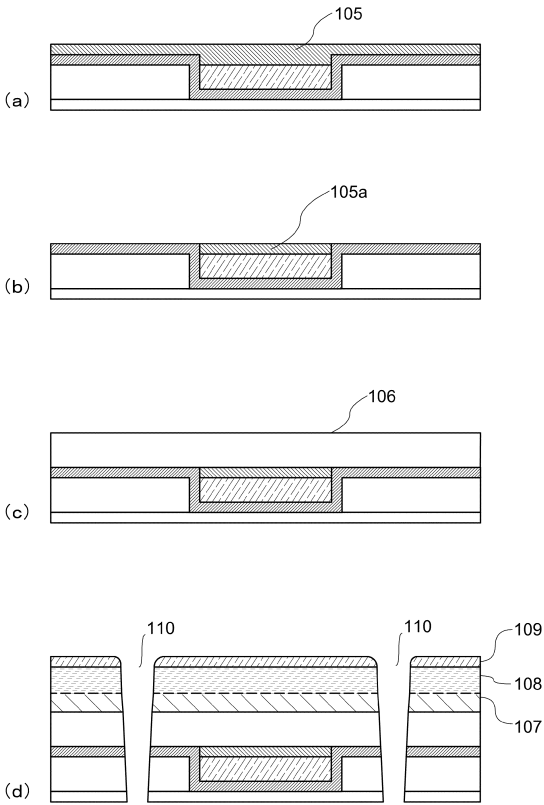
40

50

【図 3】



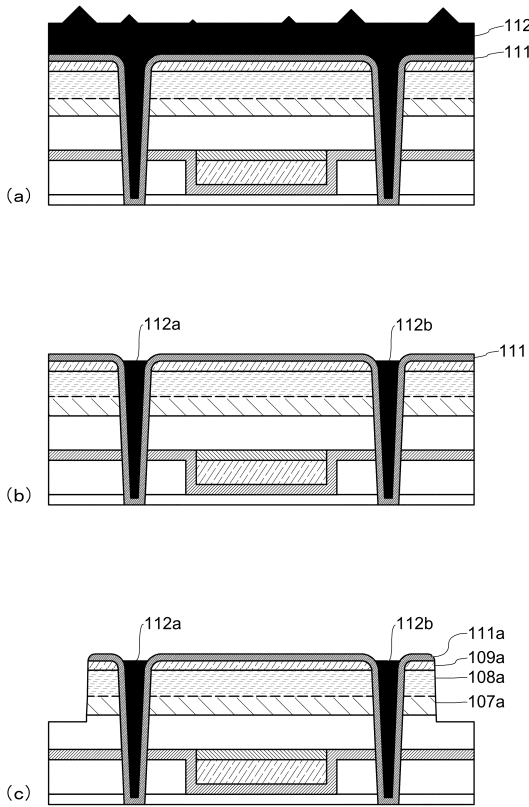
【図 4】



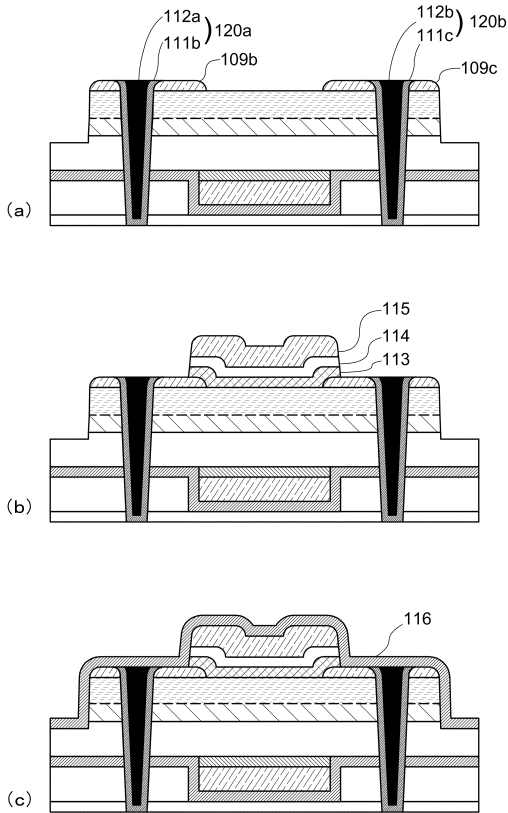
10

20

【図 5】



【図 6】

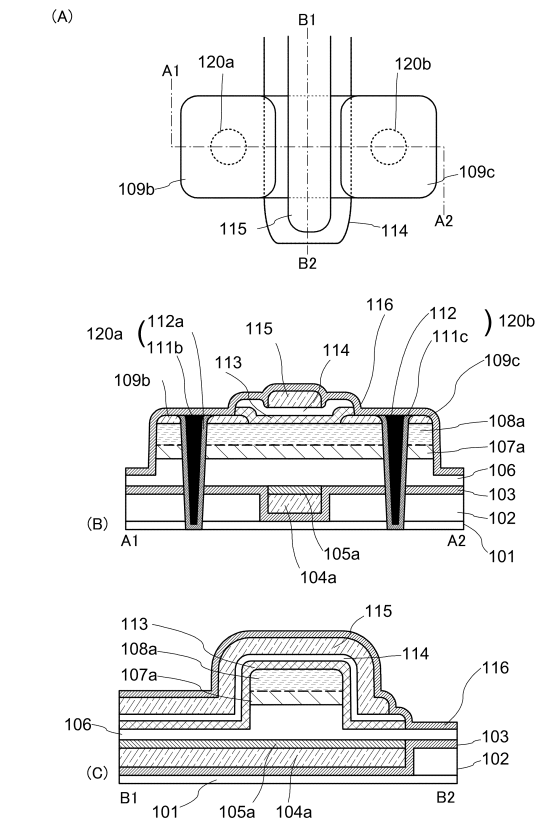


30

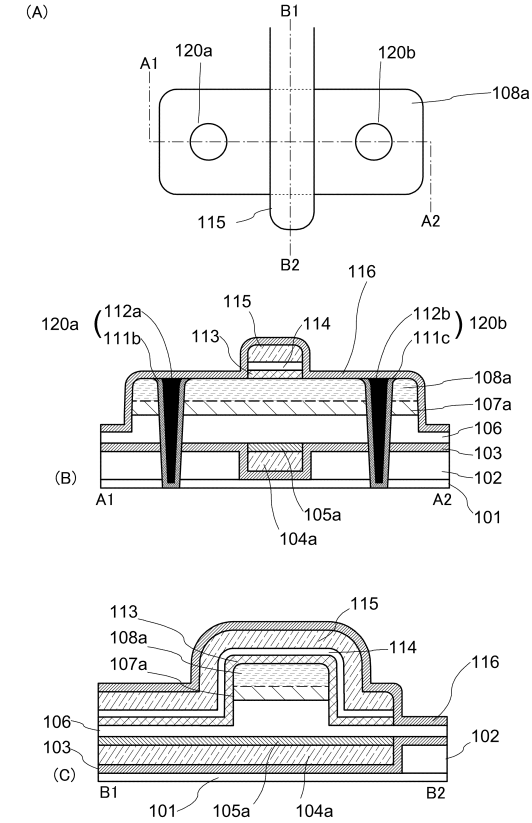
40

50

【図 1 1】



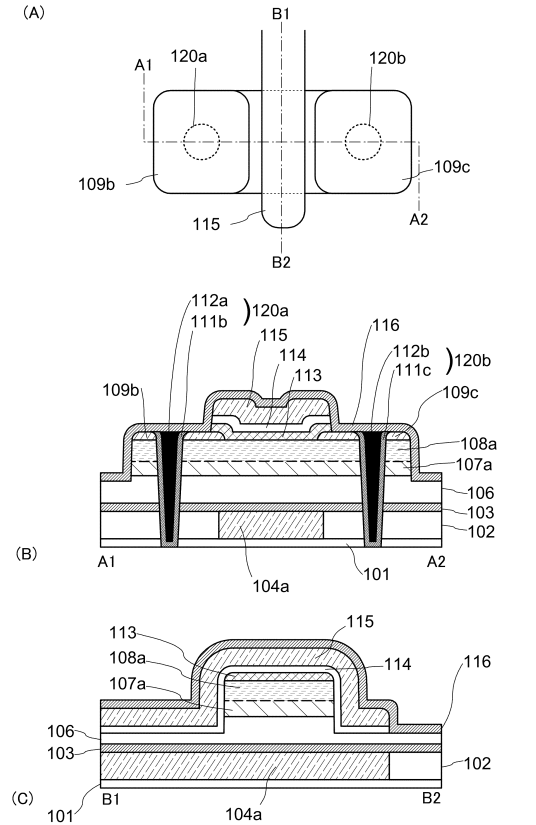
【図 1 2】



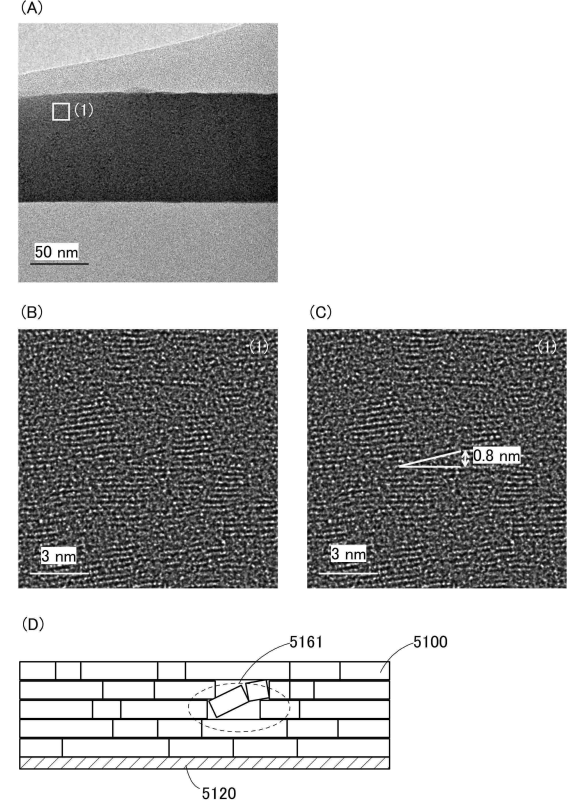
10

20

【図 1 3】



【図 1 4】

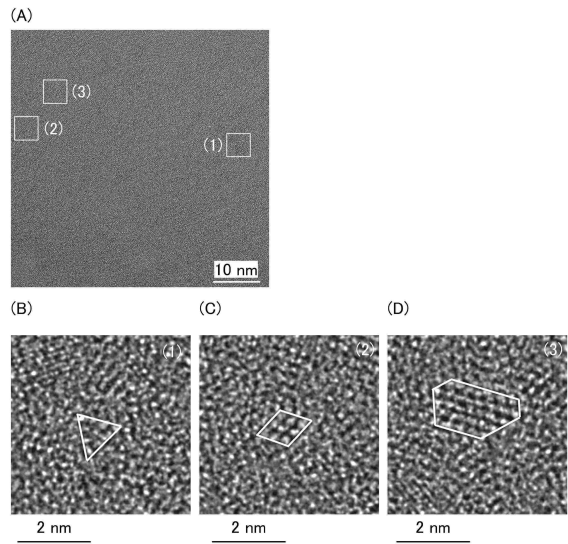


30

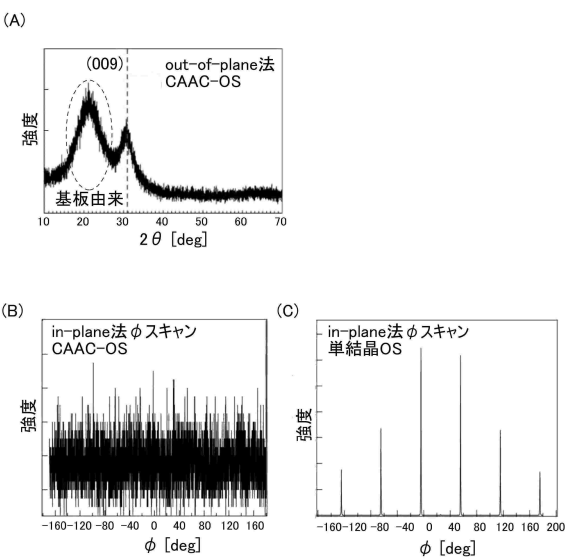
40

50

【図 1 5】

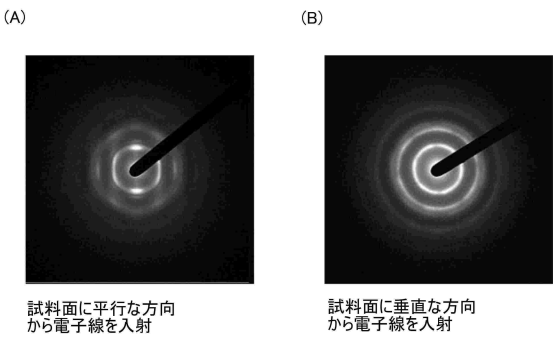


【図 1 6】

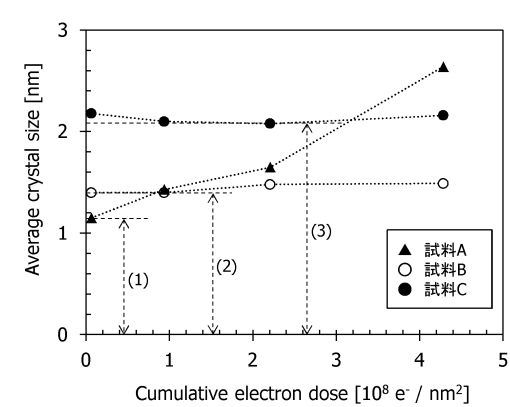


10

【図 1 7】



【図 1 8】



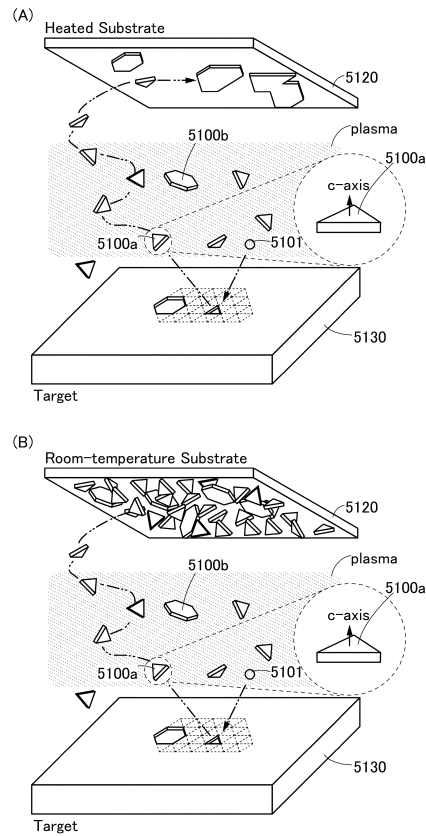
20

30

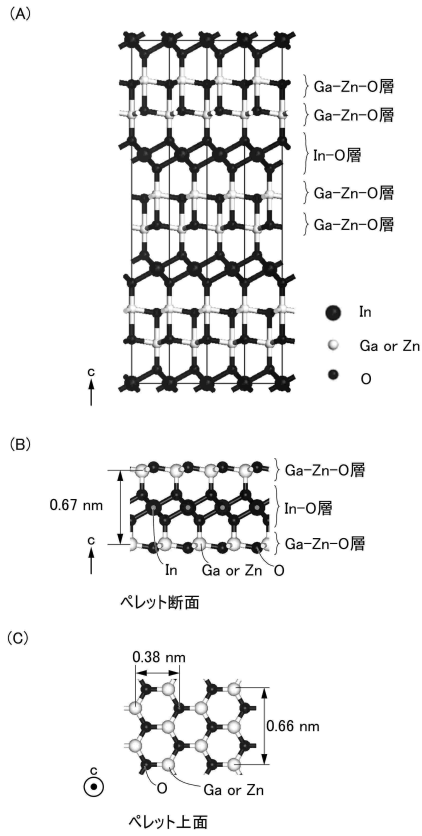
40

50

【図 19】



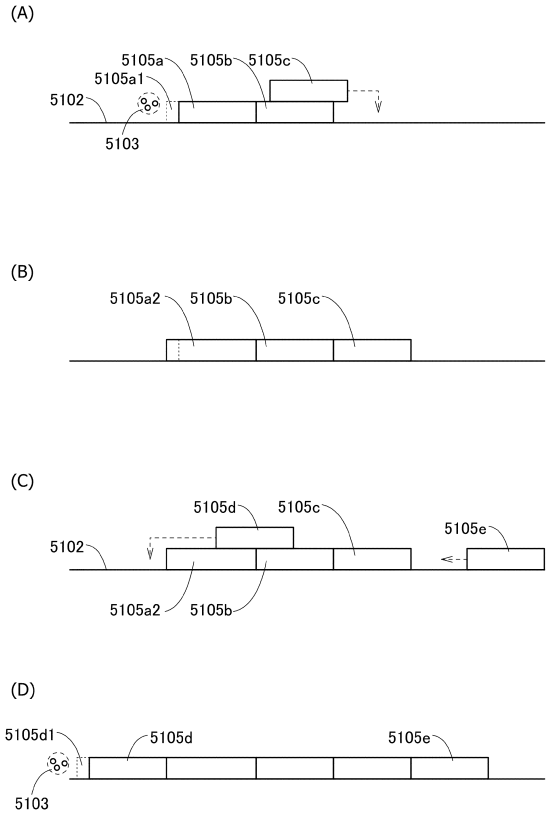
【図 20】



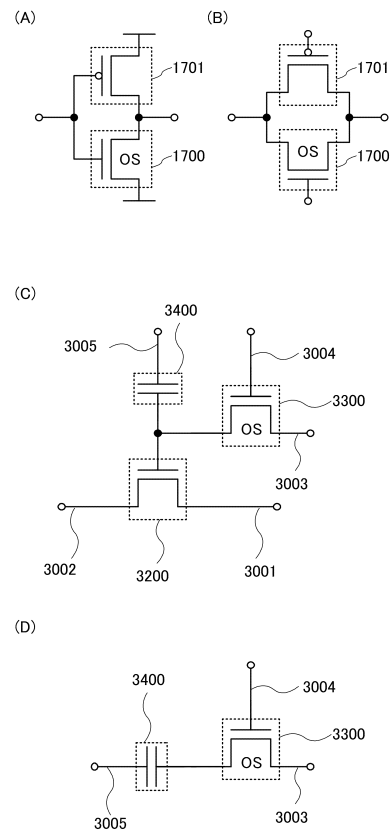
10

20

【図 21】



【図 22】

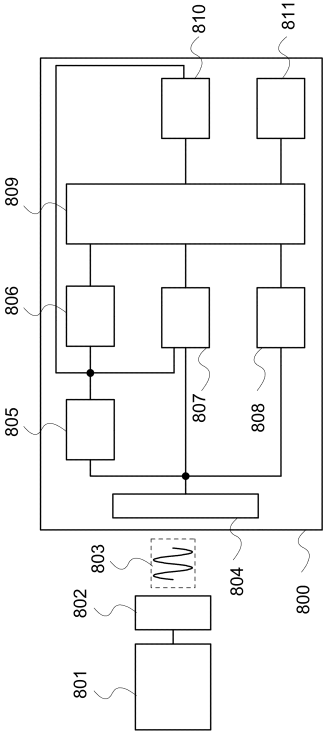


30

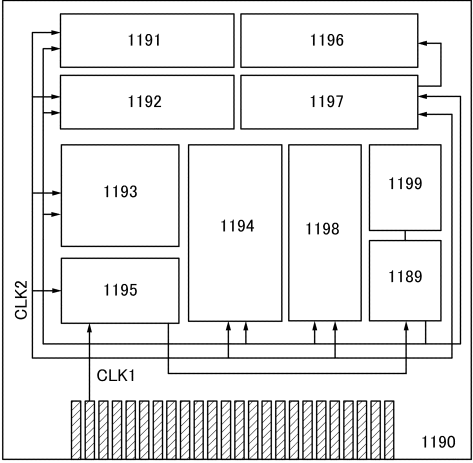
40

50

【図 2 3】



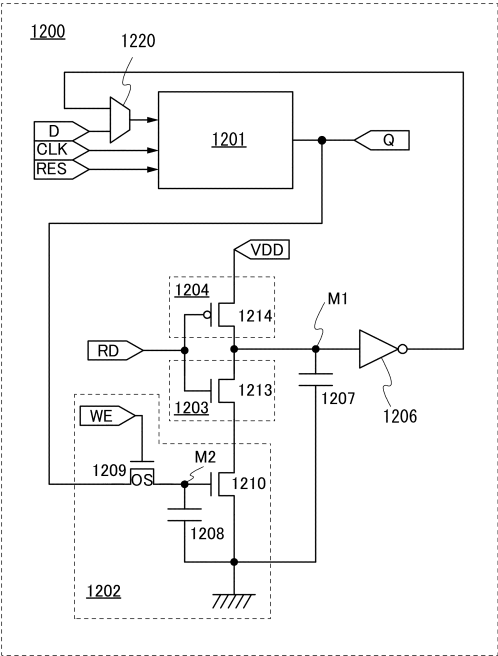
【図 2 4】



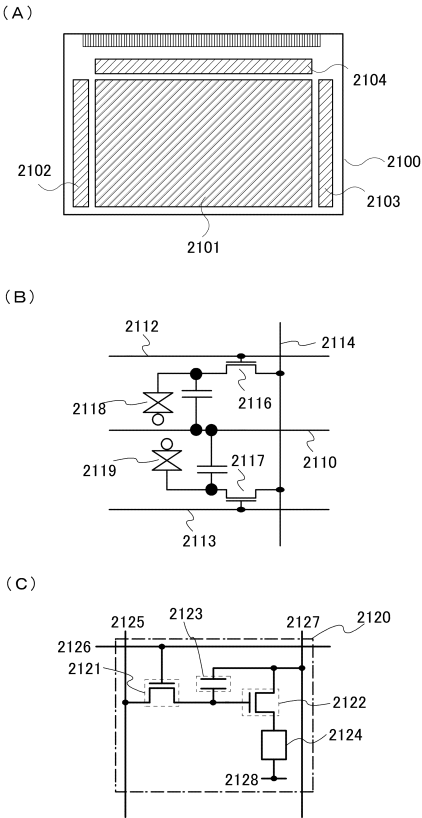
10

20

【図 2 5】



【図 2 6】

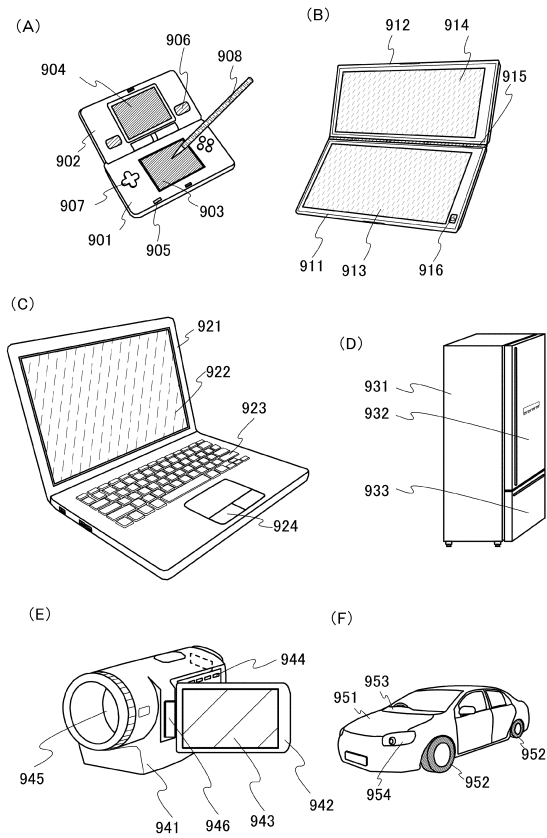


30

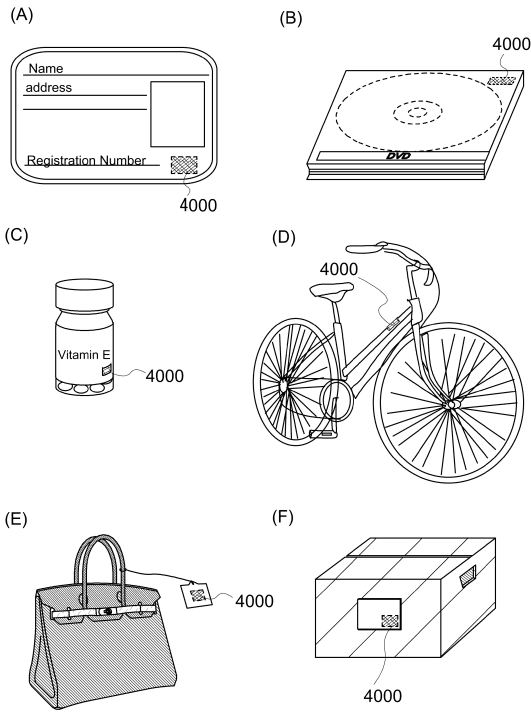
40

50

【図 27】



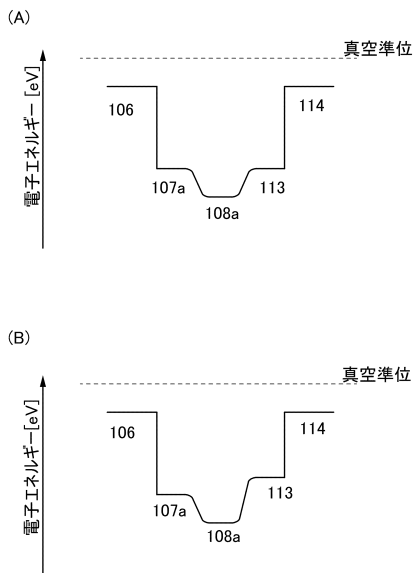
【図 28】



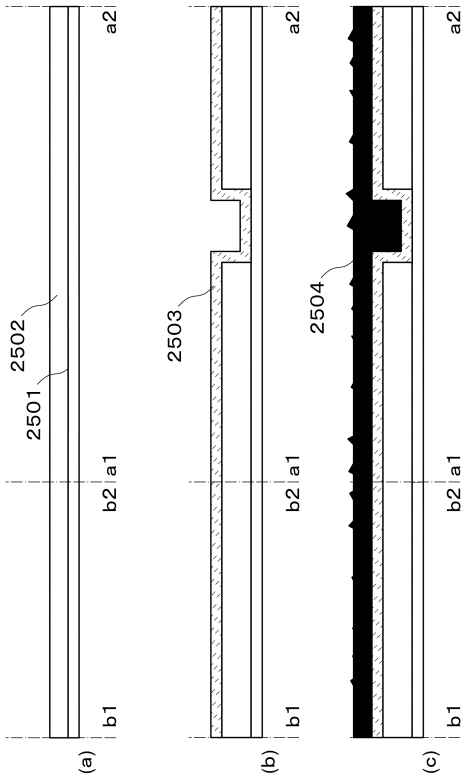
10

20

【図 29】



【図 30】

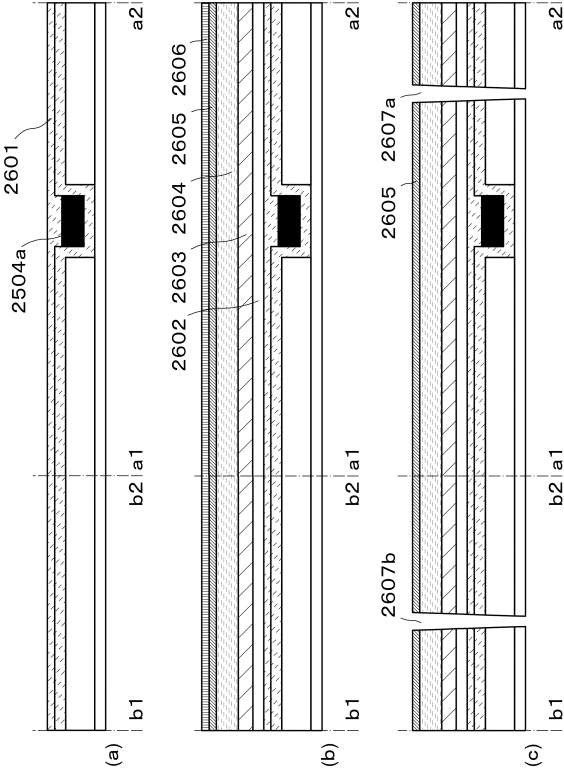


30

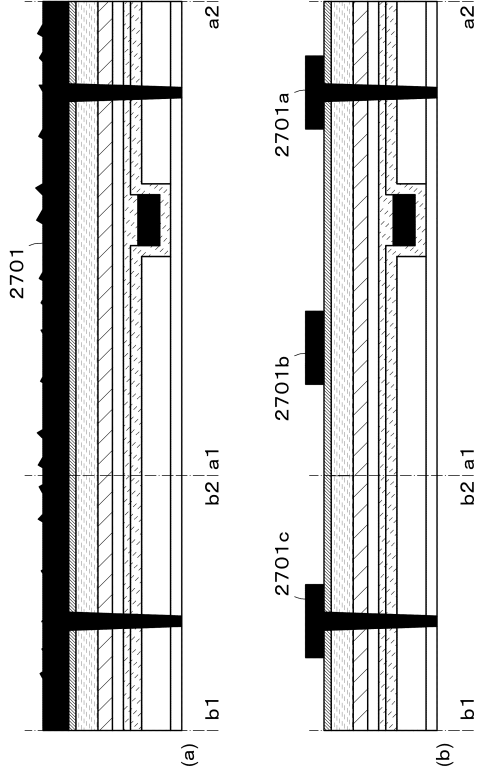
40

50

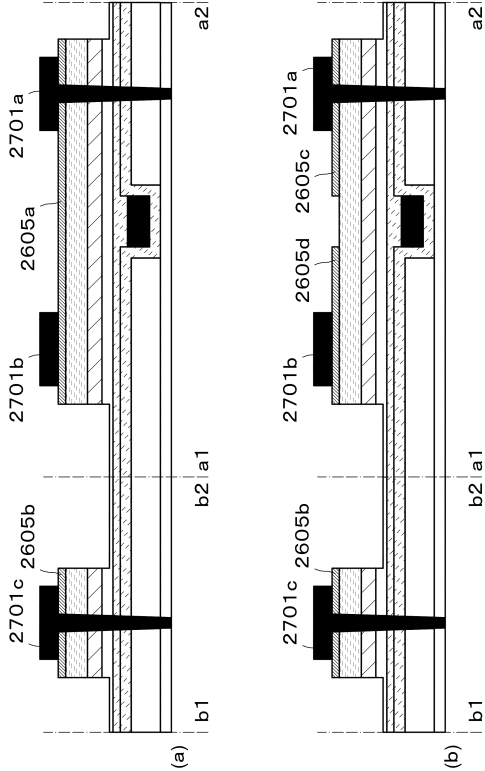
【図 3 1】



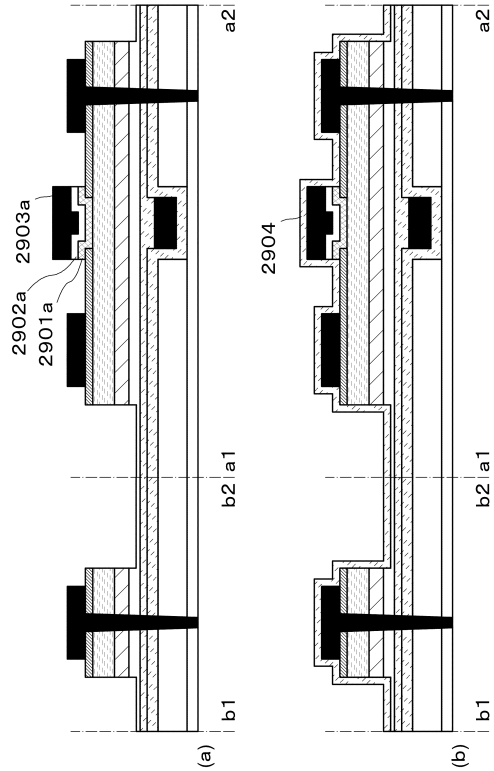
【図 3 2】



【図 3 3】



【図 3 4】



10

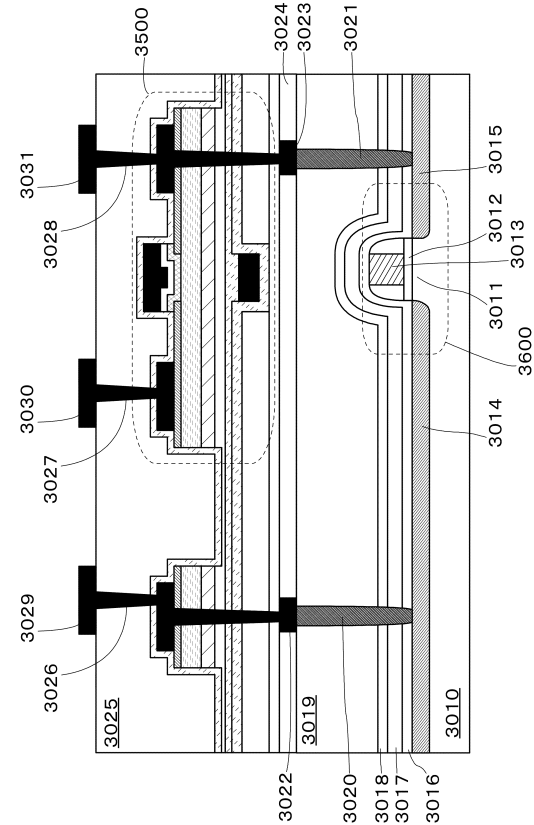
20

30

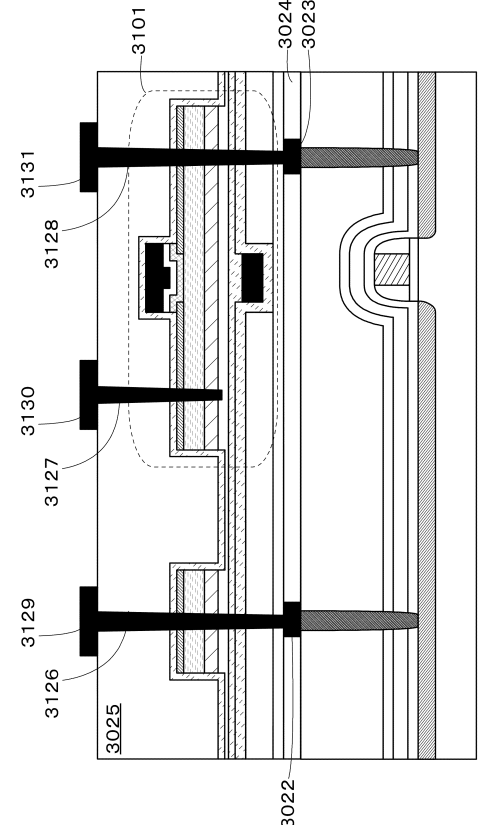
40

50

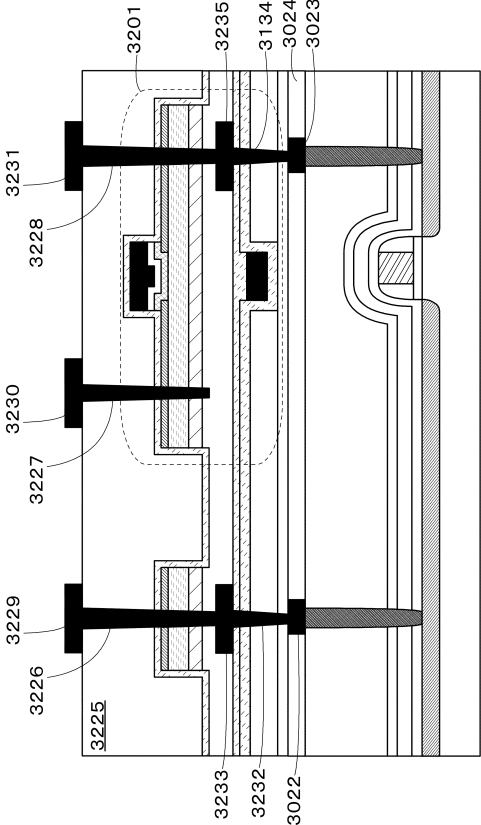
【図 3 5】



【図 3 6】



【図 3 7】



10

20

30

40

50

フロントページの続き

(51)国際特許分類

F I

H 1 0 B	12/00 (2023.01)	H 0 1 L	27/088	3 3 1 E
H 1 0 B	41/70 (2023.01)	H 0 1 L	27/088	D
H 1 0 D	64/60 (2025.01)	H 1 0 B	12/00	8 0 1
H 1 0 D	64/20 (2025.01)	H 1 0 B	12/00	6 7 1 Z
H 1 0 D	64/23 (2025.01)	H 1 0 B	41/70	
H 0 1 L	21/3205(2006.01)	H 0 1 L	21/28	3 0 1 B
H 0 1 L	21/768(2006.01)	H 0 1 L	21/28	3 0 1 R
H 0 1 L	23/522(2006.01)	H 0 1 L	29/44	S
H 0 1 L	23/532(2006.01)	H 0 1 L	29/50	M
		H 0 1 L	21/88	J
		H 0 1 L	21/88	R

(56)参考文献

特開 2 0 1 3 - 2 2 9 5 8 7 (J P , A)
 米国特許出願公開第 2 0 1 3 / 0 2 9 9 8 1 8 (U S , A 1)
 特開 2 0 0 5 - 1 0 9 3 4 7 (J P , A)
 特開 2 0 0 5 - 1 0 9 3 4 6 (J P , A)
 米国特許出願公開第 2 0 0 5 / 0 1 0 4 1 3 4 (U S , A 1)

(58)調査した分野 (Int.Cl., D B 名)

H 0 1 L **2 1 / 2 8**
H 0 1 L **2 1 / 3 2 0 5**
H 0 1 L **2 1 / 7 6 8**
H 0 1 L **2 1 / 8 2 3 4**
H 0 1 L **2 1 / 8 2 3 8**
H 0 1 L **2 3 / 5 2 2**
H 0 1 L **2 3 / 5 3 2**
H 0 1 L **2 7 / 0 6**
H 0 1 L **2 7 / 0 8 8**
H 0 1 L **2 7 / 0 9 2**
H 0 1 L **2 9 / 4 1**
H 0 1 L **2 9 / 4 1 7**
H 0 1 L **2 9 / 7 8 6**
H 1 0 B **1 2 / 0 0**
H 1 0 B **4 1 / 7 0**