(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年12月7日(07.12.2017)

WIPO | PCT

(10) 国際公開番号
WO 2017/208486 A1

(51) 国際特許分類:
*H01L 21/8244* (2006.01) *H01L 27/11* (2006.01)

(21) 国際出願番号： PCT/JP2016/089129

(22) 国際出願日： 2016年12月28日(28.12.2016)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
PCT/JP2016/066151 2016年6月1日(01.06.2016) JP

(71) 出願人(*US* を除く全ての指定国について):ユニサンティス エレクトロニクス シンガポール プライベート リミテッド(**UNISANTIS ELECTRONICS SINGAPORE PTE. LTD.**) [SG/SG]; 179098 ノースブリッジロード １１１、ペニンシュラ プラザ ＃１６－０４ Singapore (SG).

(72) 発明者；および

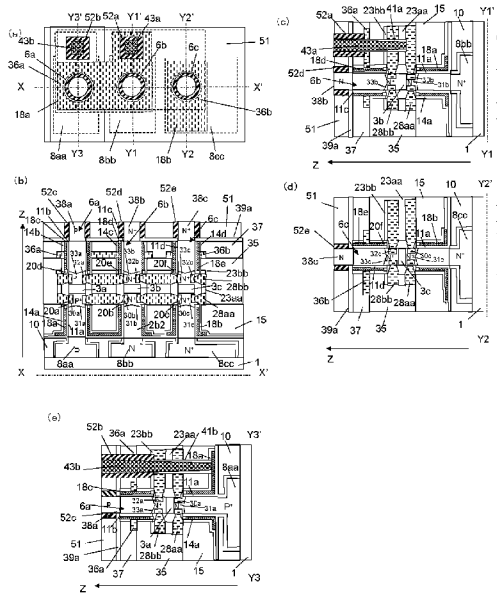
(71) 出願人 (*US* についてのみ): 舛岡 富士雄 (**MASUOKA Fujio**) [JP/JP]; 〒1020083 東京都千代田区麹町１丁目３番７号 日月館麹町ビル５階 Ｓｅｍｉｃｏｎ Ｃｏｎｓｕｌｔｉｎｇ株式会社内 Tokyo (JP). 原田 望(**HARADA Nozomu**) [JP/JP]; 〒1020083 東京都千代田区麹町１丁目３番７号 日月館麹町ビル５階 Ｓｅｍｉｃｏｎ Ｃｏｎｓｕｌｔｉｎｇ株式会社内 Tokyo (JP).

(74) 代理人:木村 満(**KIMURA Mitsuru**); 〒1010054 東京都千代田区神田錦町二丁目７番地 協販ビル２階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM,

(54) **Title:** METHOD FOR MANUFACTURING COLUMNAR SEMICONDUCTOR DEVICE

(54) 発明の名称： 柱状半導体装置の製造方法



(57) **Abstract:** This method for manufacturing a columnar semiconductor device has a step for forming W layers (52a, 52d), which are in contact with the side surface of an $N^+$ layer (38b), and the side surface of a top portion of a W layer (43a), and which have a same width and a circular strip shape in plan view, by forming, on the side surface of the $N^+$ layer (38b) of a top portion of a Si column (6b), and on the side surface of the top portion of the W layer (43a), a circular-strip-shaped $SiO_2$ layer, and an AlO layer (51) on an outer peripheral portion surrounding the $SiO_2$ layer, forming circular-strip-shaped contact holes by etching the circular-strip-shaped $SiO_2$ layer using the AlO layer as a mask, and embedding the W layers (52a, 52b) in the contact holes.

(57) 要約：柱状半導体装置の製造方法は、Ｓｉ柱（６ｂ）の頂部のＮ$^+$層（３８ｂ）と、Ｗ層（４３ａ）の頂部と、の側面を、円帯状のＳｉＯ$_2$層と、これを囲んだ外周部にＡＩＯ層（５１）と、を形成し、このＡＩＯ層をマスクに円帯状ＳｉＯ$_2$層をエッチングして、円帯状のコンタクトホールを形成し、このコンタクトホールにＷ層（５２ａ、５２ｂ）を埋め込むことにより、Ｎ$^+$層（３８ｂ）と、Ｗ層（４３ａ）の頂部と、の側面に接して、平面視において、等幅で、円帯状のＷ層（５２ａ、５２ｄ）を形成する工程を有する。

WO 2017/208486 A1

［続葉有］

ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

# 明　細　書

## 発明の名称 ： 柱状半導体装置の製造方法

## 技術分野

[0001] 本発明は、柱状半導体装置の製造方法に関する。

## 背景技術

[0002] 近年、ＬＳＩ（Large Scale Integration)に３次元構造トランジスタが使われている。その中で、柱状半導体装置であるＳＧＴ（Surrounding Gate Transistor）は、高集積な半導体装置を提供する半導体素子として注目されている。また、ＳＧＴを有する半導体装置の更なる高集積化、高性能化が求められている。

[0003] 通常のプレナー型ＭＯＳトランジスタでは、チャネルが半導体基板の上表面に沿う水平方向に延在する。これに対して、ＳＧＴのチャネルは、半導体基板の上表面に対して垂直な方向に延在する（例えば、特許文献１、非特許文献１を参照）。このため、ＳＧＴはプレナー型ＭＯＳトランジスタと比べ、半導体装置の高密度化が可能である。

[0004] 図７に、ＮチャネルＳＧＴの模式構造図を示す。Ｐ型又はｉ型（真性型）の導電型を有するＳｉ柱１００（以下、シリコン半導体柱を「Ｓｉ柱」と称する。）内の上下の位置に、一方がソースとなる場合に、他方がドレインとなる$N^+$層１０１ａ、１０１ｂ（以下、ドナー不純物を高濃度で含む半導体領域を「$N^+$層」と称する。）が形成されている。このソース、ドレインとなる$N^+$層１０１ａ、１０１ｂ間のＳｉ柱１００の部分がチャネル領域１０２となる。このチャネル領域１０２を囲むようにゲート絶縁層１０３が形成されている。このゲート絶縁層１０３を囲むようにゲート導体層１０４が形成されている。ＳＧＴでは、ソース、ドレインとなる$N^+$層１０１ａ、１０１ｂ、チャネル領域１０２、ゲート絶縁層１０３、ゲート導体層１０４が、全体として柱状に形成される。このため、平面視において、ＳＧＴの占有面積は、プレナー型ＭＯＳトランジスタの単一のソース又はドレイン$N^+$層の占有面積に

相当する。そのため、ＳＧＴを有する回路チップは、プレナー型ＭＯＳトランジスタを有する回路チップと比較して、更なるチップサイズの縮小化が実現できる。

[0005] 図７に示したＳＧＴは１つのＳｉ柱内に１つのＳＧＴが形成されている。これに対して、１つのＳｉ柱内に複数のＳＧＴを積上げて、形成することが可能である。この場合、各ＳＧＴのソース、ドレイン半導体領域と、ゲート導体層とに接続され、ソース、ドレイン半導体領域と垂直方向において同じ高さに形成された各配線導体層同士が、平面視において互いに重なりあうことになる。そして、ＳＧＴ回路の最終工程においては、各配線導体層は、各配線導体層上に形成されたコンタクトホールを介して、これらの上方に形成された配線金属層と接続されなければいけない。このため、ＳＧＴ回路の高集積化には、配線導体層、コンタクトホール、配線金属層の形成方法が、重要となる。

## 先行技術文献

## 特許文献

[0006] 特許文献1：特開平２－１８８９６６号公報

## 非特許文献

[0007] 非特許文献1：Hiroshi Takato, Kazumasa Sunouchi, Naoko Okabe, Akihiro Nitayama, Katsuhiko Hieda, Fumio Horiguchi, and Fujio Masuoka: IEEE Transaction on Electron Devices, Vol.38, No.3, pp.573-578 (1991)

非特許文献2：Tadashi Shibata, Susumu Kohyama and Hisakazu Iizuka: "A New Field Isolation Technology for High Density MOS LSI", Japanese Journal of Applied Physics, Vol.18, pp.263-267 (1979)

非特許文献3：T.Morimoto, T.Ohguro, H.Sasaki, M.S.Momose, T.Iinuma, I.Kunishima, K.Suguro, I.Katakabe, H.Nakajima, M.Tsuchiaki, M.Ono, Y.Katsumata, and H.Iwai: "Self-Aligned Nickel-Mono-Silicide Technology for High-Speed Deep Submicrometer Logic CMOS ULSI" IEEE Transaction on Electron Devices, Vol.42, No.5, pp.915-922 (1995)

## 発明の概要

## 発明が解決しようとする課題

[0008] 柱状半導体装置の高密度化の実現が求められている。

## 課題を解決するための手段

[0009] 本発明の第１の観点に係る、柱状半導体装置の製造方法は、

基板と、

前記基板上に対して垂直方向に延在する半導体柱と、

前記半導体柱の外周を囲むゲート絶縁層と、

前記ゲート絶縁層を囲むゲート導体層と、

前記垂直方向において前記ゲート導体層の上端以上で前記半導体柱の頂部以下の高さに上面位置を有する層間絶縁層と、

を有する半導体構造体を提供する工程と、

露出している前記半導体柱の上部の側面を囲んで第１の材料層を形成する工程と、

前記第１の材料層を囲んで第２の材料層を形成する工程と、

前記第２の材料層をエッチングマスクにして、前記第１の材料層をエッチングして、前記第２の材料層内に第１のコンタクトホールを形成する工程と、

前記第１のコンタクトホールに導電性を有する第１の導電材料層を形成する工程と、を備える、

ことを特徴とする。

[0010] 前記半導体柱内で前記半導体柱の前記上部より下方にアクセプタまたはドナー不純物を含む第２の不純物領域を形成する工程と、

前記半導体柱の前記上部に前記第１の導電材料層の側面に繋がる前記アクセプタまたはドナー不純物を含む第１の不純物領域を形成する工程と、をさらに備える、

ことがさらに好ましい。

[0011] 前記基板に対して垂直方向に延在する前記半導体柱とは別の半導体柱と、

前記別の半導体柱の外周を囲む前記ゲート絶縁層とは別のゲート絶縁層と、前記別のゲート絶縁層を囲む前記ゲート導体層とは別のゲート導体層と、前記別の半導体柱内に互いに離れて形成された第３の不純物領域及び第４の不純物領域とを有する、前記半導体構造体とは異なる１個または複数個の別の半導体構造体と、

前記ゲート導体層、前記別のゲート導体層、前記第１の不純物領域、前記第２の不純物領域、前記第３の不純物領域、及び前記第４の不純物領域から選ばれる異なる部位にそれぞれ接続され、前記基板に水平に延在し、平面視において互いに少なくとも部分的に重なり、且つ下から上にこの順番で存在する第１の配線導体層、第２の配線導体層、及び第３の配線導体層を含む積層構造体を提供する工程と、

前記第２の材料層の上表面から前記第１の配線導体層の上表面又は内部までつづき、前記第３の配線導体層及び前記第２の配線導体層を貫通する第２のコンタクトホールを形成する工程と、

前記第２のコンタクトホールに露出した前記第２の配線導体層の側面に第１の管状絶縁層を形成する工程と、

前記第２のコンタクトホールを充満して導電性を有する第２の導電材料層を形成する工程と、

前記第２の導電材料層の上部の側面を露出させる工程と、をさらに備え、

前記第１の材料層を形成する工程は、前記第２の導電材料層の前記上部の前記側面を囲んで第３の材料層を形成する工程を含み、

前記第２の材料層を形成する工程は、前記第３の材料層を囲んで第４の材料層を形成する工程を含み、そして、

前記第４の材料層をエッチングマスクにして、前記第３の材料層をエッチングして、前記第４の材料層内に第３のコンタクトホールを形成する工程と、

前記第３のコンタクトホールに導電性を有する第３の導電材料層を形成する工程と、をさらに備える、

ことがさらに好ましい。

[0012] 前記第１の導電材料層が少なくとも金属原子と半導体原子とを含み、

熱処理により、前記第１の導電材料層の前記金属原子を、前記半導体柱の前記上部内に拡散させて、前記半導体柱の前記上部内に合金層を形成する工程をさらに備える、

ことがさらに好ましい。

[0013] 前記第１の導電材料層が前記アクセプタまたはドナー不純物を含み、

前記第１の不純物領域を形成する工程では、熱処理により前記アクセプタまたはドナー不純物を、前記半導体柱の前記上部内に拡散させて、前記第１の不純物領域を形成する、

ことがさらに好ましい。

[0014] 平面視において、前記第１のコンタクトホールの場所以外にあり、前記ゲート導体層、前記第１の不純物領域、又は前記第２の不純物領域に接続され水平方向に延在する配線導体層に繋がり、且つ前記第２の材料層の表面より下方に延びる第４のコンタクトホールを形成する工程と、

第４の導電材料層を前記第４のコンタクトホールに充満する工程と、

前記第１の導電材料層と前記第４の導電材料層との頂部表面を面一にする工程と、をさらに備える、

ことがさらに好ましい。

[0015] 前記第１の導電材料層と、前記第２の導電材料層と、前記第３の導電材料層との頂部表面を面一にする工程を備える、

ことがさらに好ましい。

[0016] 前記第１の導電材料層を形成する工程及び前記第３の導電材料層を形成する工程は、導体材料を、前記第１のコンタクトホール及び前記第３のコンタクトホールに充満させ、且つ前記第２の材料層上に堆積し、その後、リソグラフィ法とエッチングにより、前記導体材料から、前記第１の導電材料層に繋がった第１の配線導体層と、前記第３の導電材料層に繋がった第２の配線導体層との、一方または両者を、前記第２の材料層上に形成することで行わ

れる、

ことがさらに好ましい。

[0017] 前記第１の導電材料層と、前記第２の導電材料層と、前記第３の導電材料層との頂部表面を面一にする工程の後、前記第２の材料層上に配線材料層を堆積する工程と、

リソグラフィ法とエッチングにより、前記配線材料層から、前記第１の導電材料層に繋がった第４の配線導体層と、前記第３の導電材料層に繋がった第５の配線導体層との、一方または両者を、前記第２の材料層上に形成する工程を含み、

前記エッチングにおける、前記第４の配線導体層及び前記第５の配線導体層のエッチング速度が、前記第１の導電材料層、前記第２の導電材料層、及び前記第３の導電材料層のエッチング速度より早い、

ことがさらに好ましい。

[0018] 前記第１の材料層が、平面視において、等幅で前記半導体柱の上部を囲んで形成される、

ことがさらに好ましい。

## 発明の効果

[0019] 本発明によれば、高密度の柱状半導体装置が実現する。

## 図面の簡単な説明

[0020] [図1A]本発明の第１実施形態に係るＳＧＴを有する柱状半導体装置を説明するためのＳＲＡＭセル回路図である。

[図1B]第１実施形態に係るＳＧＴを有する柱状半導体装置を説明するためのＳＲＡＭセル模式構造図である。

[図2A]第１実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図2B]第１実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図2C]第１実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明

するための平面図と断面構造図である。

[図2D]第１実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図2E]第１実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図2F]第１実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図2G]第１実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図2H]第１実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図2I]第１実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図2J]第１実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図2K]第１実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図2L]第１実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図2M]第１実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図2N]第１実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図2O]第１実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図2P]第１実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図2Q]第１実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明

するための平面図と断面構造図である。

[図2R]第１実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図2S]第１実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図2T]第１実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図2U]第１実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図2V]第１実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図2W]第１実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図3A]本発明の第２実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図3B]第２実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図4A]本発明の第３実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図4B]第３実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図5]本発明の第４実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図6]本発明の第５実施形態に係るＳＧＴを有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

[図7]従来例のＳＧＴを示す模式構造図である。

## 発明を実施するための形態

[0021] 以下、本発明の実施形態に係る、柱状半導体装置の製造方法について、図

面を参照しながら説明する。

[0022] （第１実施形態）

以下、図１Ａ、図１Ｂ、図２Ａ～図２Ｗを参照しながら、本発明の第１実施形態に係る、ＳＧＴを有する柱状半導体装置の製造方法について説明する。

[0023] 図１Ａに、本実施形態の柱状半導体装置である、ＳＧＴを用いたＳＲＡＭセル回路図を示す。本ＳＲＡＭセル回路は２個のインバータ回路を含んでいる。１つのインバータ回路は負荷トランジスタとしてのＰチャネル型ＳＧＴ_Ｐｃ１と、駆動トランジスタとしてのＮチャネル型ＳＧＴ_Ｎｃ１と、から構成されている。もう１つのインバータ回路は負荷トランジスタとしてのＰチャネル型ＳＧＴ_Ｐｃ２と、駆動トランジスタとしてのＮチャネル型ＳＧＴ_Ｎｃ２と、から構成されている。Ｐチャネル型ＳＧＴ_Ｐｃ１のゲートと、Ｎチャネル型ＳＧＴ_Ｎｃ１のゲートと、Ｐチャネル型ＳＧＴ_Ｐｃ２のドレインと、Ｎチャネル型ＳＧＴ_Ｎｃ２のドレインとが接続されている。Ｐチャネル型ＳＧＴ_Ｐｃ２のゲートと、Ｎチャネル型ＳＧＴ_Ｎｃ２のゲートと、Ｐチャネル型ＳＧＴ_Ｐｃ１のドレインと、Ｎチャネル型ＳＧＴ_Ｎｃ１のドレインとが接続されている。

[0024] 図１Ａに示すように、Ｐチャネル型ＳＧＴ_Ｐｃ１、Ｐｃ２のソースは電源端子Ｖｄｄに接続されている。そして、Ｎチャネル型ＳＧＴ_Ｎｃ１、Ｎｃ２のソースはグランド端子Ｖｓｓに接続されている。選択Ｎチャネル型ＳＧＴ_ＳＮ１、ＳＮ２が２つのインバータ回路の両側に配置されている。選択Ｎチャネル型ＳＧＴ_ＳＮ１、ＳＮ２のゲートはワード線端子ＷＬｔに接続されている。選択Ｎチャネル型ＳＧＴ_ＳＮ１のソース、ドレインはビット線端子ＢＬｔとＮチャネル型ＳＧＴ_Ｎｃ１、Ｐチャネル型ＳＧＴ_Ｐｃ１のドレインとに接続されている。選択Ｎチャネル型ＳＧＴ_ＳＮ２のソース、ドレインは反転ビット線端子ＢＬＲｔと、Ｎチャネル型ＳＧＴ_Ｎｃ２、Ｐチャネル型ＳＧＴ_Ｐｃ２のドレインとに接続されている。このように、本実施形態のＳＲＡＭセルを有する回路（以下、「ＳＲＡＭセル回路」という。）は、２個の

Ｐチャネル型ＳＧＴ_Ｐｃ１、Ｐｃ２と、４個のＮチャネル型ＳＧＴ_Ｎｃ１、Ｎｃ２、ＳＮ１、ＳＮ２とからなる合計６個のＳＧＴから構成されている。そして、このＳＲＡＭセル回路は、Ｐチャネル型ＳＧＴ_Ｐｃ１、Ｎチャネル型ＳＧＴ_Ｎｃ１、ＳＮ１よりなる回路領域Ｃ１と、Ｐチャネル型ＳＧＴ_Ｐｃ２、Ｎチャネル型ＳＧＴ_Ｎｃ２、ＳＮ２よりなる回路領域Ｃ２とから構成されている。

[0025] 図１Ｂに第１実施形態に係るＳＲＡＭセル回路の模式構造図を示す。このＳＲＡＭセル回路は３個のＳｉ柱ＳＰ１、ＳＰ２、ＳＰ３より構成されている。

Ｓｉ柱ＳＰ１には、図１Ａにおけるチャネル型ＳＧＴ_Ｐｃ１が上部に形成され、Ｐチャネル型ＳＧＴ_Ｐｃ２が下部に形成されている。Ｐチャネル型ＳＧＴ_Ｐｃ１、Ｐｃ２はＳｉ柱ＳＰ１の中間にある$SiO_2$層Ｏｘ１で分離されている。Ｐチャネル型ＳＧＴ_Ｐｃ１は、チャネルであるＳｉ柱ＳＰ１の一部と、このＳｉ柱ＳＰ１の一部を囲むゲートＧｐ１と、ゲートＧｐ１の上下のＳｉ柱ＳＰ１内にあるドレイン$P^+$層Ｐｄ１とソース$P^+$層Ｐｓ１とより形成されている。Ｐチャネル型ＳＧＴ_Ｐｃ２は、チャネルであるＳｉ柱ＳＰ１の一部と、このＳｉ柱ＳＰ１の一部を囲むゲートＧｐ２と、ゲートＧｐ２の上下のＳｉ柱ＳＰ１内にあるドレイン$P^+$層Ｐｄ２とソース$P^+$層Ｐｓ２とより形成されている。

Ｓｉ柱ＳＰ２には、図１Ａにおけるチャネル型ＳＧＴ_Ｎｃ１が上部に形成され、Ｎチャネル型ＳＧＴ_Ｎｃ２が下部に形成されている。Ｎチャネル型ＳＧＴ_Ｎｃ１、Ｎｃ２はＳｉ柱ＳＰ２の中間にある$SiO_2$層Ｏｘ２で分離されている。Ｎチャネル型ＳＧＴ_Ｎｃ１は、チャネルであるＳｉ柱ＳＰ２の一部と、このＳｉ柱ＳＰ２の一部を囲むゲートＧｎ１と、ゲートＧｎ１の上下のＳｉ柱ＳＰ２内にあるドレイン$N^+$層Ｎｄ１とソース$N^+$層Ｎｓ１とより形成されている。Ｎチャネル型ＳＧＴ_Ｎｃ２は、チャネルであるＳｉ柱ＳＰ２の一部と、このＳｉ柱ＳＰ２の一部を囲むゲートＧｎ２と、ゲートＧｎ２の上下のＳｉ柱ＳＰ２内にあるドレイン$N^+$層Ｎｄ２とソース$N^+$層Ｎｓ２と

より形成されている。

Ｓｉ柱ＳＰ３には、図１ＡにおけるＮチャネル型ＳＧＴ_ＳＮ１が上部に形成され、Ｎチャネル型ＳＧＴ_ＳＮ２が下部に形成されている。Ｎチャネル型ＳＧＴ_ＳＮ１、ＳＮ２はＳｉ柱ＳＰ３の中間にある$SiO_2$層Ｏｘ３で分離されている。Ｎチャネル型ＳＧＴ_ＳＮ１は、チャネルであるＳｉ柱ＳＰ３の一部と、このＳｉ柱ＳＰ３の一部を囲むゲートＧｓ１と、ゲートＧｓ１の上下のＳｉ柱ＳＰ３内にあるドレイン$N^+$層Ｓｄ１とソース$N^+$層Ｓｓ１とより形成されている。Ｎチャネル型ＳＧＴ_ＳＮ２は、チャネルであるＳｉ柱ＳＰ３の一部と、このＳｉ柱ＳＰ３の一部を囲むゲートＧｓ２と、ゲートＧｓ２の上下のＳｉ柱ＳＰ３内にあるドレイン$N^+$層Ｓｄ２とソース$N^+$層Ｓｓ２とより形成されている。

[0026] 図１Ｂに示すように、Ｓｉ柱ＳＰ１、ＳＰ２、ＳＰ３の同じ高さに位置している構成要素同士が接続されている。即ち、ゲートＧｐ１、Ｇｎ１が接続され、ドレイン$P^+$層Ｐｄ１と、ドレイン$N^+$層Ｎｄ１と、ドレイン$N^+$層Ｓｄ１とが接続され、ドレイン$P^+$層Ｐｄ２と、ドレイン$N^+$層Ｎｄ２と、ドレイン$N^+$層Ｓｄ２とが接続され、ゲートＧｐ２、Ｇｎ２が接続されている。さらに、ゲートＧｐ１、Ｇｎ１と、ドレイン$P^+$層Ｐｄ２と、ドレイン$N^+$層Ｎｄ２と、ドレイン$N^+$層Ｓｄ２とが接続され、ゲートＧｐ２、Ｇｎ２が、ドレイン$P^+$層Ｐｄ１と、ドレイン$N^+$層Ｎｄ１と、ドレイン$N^+$層Ｓｄ１とが接続されている。

[0027] 図１Ｂに示すように、Ｓｉ柱ＳＰ１のソース$P^+$層Ｐｓ１、Ｐｓ２は電源端子Ｖｄｄに接続され、Ｓｉ柱ＳＰ２のソース$N^+$層Ｎｓ１、Ｎｓ２はグランド端子Ｖｓｓに接続され、Ｓｉ柱ＳＰ３のソース$N^+$層Ｓｓ１はビット線端子ＢＬｔに接続され、Ｓｉ柱ＳＰ３のソース$N^+$層Ｓｓ２は反転ビット線端子ＢＬＲｔに接続され、Ｓｉ柱ＳＰ３のゲートＧｓ１、Ｇｓ２はワード線端子ＷＬｔに接続されている。

[0028] 図１Ｂに示すように、Ｓｉ柱ＳＰ１、ＳＰ２、ＳＰ３の上部に、図１Ａに示した回路図の回路領域Ｃ１が形成され、下部に回路領域Ｃ２が形成されて

いる。そして、Ｓｉ柱ＳＰ１、ＳＰ２、ＳＰ３の同じ高さにある構成要素同士が、Ｓｉ柱の上下間の接続経路を介さないで接続されている。即ち、ゲートＧｐ１、Ｇｎ１が、Ｓｉ柱ＳＰ１、ＳＰ２の上下間の接続経路を介さないで接続され、ドレイン$P^+$層Ｐｄ１、$N^+$層Ｎｄ１、Ｓｄ１が、Ｓｉ柱ＳＰ１、ＳＰ２、ＳＰ３の上下間の接続経路を介さないで接続され、ドレイン$P^+$層Ｐｄ２、$N^+$層Ｎｄ２、Ｓｄ２が、Ｓｉ柱ＳＰ１、ＳＰ２、ＳＰ３の上下間の接続経路を介さないで接続され、同様にゲートＧｐ２、Ｇｎ２が、Ｓｉ柱ＳＰ１、ＳＰ２の上下間の接続経路を介さないで接続されている。これに対し、ゲートＧｐ１、Ｇｎ１と、ドレイン$P^+$層Ｐｄ２、$N^+$層Ｎｄ２との接続は、上下間の接続経路を介して接続する必要がある。同様に、ゲートＧｐ２、Ｇｎ２と、ドレイン$P^+$層Ｐｄ１、$N^+$層Ｎｄ１との接続は、上下間の接続経路を介して接続されている。

[0029] 図２Ａに、ＳＧＴを有する柱状半導体装置であるＳＲＡＭセル回路の製造工程を説明するための、平面図及び断面図を示す。（ａ）は平面図、（ｂ）は（ａ）のＸ－Ｘ’線に沿う断面構造図、（ｃ）は（ａ）のＹ１－Ｙ１’線に沿う断面構造図、（ｄ）は（ａ）のＹ２－Ｙ２’線に沿う断面構造図を示す。

[0030] 図２Ａに示すように、$SiO_2$層基板１上に、積層されたｉ層２、$SiO_2$層３、ｉ層４、$SiO_2$層５を形成する。

[0031] 次に、図２Ｂに示すように、レジスト層（図示せず）をマスクに、リソグラフィ法とＲＩＥ（Reactive Ion Etching）法を用いて、平面視において円形状の$SiO_2$層５ａ、５ｂ、５ｃを形成する。次に、レジスト層、$SiO_2$層５ａ、５ｂ、５ｃをマスクに、ＲＩＥ法を用いて、ｉ層４、$SiO_2$層３、ｉ層２をエッチングして、$SiO_2$層基板１上にｉ層２の下層を残して、Ｓｉ柱６ａ、６ｂ、６ｃを形成する。そして、レジスト層を除去する。この結果、Ｓｉ柱６ａは、ｉ層２ｂ１、$SiO_2$層３ａ、ｉ層４ａ、$SiO_2$層５ａを含み、Ｓｉ柱６ｂは、ｉ層２ｂ２、$SiO_2$層３ｂ、ｉ層４ｂ、$SiO_2$層５ｂを含み、Ｓｉ柱６ｃは、ｉ層２ｂ３、$SiO_2$層３ｃ、ｉ層４ｃ、$SiO_2$

層５ｃを含む。

次に、リソグラフィ法とＲＩＥ法を用いて、下層に残存するｉ層２をエッチングして、Ｓｉ柱６ａの外周部にｉ層２ａ１を、Ｓｉ柱６ｂの外周部にｉ層２ａ２を、Ｓｉ柱６ｃの外周部にｉ層２ａ３を形成する。

[0032] 次に、図２Ｃに示すように、例えば熱酸化により、Ｓｉ柱６ａ、６ｂ、６ｃとｉ層２ａ１、２ａ２、２ａ３の外周に$SiO_2$層７ａ、７ｂ、７ｃを形成する。そして、リソグラフィ法とイオン注入法を用いて、Ｓｉ柱６ａの外周部のｉ層２ａ１に$P^+$層８ａを形成し、Ｓｉ柱６ｂの外周部のｉ層２ａ２に$N^+$層８ｂを形成し、Ｓｉ柱６ｃの外周部のｉ層２ａ３に$N^+$層８ｃを形成する。そして、Ｓｉ柱６ａ、６ｂ、６ｃの下部と、ｉ層２ａ１、２ａ２、２ａ３とを囲んで、$SiO_2$層１０を形成する。

[0033] 次に、図２Ｄに示すように、$SiO_2$層１０より上の$SiO_2$層７ａ、７ｂ、７ｃを除去した後に、Ｓｉ柱６ａ、６ｂ、６ｃと、$SiO_2$層１０を覆って、例えばＡＬＤ（Atomic Layer Deposition）法により、酸化ハフニウム（$HfO_2$）層１１と、窒化チタン（ＴｉＮ）層１２を順次形成する。最終的に、$HfO_2$層１１はＳＧＴのゲート絶縁層となり、ＴｉＮ層１２はＳＧＴのゲート導体層となる。

[0034] 次に、図２Ｅに示すように、リソグラフィ法とＲＩＥ法を用いて、Ｓｉ柱６ａ、６ｂを囲んだＴｉＮ層１２ａと、Ｓｉ柱６ｃを囲んだＴｉＮ層１２ｂを形成する。

[0035] 次に、図２Ｆに示すように、全体を覆って、$SiO_2$層１４を形成する。その後、熱処理を行い、$P^+$層８ａ、$N^+$層８ｂ、８ｃのドナー、またはアクセプタ不純物原子をｉ層２ａ１、２ａ２、２ａ３の全体に熱拡散して、$P^+$層８ａａ、$N^+$層８ｂｂ、８ｃｃを形成する。その後、Ｓｉ柱６ａ、６ｂ、６ｃの外周に窒化シリコン（ＳｉＮ）層１５を形成する。続いて、ＳｉＮ層１５上にレジスト層１６を形成する。$SiO_2$層３ａ、３ｂ、３ｃの垂直方向での位置が、レジスト層１６の中央部になるように、レジスト層１６を形成する。レジスト層１６は、レジスト材料をＳｉＮ層１５との上表面に塗布した後、

例えば２００℃の熱処理を行ってレジスト材料の流動性を大きくし、レジスト材料がＳｉ柱６ａ、６ｂ、６ｃの外側のＳｉＮ層１５上で均質に溜まるようにして形成する。続いて、フッ化水素ガス（以下、「ＨＦガス」と称する。）を全体に供給する。続いて、例えば１８０℃の加熱環境とすることで、ＨＦガスがレジスト層１６内に含まれた水分によって電離され、フッ化水素イオン（$HF_2^+$）（以下、「ＨＦイオン」と称する。）が形成される。このＨＦイオンがレジスト層１６内を拡散して、レジスト層１６に接触する$SiO_2$層１４をエッチングする（ここでのエッチングのメカニズムは非特許文献２を参照のこと。）。一方、レジスト層１６に接触していない$SiO_2$層１４は、殆どエッチングされずに残存する。その後、レジスト層１６を除去する。

[0036] 以上の結果、図２Ｇに示すように、$SiO_2$層１４は、ＳｉＮ層１５に覆われた$SiO_2$層１４ａと、Ｓｉ柱６ａ、６ｂ、６ｃの上部領域の$SiO_2$層１４ｂ、１４ｃ、１４ｄとに分離される。続いて、$SiO_2$層１４ａ、１４ｂ、１４ｃ、１４ｄ、ＳｉＮ層１５をマスクとして用い、ＴｉＮ層１２ａ、１２ｂをエッチングすることで、ＴｉＮ層１２ａが、Ｓｉ柱６ａ、６ｂの下方領域のＳｉＮ層１５で覆われたＴｉＮ層１８ａと、$SiO_2$層１４ｂで覆われたＴｉＮ層１８ｃと、$SiO_2$層１４ｃで覆われたＴｉＮ層１８ｄに分離され、ＴｉＮ層１２ｂが、Ｓｉ柱６ｃの下方領域のＳｉＮ層１５で覆われたＴｉＮ層１８ｂと、$SiO_2$層１４ｄで覆われたＴｉＮ層１８ｅに分離される。次に、$SiO_2$層１４ａ、１４ｂ、１４ｃと、ＴｉＮ層１８ａ、１８ｂ、１８ｃ、１８ｄ、１８ｅと、をマスクとして用い、$HfO_2$層１１をエッチングすることで、$HfO_2$層１１が、Ｓｉ柱６ａ、６ｂ、６ｃの下方領域においてＴｉＮ層１８ａ、１８ｂで覆われた$HfO_2$層１１ａと、Ｓｉ柱６ａ、６ｂ、６ｃの上部領域でＴｉＮ層１８ｃ、１８ｄ、１８ｅにそれぞれ覆われた$HfO_2$層１１ｂ、１１ｃ、１１ｄとに分離される。その後、ＴｉＮ層１８ａのＳｉ柱６ａ側の露出部、ＴｉＮ層１８ａのＳｉ柱６ｂ側の露出部、ＴｉＮ層１８ｂ、１８ｃ、１８ｄ、１８ｅの露出部をそれぞれ酸化することで、ＴｉＯ（酸化

チタン）層２０ａ、２０ｂ、２０ｃ、２０ｄ、２０ｅ、２０ｆを形成する。その後、ＴｉＯ層２０ａ、２０ｂ、２０ｃ、２０ｄ、２０ｅ、２０ｆ形成時にＳｉ柱６ａ、６ｂ、６ｃ側面に形成された$SiO_2$層（図示せず）を除去する。

[0037] 次に、図２Ｈに示すように、例えば、$SiO_2$層基板１を配置した基板金属板と、この基板金属板から離間した対向金属板とを用意し、基板金属板に直流電圧を印加し、これら２枚の平行金属板にＲＦ高周波電圧を印加することで対向金属板の材料原子をスパッタして$SiO_2$層基板１上に堆積させるバイアス・スパッタ法を用いて、Ｎｉ原子を$SiO_2$層基板１の上表面に垂直な方向から入射させ、ＳｉＮ層１５上にＮｉ層２１ａを形成する。同様に、バイアス・スパッタ法により、ボロン（Ｂ）不純物を含んだＰ型ポリＳｉ層２２ａ、$SiO_2$層２３ａ、Ｎｉ層２１ｂ、Ｐ型ポリＳｉ層２２ｂ、$SiO_2$層２３ｂを順次積層する。ここで、$SiO_2$層２３ｂの上面は、Ｓｉ柱６ａ、６ｂ、６ｃの上部を覆った$SiO_2$層１４ｂ、１４ｃ、１４ｄと接するように形成する。Ｎｉ原子、ポリＳｉ原子、$SiO_2$原子は、$SiO_2$層基板１の上表面に対して垂直な方向から入射するので、Ｓｉ柱６ａ、６ｂ、６ｃの外周部側面とＮｉ層２１ａ、２１ｂ、Ｐ型ポリＳｉ層２２ａ、２２ｂ、$SiO_2$層２３ａ、２３ｂとの間に、密閉された空間２５ａ、２５ｂ、２５ｃが形成される。その後、ＳｉＮ層１５上に堆積されたＮｉ層２１ａ、２１ｂ、Ｐ型ポリＳｉ層２２ａ、２２ｂ、$SiO_2$層２３ａ、２３ｂよりなる積層膜と同時にＳｉ柱６ａ、６ｂ、６ｃ頂部上に形成された積層膜（図示せず）を除去する。

[0038] 次に、図２Ｉに示すように、Ｓｉ柱６ａを覆ったレジスト層２７を形成する。その後、$SiO_2$層基板１上面より砒素（Ａｓ）原子のイオン注入により、Ｓｉ柱６ｂ、６ｃの外周部のＰ型ポリＳｉ層２２ａ、２２ｂを$N^+$層化して$N^+$型ポリＳｉ層２６ａ、２６ｂを形成する。その後、レジスト層２７を除去する。

[0039] 次に、図２Ｊに示すように、例えば５５０℃の熱処理を行うことで、Ｎｉ層２１ａ、２１ｂのＮｉ原子をＰ型ポリＳｉ層２２ａ、２２ｂ、$N^+$型ポリＳ

ｉ層２６ａ、２６ｂ内に拡散させてニッケルシリサイド（ＮｉＳｉ）層２８ａ、２８ｂをそれぞれ形成する。ＮｉＳｉ層２８ａ、２８ｂは、Ｐ型ポリＳｉ層２２ａ、２２ｂ、$N^+$型ポリＳｉ層２６ａ、２６ｂの体積より膨張する（この体積膨張については非特許文献３を参照のこと）。Ｐ型ポリＳｉ層２２ａ、２２ｂ、$N^+$型ポリＳｉ層２６ａ、２６ｂはＳｉＮ層１５、$SiO_2$層２３ａ、２３ｂにより挟まれているので、ＮｉＳｉ層２８ａ、２８ｂは、主に空間２５ａ、２５ｂ、２５ｃ内に突出する。$N^+$型ポリＳｉ層２６ａ、２６ｂに含まれているＡｓ原子と、Ｐ型ポリＳｉ層２２ａ、２２ｂとに含まれているＢ原子は、ＮｉＳｉ層２８ａ、２８ｂより外側に押し出される（この押し出し現象については非特許文献３を参照のこと）。この不純物原子押し出し効果により、空間２５ａ、２５ｂ、２５ｃ内に突き出したＮｉＳｉ層２８ａ、２８ｂの側面表層に不純物原子を多く含んだ突起部（図示せず）が形成される。そして、突起部側面がＳｉ柱６ａ、６ｂ、６ｃ表面に接触する。

[0040] 次に、図２Ｋに示すように、熱処理を行って、ＮｉＳｉ層２８ａ、２８ｂのシリサイド化を拡張すると共に、不純物押し出し効果により突起部からＡｓ原子、Ｂ原子をＳｉ柱６ａ、６ｂ、６ｃ内に拡散させる。こうして、ＮｉＳｉ層２８ａに接したＳｉ柱６ａ、６ｂ、６ｃの側面表層にそれぞれＮｉＳｉ層３０ａ、３０ｂ、３０ｃが形成されると共に、Ｂ原子及びＡｓ原子が不純物押し出し効果によりＳｉ柱６ａ、６ｂ、６ｃ内部に拡散されてＳｉ柱６ａ、６ｂ、６ｃ内部にそれぞれ$P^+$層３１ａ、$N^+$層３１ｂ、３１ｃが形成される。同様に、ＮｉＳｉ層２８ｂに接したＳｉ柱６ａ、６ｂ、６ｃの側面表層にそれぞれＮｉＳｉ層３２ａ、３２ｂ、３２ｃが形成されると共に、Ｂ原子及びＡｓ原子が不純物押し出し効果によりＳｉ柱６ａ、６ｂ、６ｃ内部に拡散されてＳｉ柱６ａ、６ｂ、６ｃ内部にそれぞれ$P^+$層３３ａ、$N^+$層３３ｂ、３３ｃが形成される。$SiO_2$層３ａ、３ｂ、３ｃでは、ドナー及びアクセプタ不純物原子の熱拡散が抑えられ、同時にシリサイド化も抑えられるので、$P^+$層３１ａ、$N^+$層３１ｂ、３１ｃと、$P^+$層３３ａ、$N^+$層３３ｂ、３３ｃとは、$SiO_2$層３ａ、３ｂ、３ｃで分離される。次に、リソグラフィ法

とＲＩＥ法とを用いて、ＮｉＳｉ層２８ａ、２８ｂ、$SiO_2$層２３ａ、２３ｂを、Ｓｉ柱６ａ、６ｂ、６ｃの外周部に残存するように、パターン加工することで、ＮｉＳｉ層２８ａａ、２８ｂｂ、$SiO_2$層２３ａａ、２３ｂｂをそれぞれ形成する。

[0041] 次に、図２Ｌに示すように、ＳｉＮ層１５を形成した方法と同じ方法を用いることで、その上表面が、ＴｉＮ層１８ｃ、１８ｄ、１８ｅの高さ方向の中間に位置するように、ＳｉＮ層３５を形成する。続いて、空間２５ａ、２５ｂ、２５ｃを形成した方法と同じ方法を用いることで、ＴｉＮ層１８ｃ、１８ｄ、１８ｅの外周に開口部を形成する。続いて、ＴｉＮ層１８ｃ、１８ｄに接触したＮｉＳｉ層３６ａと、ＴｉＮ層１８ｅに接触したＮｉＳｉ層３６ｂを形成する。

[0042] 次に、図２Ｍに示すように、$SiO_2$層３７を、その上表面の位置がＮｉＳｉ層３６ａ、３６ｂの表面よりも高く、かつＳｉ柱６ａ、６ｂ、６ｃの頂部よりも低くなるように形成する。その後、$SiO_2$層３７をマスクとして用い、Ｓｉ柱６ａ、６ｂ、６ｃの頂部の$SiO_2$層１４ｂ、１４ｃ、１４ｄ、ＴｉＮ層１８ｃ、１８ｄ、１８ｅ、$HfO_2$層１１ｂ、１１ｃ、１１ｄをエッチングする。次に、$SiO_2$層３７、１４ｂ、１４ｃ、１４ｄ、ＴｉＮ層１８ｃ、１８ｄ、１８ｅ、$HfO_2$層１１ｂ、１１ｃ、１１ｄをマスクにして、リソグラフィ法とイオン注入法を用いて、Ｓｉ柱６ａの頂部にボロン（Ｂ）をイオン注入して$P^+$層３８ａを、Ｓｉ柱６ｂ、６ｃの頂部に砒素（Ａｓ）をイオン注入して$N^+$層３８ｂ、３８ｃをそれぞれ形成する。

[0043] 図２Ｎに次の工程を示す。（ｅ）は（ａ）におけるＹ３－Ｙ３’線に沿った断面構造図である。図２Ｎに示すように、$P^+$層３８ａ、$N^+$層３８ｂ、３８ｃの外周部の$SiO_2$層３７の上にＳｉＮ層３９ａを形成する。そして、全体に$SiO_2$膜（図示せず）を被覆して、その後にＣＭＰ法により、上表面の位置が$P^+$層３８ａ、$N^+$層３８ｂ、３８ｃの頂部と一致する、表面が平坦な$SiO_2$層３９ｂを形成する。続いて、リソグラフィ法とＲＩＥ法とを用いて、ＮｉＳｉ層２８ａａ上に、$SiO_2$層３９ｂ、ＳｉＮ層３９ａ、$SiO_2$層

３７、ＮｉＳｉ層３６ａ、ＳｉＮ層３５、$SiO_2$層２３ｂｂ、ＮｉＳｉ層２８ｂｂ、$SiO_2$層２３ａａを貫通させて、コンタクトホール４０ａを形成する。同じく、リソグラフィ法とＲＩＥ法とを用いて、ＴｉＮ層１８ａ上に、$SiO_2$層３９ｂ、ＳｉＮ層３９ａ、$SiO_2$層３７、ＳｉＮ層３５、$SiO_2$層２３ｂｂ、ＮｉＳｉ層２８ｂｂ、$SiO_2$層２３ａａ、ＮｉＳｉ層２８ａａ、ＳｉＮ層１５、$SiO_2$層１４ａを貫通させて、コンタクトホール４０ｂを形成する。

[0044] 次に、全体にＡＬＤ法により$SiO_2$層（図示せず）を堆積する。そして、図２Ｏに示すように、ＲＩＥ法を用いて、コンタクトホール４０ａの側面に$SiO_2$層４１ａを残存させ、ＮｉＳｉ層２８ａａ上の$SiO_2$層を除去する。同様に、コンタクトホール４０ｂの側面に$SiO_2$層４１ｂを残存させ、ＴｉＮ層１８ａ上の$SiO_2$層を除去する。

[0045] 次に、全体にＡＬＤ法によりタングステン（Ｗ）層（図示せず）を、コンタクトホール４０ａ、４０ｂの内部と$SiO_2$層３９ｂ上部に堆積する。そして、図２Ｐに示すように、ＭＣＰ法により、Ｗ層と、$SiO_2$層３９ｂとの表面層を研磨して、上表面の位置が$P^+$層３８ａ、$N^+$層３８ｂ、３８ｃの頂部と、$SiO_2$層３９ｂとの上表面と一致するＷ層４３ａ、４３ｂを形成する。

[0046] 次に、$SiO_2$層３９ｂを除去して、ＳｉＮ層３９ａの上表面より上の$P^+$層３８ａ、$N^+$層３８ｂ、３８ｃ、Ｗ層４３ａ、４３ｂを露出させる。そして、全体にＣＶＤ法により$SiO_2$層（図示せず）を堆積する。そして、図２Ｑに示すように、ＲＩＥ法を用いて$SiO_2$層をＳｉＮ層３９ａ上表面まで均一にエッチングする。これにより、Ｗ層４３ａ、４３ｂの側面に$SiO_2$層４６ａ、４６ｂを残存させる。同時に$P^+$層３８ａ、$N^+$層３８ｂ、３８ｃの側面に$SiO_2$層４６ｃ、４６ｄ、４６ｅを残存させる。

[0047] 次に全体にＣＶＤ法により例えば酸化アルミニウム（ＡｌＯ）絶縁層（図示せず）を堆積する。そして、図２Ｒに示すように、ＣＭＰ法によりＡｌＯ層の上表面の位置が、$P^+$層３８ａ、$N^+$層３８ｂ、３８ｃの頂部と、Ｗ層４３ａ、４３ｂとの上表面になるように、平坦に研磨して、ＡｌＯ層５１を形

成する。そして、$P^+$層３８ａ、$N^+$層３８ｂ、３８ｃの頂部と、W層４３ａ、４３ｂとの側面の$SiO_2$層４６ａ、４６ｂ、４６ｃ、４６ｄ、４６ｅを除去する。これにより、$P^+$層３８ａ、$N^+$層３８ｂ、３８ｃの頂部と、W層４３ａ、４３ｂのそれぞれを円帯状に囲んだコンタクトホール５０ａ、５０ｂ、５０ｃ、５０ｄ、５０ｅが形成される。

[0048] 次に、コンタクトホール５０ｃ、５０ｄ、５０ｅを覆ってレジスト層（図示せず）を形成する。そして、図２Ｓに示すように、ＲＩＥ法により、レジスト層、ＡｌＯ層５１をマスクにして、W層４３ａの外周のＳｉＮ層３９ａ、$SiO_2$層３７をエッチングしてＮｉＳｉ層３６ａ上にコンタクトホール５０ａａを形成する。同様に、レジスト層とＡｌＯ層５１をマスクにして、W層４３ｂの外周のＳｉＮ層３９ａ、$SiO_2$層３７、ＳｉＮ層３５、$SiO_2$層２３ｂｂ、及びこれらに接する$SiO_2$層４１ｂをエッチングしてＮｉＳｉ層２８ｂｂ上にコンタクトホール５０ｂｂを形成する。

[0049] 次にＡＬＤ法により、コンタクトホール５０ｃ、５０ｄ、５０ｅ、５０ａａ、５０ｂｂの内部、及びＡｌＯ層５１上に、W層（図示せず）を堆積する。そして、図２Ｔに示すように、ＣＭＰ法により、上表面の位置が$P^+$層３８ａ、$N^+$層３８ｂ、３８ｃの頂部と、W層４３ａ、４３ｂとなるようにW層を研磨する。これにより、W層４３ａ、４３ｂの側面と、$P^+$層３８ａの側面と、$N^+$層３８ｂ、３８ｃの側面とを囲み、且つコンタクトホール５０ａａ、５０ｂｂ、５０ｃ、５０ｄ、５０ｅ内部に、W層５２ａ、５２ｂ、５２ｃ、５２ｄ、５２ｅを形成する。

[0050] 次に、図２Ｕに示すように、全体に$SiO_2$層５４を形成する。そして、$P^+$層３８ａ、$N^+$層３８ｂ上の$SiO_2$層５４を貫通するコンタクトホール５５ａ、５５ｂを形成し、$P^+$層８ａａ上に、$SiO_2$層５４、ＡｌＯ層５１、ＳｉＮ層３９ａ、$SiO_2$層３７、ＳｉＮ層３５、１５、$SiO_2$層１４ａ、$HfO_2$層１１ｂ、$SiO_2$層１０を貫通するコンタクトホール５５ｃを形成し、$N^+$層８ｂｂ上に、$SiO_2$層５４、ＡｌＯ層５１、ＳｉＮ層３９ａ、$SiO_2$層３７、ＳｉＮ層３５、１５、$SiO_2$層１４ａ、$HfO_2$層１１ａ、$SiO_2$層

１０を貫通するコンタクトホール５５ｄを形成する。そして、シリサイド層として、Ｓｉ柱６ａ、６ｂの頂部にＮｉＳｉ層６６ａ、６６ｂを形成し、コンタクトホールホール５５ｃの底部のＰ$^+$層８ａａ上にＮｉＳｉ層６６ｃを形成し、コンタクトホールホール５５ｃの底部のＮ$^+$層８ｂｂ上にＮｉＳｉ層６６ｄを形成する。ＮｉＳｉ層６６ａ、６６ｂは、平面視において、Ｓｉ柱６ａ、６ｂの外周まで形成されることが望ましい。そして、コンタクトホール５５ａ、５５ｃを介してＰ$^+$層３８ａ、８ａａに接続した電源配線金属層ＶＤＤと、コンタクトホール５５ｂ、５５ｄを介してＮ$^+$層３８ｂ、８ｂｂに接続したグランド配線金属層ＶＳＳと、を形成する。

[0051] 次に、図２Ｖに示すように、ＣＶＤ法とＣＭＰ法により、全体に$SiO_2$層５６を形成する。その後、$SiO_2$層５６、５４、ＡｌＯ層５１、ＳｉＮ層３９ａ、$SiO_2$層３７、ＳｉＮ層３５、ＳｉＮ層１５、$SiO_2$層１１ａを貫通させて、ＴｉＮ層１８ｂ上にコンタクトホール５７を形成する。そして、コンタクトホール５７を介してＴｉＮ層１８ｂに接続したワード線配線金属層ＷＬを形成する。

[0052] 次に、図２Ｗに示すように、ＣＶＤ法とＣＭＰ法により、全体に$SiO_2$層５８を形成する。その後、Ｓｉ柱６ｃの頂部のＮ$^+$層３８ｃ上に、$SiO_2$層５８、５６、５４を貫通させて、コンタクトホール６０ａを形成し、Ｎ$^+$層８ｃｃ上に、$SiO_2$層５８、５６、５４、ＡｌＯ層５１、ＳｉＮ層３９ａ、$SiO_2$層３７、ＳｉＮ層３５、１５、$SiO_2$層１４ａ、$HfO_2$層１１ａ、$SiO_2$層１０、７ｃを貫通させて、コンタクトホール６０ｂを形成する。そして、シリサイド層として、Ｓｉ柱６ｃの頂部にＮｉＳｉ層６６ｅを形成し、コンタクトホール６０ｂの底部のＮ$^+$層８ｃｃ上にＮｉＳｉ層６６ｆを形成する。その後、コンタクトホール６０ａを介して、Ｎ$^+$層３８ｃと接続する、平面視上においてＹ２－Ｙ２’線に沿った方向に繋がったビット線配線金属層ＢＬを形成し、コンタクトホール６０ｂを介してＮ$^+$層８ｃｃと接続する、平面視上においてビット線配線金属層ＢＬに並行して繋がった反転ビット線配線金属層ＢＬＲを形成する。

[0053] 図２Ｗに示すように、Ｓｉ柱６ａの上部に、Ｐ+層３３ａ、３８ａをドレイン、ソースとし、ＴｉＮ層１８ｃをゲートとし、Ｐ+層３３ａ、３８ａ間のＳｉ柱６ａをチャネルにしたＳＧＴ（図１ＢのＰチャネル型ＳＧＴ_Ｐｃ１に対応する）が形成され、Ｓｉ柱６ａの下部に、Ｐ+層８ａａ、３１ａをソース、ドレインとし、ＴｉＮ層１８ａをゲートとし、Ｐ+層８ａａ、３１ａ間のＳｉ柱６ａをチャネルにしたＳＧＴ（図１ＢのＰチャネル型ＳＧＴ_Ｐｃ２に対応する）が、形成される。

また、Ｓｉ柱６ｂの上部に、Ｎ+層３３ｂ、３８ｂをソース、ドレインとし、ＴｉＮ層１８ｄをゲートとし、Ｎ+層３３ｂ、３８ｂ間のＳｉ柱６ｂをチャネルにしたＳＧＴ（図１ＢのＮチャネル型ＳＧＴ_Ｎｃ１に対応する）が形成され、Ｓｉ柱６ｂの下部に、Ｎ+層８ｂｂ、３１ｂをソース、ドレインとし、ＴｉＮ層１８ａをゲートとし、Ｎ+層８ｂｂ、３１ｂ間のＳｉ柱６ａをチャネルにしたＳＧＴ（図１ＢのＮチャネル型ＳＧＴ_Ｎｃ２に対応する）が、形成される。

また、Ｓｉ柱６ｃの上部に、Ｎ+層３３ｃ、３８ｃをソース、ドレインとし、ＴｉＮ層１８ｅをゲートとし、Ｎ+層３３ｃ、３８ｃ間のＳｉ柱６ｃをチャネルにしたＳＧＴ（図１ＢのＮチャネル型ＳＧＴ_ＳＮ１に対応する）が形成され、Ｓｉ柱６ｃの下部に、Ｎ+層８ｃｃ、３１ｃをソース、ドレインとし、ＴｉＮ層１８ｂをゲートとし、Ｎ+層８ｃｃ、３１ｃ間のＳｉ柱６ｃをチャネルにしたＳＧＴ（図１ＢのＮチャネル型ＳＧＴ_Ｎｃ２に対応する）が、形成される。

これらＳＧＴ（図１ＢのＳＧＴ_Ｐｃ１、Ｐｃ２、Ｎｃ１、Ｎｃ２、ＳＮ１、ＳＮ２に対応する）が接続配線されて、図１Ｂに示した模式構造図と同じく、Ｓｉ柱６ａ、６ｂ、６ｃの上部に形成されたＰチャネル型ＳＧＴ（図１ＢのＰチャネル型ＳＧＴ_Ｐｃ１に対応する）及びＮチャネル型ＳＧＴ（図１ＢのＮチャネル型ＳＧＴ_Ｎｃ１、ＳＮ１に対応する）による回路領域（図１Ｂの回路領域Ｃ１に対応する）と、Ｓｉ柱６ａ、６ｂ、６ｃの下部に形成されたＰチャネル型ＳＧＴ（図１ＢのＰチャネル型ＳＧＴ_Ｐｃ２に対応する）

及びＮチャネル型ＳＧＴ（図１ＢのＮチャネル型ＳＧＴ_Ｎｃ２、ＳＮ２に対応する）による回路領域（図１Ｂの回路領域Ｃ２に対応する）と、により構成されたＳＲＡＭセル回路が形成される。

[0054] 第１実施形態の製造方法によれば、次のような特徴が得られる。

１．図２Ｗに示されるように、Ｐ$^+$層３８ａ、Ｎ$^+$層３８ｂ、３８ｃは、側面と上表面との全体を低抵抗金属層であるW層５２ｃ、５２ｄ、５２ｅと、低抵抗シリサイド層であるＮｉＳｉ層６６ａ、６６ｂ、６６ｅと、で囲まれている。W層５２ｃ、５２ｄ、５２ｅの底部位置は、Ｐ$^+$層３８ａ、Ｎ$^+$層３８ｂ、３８ｃの下端に近い位置に形成されている。これにより、Ｐ$^+$層３８ａ、Ｎ$^+$層３８ｂ、３８ｃによるダイオード接合抵抗を低くでき、且つＰ$^+$層３８ａ、Ｎ$^+$層３８ｂ、３８ｃによるダイオード接合に均一な電界を形成することができる。これは、ＳＧＴ回路の低電圧駆動化と高速化に寄与できる。

２．W層４３ａ、４３ｂとＳｉ柱６ａ、６ｂ、６ｃの頂部のＰ$^+$層３８ａ、Ｎ$^+$層３８ｂ、３８ｃとを平面視において円帯状に囲む$SiO_2$層４６ａ、４６ｂ、４６ｃ、４６ｄ、４６ｅをエッチングして得られる構造を用いて、W層４３ａ、４３ｂとＳｉ柱６ａ、６ｂ、６ｃの頂部のＰ$^+$層３８ａ、Ｎ$^+$層３８ｂ、３８ｃとを平面視において円帯状に囲むW層５２ａ、５２ｂ、５２ｃ、５２ｄ、５２ｅが形成される。$SiO_2$層４６ａ、４６ｂ、４６ｃ、４６ｄ、４６ｅは、W層４３ａ、４３ｂとＳｉ柱６ａ、６ｂ、６ｃとの位置関係について、リソグラフィ法におけるマスク合せ工程を必要としない自己整合（self-arraignment）で形成される。これにより、W層５２ａ、５２ｂ、５２ｃ、５２ｄ、５２ｅは、W層４３ａ、４３ｂとＳｉ柱６ａ、６ｂ、６ｃとに対して、自己整合で形成される。これはＳＧＴ回路を高密度に形成できることを示している。

３．図２Ｒに示したように、最初に、垂直方向において、同じ深さのコンタクトホール５０ａ、５０ｂ、５０ｃ、５０ｄ、５０ｅを形成し、その後に、図２Ｓに示すように、コンタクトホール５０ｂ、５０ｃ、５０ｄ、５０ｅを覆ったレジスト層（図示せず）とＡＩＯ層５１をマスクにして、ＲＩＥ法に

より、コンタクトホール５０ａａとコンタクトホール５０ｂｂをそれぞれ形成する。こうして、コンタクトホール５０ｃ、５０ｄ、５０ｅの深さと、コンタクトホール５０ａａの深さと、コンタクトホール５０ｂｂの深さとを異なるものにできる。これは、深さの異なるW層５２ｃ、５２ｄ、５２ｅと、W層５２ａと、W層５２ｂとを容易に形成できることを示している。これにより、ＳＧＴ回路の製作が容易になる。

４．W層４３ａに面したＮｉＳｉ層２８ｂｂの側面に$SiO_2$層４１ａが形成されている。これにより、平面視において、ＮｉＳｉ層２８ａａ、２８ｂｂ、３６ａが、お互いに重なっているのにも関わらず、これらを貫通するW層４３ａとＮｉＳｉ層２８ｂｂとを絶縁しつつ、ＮｉＳｉ層２８ａａとＮｉＳｉ層３６ａとを接続することが可能となる。これは、ＳＲＡＭセル面積の縮小を可能にする。

同様に、W層４３ｂに面したＮｉＳｉ層２８ａａの側面に$SiO_2$層４１ｂが形成されている。これにより、平面視において、ＴｉＮ層１８ａ、ＮｉＳｉ層２８ａａ、２８ｂｂが、お互いに重なっているのにも関わらず、これらを貫通するW層４３ｂによって、W層４３ｂとＮｉＳｉ層２８ａａを絶縁しつつ、ＴｉＮ層１８ａとＮｉＳｉ層２８ｂｂとを接続することが可能となる。これは、ＳＲＡＭセル面積の縮小を可能にする。

５．平面視において互いに重なった、下部配線導体層であるＮｉＳｉ層２８ａａ、中間配線導体層であるＮｉＳｉ層２８ｂｂ、上部配線導体層であるＮｉＳｉ層３６ａを有する構造において、ＮｉＳｉ層２８ａａ上に、ＮｉＳｉ層２８ｂｂ、３６ａを貫通して、且つ頂部がＮｉＳｉ層３６ａより上部に位置するW層４３ａを形成し、そして、このW層４３ａの外周を囲み、特別なリソグラフィ法を用いないで、自己整合で形成されたW層５２ａが、ＮｉＳｉ層３６ａとその上表面に接続されることにより、ＮｉＳｉ層３６ａと２８ａａとの接続が実現されている。

同様に、平面視において互いに重なった、下部配線導体層であるＴｉＮ層１８ａ、中間配線導体層であるＮｉＳｉ層２８ａａ、上部配線導体層である

ＮｉＳｉ層２８ｂｂを有する構造において、ＴｉＮ層１８ａ上に、ＮｉＳｉ層２８ａａ、２８ｂｂを貫通して、且つ頂部がＮｉＳｉ層２８ｂｂより上部に位置するW層４３ｂを形成し、そして、このW層４３ｂの外周を囲み、特別なリソグラフィ法を用いないで、自己整合で形成されたW層５２ｂが、ＮｉＳｉ層２８ｂｂと、その上表面に接続されることにより、ＮｉＳｉ層２８ｂｂとＴｉＮ層１８ａとの接続が実現されている。

このように、W層４３ａとW層５２ａとが自己整合で形成され、W層４３ｂとW層５２ｂとが自己整合で形成されている。これにより、ＳＲＡＭセルの高密度配線が実現する。

６．ＳＧＴ回路の低電圧駆動化と高速化に寄与する、$P^+$層３８ａ、$N^+$層３８ｂ、３８ｃの側面全体を円帯状に囲んだW層５２ｃ、５２ｄ、５２ｅと、ＳＧＴ回路の高密度化に寄与するW層４３ａ、４３ｂの頂部側面全体を円帯状に囲んだW層５２ａ、５２ｂと、をそれぞれが自己整合プロセスで、かつ同じ工程で行うことができる。これにより、高密度ＳＧＴ回路を容易に形成することができる。

７．図２Ｐ、図２Ｑに示したように、W層４３ａ、４３ｂの頂部と、Ｓｉ柱６ａ、６ｂ、６ｃの頂部の$P^+$層３８ａ、$N^+$層３８ｂ、３８ｃと、を覆って$SiO_2$層（図示せず）を堆積し、その後に、ＲＩＥ法により、この$SiO_2$層をエッチングして、W層４３ａ、４３ｂの頂部と、Ｓｉ柱６ａ、６ｂ、６ｃの頂部の$P^+$層３８ａ、$N^+$層３８ｂ、３８ｃと、を囲んで$SiO_2$層４６ａ、４６ｂ、４６ｃ、４６ｄ、４６ｅを形成した。平面視における、$SiO_2$層４６ａ、４６ｂ、４６ｃ、４６ｄ、４６ｅの幅長は、リソグラフィ法を用いて形成した場合より、リソグラフィ法におけるマスク合わせ寸法余裕を確保する必要がないので、短く形成することが可能である。また、平面視において、W層４３ａ、４３ｂと、$P^+$層３８ａ、$N^+$層３８ｂ、３８ｃと、$SiO_2$層４６ａ、４６ｂ、４６ｃ、４６ｄ、４６ｅと、の位置関係が自己整合により形成されている。これにより、W層４３ａ、４３ｂと、$P^+$層３８ａ、$N^+$層３８ｂ、３８ｃと、W層５２ａ、５２ｂ、５２ｃ、５２ｄ、５２ｅとの接

続を、高密度に形成することができる。

[0055] （第２実施形態）

以下、図３Ａ、図３Ｂを参照しながら、本発明の第２実施形態に係る、ＳＧＴを有する柱状半導体装置の製造方法について説明する。（ａ）は平面図、（ｂ）は（ａ）のＸ－Ｘ’線に沿う断面構造図、（ｃ）は（ａ）のＹ１－Ｙ１’線に沿う断面構造図、（ｄ）は（ａ）のＹ２－Ｙ２’線に沿う断面構造図、（ｅ）は（ａ）のＹ３－Ｙ３’線に沿った断面構造図である。第２実施形態の製造方法は、以下に説明する相違点を除き、第１実施形態の図２Ａ～図２Ｗに示す工程と同様である。

[0056] 図３Ａに示す工程の前までは、図２Ａから図２Ｓまでと同じ工程を行う。ＡＬＤ法により、コンタクトホール５０ｃ、５０ｄ、５０ｅ、５０ａａ、５０ｂｂの内部に、例えばシリサイドであるＮｉＳｉ層（図示せず）を堆積する。そして、ＣＭＰ法によりＮｉＳｉ層を、Ｗ層４３ａ、４３ｂと、Ｓｉ柱６ａ、６ｂ、６ｃと、の上表面まで研磨して、ＮｉＳｉ層６２ａ、６２ｂ、６２ｃ、６２ｄ、６２ｅを形成する。そして、全体に$SiO_2$層６３（図２Ｕにおける$SiO_2$層５４に対応する）を形成する。

[0057] 次に、図３Ｂに示すように、熱処理を行うことにより、ＮｉＳｉ層６２ｃ、６２ｄ、６２ｅに接したＳｉ柱６ａ、６ｂ、６ｃの頂部にＮｉＳｉ層６４ａ、６４ｂ、６４ｃが形成される。そして、$P^+$層３８ａ、$N^+$層３８ｂ、３８ｃのアクセプタおよびドナー不純物が、ＮｉＳｉ層６４ａ、６４ｂ、６４ｃの押し出し効果により、Ｓｉ柱６ａ、６ｂ、６ｃの下方に押し出されて、高い不純物濃度を持つ$P^+$層６５ａ、$N^+$層６５ｂ、６５ｃが形成される（不純物押し出し効果については非特許文献３を参照）。以降、図２Ｕ～図２Ｗと同じ工程を行うことによって、第１実施形態と同様のＳＲＡＭセルが形成される。

[0058] 本実施形態のＳＧＴを有する柱状半導体装置の製造方法によれば、次のような特徴が得られる。

本実施形態では、第１実施形態における$P^+$層３８ａ、$N^+$層３８ｂ、３８

ｃの多くの部分がシリサイド層であるＮｉＳｉ層６４ａ、６４ｂ、６４ｃに置き換えられた構造となっている。更に、ＮｉＳｉ層６４ａ、６４ｂ、６４ｃからのドナー、またはアクセプタ不純物の押し出し効果により高濃度の不純物密度を持つ$P^+$層６５ａ、$N^+$層６５ｂ、６５ｃが形成される。これにより、第１実施形態と比べて、ダイオード接合抵抗がさらに低抵抗化される。これは、ＳＧＴ回路の低電圧駆動化、高速駆動化に繋がる。

[0059]（第３実施形態）

以下、図４Ａ、図４Ｂを参照しながら、本発明の第３実施形態に係る、ＳＧＴを有する柱状半導体装置の製造方法について説明する。（ａ）は平面図、（ｂ）は（ａ）のＸ－Ｘ’線に沿う断面構造図、（ｃ）は（ａ）のＹ１－Ｙ１’線に沿う断面構造図、（ｄ）は（ａ）のＹ２－Ｙ２’線に沿う断面構造図、（ｅ）は（ａ）のＹ３－Ｙ３’線に沿った断面構造図である。第３実施形態の製造方法は、以下に説明する相違点を除き、第１実施形態の図２Ａ～図２Ｗに示す工程と同様である。

[0060] 図４Ａに示す工程の前までは、図２Ｍに示す工程で$P^+$層３８ａ、$N^+$層３８ｂ、３８ｃを形成しない点を除いては、図２Ａから図２Ｑまでと同じ工程を行う。そして、レジスト層（図示せず）をマスクにして、$SiO_2$層４６ａ、４６ｂ、４６ｃをエッチングして、コンタクトホール５０ａ、５０ｂ、５０ｃを形成する。そして、アクセプタ不純物を含んだＳｉ層（図示せず）を全体に被覆する。そして、ＣＭＰ法によりＳｉ層をＳｉ柱６ａ、６ｂ、６ｃ、Ｗ層４３ａ、４３ｂの上表面まで研磨して、図４Ａに示すように、Ｓｉ柱６ａ、Ｗ層４３ａ、４３ｂの頂部を囲んでＳｉ層６７ａ、６７ｂ、６７ｃを形成する。そして、Ｓｉ層６７ａ、６７ｂ、６７ｃを形成したのと同様に、Ｓｉ柱６ｂ、６ｃの頂部を囲んでドナー不純物を含んだＳｉ層６７ｄ、６７ｅを形成する。具体的には、まず、レジスト層をマスクにして、$SiO_2$層４６ｄ、４６ｅをエッチングして、コンタクトホール５０ｄ、５０ｅを形成する。そして、ドナー不純物を含んだＳｉ層（図示せず）を全体に被覆する。そして、ＣＭＰ法によりＳｉ層をＳｉ柱６ａ、６ｂ、６ｃ、Ｗ層４３ａ、４

３ｂの上表面まで研磨して、図４Ａに示すように、Ｓｉ柱６ｂ、６ｃの頂部を囲んでＳｉ層６７ｄ、６７ｅを形成する。これにより、コンタクトホール５０ａ、５０ｂ、５０ｃ内にアクセプタ不純物を含んだＳｉ層６７ａ、６７ｂ、６７ｃを形成する、コンタクトホール内５０ｄ、５０ｅ内にドナー不純物を含んだＳｉ層６７ｄ、６７ｅを形成し、最後に、全体に$SiO_2$層６３（図２Ｕにおける$SiO_2$層５４に対応する）を形成する。なお、上述のようにＳｉ層６７ａ、６７ｂをＳｉ層６７ｃと共に形成する代わりに、Ｓｉ層６７ｄ、６７ｅの形成と共に行ってもよい。この場合、Ｓｉ層６７ａ、６７ｂはドナー不純物を含むことになる。Ｓｉ層６７ａ、６７ｂにドナー不純物またはアクセプタ不純物を含ませることにより、Ｓｉ層６７ａ、６７ｂと、W層４３ａ、４３ｂと、ＮｉＳｉ層３６ａと、が低抵抗で接続される。また、Ｓｉ層６７ａ、６７ｂをＳｉ層６７ｃ、６７ｄ、６７ｅとは独立して形成してもよい。この場合、Ｓｉ層６７ａ、６７ｂに、ドナー不純物またはアクセプタ不純物を含ませなくてもよい。含ませない場合、後の熱処理によりＳｉ層６７ａ、６７ｂ内にタングステン・シリサイド（$WSi_2$）層が形成されることにより、Ｓｉ層６７ａ、６７ｂと、W層４３ａ、４３ｂと、ＮｉＳｉ層３６ａと、が低抵抗で接続される。

[0061] 次に、図４Ｂに示すように、熱処理を行い、Ｓｉ層６７ｃからｓｉ柱６ａの頂部にアクセプタ不純物を拡散させて、$P^+$層６８ａを形成し、Ｓｉ層６７ｄ、６７ｅからドナー不純物を拡散させて、$N^+$層６８ｂ、６８ｃを形成する。そして、第２実施形態と同様に、図２Ｕ～図２Ｗと同じ工程を行うことによって、第１実施形態と同様のＳＲＡＭセルが形成される。

[0062] なお、アクセプタまたはドナーを含んだＳｉ層６７ｃ、６７ｄ、６７ｅに替えて、アクセプタまたはドナーを含んだシリサイド層を用いてもよい。この場合、Ｓｉ柱６ａ、６ｂ、６ｃの頂部に、第３実施形態と同様なシリサイドが形成される。

[0063] 本実施形態のＳＧＴを有する柱状半導体装置の製造方法によれば、次のような特徴が得られる。

１．本実施形態では、Ｓｉ層の形成に例えばドナー又はアクセプタ不純物を高濃度に含んだＳｉエピタキシャル法を用いてＳｉ層６７ｃ、６７ｄ、６７ｅを形成することができる。これにより、Ｓｉ柱６ａ、６ｂ、６ｃ頂部に低抵抗のＰ$^+$層３８ａ、Ｎ$^+$層３８ｂ、３８ｃを形成することができる。これにより、高速なＳＧＴ回路を製作することが可能となる。

２．アクセプタまたはドナーを含んだＳｉ層６７ｃ、６７ｄ、６７ｅに替えて、アクセプタまたはドナーを含んだシリサイド層を用いた場合は、Ｓｉ柱６ａ、６ｂ、６ｃの頂部に、第３実施形態と同様なシリサイド層が形成される。これは、ＳＧＴ回路の低電圧駆動化、高速駆動化に繋がる。

[0064] （第４実施形態）

以下、図５を参照しながら、本発明の第４実施形態に係る、ＳＧＴを有する柱状半導体装置の製造方法について説明する。（ａ）は平面図、（ｂ）は（ａ）のＸ－Ｘ’線に沿う断面構造図、（ｃ）は（ａ）のＹ１－Ｙ１’線に沿う断面構造図、（ｄ）は（ａ）のＹ２－Ｙ２’線に沿う断面構造図、（ｅ）は（ａ）のＹ３－Ｙ３’線に沿った断面構造図である。

[0065] 第１実施形態における図２Ａ～図２Ｓまでの工程を行った後に、平面視において、第１実施形態におけるコンタクトホール５７、５５ｃ、５５ｄ、５５ｅと同じ位置にレジスト層（図示せず）をＡＩＯ層５１に形成し、リソグラフィ法によりこのレジスト層をマスクにして、Ｐ$^+$層８ａａ、Ｎ$^+$層８ｂｂ、８ｃｃ、ＴｉＮ層１８ｂ上にコンタクトホール（図示せず）を形成する。

[0066] 次にＡＬＤ法により、コンタクトホール５０ｃ、５０ｄ、５０ｅ、５０ａａ、５０ｂｂの内部、及びＡＩＯ層５１上に、W層（図示せず）を堆積する。そして、ＣＭＰ法により、上表面の位置がＰ$^+$層３８ａ、Ｎ$^+$層３８ｂ、３８ｃの頂部と、W層４３ａ、４３ｂとなるようにW層を研磨する。これにより、W層４３ａ、４３ｂの側面と、Ｐ$^+$層３８ａの側面と、Ｎ$^+$層３８ｂ、３８ｃの側面とを囲み、且つコンタクトホール５０ａａ、５０ｂｂ、５０ｃ、５０ｄ、５０ｅの内部に、W層５２ａ、５２ｂ、５２ｃ、５２ｄ、５２ｅを形成し、Ｎ$^+$層８ｃｃ、Ｐ$^+$層８ａａ、Ｎ$^+$層８ｂｂ、ＴｉＮ層１８ｂ上のコン

タクトホール内部にW層７０ａ、７０ｂ、７０ｃ、７０ｄを形成する。これにより、W層４３ａ、４３ｂ、５２ａ、５２ｂ、５２ｃ、５２ｄ、５２ｅ、７０ａ、７０ｂ、７０ｃ、７０ｄの上表面位置は同じになる。

[0067] 次に、全体にＳｉＯ$_2$層５４を形成する。そして、Ｐ$^+$層３８ａ、Ｎ$^+$層３８ｂ上のＳｉＯ$_2$層５４を貫通するコンタクトホール５５ａ、５５ｂを形成し、W層７０ｂ上にＳｉＯ$_2$層５４を貫通するコンタクトホール７１ｂを形成し、W層７０ｃ上にＳｉＯ$_2$層５４を貫通するコンタクトホール７１ｃを形成する。そして、コンタクトホール７０ａ、７０ｂ、７０ｃの底部のＰ$^+$層８ａａ、Ｎ$^+$層８ｂｂ、８ｃｃ表層にＮｉＳｉ層６６ｃ、６６ｄ、６６ｆを形成する。ＮｉＳｉ層６６ａ、６６ｂは、平面視において、Ｓｉ柱６ａ、６ｂの外周まで形成されることが望ましい。そして、コンタクトホール５５ａ、７１ｂを介してＰ$^+$層３８ａ、８ａａに接続した電源配線金属層ＶＤＤと、コンタクトホール５５ｂ、７１ｃを介してＮ$^+$層３８ｂ、８ｂｂに接続したグランド配線金属層ＶＳＳと、を形成する。

[0068] 次に、ＣＶＤ法とＣＭＰ法により、全体にＳｉＯ$_2$層５６を形成する。その後、ＳｉＯ$_2$層５６、５４を貫通させて、W層７０ｄ上にコンタクトホール７１ｄを形成する。そして、コンタクトホール７１ｄを介してＴｉＮ層１８ｂに接続したワード線配線金属層ＷＬを形成する。

[0069] 次に、ＣＶＤ法とＣＭＰ法により、全体にＳｉＯ$_2$層５８を形成する。その後、Ｓｉ柱６ｃの頂部のＮ$^+$層３８ｃ上に、ＳｉＯ$_2$層５８、５６、５４を貫通させて、コンタクトホール６０ａを形成し、W層７０ａ上に、ＳｉＯ$_2$層５８、５６、５４を貫通させて、コンタクトホール７１ａを形成する。その後、コンタクトホール６０ａを介して、Ｎ$^+$層３８ｃと接続する、平面視上においてＹ２－Ｙ２’線に沿った方向に繋がったビット線配線金属層ＢＬを形成し、コンタクトホール７１ａを介してＮ$^+$層８ｃｃと接続する、平面視上においてビット線配線金属層ＢＬに並行して繋がった反転ビット線配線金属層ＢＬＲを形成する。こうして、ＳＲＡＭセル回路が形成される。

[0070] 本実施形態のＳＧＴを有する柱状半導体装置の製造方法によれば、次のよ

うな特徴が得られる。

第１実施形態では、コンタクトホール５５ａ、５５ｂ、５５ｃ、５５ｄ、５７、６０ａ、６０ｂの底部位置が、それぞれ異なっていた。これに対して、本実施形態では、コンタクトホール５５ａ、５５ｂ、６０ａ、７１ａ、７１ｂ、７１ｃ、７１ｄの底部位置が、Ｗ層４３ａ、４３ｂ、５２ａ、５２ｂ、５２ｃ、５２ｄ、５２ｅ、７０ａ、７０ｂの頂部表面位置になっている。これにより、コンタクトホール５５ａ、５５ｂ、６０ａ、７１ａ、７１ｂ、７１ｃ、７１ｄを介した配線金属層ＶＤＤ、ＶＳＳ、ＢＬ、ＢＬＲ、ＷＬの形成が容易になる。例えば、ＣＰＵチップのようにＳＲＡＭセル領域と同じチップ上に論理回路を形成する場合、配線金属層の層数が数１０層に及ぶので、論理回路部の形成を含めて、配線金属層に繋がるコンタクトホールの底部位置を高さ方向で同じにするのは、配線金属層の高密度形成に繋がる。

[0071] （第５実施形態）

以下、図６を参照しながら、本発明の第５実施形態に係る、ＳＧＴを有する柱状半導体装置の製造方法について説明する。（ａ）は平面図、（ｂ）は（ａ）のＸ－Ｘ’線に沿う断面構造図、（ｃ）は（ａ）のＹ１－Ｙ１’線に沿う断面構造図、（ｄ）は（ａ）のＹ２－Ｙ２’線に沿う断面構造図、（ｅ）は（ａ）のＹ３－Ｙ３’線に沿った断面構造図である。

[0072] 第１実施形態における図２Ａ～図２Ｓまでの工程を行った後に、Ｗ層（図示せず）を全体に堆積する。そして、全体をＣＭＰ法によりＷ層の上表面位置がＡＩＯ層５１より上方になるように研磨する。そして、図６に示すように、リソグラフィ法とエッチングによりＷ層４３ａ、５２ａに繋がるＷ層７２ａと、$N^+$層３８ｃ及びＷ層５２ｅに繋がるＷ層７２ｂとを形成する。これ以後、図２Ｕ～図２Ｗの工程を行う。

[0073] 本実施形態のＳＧＴを有する柱状半導体装置の製造方法によれば、次のような特徴が得られる。

１．本実施形態では、Ｗ層４３ａ、５２ａに繋がるＷ層７２ａと、$N^+$層３８ｃ及びＷ層５２ｅに繋がるＷ層７２ｂとを形成した。これは、設計上の必要

性により、W層５２ａ、５２ｂ、５２ｃ、５２ｄ、５２ｅのいずれか、または全てに繋がったW配線層をＡＩＯ層５１上に形成できることを示している。これにより、ＳＲＡＭ回路だけでなく、他の回路設計に本実施形態を適用することにより、回路の高性能化を図ることができる。

２．また、第１実施形態における図２Ａ～図２Ｔまでの工程を行った後に、W層４３ａ、４３ｂ、５２ａ、５２ｂ、及びＡＩＯ層５１の上に、タングステン以外の配線材料層を形成しても、同様に、W層５２ａ、５２ｂ、５２ｃ、５２ｄ、５２ｅのいずれか、または全てに繋がった金属配線層をＡＩＯ層５１上に形成できる。これにより、ＳＲＡＭ回路だけでなく、他の回路設計に本実施形態を適用することにより、回路の高性能化を図ることができる。この場合、リソグラフィ工程の後の配線材料層のエッチングが、W層より早くエッチングされるようになされることが望ましい。これにより、W層５２ａ、５２ｂ、５２ｃ、５２ｄ、５２ｅの中で、レジストで覆われてないW層がエッチングされることなく、配線材料層がパターンニングされる利点が得られる。

[0074] なお、第１実施形態では、ＳＧＴを用いたＳＲＡＭセル回路を例として説明したが、ＳＧＴを用いた他の回路形成においても本発明を適用することができる。そして、本発明に係るその他の実施形態においても同様である。

[0075] また、本発明の実施形態では、Ｓｉ柱６ａ、６ｂ、６ｃのそれぞれに、２個のＳＧＴを形成したが、１個、または３個以上を形成する回路形成においても、本発明を適用できる。

[0076] また、第１実施形態では、ＡＩＯ層５１をエッチングマスクとして用い、Ｓｉ柱６ａ、６ｂ、６ｃの頂部、及びW層４３ａ、４３ｂの頂部を残存させつつ、コンタクトホール５０ａ、５０ｂ、５０ｃ、５０ｄ、５０ｅを形成したが、エッチングマスクの材料（第１実施形態ではＡＩＯ層５１を使用）、半導体柱の材料（第１実施形態ではＳｉ柱６ａ、６ｂ、６ｃを使用）、及びコンタクトホールの形状を作るための被除去層の材料（第１実施形態では$SiO_2$層４６ａ、４６ｂ、４６ｃ、４６ｄ、４６ｅ、３７、ＳｉＮ層３９ａ、

３５を使用）、並びに、エッチング法は、それぞれの目的を得るものであれば、任意である。このことは、本発明に係るその他の実施形態においても同様である。

[0077] 第１実施形態では、図２Ｎに示すように、Ｐ$^+$層３８ａ、Ｎ$^+$層３８ｂ、３８ｃの外周部のＳｉＯ$_2$層３７の上にＳｉＮ層３９ａを形成した。ＳｉＮ層３９ａに代えて、ＡｌＯ層５１とＳｉ柱６ａ、６ｂ、６ｃ、W層４３ａ、４３ｂをマスクにして、ＳｉＯ$_2$層４６ａ、４６ｂ、４６ｃ、４６ｄ、４６ｅをエッチングする場合の、エッチングストッパ層となる材料層であれば、他の材料層を用いてもよい。また、ＳｉＮ層３９ａに代えて、ＴｉＮ層１８ｃ、１８ｄ、１８ｅの上端を酸化して、そこに絶縁層を形成してもよいし、また、ＴｉＮ層１８ｃ、１８ｄ、１８ｅの上端の一部をエッチングして、そこに絶縁層を埋め込んでもよい。少なくとも、ＳｉＯ$_2$層４６ｃ、４６ｄ、４６ｅの下に、ＳｉＯ$_2$層４６ｃ、４６ｄ、４６ｅのエッチングに対してエッチングストッパとなる材料層があれば、ＳｉＮ層３９ａを省略できる。また、ＳｉＮ層３９ａ、ＳｉＯ$_2$層４６ａ、４６ｂ、４６ｃ、４６ｄ、４６ｅ、ＡｌＯ層５１の材料選択は、それぞれの目的を得るものであれば、任意である。このことは、本発明に係るその他の実施形態においても同様である。

[0078] また、第１実施形態では、Ｓｉ柱６ａ、６ｂ、６ｃ上にＳｉＯ$_2$層５ａ、５ｂ、５ｃを形成したが、他の単層または複数層の材料層を用いてもよい。また、例えばＳｉＮ層などの他の単層または複数層と、を組み合わせた材料層であってもよい。このことは、本発明に係るその他の実施形態においても同様である。

[0079] また、第１実施形態では、Ｓｉ柱６ａ、６ｂ、６ｃ上にＳｉＯ$_2$層５ａ、５ｂ、５ｃを、図２Ｍの工程において、除去したが、ＳｉＯ$_2$層５ａ、５ｂ、５ｃは、この後のいずれかの工程まで残しても、本発明の目的を得るのに不都合がない限りは、問題ない。このことは、本発明に係るその他の実施形態においても同様である。

[0080] また、第１実施形態では、下部ＳＧＴのソースＰ$^+$層８ａａ、Ｎ$^+$層８ｂｂ

、８ｃｃを構成するＳｉ柱６ａ、６ｂ、６ｃの底部のソース不純物領域および互いに水平方向に繋がった配線導体層部分を、同じ材料層で形成したが、例えば配線導体層部をシリサイドまたは金属などの単層または複数層から構成されるほかの材料層で形成してもよい。このことは、本発明に係るその他の実施形態においても同様である。

[0081] また、第１実施形態では、平面視において下部配線導体層であるＮｉＳｉ層２８ａａと、中間配線導体層であるＮｉＳｉ層２８ｂｂと、上部配線導体層であるＮｉＳｉ層３６ａとが重なって形成された領域にコンタクトホール４０ａ、４０ｂを形成した。この場合、ＮｉＳｉ層２８ａａは下部ＳＧＴのドレイン$N^+$層３１ｂに繋がっており、ＮｉＳｉ層２８ｂｂは上部ＳＧＴのドレイン$N^+$層３３ｂに接続され、ＮｉＳｉ層３６ａは上部ＳＧＴのゲートＴｉＮ層１８ｄに接続されている。このように、ＳＧＴを用いた回路の設計に応じて、上部配線導体層、中間配線導体層、下部配線導体層とに繋がる、ＳＧＴのソース不純物領域、ドレイン不純物領域、ゲート導体層との組み合わせは適宜変更可能である。このことは、本発明に係るその他の実施形態においても同様である。

[0082] また、第１実施形態では、$SiO_2$層４１ａにより側面が絶縁されたＮｉＳｉ層２８ｂｂの側面形状が、平面視においてコンタクトホール４０ａの外周位置に一致していたが、ＮｉＳｉ層２８ｂｂの側面がコンタクトホール４０ａの外側に広がっていてもよい。これにより、ＮｉＳｉ層２８ａａ、２８ｂｂ間の容量を小さくすることが出来る。同様に、$SiO_2$層４１ｂにより側面が絶縁されたＮｉＳｉ層２８ａａの側面形状が、平面視においてコンタクトホール４０ｂの外周位置に一致していたが、ＮｉＳｉ層２８ａａの側面がコンタクトホール４０ｂの外側に広がっていてもよい。これにより、ＮｉＳｉ層２８ａａとＴｉＮ層１８ａとの間の容量を小さくすることが出来る。そして、これはＳＲＡＭセル回路以外の回路形成においても有効となる。このことは、本発明に係るその他の実施形態においても同様である。

[0083] また、第１実施形態では、コンタクトホール４０ａ、４０ｂは、最上層の

$SiO_2$層３９ｂからＮｉＳｉ層２８ａａ、ＴｉＮ層１８ａの上表面まで形成されているが、コンタクトホール４０ａ、４０ｂのオーバエッチングにより、コンタクトホール４０ａ、４０ｂの底部は、ＮｉＳｉ層２８ａａ、ＴｉＮ層１８ａの内部まで形成されてもよいことは言うまでもない。このことは、本発明に係るその他の実施形態においても同様である。

[0084] また、第１実施形態では、Ｎｉ層２１ａ、２１ｂのＮｉ原子によるＰ型ポリＳｉ層２２ａ、２２ｂ、$N^+$型ポリＳｉ層２６ａ、２６ｂのシリサイド化に伴ってＮｉＳｉ層２８ａ、２８ｂを空間２５ａ、２５ｂ、２５ｃ内へ突起させた。このＮｉ層２１ａ、２１ｂの代わりに、チタン（Ｔｉ）、コバルト（Ｃｏ）などの他の金属層を用いてシリサイド層を形成し、このシリサイド層を空間２５ａ、２５ｂ、２５ｃ内へ突起させることとしてもよい。また、金属原子を多く含んだシリサイド層を、スパッタ蒸着などにより形成して、その後に、シリサイド層の空間２５ａ、２５ｂ、２５ｃ内への突起を行ってもよい。また、他の方法を用いて、$N^+$層３１ｂ、３１ｃ、３３ｂ、３３ｃ、$P^+$層３１ａ、３３ａ、そして各Ｓｉ柱６ａ、６ｂ、６ｃの外周を囲んだゲートＴｉＮ層１８ｃ、１８ｄ、１８ｅに繋がって水平方向に配置された配線導体層であるＮｉＳｉ層２８ａａ、２８ｂｂ、３６ａ、３６ｂとの接続を行ってもよい。このことは、本発明に係るその他の実施形態においても同様に適用可能である。

[0085] また、第１実施形態では、コンタクトホール４０ａ、４０ｂの側面に面した、上部配線導体層であるＮｉＳｉ層３６ａ、２８ｂｂの側面に$SiO_2$層４１ａ、４１ｂが形成されるが、ＲＩＥエッチングのオーバエッチングにより、ＮｉＳｉ層３６ａ、２８ｂｂの側面から$SiO_2$層４１ａ、４１ｂを除去してもよい。このことは、本発明に係るその他の実施形態においても同様に適用可能である。

[0086] また、第１実施形態では、$SiO_2$層基板１上にＳｉ柱６ａ、６ｂ、６ｃを形成してＳＲＡＭセル回路を形成したが、$SiO_2$層基板１の代わりにＳＯＩ（Silicon on Insulator）基板、Ｓｉ基板などの他の基板を用いてもよい。

Ｓｉ基板の場合、Ｓｉ基板表層にＳｉ柱６ａ、６ｂ、６ｃ底部のソースまたはドレインのＮ$^+$層またはＰ$^+$層に対応したウエル構造を儲けてもよい。このことは、本発明に係るその他の実施形態においても同様に適用可能である。

[0087] また、第１実施形態では、Ｗ層４３ａ、４３ｂを用いたが、代わりに他の導体層を用いてもよい。また、このＷ層４３ａ、４３ｂ及び他の導体層は、バリア層などを含む複数の導体層より構成されていてもよい。複数の導体層を構成する材料は、それぞれ同じでもよいし、異なってもよく、本実施形態が求める特性を満足するものであればよい。

[0088] また、第２実施形態では、Ｐ$^+$層３８ａ、Ｎ$^+$層３８ｂ、３８ｃ、Ｗ層４３ａ、４３ｂを囲んでＮｉＳｉ層６２ａ、６２ｂ、６２ｃ、６２ｄ、６２ｅを形成したが、これらの層の一つ以上を、ＮｉＳｉの代わりに、他のシリサイド材料、または他の半導体原子と金属原子との合金から形成してもよい。こうしたシリサイド材料及び合金は、平面視において、半導体柱の頂部にある不純物領域の外周部または中心まで合金化できる材料であればよい。

[0089] また、第３実施形態では、Ｓｉ柱６ａ、６ｂ、６ｃ、Ｗ層４３ａ、４３ｂの頂部を囲んで、アクセプタまたはドナー不純物を含んだＳｉ層６７ａ、６７ｂ、６７ｃ、６７ｄ、６７ｅを形成したが、代わりに、アクセプタまたはドナー不純物を含んだシリサイド層及び／又は他の材料層を形成してもよい。また、Ｓｉ層６７ａ、６７ｂを形成する代わりに、アクセプタまたはドナー不純物を含まないシリサイド層及び／又は他の材料層を形成してもよい。

[0090] また、第１実施形態では、図２Ｑに示すように、ＲＩＥ法を用いてＣＶＤ法により全体に堆積した$SiO_2$層（図示せず）をＳｉＮ層３９ａ上表面まで均一にエッチングしてＷ層４３ａ、４３ｂの側面に円帯状の$SiO_2$層４６ａ、４６ｂを残存させ、Ｐ$^+$層３８ａ、Ｎ$^+$層３８ｂ、３８ｃの側面に円帯状の$SiO_2$層４６ｃ、４６ｄ、４６ｅを残存させた。$SiO_2$層４６ａ、４６ｂ、４６ｃ、４６ｄ、４６ｅは、Ｐ$^+$層３８ａ、Ｎ$^+$層３８ｂ、３８ｃ、Ｗ層４３ａ、４３ｂの側面に自己整合により、残存するものであれば、ほかの材料層であってもよい。また、ＲＩＥ法によらなくても、他の方法でもよい。こ

のことは、本発明に係るその他の実施形態においても同じである。

[0091] また、第１、４実施形態の$SiO_2$層４６ａ、４６ｂ、４６ｃ、４６ｄ、４６ｅ、W層５２ａ、５２ｂ、５２ｃ、５２ｄ、５２ｅ、第２実施形態のＮｉＳｉ層６２ａ、６２ｂ、６２ｃ、６２ｄ、６２ｅ、第３実施形態のＳｉ層６７ａ、６７ｂ、６７ｃ、６７ｄ、６７ｅの各層は、Ｓｉ柱６ａ、６ｂ、６ｃ、W層４３ａ、４３ｂのいずれかを平面視において円帯状に囲むように形成されているが、これらの形状は円帯状に限られるものではない。平面視における以上の構造の断面形状の外形は、それらに対応するＳｉ柱６ａ、６ｂ、６ｃ、W層４３ａ、４３ｂの断面形状に依存した形状、例えば、相似形であってもよく、例えば、Ｓｉ柱６ａ、６ｂ、６ｃ、W層４３ａ、４３ｂの断面形状が正方形であれば、正方形や長方形であってもよいし、Ｓｉ柱６ａ、６ｂ、６ｃ、W層４３ａ、４３ｂの断面形状が楕円形であれば、楕円形、円形、長円形であってもよい。また、以上の構造の断面形状は平面視においてＳｉ柱６ａ、６ｂ、６ｃ、W層４３ａ、４３ｂを囲む任意の形状であってもよい。特に、余分なマスクを形成する必要が無いので、以上の構造の断面形状を、等幅の帯状に形成することが好ましい。

[0092] また、第１実施形態では、Ｓｉ柱６ａ、６ｂ、６ｃ側面表面とＮｉＳｉ層２８ａａ、２８ｂｂとの接続、Ｓｉ柱６ａ、６ｂ、６ｃ内でのＮｉＳｉ層３０ａ、３０ｂ、３０ｃ、３２ａ、３２ｂ、３２ｃの形成、$P^+$層３１ａ、３３ａ、$N^+$層３１ｂ、３１ｃ、３３ｂ、３３ｃの形成は、図２Ｋにおける熱処理によって行った。熱処理によるこれらの構造の形成は、第１実施形態で示したタイミングより遅らせることができ、ＳＧＴを製造する最終工程までに行われればよい。このことは、本発明に係るその他の実施形態においても同じである。

[0093] また、第１実施形態では、ＳｉＮ層１５、３５の単体材料層を用いて説明したが、複合材料層、例えば、下部に$SiO_2$層、上部にＳｉＮ層を有する複合材料層を用いてもよい。また、ＳｉＮ層１５、３５に換えて、ＨＦイオンの拡散係数が小さい絶縁材料層を用いてもよい。このことは、本発明に係る

その他の実施形態においても適用可能である。

[0094] 第５実施形態では、Ｗ層４３ａ、５２ａに繋がるＷ層７２ａと、Ｎ+層３８ｃ及びＷ層５２ｅに繋がるＷ層７２ｂとを形成した。低抵抗材料層であるＷ層４３ａとＷ層５２ａとはＷ層７２ａを介さずともすでに互いに接続されているので、Ｗ層７２ａは少なくともＷ層５２ａと接続していればよい。同様に、低抵抗材料層であるＮ+層３８ｃとＷ層５２ｅとはＷ層７２ｂを介さずともすでに互いに接続されているので、Ｗ層７２ｂは少なくともＷ層５２ｅと接続していればよい。本発明を他の実施形態に適用する場合も同様である。

[0095] また、上記各実施形態では、半導体柱におけるチャネル、ソース、ドレインなどの半導体領域としてＳｉ（シリコン）を用いた例について説明した。しかしこれに限られず、本発明の技術思想は、ＳｉＧｅのようにＳｉを含んだ半導体材料、またはＳｉ以外の半導体材料を用いた、ＳＧＴを有する半導体装置にも適用可能である。

[0096] また、第１実施形態では、ゲート導体層がＴｉＮ層１８ａ、１８ｂ、１８ｃ、１８ｄからなる形態とした。しかしこれに限られず、ゲート導体層は、他の金属材料から形成されていてもよい。また、ゲート導体層は、金属層と例えばポリＳｉ層などから構成される多層構造を有していてもよい。このことは、本発明に係るその他の実施形態においても同様に適用可能である。

[0097] また、縦型ＮＡＮＤ型フラッシュメモリ回路では、半導体柱をチャネルにして、この半導体柱を囲んだトンネル酸化層、電荷蓄積層、層間絶縁層、制御導体層から構成されるメモリセルが複数段、垂直方向に形成される。これらメモリセルの両端の半導体柱には、ソースに対応するソース線不純物層と、ドレインに対応するビット線不純物層がある。また、１つのメモリセルに対して、その両側のメモリセルの一方がソースならば、他方がドレインの役割を行う。このように、縦型ＮＡＮＤ型フラッシュメモリ回路はＳＧＴ回路の１つである。従って、本発明はＮＡＮＤ型フラッシュメモリ回路に対しても適用することができる。

[0098] また、第１実施形態において、例えば、ソース、ドレインとなるＮ+層８ｂ

ｂ、３１ｂからなるＳＧＴでは、同じドナー不純物を含んだ不純物領域により形成されているが、互いに異なる導電性を有する不純物領域を有するトンネル効果ＳＧＴであってもよい。これは、残りのＳＧＴにおいても同じである。このことは、本発明に係るその他の実施形態においても同様に適用可能である。

[0099] 本発明は、本発明の広義の精神と範囲を逸脱することなく、様々な実施形態及び変形が可能とされるものである。また、上述した実施形態は、本発明の一実施例を説明するためのものであり、本発明の範囲を限定するものではない。上記実施例及び変形例は任意に組み合わせることができる。さらに、必要に応じて上記実施形態の構成要件の一部を除いても本発明の技術思想の範囲内となる。

[0100] 本出願は、２０１６年６月１日に出願された国際出願第ＰＣＴ／ＪＰ２０１６／６６１５１号に基づく優先権を主張するものである。この元となる特許出願の開示内容は参照により全体として本出願に含まれる。

## 産業上の利用可能性

[0101] 本発明に係る、柱状半導体装置の製造方法によれば、高性能で、且つ高集積度な半導体装置が得られる。

## 符号の説明

[0102] Ｐｃ１、Ｐｃ２　Ｐチャネル型ＳＧＴ

Ｎｃ１、Ｎｃ２、Ｎｃ３、Ｎｃ４、ＳＮ１、ＳＮ２　Ｎチャネル型ＳＧＴ

ＢＬｔ　ビット線端子

ＢＬＲｔ　反転ビット線端子

ＷＬｔ　ワード線端子

Ｖｓｓ　グランド端子

Ｖｄｄ　電源端子

Ｃ１、Ｃ２　回路領域

Ｇｐ１、Ｇｐ２、Ｇｎ１、Ｇｎ２、Ｇｓ１、Ｇｓ２　ゲート

１　$SiO_2$層基板

2、2a1、2a2、2a3、2b1、2b2、2b3、4、4a、4b、4c　i層

Ns1、Ns2、Nd1、Nd2、Sd1、Sd2、NS1、ND、Ss1、SD1、SD2、Ss2、8b、8c、8bb、8cc、31b、31c、33b、33c、38b、38c、65b、65c、68b、68c　$N^+$層

Ps1、Ps2、Pd1、Pd2、8a、8aa、31a、33a、38a、65a、68a　$P^+$層

Ox1、Ox2、Ox3、3、3a、3b、3c、5、5a、5b、5c、7a、7b、7c、10、14、14a、14b、14c、14d、23a、23b、23aa、23bb、37、39b、41a、41b、46a、46b、46c、46d、46e、54、56、58、63　$SiO_2$層

SP1、SP2、SP3、6a、6b、6c　Si柱

11、11a、11b、11c、11d　$HfO_2$層

12、12a、12b、18a、18b、18c、18d、18e　TiN層

15、35、39a　SiN層

51　AlO層

16、27　レジスト層

20a、20b、20c、20d、20e、20f　TiO層

21a、21b　Ni層

22a、22b　P型ポリSi層

26a、26b　$N^+$型ポリSi層

25a、25b、25c　空間

28a、28b、28aa、28bb、30a、30b、30c、32a、32b、32c、36a、36b、62a、62b、62c、62d、62e、64a、64b、64c、66a、66b、66c、66d、66e、66f　NiSi層

６７ａ、６７ｂ、６７ｃ、６７ｄ、６７ｅ　Ｓｉ層

４０ａ、４０ｂ、５０ａ、５０ｂ、５０ｃ、５０ｄ、５０ｅ、５０ａａ、５０ｂｂ、５５ａ、５５ｂ、５５ｃ、５５ｄ、５５ｅ、５７、６０ａ、６０ｂ、７１ａ、７１ｂ、７１ｃ、７１ｄ　コンタクトホール

４３ａ、４３ｂ、５２ａ、５２ｂ、５２ｃ、５２ｄ、５２ｅ、７０ａ、７０ｂ、７０ｃ、７０ｄ、７２ａ、７２ｂ　Ｗ層

ＶＤＤ　電源配線金属層

ＶＳＳ　グランド配線金属層

ＷＬ　ワード線配線金属層

ＢＬ　ビット線配線金属層

ＢＬＲ　反転ビット線配線金属層

# 請求の範囲

[請求項1] 基板と、

前記基板上に対して垂直方向に延在する半導体柱と、

前記半導体柱の外周を囲むゲート絶縁層と、

前記ゲート絶縁層を囲むゲート導体層と、

前記垂直方向において前記ゲート導体層の上端以上で前記半導体柱の頂部以下の高さに上面位置を有する層間絶縁層と、

を有する半導体構造体を提供する工程と、

露出している前記半導体柱の上部の側面を囲んで第１の材料層を形成する工程と、

前記第１の材料層を囲んで第２の材料層を形成する工程と、

前記第２の材料層をエッチングマスクにして、前記第１の材料層をエッチングして、前記第２の材料層内に第１のコンタクトホールを形成する工程と、

前記第１のコンタクトホールに導電性を有する第１の導電材料層を形成する工程と、を備える、

ことを特徴とする柱状半導体装置の製造方法。

[請求項2] 前記半導体柱内で前記半導体柱の前記上部より下方にアクセプタまたはドナー不純物を含む第２の不純物領域を形成する工程と、

前記半導体柱の前記上部に前記第１の導電材料層の側面に繋がる前記アクセプタまたはドナー不純物を含む第１の不純物領域を形成する工程と、をさらに備える、

ことを特徴とする請求項１に記載の柱状半導体装置の製造方法。

[請求項3] 前記基板に対して垂直方向に延在する前記半導体柱とは別の半導体柱と、前記別の半導体柱の外周を囲む前記ゲート絶縁層とは別のゲート絶縁層と、前記別のゲート絶縁層を囲む前記ゲート導体層とは別のゲート導体層と、前記別の半導体柱内に互いに離れて形成された第３の不純物領域及び第４の不純物領域とを有する、前記半導体構造体と

は異なる１個または複数個の別の半導体構造体と、

前記ゲート導体層、前記別のゲート導体層、前記第１の不純物領域、前記第２の不純物領域、前記第３の不純物領域、及び前記第４の不純物領域から選ばれる異なる部位にそれぞれ接続され、前記基板に水平に延在し、平面視において互いに少なくとも部分的に重なり、且つ下から上にこの順番で存在する第１の配線導体層、第２の配線導体層、及び第３の配線導体層を含む積層構造体を提供する工程と、

前記第２の材料層の上表面から前記第１の配線導体層の上表面又は内部までつづき、前記第３の配線導体層及び前記第２の配線導体層を貫通する第２のコンタクトホールを形成する工程と、

前記第２のコンタクトホールに露出した前記第２の配線導体層の側面に第１の管状絶縁層を形成する工程と、

前記第２のコンタクトホールを充満して導電性を有する第２の導電材料層を形成する工程と、

前記第２の導電材料層の上部の側面を露出させる工程と、をさらに備え、

前記第１の材料層を形成する工程は、前記第２の導電材料層の前記上部の前記側面を囲んで第３の材料層を形成する工程を含み、

前記第２の材料層を形成する工程は、前記第３の材料層を囲んで第４の材料層を形成する工程を含み、そして、

前記第４の材料層をエッチングマスクにして、前記第３の材料層をエッチングして、前記第４の材料層内に第３のコンタクトホールを形成する工程と、

前記第３のコンタクトホールに導電性を有する第３の導電材料層を形成する工程と、をさらに備える、

ことを特徴とする請求項２に記載の柱状半導体装置の製造方法。

[請求項4] 前記第１の導電材料層が少なくとも金属原子と半導体原子とを含み、

熱処理により、前記第１の導電材料層の前記金属原子を、前記半導体柱の前記上部内に拡散させて、前記半導体柱の前記上部内に合金層を形成する工程をさらに備える、

ことを特徴とする請求項１に記載の柱状半導体装置の製造方法。

[請求項5] 前記第１の導電材料層が前記アクセプタまたはドナー不純物を含み、

前記第１の不純物領域を形成する工程では、熱処理により前記アクセプタまたはドナー不純物を、前記半導体柱の前記上部内に拡散させて、前記第１の不純物領域を形成する、

ことを特徴とする請求項２に記載の柱状半導体装置の製造方法。

[請求項6] 平面視において、前記第１のコンタクトホールの場所以外にあり、前記ゲート導体層、前記第１の不純物領域、又は前記第２の不純物領域に接続され水平方向に延在する配線導体層に繋がり、且つ前記第２の材料層の表面より下方に延びる第４のコンタクトホールを形成する工程と、

第４の導電材料層を前記第４のコンタクトホールに充満する工程と、

前記第１の導電材料層と前記第４の導電材料層との頂部表面を面一にする工程と、をさらに備える、

ことを特徴とする請求項２に記載の柱状半導体装置の製造方法。

[請求項7] 前記第１の導電材料層と、前記第２の導電材料層と、前記第３の導電材料層との頂部表面を面一にする工程を備える、

ことを特徴とする請求項３に記載の柱状半導体装置の製造方法。

[請求項8] 前記第１の導電材料層を形成する工程及び前記第３の導電材料層を形成する工程は、導体材料を、前記第１のコンタクトホール及び前記第３のコンタクトホールに充満させ、且つ前記第２の材料層上に堆積し、その後、リソグラフィ法とエッチングにより、前記導体材料から、前記第１の導電材料層に繋がった第１の配線導体層と、前記第３の

導電材料層に繋がった第２の配線導体層との、一方または両者を、前記第２の材料層上に形成することで行われる、

ことを特徴とする請求項３に記載の柱状半導体装置の製造方法。

[請求項9] 前記第１の導電材料層と、前記第２の導電材料層と、前記第３の導電材料層との頂部表面を面一にする工程の後、前記第２の材料層上に配線材料層を堆積する工程と、

リソグラフィ法とエッチングにより、前記配線材料層から、前記第１の導電材料層に繋がった第４の配線導体層と、前記第３の導電材料層に繋がった第５の配線導体層との、一方または両者を、前記第２の材料層上に形成する工程を含み、

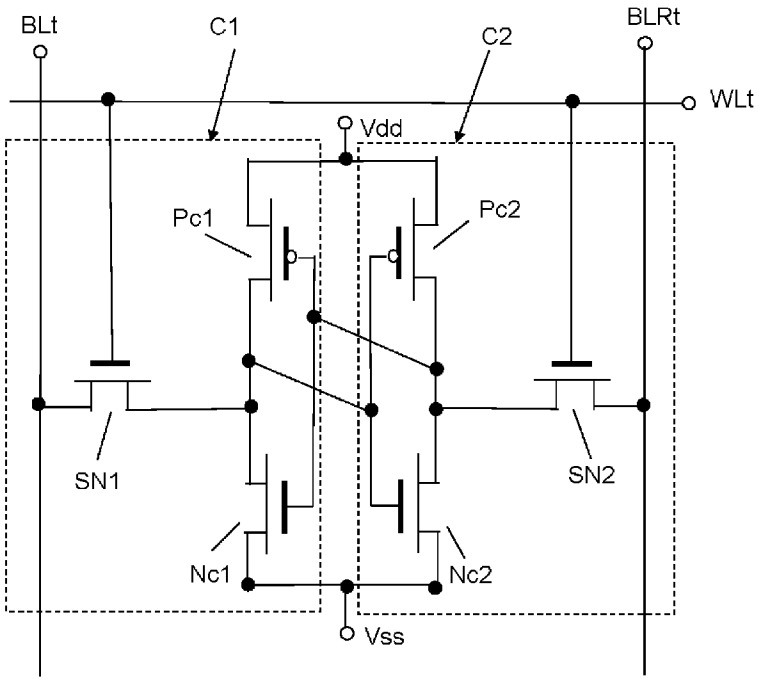
前記エッチングにおける、前記第４の配線導体層及び前記第５の配線導体層のエッチング速度が、前記第１の導電材料層、前記第２の導電材料層、及び前記第３の導電材料層のエッチング速度より早い、

ことを特徴とする請求項７に記載の柱状半導体装置の製造方法。

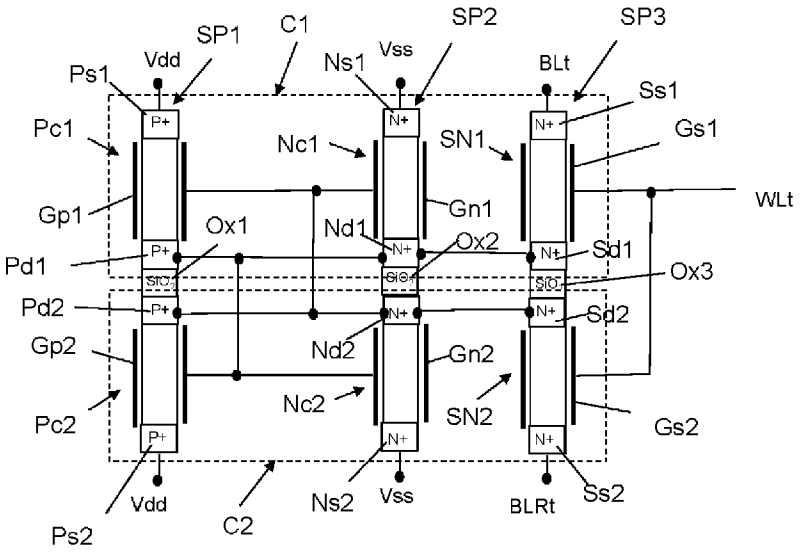
[請求項10] 前記第１の材料層が、平面視において、等幅で前記半導体柱の上部を囲んで形成される、

ことを特徴とする請求項１に記載の柱状半導体装置の製造方法。

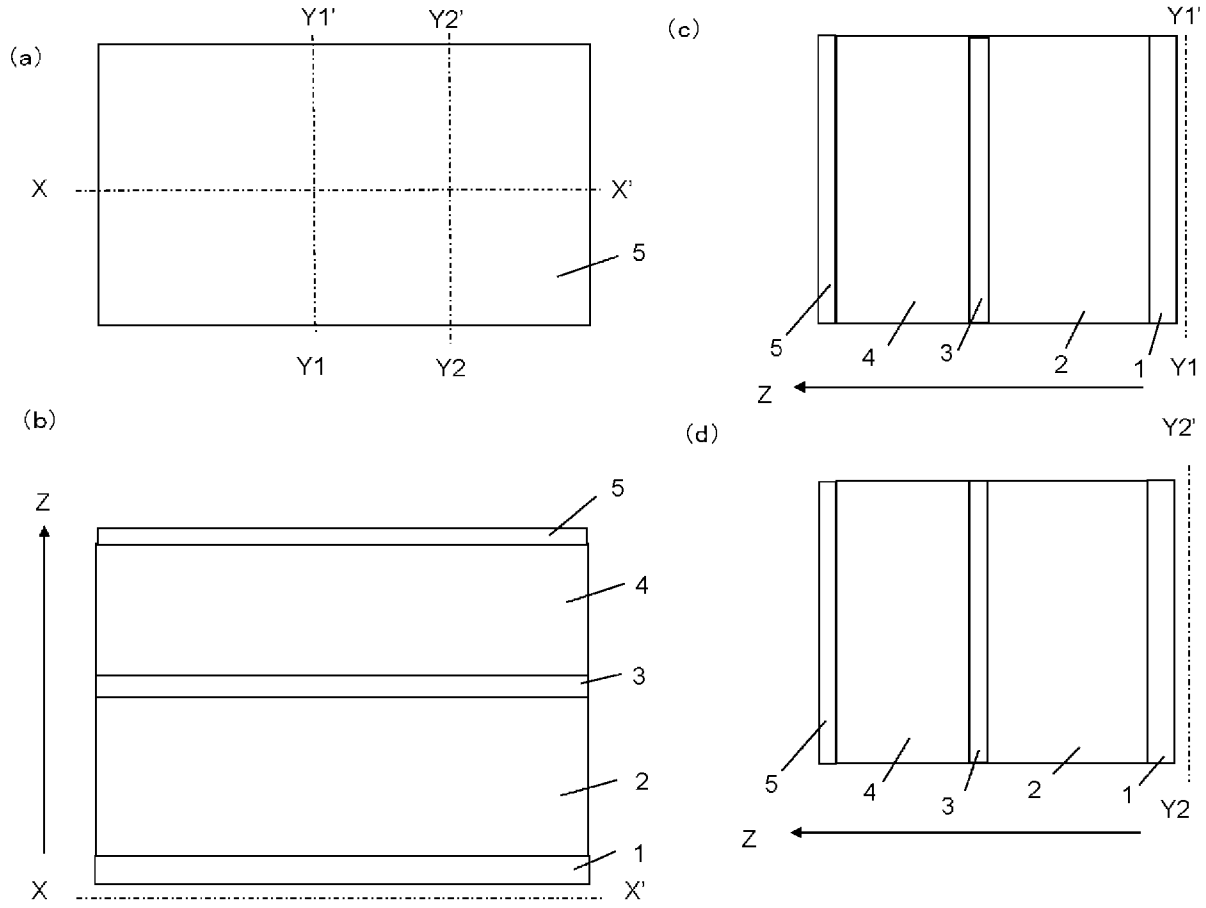
[図1A]


BLt
C1
C2
BLRt
WLt
Vdd
Pc1
Pc2
SN1
SN2
Nc1
Nc2
Vss

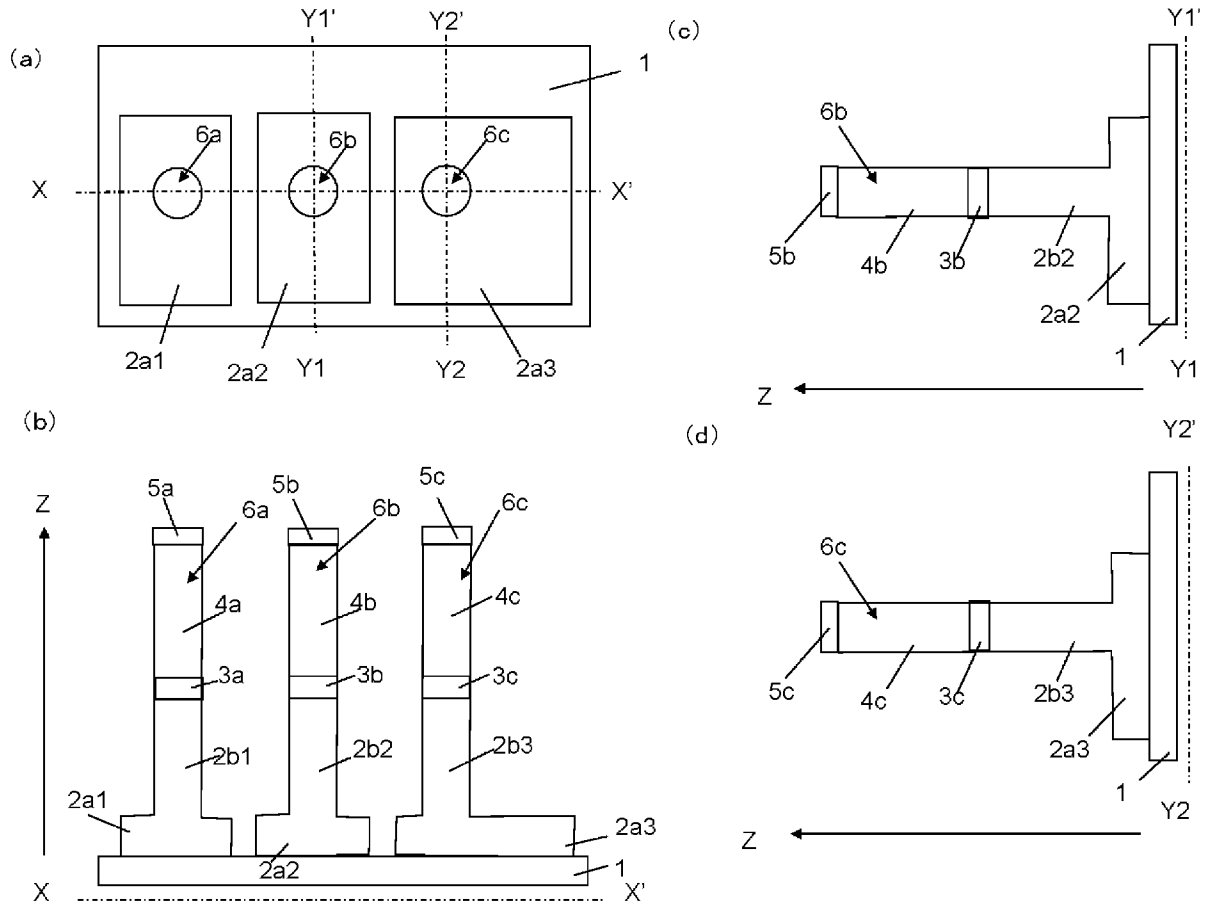
[図1B]


SP1
C1
SP2
SP3
Ps1
Vdd
Ns1
Vss
BLt
Ss1
Pc1
Nc1
SN1
Gs1
WLt
Gp1
Ox1
Nd1
Gn1
Ox2
Sd1
Pd1
Ox3
Pd2
Sd2
Gp2
Nd2
Gn2
Nc2
SN2
Pc2
Gs2
Ps2
C2
Ns2
BLRt
Ss2
P+
N+
SiO2

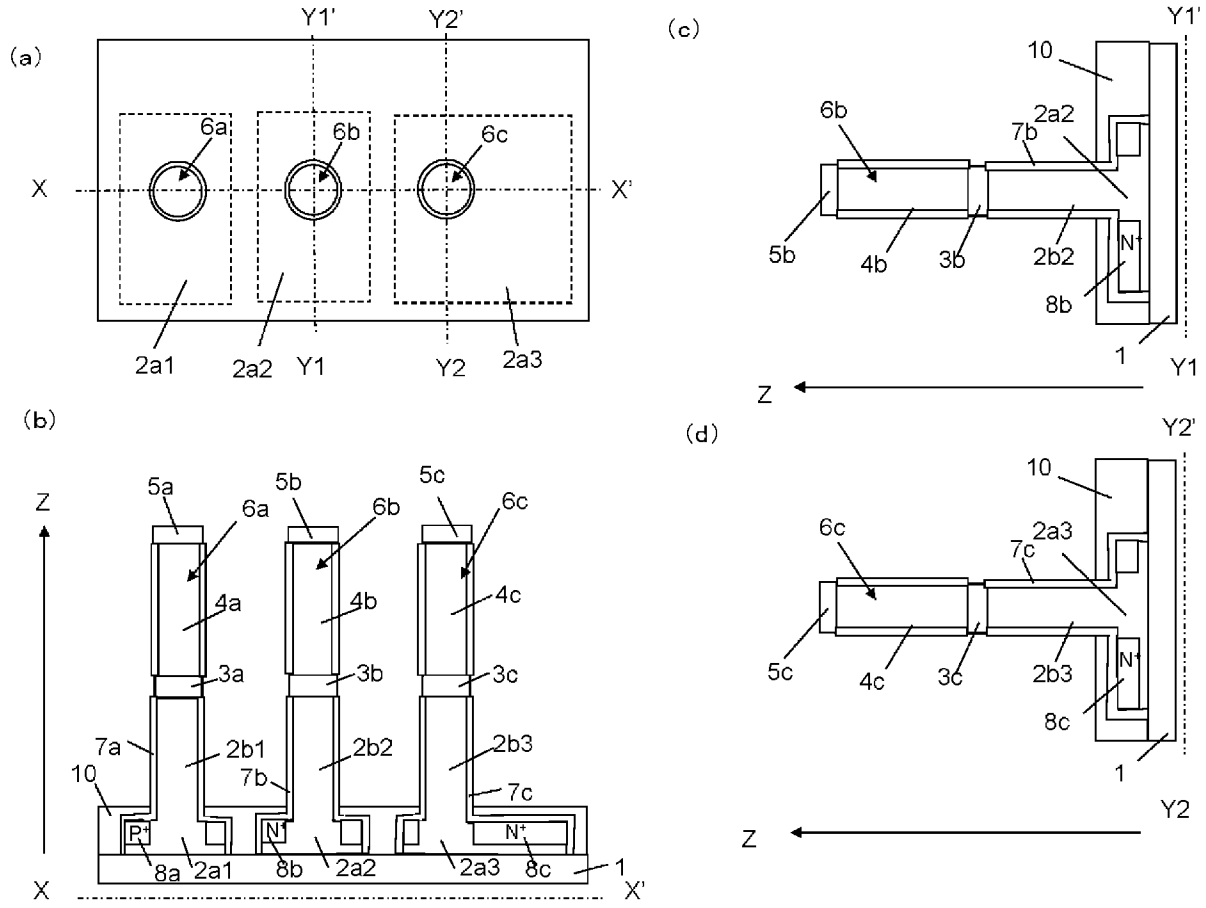
[図2A]


(a)
Y1'
Y2'
X
X'
5
Y1
Y2
(b)
Z
5
4
3
2
1
X
X'
(c)
Y1'
5
4
3
2
1
Y1
Z
(d)
Y2'
5
4
3
2
1
Y2
Z

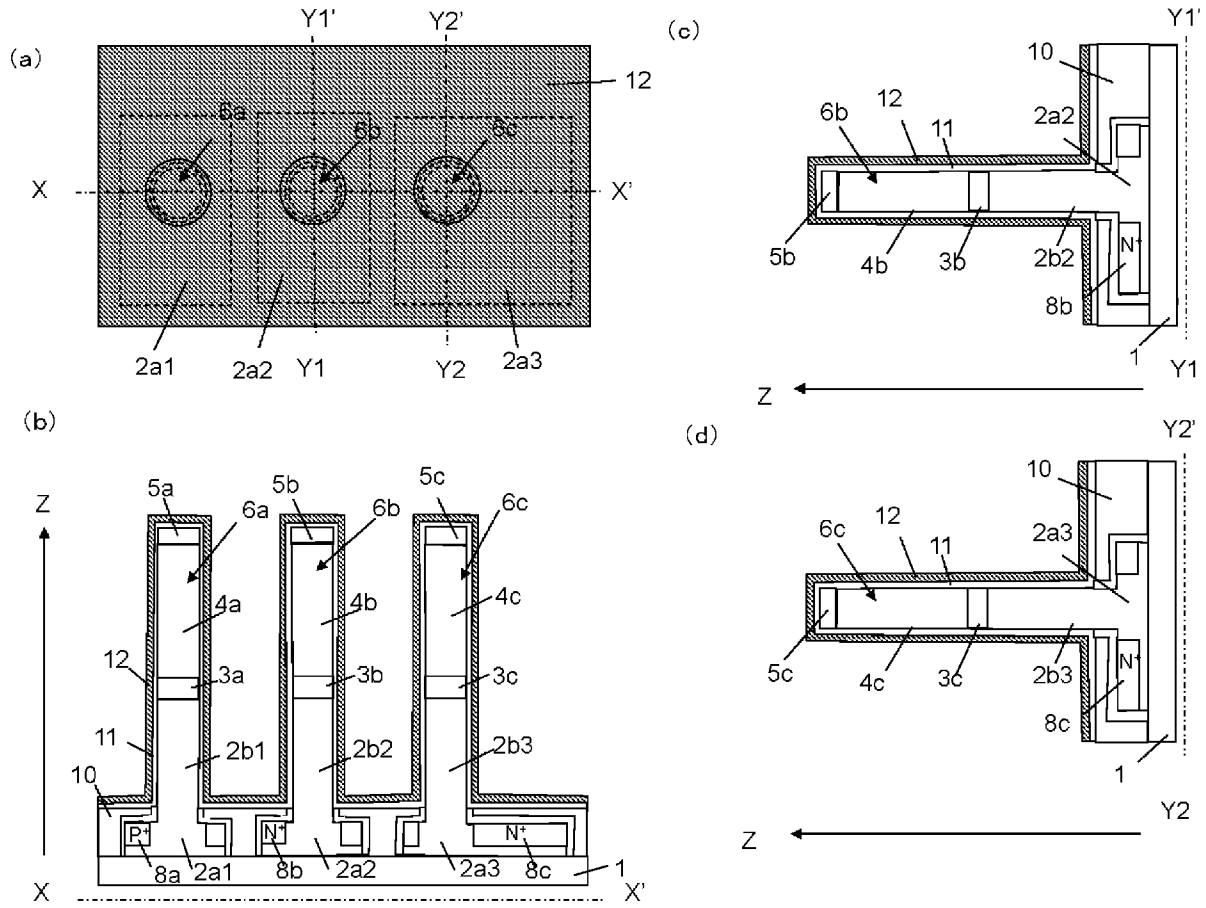
[図2B]


(a)
Y1'
Y2'
1
6a
6b
6c
X
X'
2a1
2a2
Y1
Y2
2a3
(b)
Z
5a
5b
5c
6a
6b
6c
4a
4b
4c
3a
3b
3c
2b1
2b2
2b3
2a1
2a3
2a2
1
X
X'
(c)
Y1'
6b
5b
4b
3b
2b2
2a2
1
Y1
Z
(d)
Y2'
6c
5c
4c
3c
2b3
2a3
1
Y2
Z

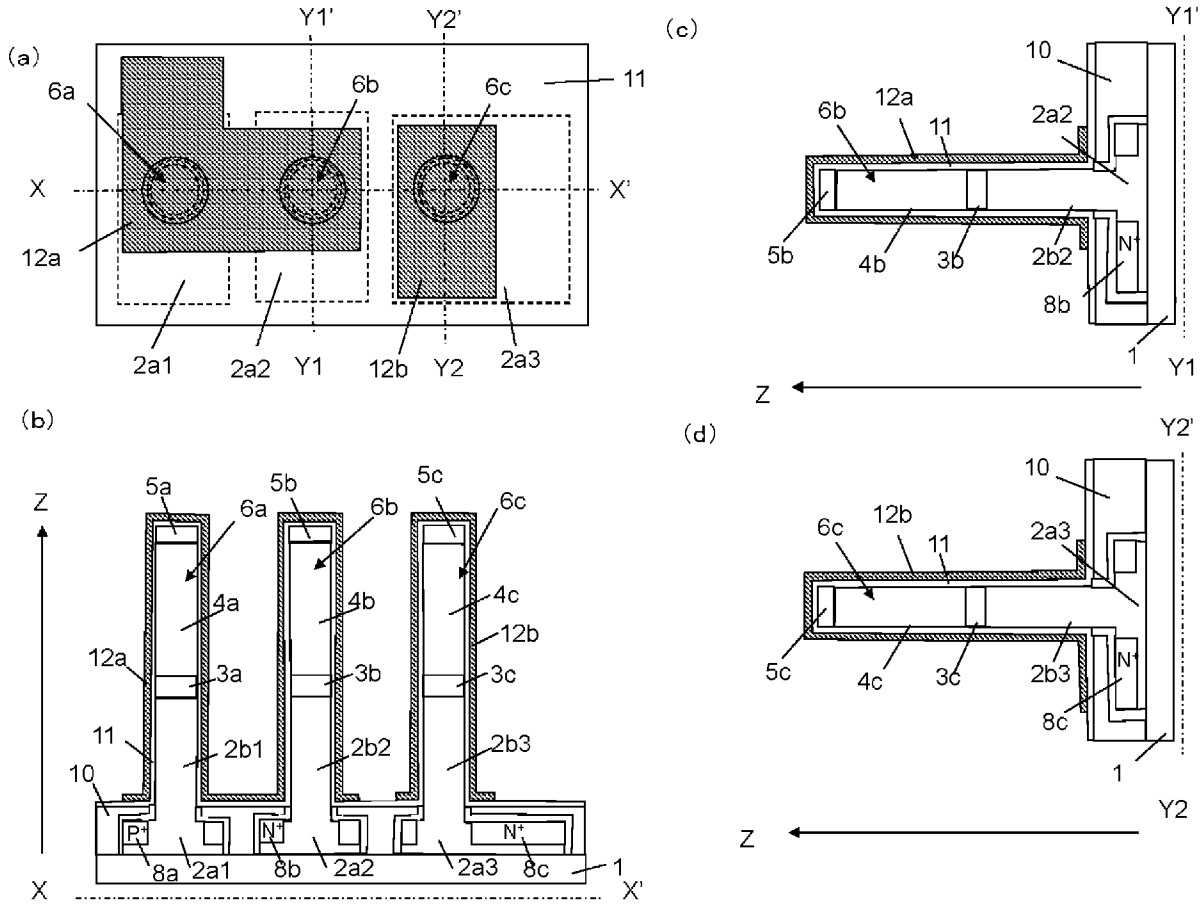
[図2C]


(a)
Y1'
Y2'
6a
6b
6c
X
X'
2a1
2a2
Y1
Y2
2a3
(b)
Z
5a
5b
5c
6a
6b
6c
4a
4b
4c
3a
3b
3c
7a
2b1
2b2
2b3
10
7b
7c
P+
N-
N+
8a
2a1
8b
2a2
2a3
8c
1
X
X'
(c)
Y1'
10
6b
2a2
7b
5b
4b
3b
2b2
N+
8b
1
Y1
Z
(d)
Y2'
10
6c
2a3
7c
5c
4c
3c
2b3
N+
8c
1
Y2
Z

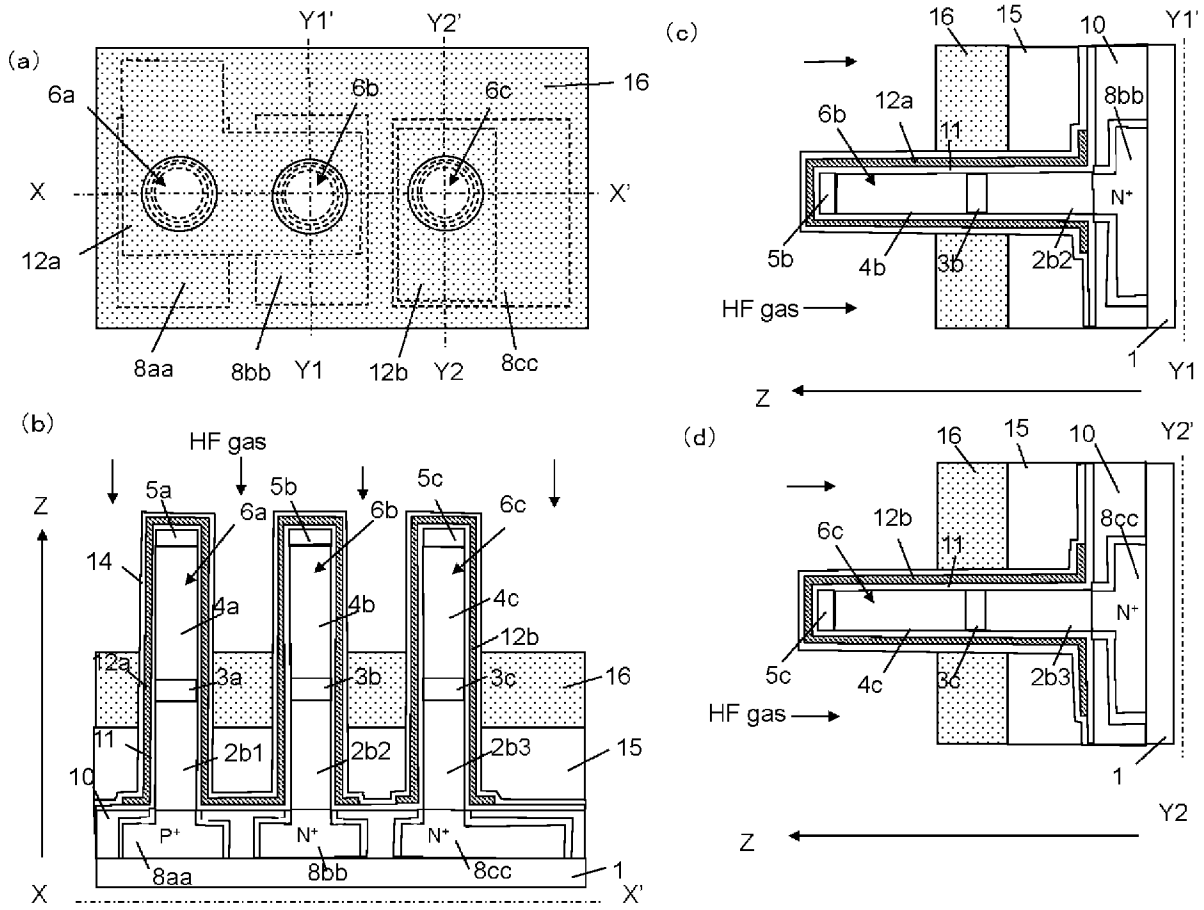
[図2D]


(a)
Y1'
Y2'
12
6a
6b
6c
X
X'
2a1
2a2
Y1
Y2
2a3
(b)
Z
5a
5b
5c
6a
6b
6c
4a
4b
4c
12
3a
3b
3c
11
2b1
2b2
2b3
10
P+
N-
N+
8a
2a1
8b
2a2
2a3
8c
1
X
X'
(c)
Y1'
10
6b
12
11
2a2
5b
4b
3b
2b2
N+
8b
1
Y1
Z
(d)
Y2'
10
6c
12
11
2a3
5c
4c
3c
2b3
N+
8c
1
Y2
Z

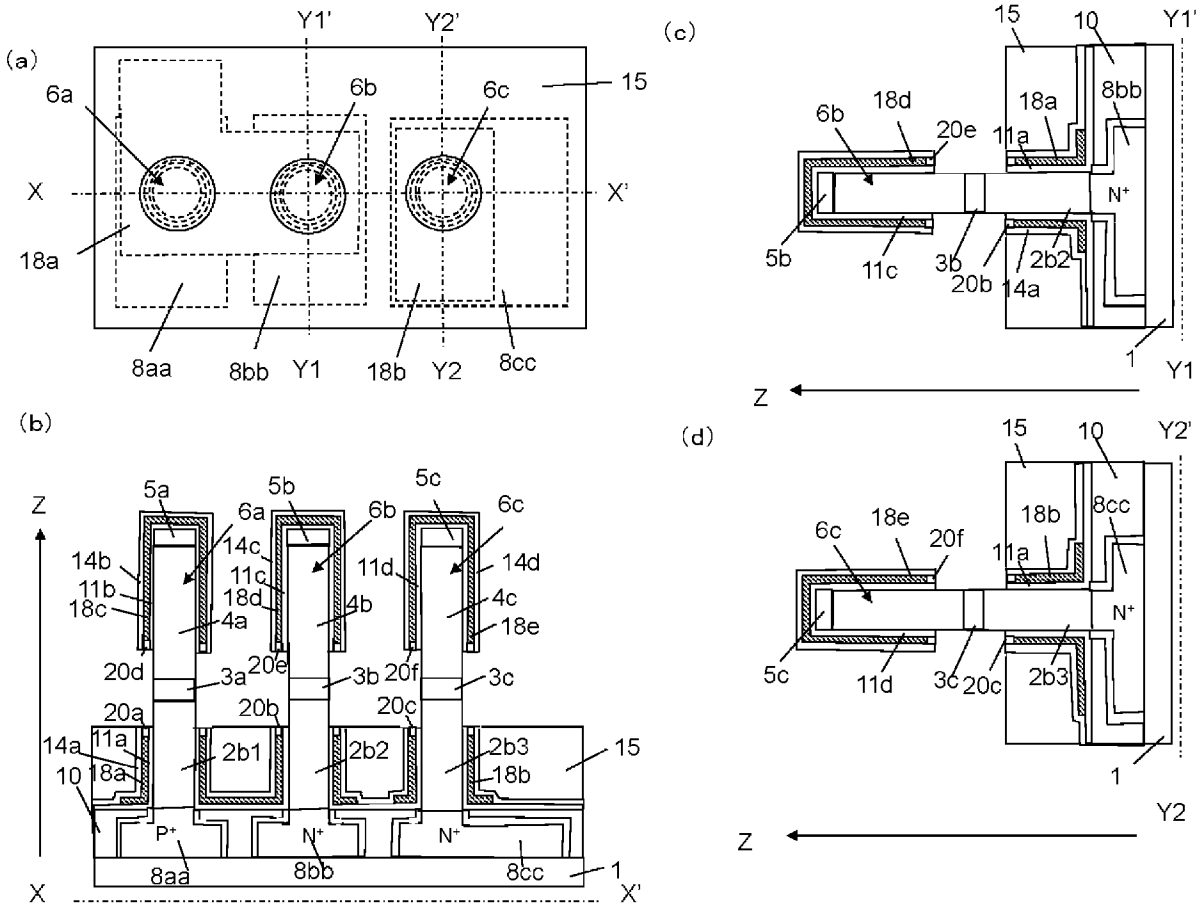
[図2E]


(a)
Y1'
Y2'
6a
6b
6c
11
X
X'
12a
2a1
2a2
Y1
12b
Y2
2a3
(b)
Z
5a
5b
5c
6a
6b
6c
4a
4b
4c
12a
3a
3b
3c
12b
11
2b1
2b2
2b3
10
P+
N+
N+
8a
2a1
8b
2a2
2a3
8c
1
X
X'
(c)
Y1'
10
6b
12a
11
2a2
5b
4b
3b
2b2
N+
8b
1
Y1
Z
(d)
Y2'
10
6c
12b
11
2a3
5c
4c
3c
2b3
N+
8c
1
Y2
Z

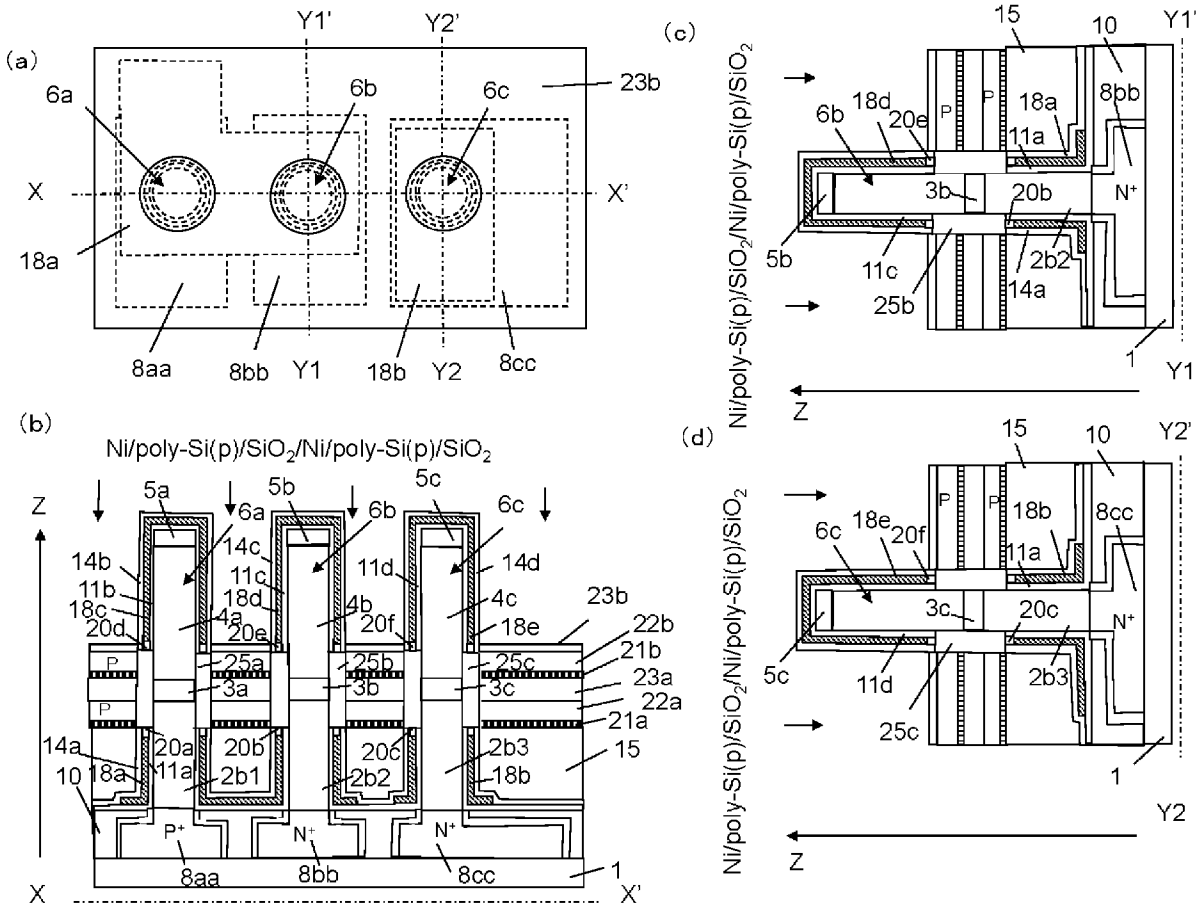
[図2F]


(a)
Y1'
Y2'
6a
6b
6c
16
X
X'
12a
8aa
8bb
Y1
12b
Y2
8cc
(b)
HF gas
Z
5a
5b
5c
6a
6b
6c
14
4a
4b
4c
12a
3a
3b
3c
12b
16
11
2b1
2b2
2b3
15
10
P+
N+
N+
8aa
8bb
8cc
1
X
X'
(c)
16
15
10
Y1'
6b
12a
11
8bb
N+
5b
4b
3b
2b2
HF gas
1
Y1
Z
(d)
16
15
10
Y2'
6c
12b
11
8cc
N+
5c
4c
3c
2b3
HF gas
1
Y2
Z

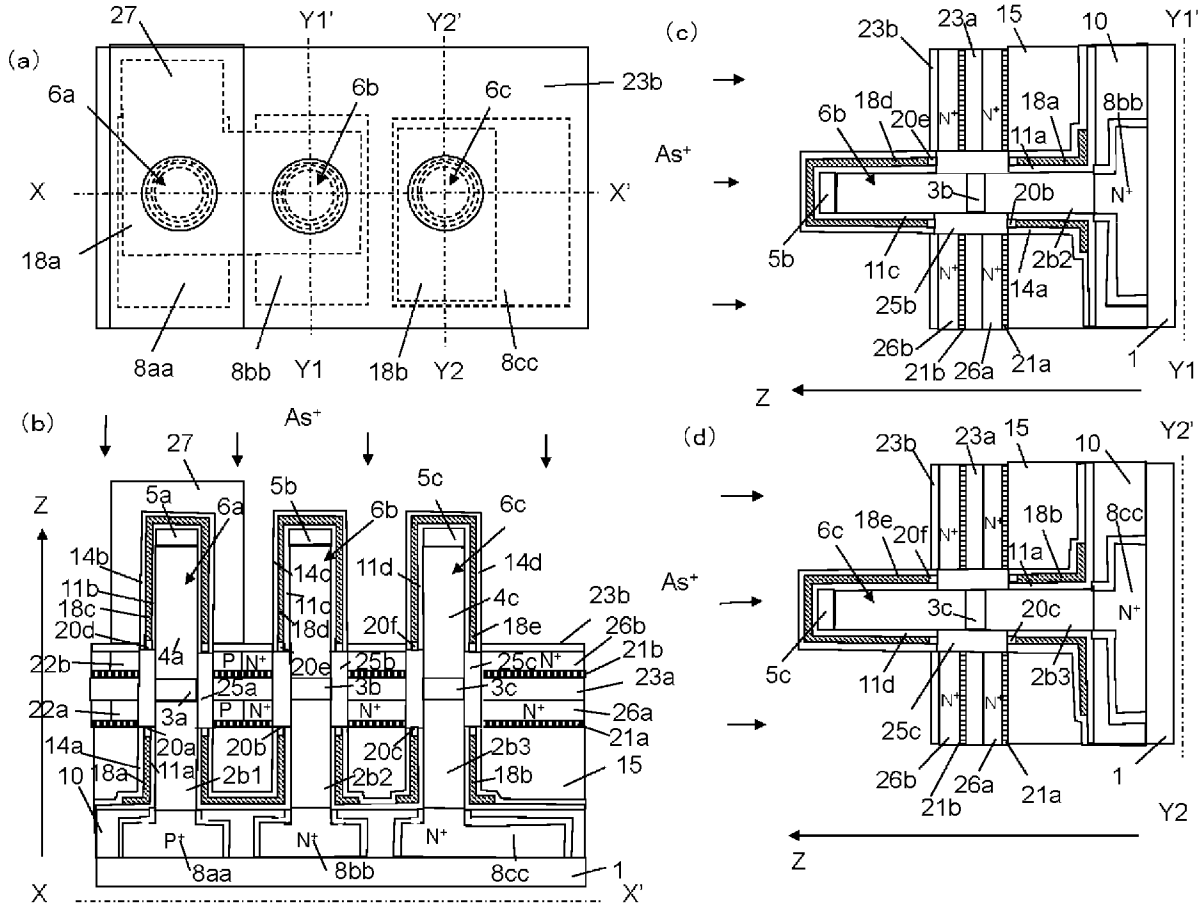
[図2G]


(a)
Y1'
Y2'
6a
6b
6c
15
X
X'
18a
8aa
8bb
Y1
18b
Y2
8cc
(b)
Z
5a
5b
5c
6a
6b
6c
14b
11b
18c
14c
11c
18d
4a
11d
4b
14d
4c
18e
20d
3a
20e
3b
20f
3c
20a
20b
20c
14a
11a
2b1
2b2
2b3
15
10
18a
18b
P+
N+
N+
8aa
8bb
8cc
1
X
X'
(c)
15
10
Y1'
6b
18d
20e
18a
11a
8bb
N+
5b
11c
3b
20b
2b2
14a
1
Y1
Z
(d)
15
10
Y2'
6c
18e
20f
18b
11a
8cc
N+
5c
11d
3c
20c
2b3
1
Y2
Z

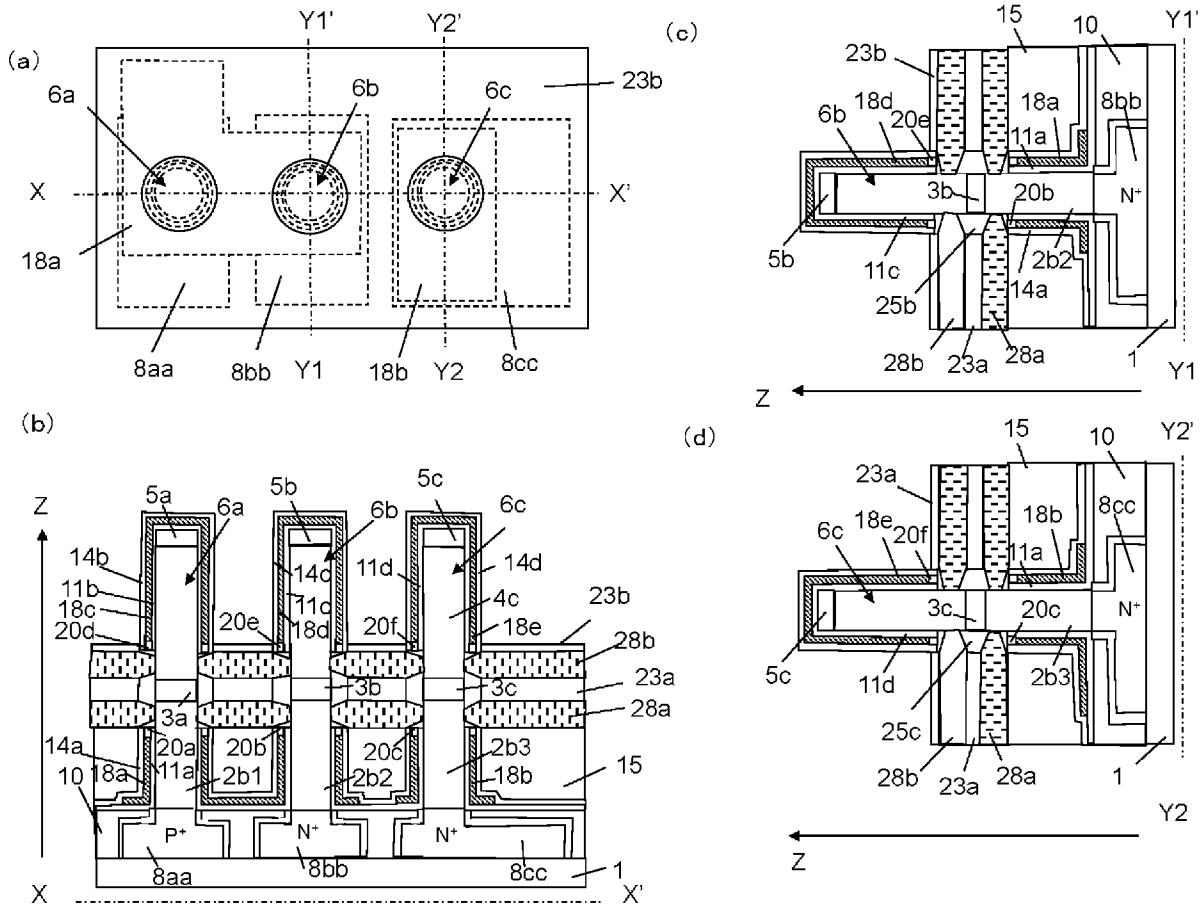
[図2H]


(a)
Y1'
Y2'
6a
6b
6c
23b
X
X'
18a
8aa
8bb
Y1
18b
Y2
8cc
(b)
Ni/poly-Si(p)/SiO2/Ni/poly-Si(p)/SiO2
Z
5a
5b
5c
6a
6b
6c
14b
11b
18c
14c
11c
18d
4a
11d
4b
14d
4c
23b
22b
21b
23a
22a
21a
15
18e
20d
20e
20f
P
P
25a
25b
25c
3a
3b
3c
14a
10
20a
11a
18a
20b
20c
2b1
2b2
2b3
18b
P+
N+
N+
8aa
8bb
8cc
1
X
X'
(c)
Ni/poly-Si(p)/SiO2/Ni/poly-Si(p)/SiO2
15
10
Y1'
6b
18d
20e
P
P
18a
11a
8bb
N+
5b
3b
20b
11c
2b2
25b
14a
1
Y1
Z
(d)
Ni/poly-Si(p)/SiO2/Ni/poly-Si(p)/SiO2
15
10
Y2'
6c
18e
20f
P
P
18b
11a
8cc
N+
5c
3c
20c
11d
2b3
25c
1
Y2
Z

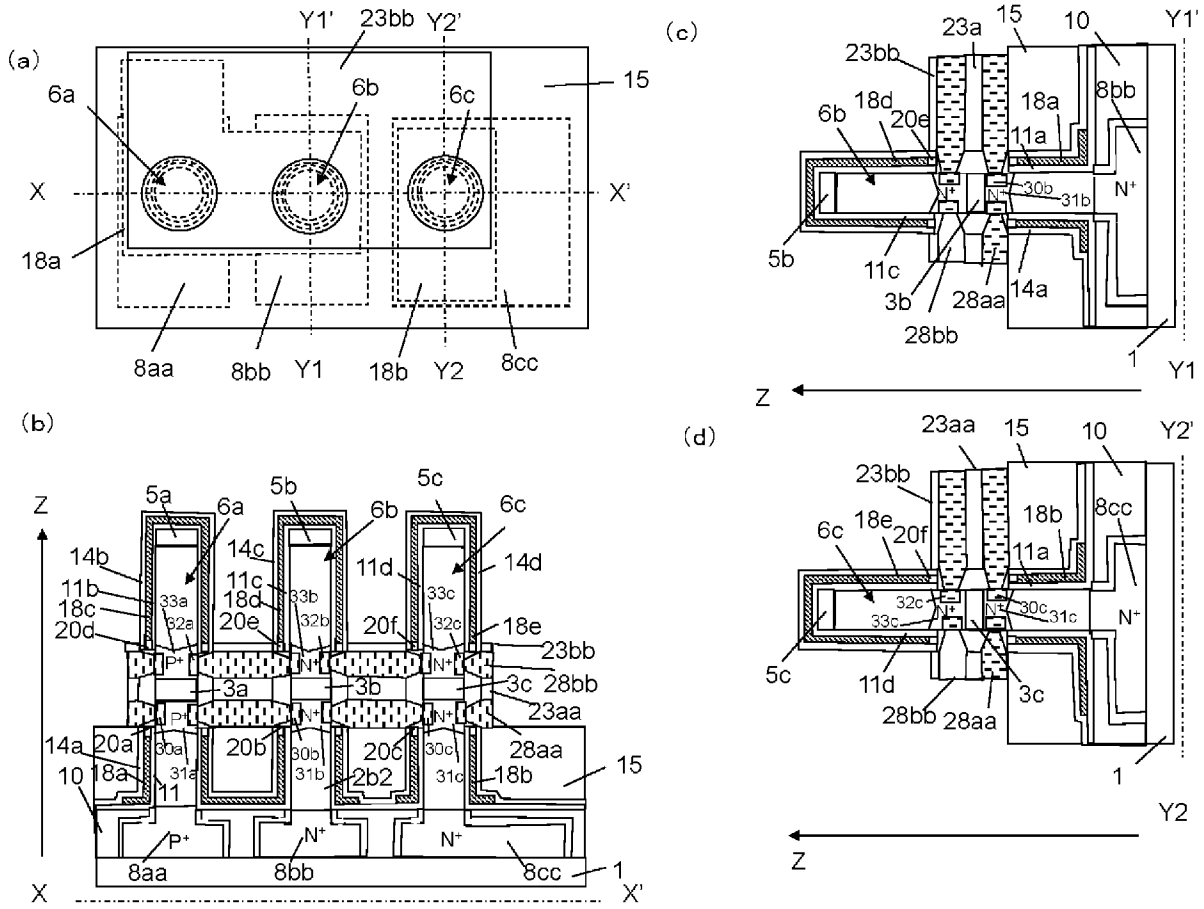
[図2I]



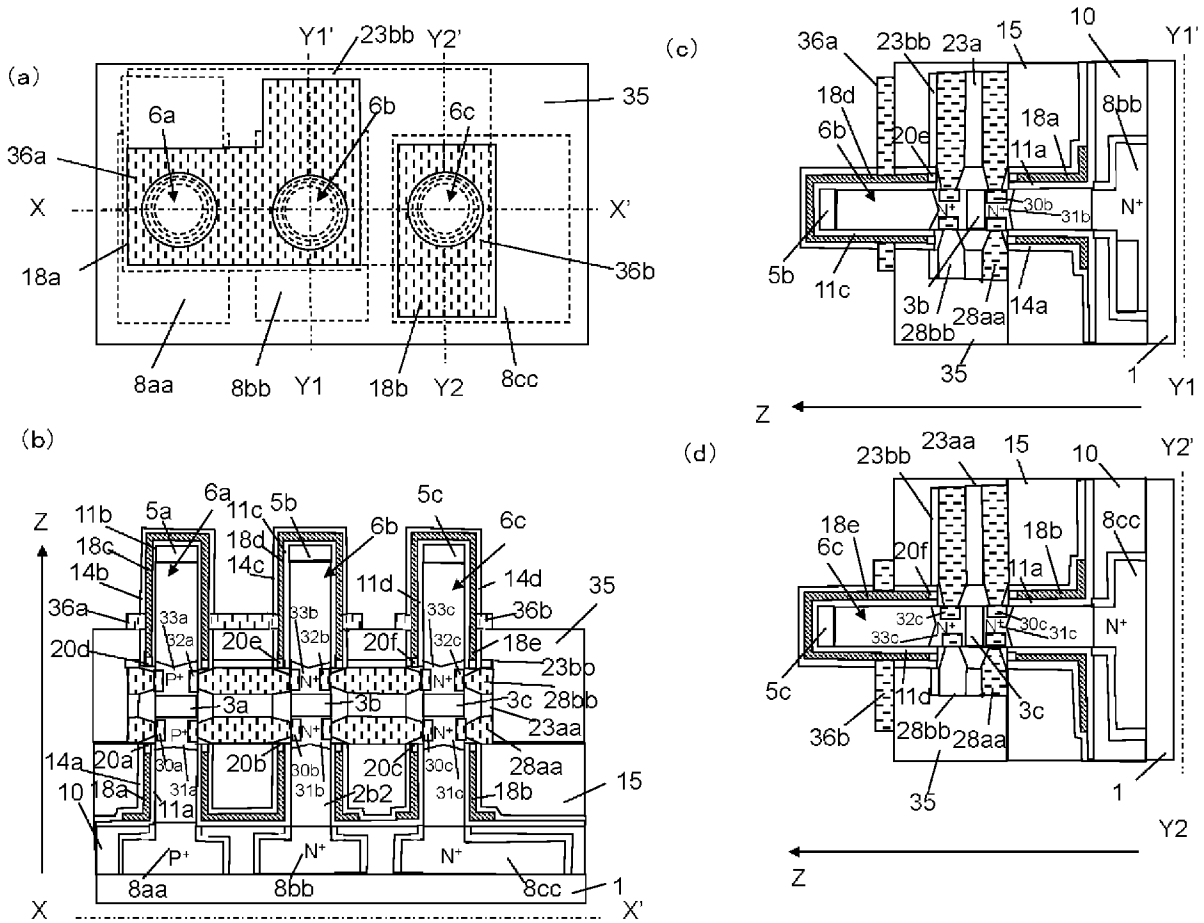

[図2J]



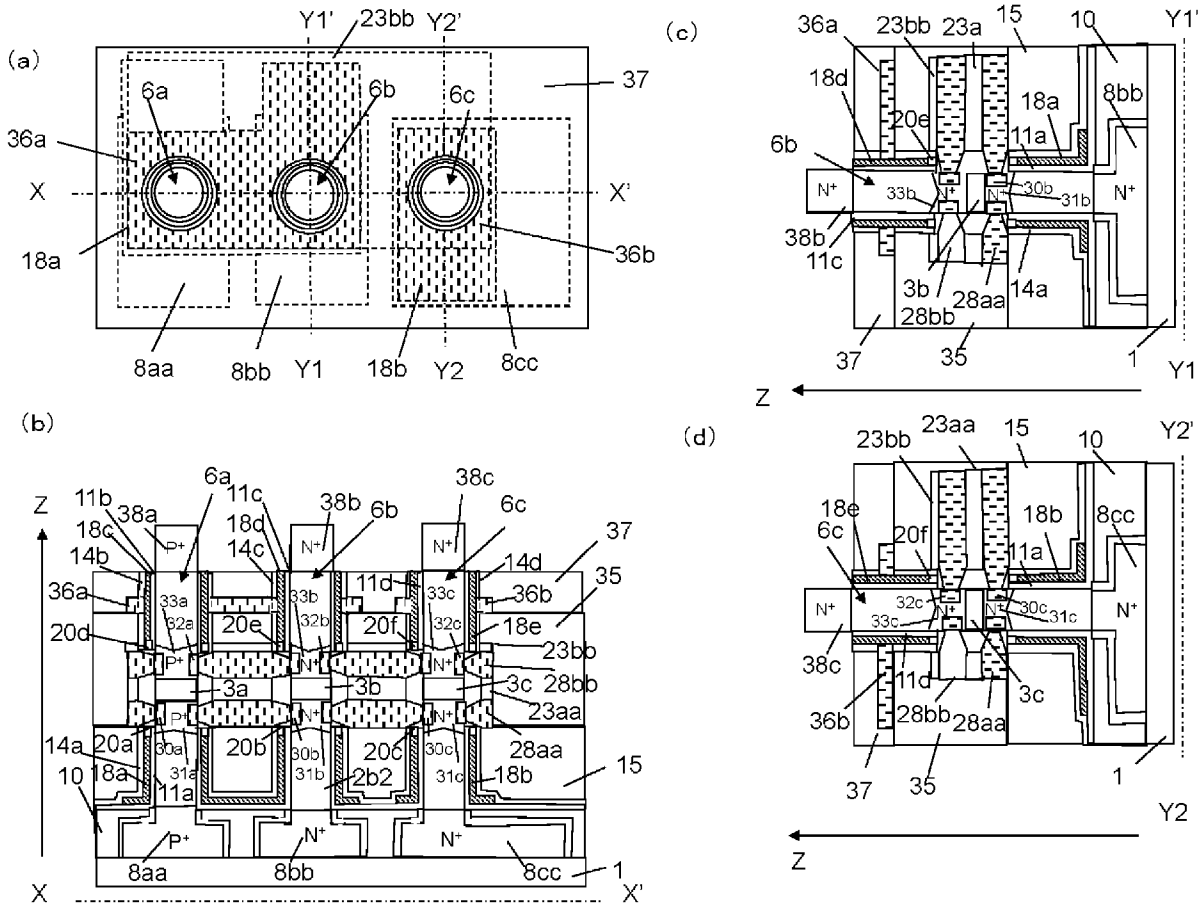
[図2K]


(a)
Y1'
23bb
Y2'
6a
6b
6c
15
X
X'
18a
8aa
8bb
Y1
18b
Y2
8cc
(b)
Z
5a
6a
5b
6b
5c
6c
14b
14c
11d
14d
11b
11c
18c
18d
20e
20f
18e
20d
33a
32a
33b
32b
33c
32c
23bb
3a
3b
3c
28bb
23aa
14a
20a
20b
20c
28aa
10
18a
11
30a
31a
30b
31b
30c
31c
2b2
P+
N+
8aa
8bb
8cc
1
X
X'
(c)
23a
15
10
Y1'
23bb
8bb
6b
18d
20e
18a
11a
5b
11c
3b
28aa
14a
28bb
1
Y1
Z
(d)
23aa
15
10
Y2'
23bb
6c
18e
20f
18b
8cc
11a
5c
11d
28bb
28aa
3c
1
Y2
Z

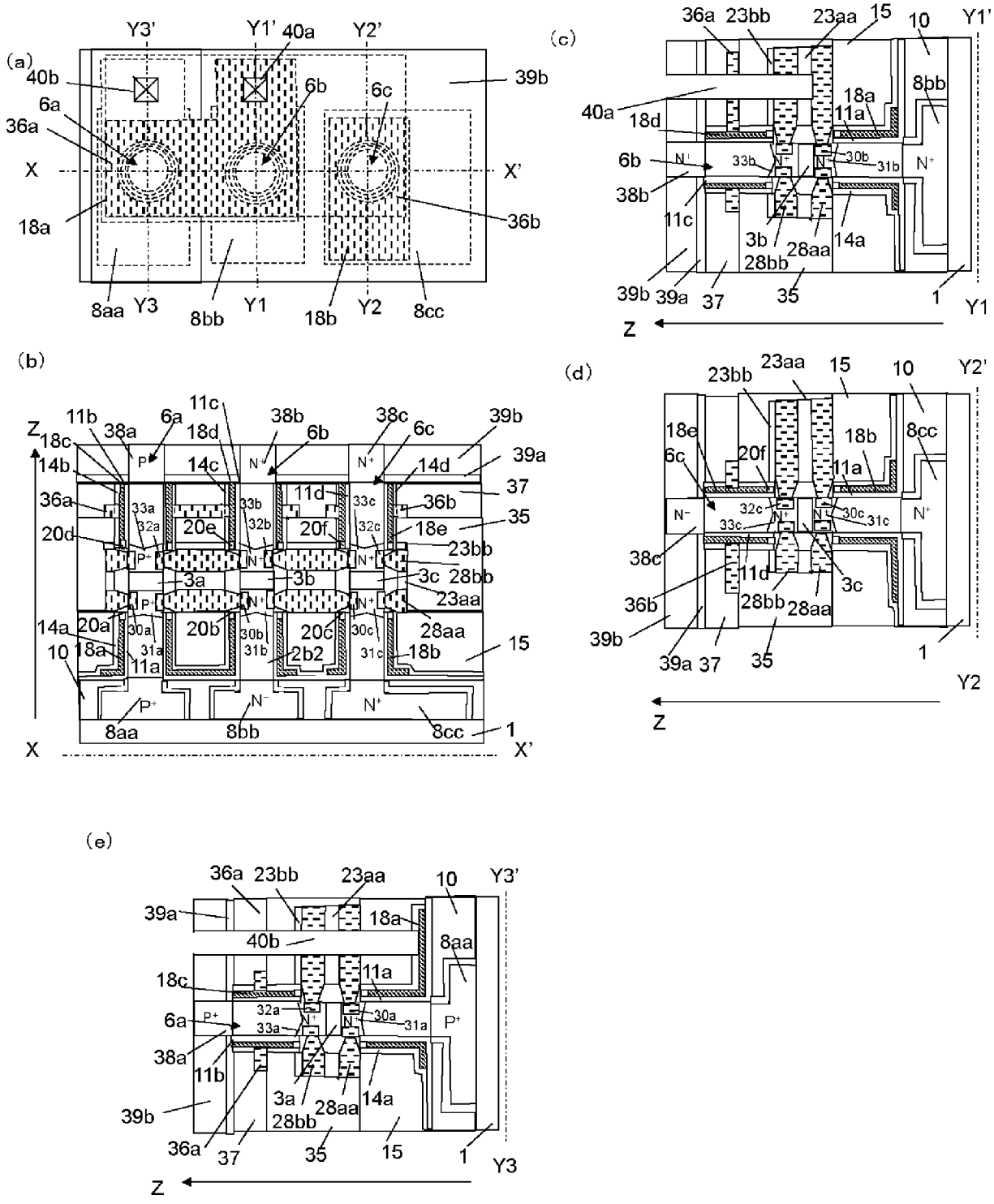
[図2L]


(a)
Y1'
23bb
Y2'
6a
6b
6c
35
36a
X
X'
18a
36b
8aa
8bb
Y1
18b
Y2
8cc
(b)
Z
11b
5a
6a
11c
5b
5c
6b
6c
18c
18d
14b
14c
11d
14d
36a
35
33a
32a
33b
32b
33c
32c
36b
20d
20e
20f
18e
23bb
3a
3b
3c
28bb
23aa
14a
20a
20b
20c
28aa
10
18a
11a
30a
31a
30b
31b
30c
31c
2b2
18b
15
P+
N+
8aa
8bb
8cc
1
X
X'
(c)
36a
23bb
23a
15
10
Y1'
18d
6b
20e
18a
11a
8bb
5b
11c
3b
28aa
14a
28bb
35
1
Y1
Z
(d)
23bb
23aa
15
10
Y2'
18e
6c
20f
18b
8cc
11a
5c
11d
36b
28bb
28aa
3c
35
1
Y2
Z

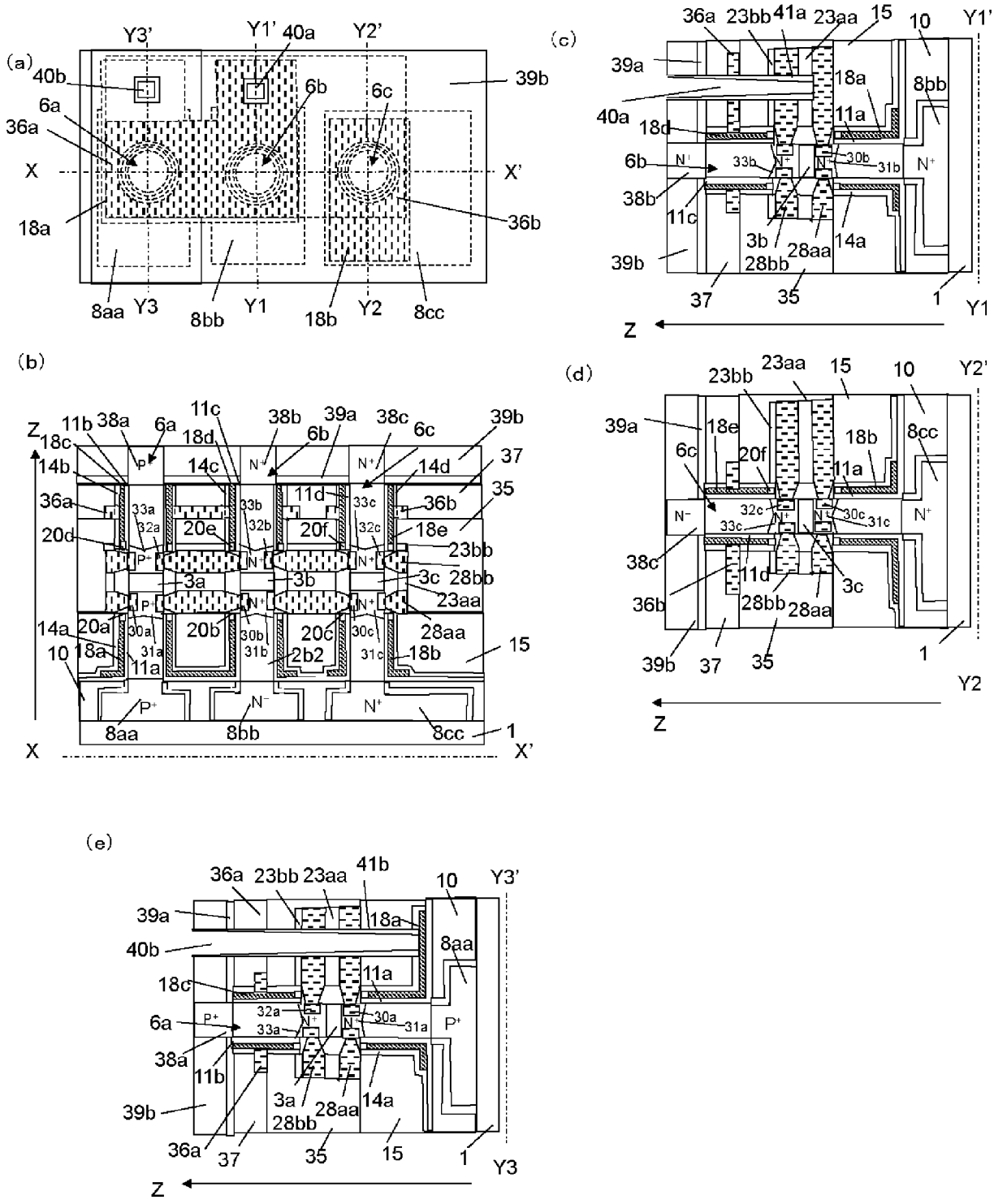
[図2M]


(a)
Y1'
23bb
Y2'
6a
6b
6c
37
36a
X
X'
18a
36b
8aa
8bb
Y1
18b
Y2
8cc
(b)
Z
X
X'
(c)
36a
23bb
23a
15
10
Y1'
18d
20e
18a
8bb
11a
6b
N+
33b
30b
31b
38b
11c
3b
28aa
14a
28bb
37
35
1
Y1
Z
(d)
23bb
23aa
15
10
Y2'
18e
6c
20f
18b
8cc
11a
32c
33c
30c
31c
38c
11d
3c
36b
28bb
28aa
37
35
1
Y2
Z

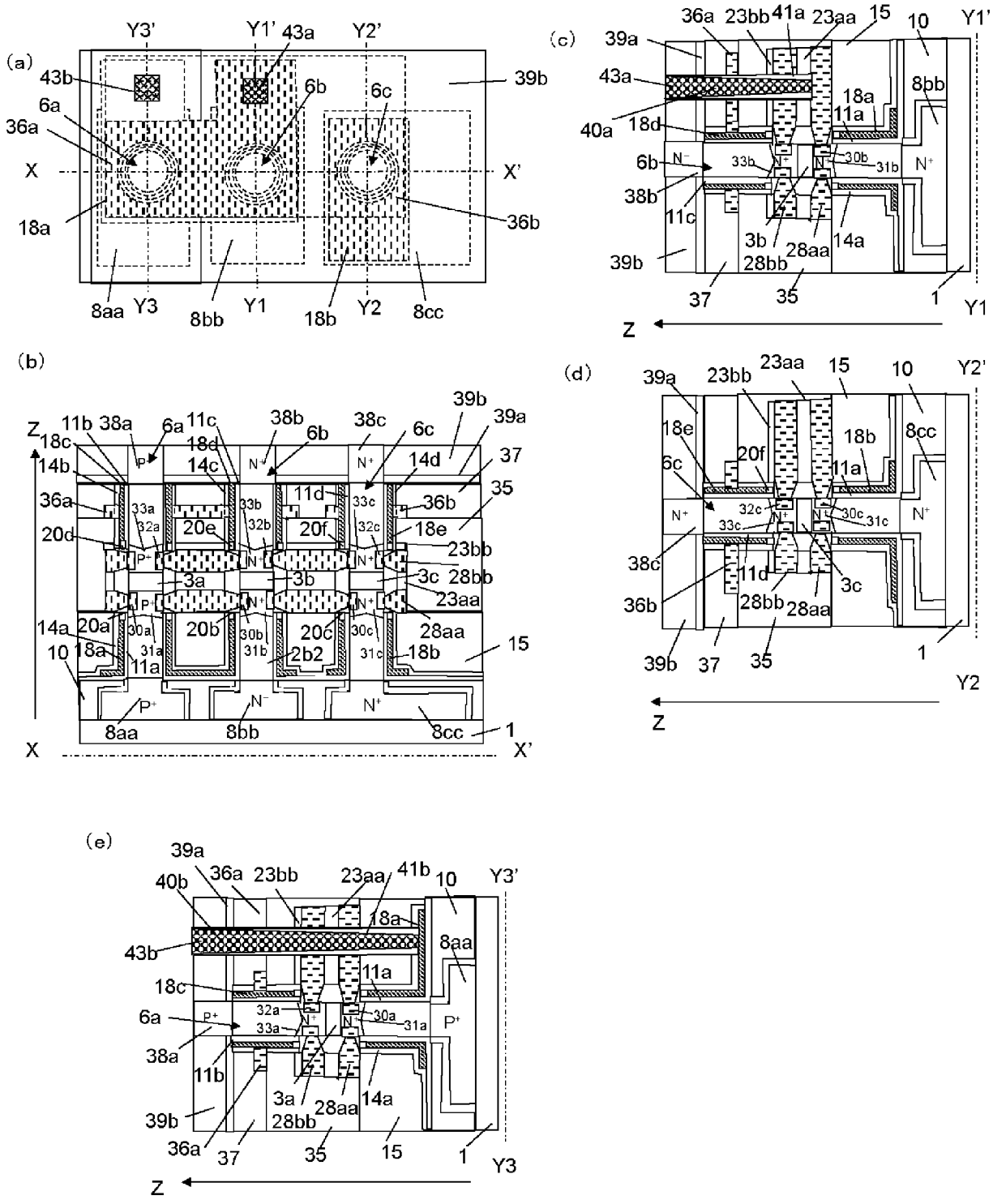
[図2N]


(a)
Y3'
Y1'
40a
Y2'
40b
6a
36a
X
X'
18a
6b
6c
39b
36b
8aa
Y3
8bb
Y1
18b
Y2
8cc
(b)
Z
11b
38a
6a
11c
18c
18d
38b
6b
38c
6c
39b
39a
14b
14c
14d
37
36a
11d
36b
35
20d
20e
20f
18e
23bb
3a
3b
3c
28bb
23aa
14a
20a
20b
20c
28aa
10
18a
11a
2b2
18b
15
8aa
8bb
8cc
1
X
X'
(c)
36a
23bb
23aa
15
10
Y1'
40a
18d
18a
11a
8bb
6b
38b
11c
3b
28aa
14a
28bb
39b
39a
37
35
1
Y1
Z
(d)
23bb
23aa
15
10
Y2'
18e
6c
20f
18b
11a
8cc
38c
11d
3c
36b
28bb
28aa
39b
39a
37
35
1
Y2
Z
(e)
36a
23bb
23aa
10
Y3'
39a
18a
40b
8aa
18c
11a
6a
38a
11b
3a
28aa
14a
28bb
39b
36a
37
35
15
1
Y3
Z

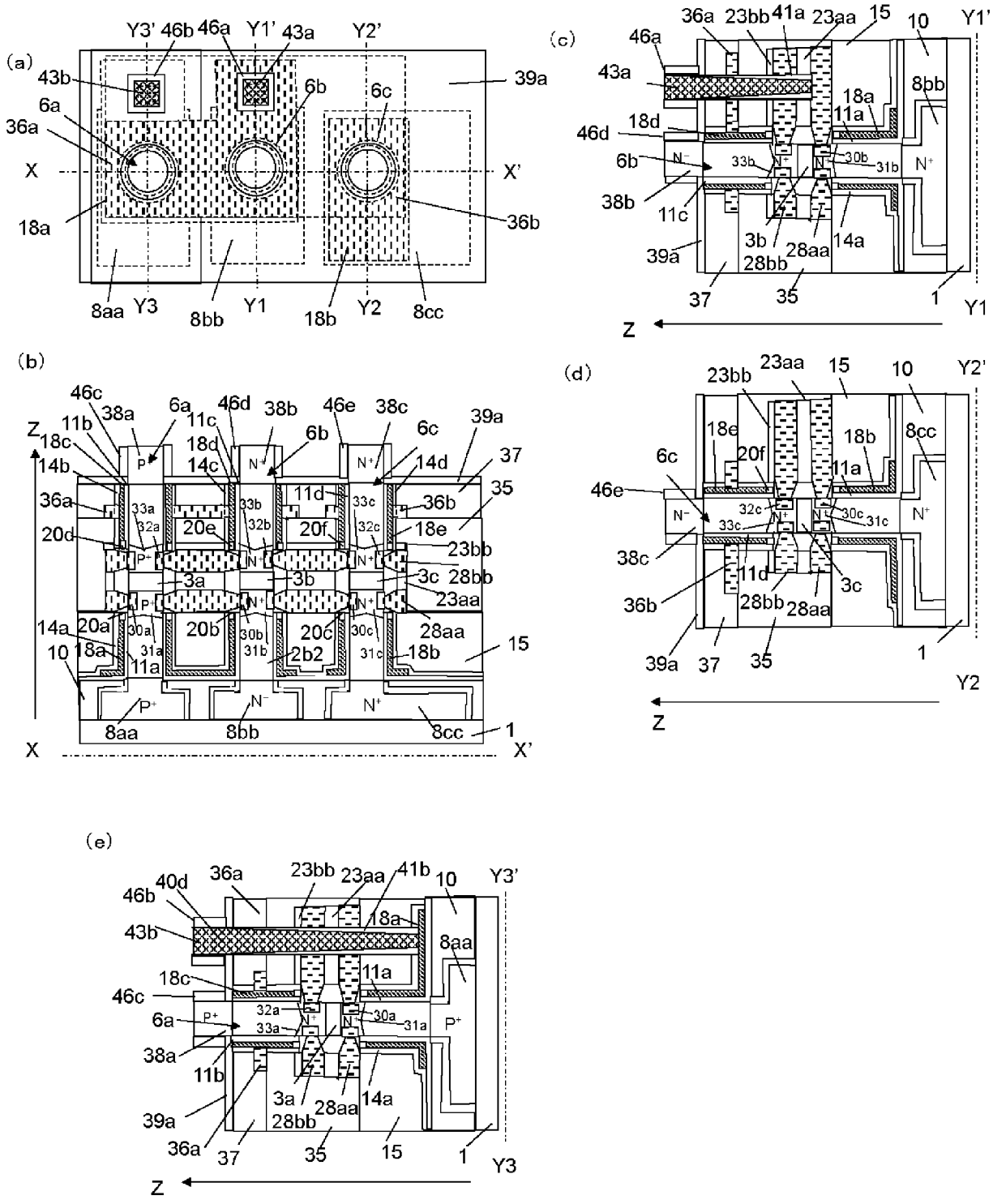
[図20]


(a)
Y3'
Y1'
40a
Y2'
40b
6b
6c
39b
6a
36a
X
X'
18a
36b
8aa
Y3
8bb
Y1
18b
Y2
8cc
(b)
Z
11b
38a
6a
11c
38b
39a
38c
6c
39b
18c
18d
6b
14b
14c
14d
37
36a
11d
35
36b
20d
20e
20f
18e
23bb
3a
3b
3c
28bb
23aa
14a
20a
20b
20c
28aa
10
18a
11a
2b2
18b
15
8aa
8bb
8cc
1
X
X'
(c)
36a
23bb
41a
23aa
15
10
Y1'
39a
18a
8bb
40a
18d
11a
6b
33b
30b
31b
38b
11c
3b
28aa
14a
39b
28bb
37
35
1
Y1
Z
(d)
23bb
23aa
15
10
Y2'
39a
18e
18b
8cc
6c
20f
11a
38c
32c
30c
31c
36b
11d
3c
28bb
28aa
39b
37
35
1
Y2
Z
(e)
36a
23bb
23aa
41b
10
Y3'
39a
18a
40b
8aa
11a
18c
6a
32a
30a
31a
38a
33a
11b
39b
3a
28aa
14a
28bb
36a
37
35
15
1
Y3
Z

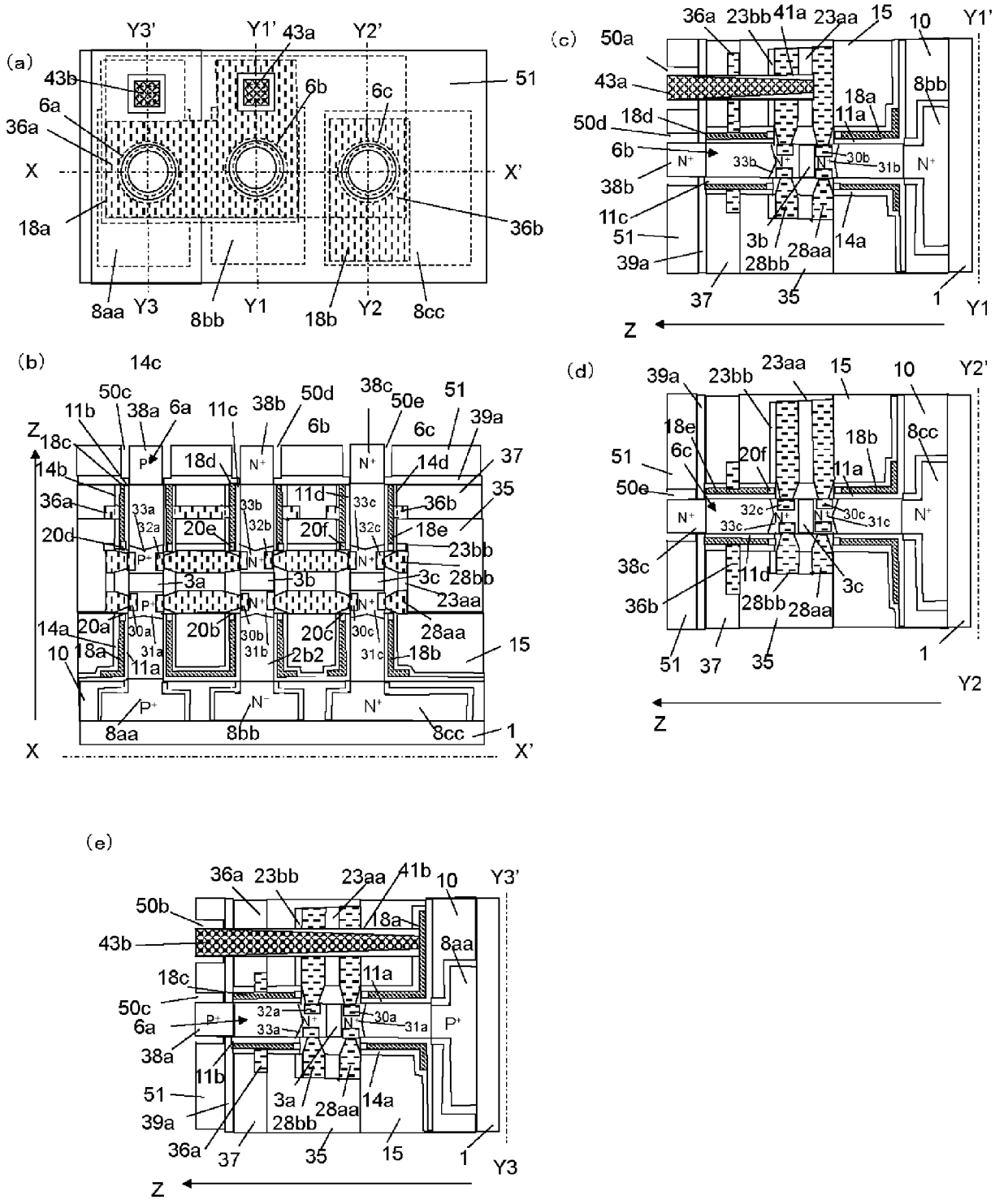
[図2P]


(a)
Y3'
Y1'
43a
Y2'
43b
6b
6c
39b
6a
36a
X
X'
18a
36b
8aa
Y3
8bb
Y1
18b
Y2
8cc
(b)
Z
11b
38a
6a
11c
38b
6b
38c
6c
39b
39a
18c
18d
14b
14c
14d
37
36a
11d
35
36b
20d
20e
20f
18e
23bb
3a
3b
3c
28bb
23aa
14a
20a
20b
20c
28aa
10
18a
11a
2b2
18b
15
8aa
8bb
8cc
1
X
X'
(c)
36a
23bb
41a
23aa
15
10
Y1'
39a
43a
8bb
18a
40a
18d
11a
6b
33b
30b
31b
38b
11c
3b
28aa
14a
39b
28bb
37
35
1
Y1
Z
(d)
39a
23bb
23aa
15
10
Y2'
18e
18b
8cc
6c
20f
11a
38c
11d
3c
36b
28bb
28aa
39b
37
35
1
Y2
Z
(e)
39a
40b
36a
23bb
23aa
41b
10
Y3'
18a
8aa
43b
11a
18c
6a
38a
11b
3a
28aa
14a
39b
28bb
36a
37
35
15
1
Y3
Z

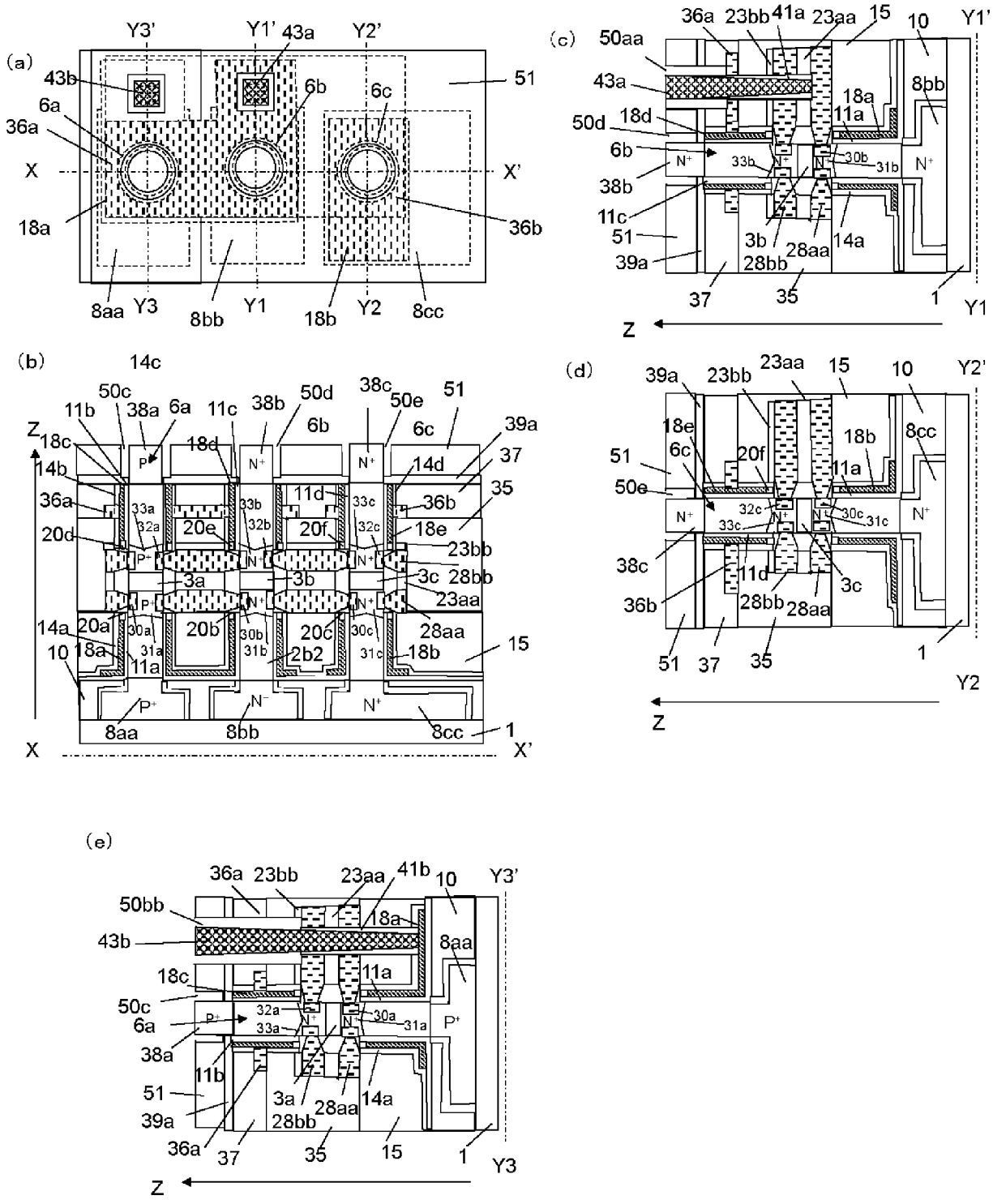
[図20]


(a)
Y3' 46b 46a Y1' 43a Y2'
43b
6a
36a
X
X'
18a
39a
6b
6c
36b
8aa Y3
8bb Y1
18b Y2
8cc
(b)
Z
X
X'
46c 38a 6a 46d 38b 46e 38c 39a
11b 11c 6b 6c 37
18c 18d 14d 35
14b 14c
36a 11d 36b
33a 33b 33c
32a 32b 32c
20d 20e 20f 18e
23bb
3a 3b 3c 28bb
23aa
14a 20a 20b 20c 28aa
30a 30b 30c
31a 31b 31c
10 18a 2b2 18b 15
11a
8aa 8bb 8cc 1
(c)
36a 23bb 41a 23aa 15 10 Y1'
46a
43a
8bb
18a
11a
46d 18d
6b
33b
30b
31b
38b
11c
3b 28aa 14a
39a 28bb
37 35 1 Y1
Z
(d)
23bb 23aa 15 10 Y2'
18e 18b 8cc
6c 20f 11a
46e
32c 30c
33c 31c
38c
11d 3c
36b 28bb 28aa
39a 37 35 1 Y2
Z
(e)
36a 23bb 23aa 41b 10 Y3'
40d
46b
43b 18a 8aa
11a
18c
46c
6a
32a 30a
33a 31a
38a
11b
3a 28aa 14a
39a 28bb
36a 37 35 15 1 Y3
Z

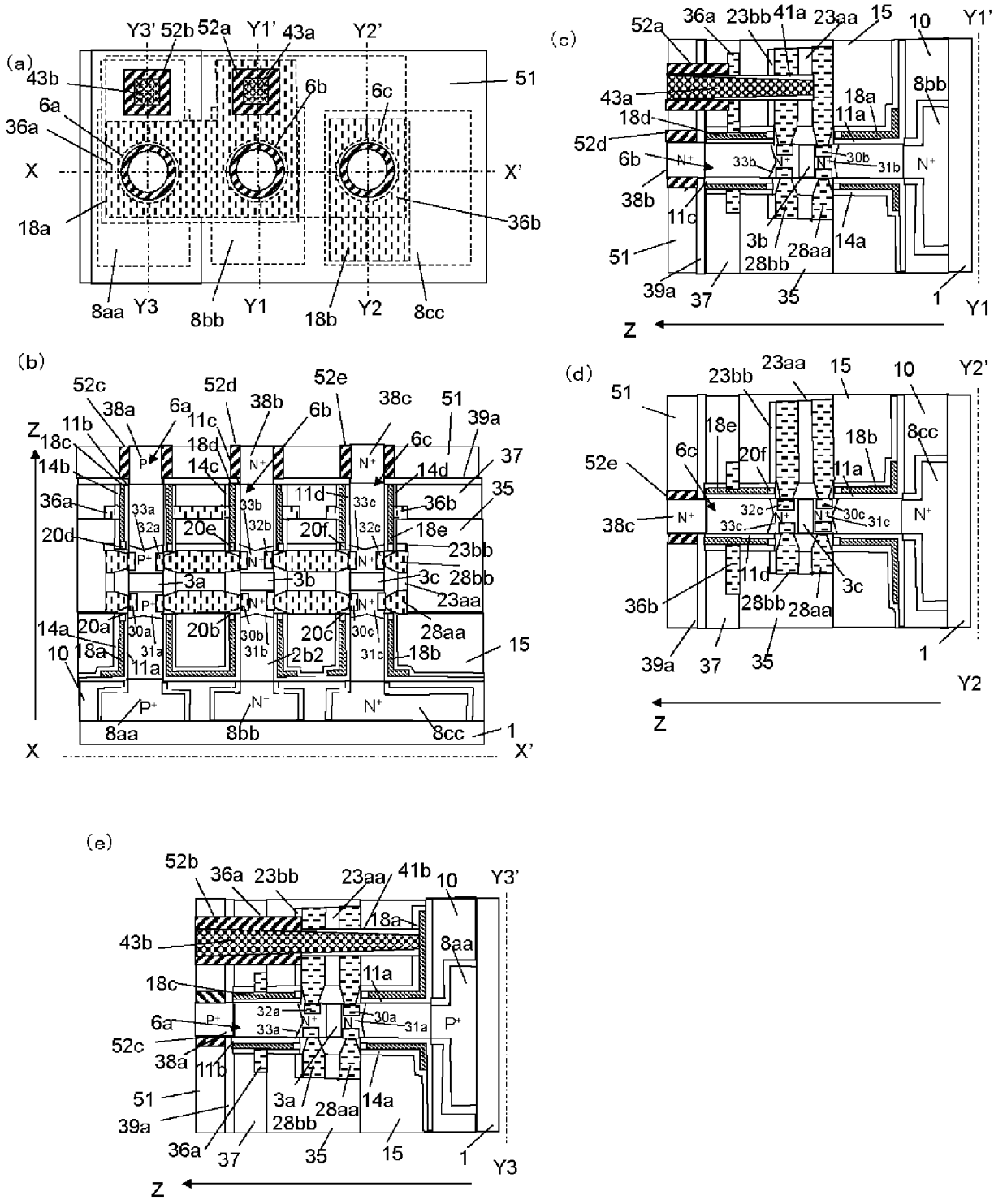
[図2R]


(a)
Y3'
Y1'
43a
Y2'
43b
6b
6c
51
6a
36a
X
X'
18a
36b
8aa
Y3
8bb
Y1
18b
Y2
8cc
(b)
14c
Z
X
X'
(c)
50a
36a
23bb
41a
23aa
15
10
Y1'
43a
8bb
18a
11a
50d
18d
6b
38b
11c
51
39a
3b
28aa
14a
28bb
37
35
1
Y1
Z
(d)
39a
23bb
23aa
15
10
Y2'
18e
6c
18b
8cc
51
50e
20f
11a
38c
11d
3c
36b
28bb
28aa
51
37
35
1
Y2
Z
(e)
36a
23bb
23aa
41b
10
Y3'
50b
43b
18a
8aa
18c
11a
50c
6a
38a
11b
51
39a
3a
28aa
14a
28bb
36a
37
35
15
1
Y3
Z

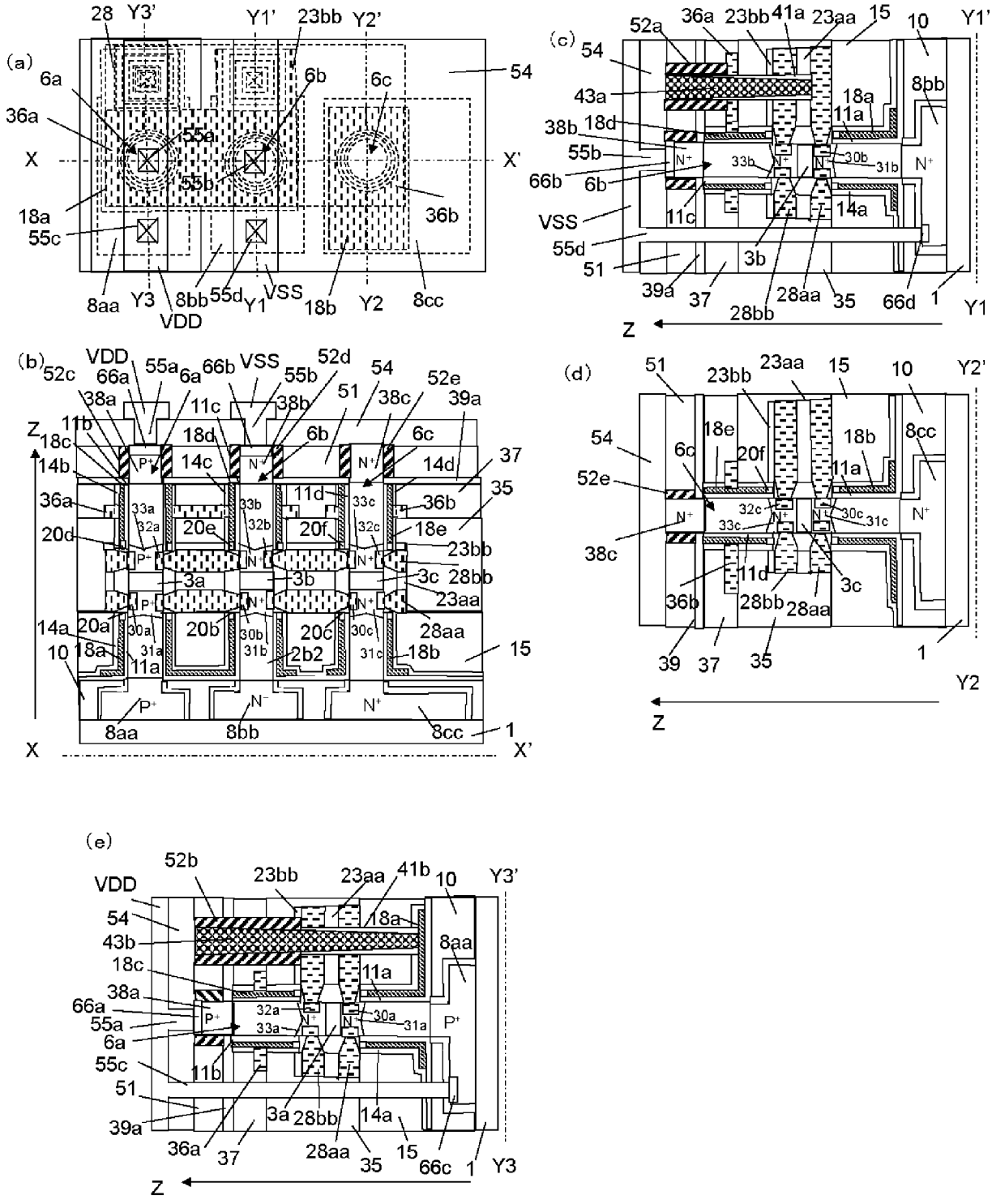
[図2S]


(a)
Y3'
Y1'
43a
Y2'
43b
6b
6c
51
6a
36a
X
X'
18a
36b
8aa
Y3
8bb
Y1
18b
Y2
8cc
(b)
14c
Z
50c
11b
38a
6a
11c
38b
50d
38c
50e
51
6b
6c
39a
18c
18d
14b
14d
37
36a
11d
36b
35
20d
20e
20f
18e
23bb
3a
3b
3c
28bb
23aa
14a
20a
20b
20c
28aa
10
18a
11a
2b2
18b
15
8aa
8bb
8cc
1
X
X'
(c)
50aa
36a
23bb
41a
23aa
15
10
Y1'
43a
8bb
18a
11a
50d
18d
6b
38b
11c
51
39a
3b
28aa
14a
28bb
37
35
1
Y1
Z
(d)
39a
23bb
23aa
15
10
Y2'
18e
6c
18b
8cc
51
20f
11a
50e
38c
11d
3c
36b
28bb
28aa
51
37
35
1
Y2
Z
(e)
36a
23bb
23aa
41b
10
Y3'
50bb
18a
43b
8aa
18c
11a
50c
6a
38a
11b
51
39a
3a
28aa
14a
28bb
36a
37
35
15
1
Y3
Z

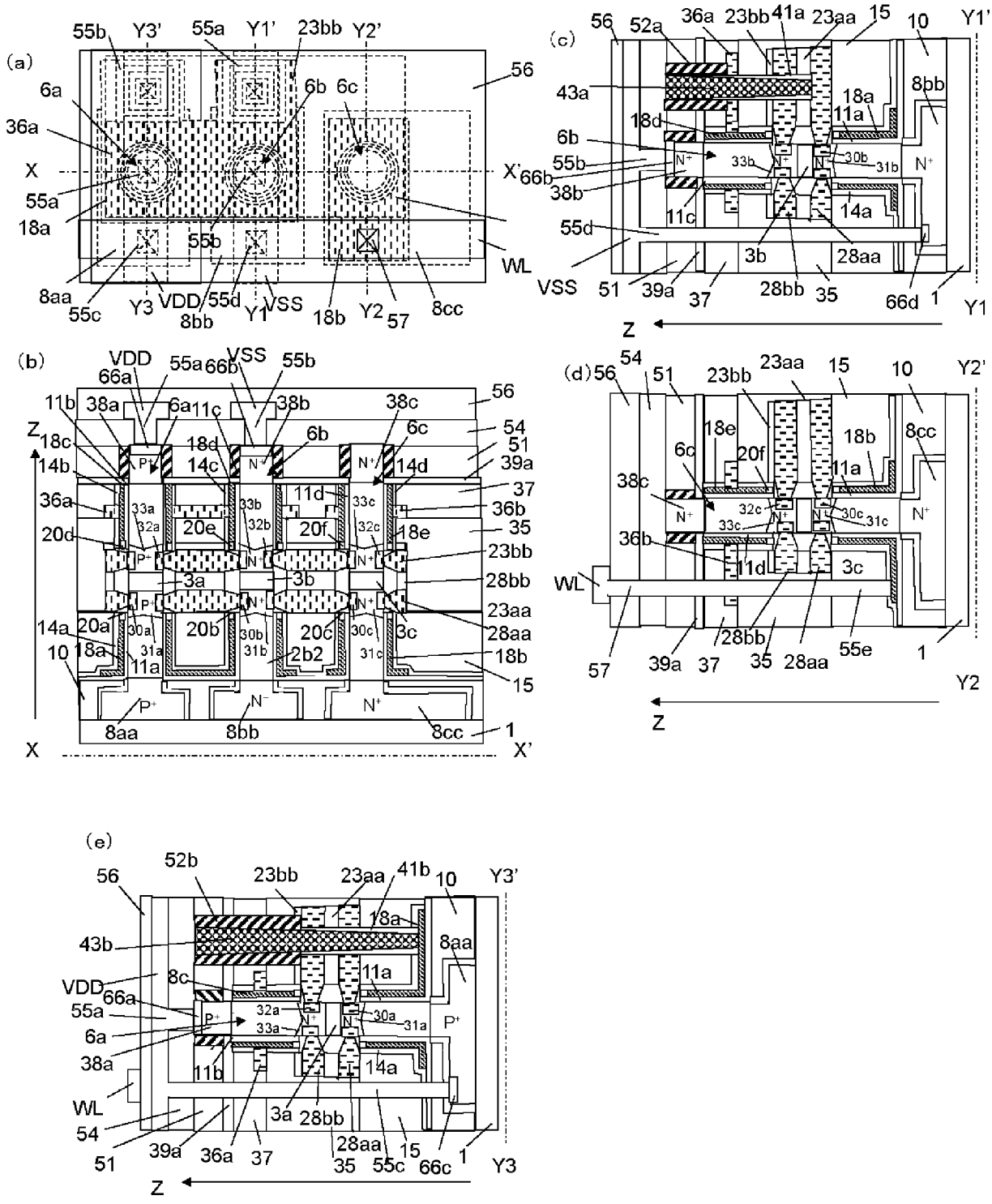
[図2T]


(a)
Y3' 52b 52a Y1' 43a Y2'
43b
6a
36a
X
X'
18a
6b
6c
51
36b
8aa Y3
8bb Y1
18b Y2
8cc
(b)
52c 38a 6a 11b 18c 14b 36a 20d
52d 11c 18d 14c 38b 6b 52e 38c 6c 14d 51 39a 37 35 36b 18e 23bb 28bb 23aa 28aa 15 18b
20e 20f 11d 33a 32a 33b 32b 33c 32c
3a 3b 3c
20a 30a 31a 11a 14a 10 18a
20b 30b 31b 2b2
20c 30c 31c
P+ N− N+
8aa 8bb 8cc 1
X X'
Z
(c)
52a 36a 23bb 41a 23aa 15 10 Y1'
43a 18d 52d 6b 38b 11c 51 39a 37 35 1 Y1
18a 11a 8bb
N+ 33b 30b 31b
3b 28aa 14a 28bb
Z
(d)
51 23bb 23aa 15 10 Y2'
18e 18b 8cc 6c 20f 52e 38c 36b 39a 37 35 1 Y2
11a
N+ 32c 33c 30c 31c
11d 3c 28bb 28aa
Z
(e)
52b 36a 23bb 23aa 41b 10 Y3'
43b 18a 8aa 18c 11a 6a 52c 38a 11b 51 39a 36a 37 35 15 1 Y3
P+ N+ N− 32a 33a 30a 31a
3a 28aa 14a 28bb
Z

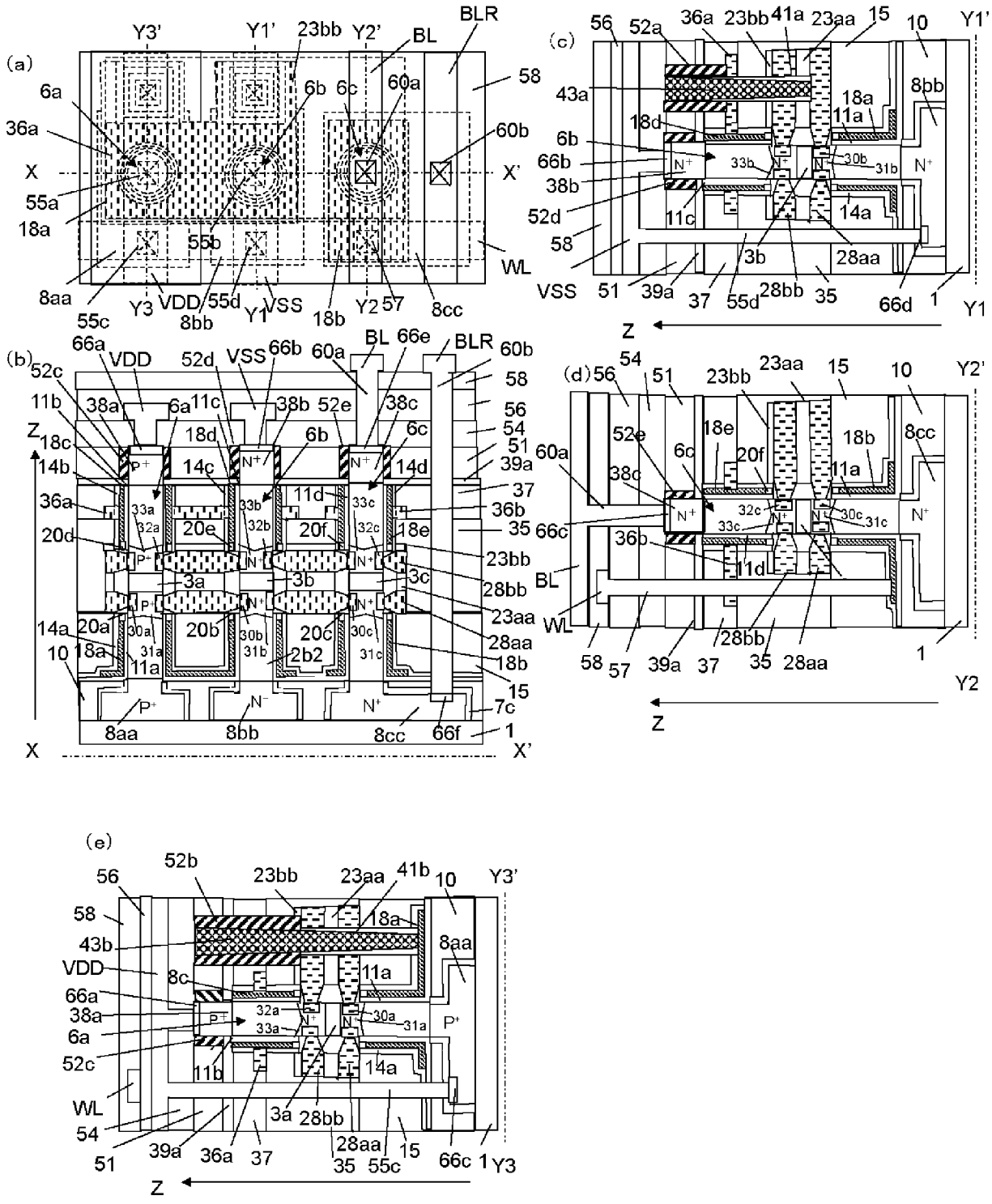
[図2U]


(a)
28
Y3'
Y1'
23bb
Y2'
54
6a
6b
6c
36a
55a
X
X'
55b
18a
55c
36b
8aa
Y3
8bb
55d
Y1
VSS
18b
Y2
8cc
VDD
(b)
52c
VDD
66a
55a
6a
66b
VSS
55b
52d
54
52e
38a
11c
38b
51
38c
39a
Z
11b
18c
18d
6b
6c
37
14b
14c
14d
35
36a
11d
36b
20d
20e
20f
18e
23bb
3a
3b
3c
28bb
23aa
14a
20a
20b
20c
28aa
10
18a
11a
2b2
18b
15
8aa
8bb
8cc
1
X
X'
(c)
52a
36a
23bb
41a
23aa
15
10
Y1'
54
43a
18a
8bb
38b
18d
11a
55b
66b
6b
33b
30b
31b
VSS
11c
14a
55d
3b
51
39a
37
28bb
28aa
35
66d
1
Y1
Z
(d)
51
23bb
23aa
15
10
Y2'
54
18e
18b
8cc
6c
20f
52e
11a
38c
32c
30c
31c
33c
11d
3c
36b
28bb
28aa
39
37
35
1
Y2
Z
(e)
52b
VDD
23bb
23aa
41b
10
Y3'
54
18a
8aa
43b
18c
11a
38a
66a
32a
30a
55a
33a
31a
P+
6a
11b
55c
51
39a
3a
28bb
14a
36a
37
28aa
35
15
66c
1
Y3
Z

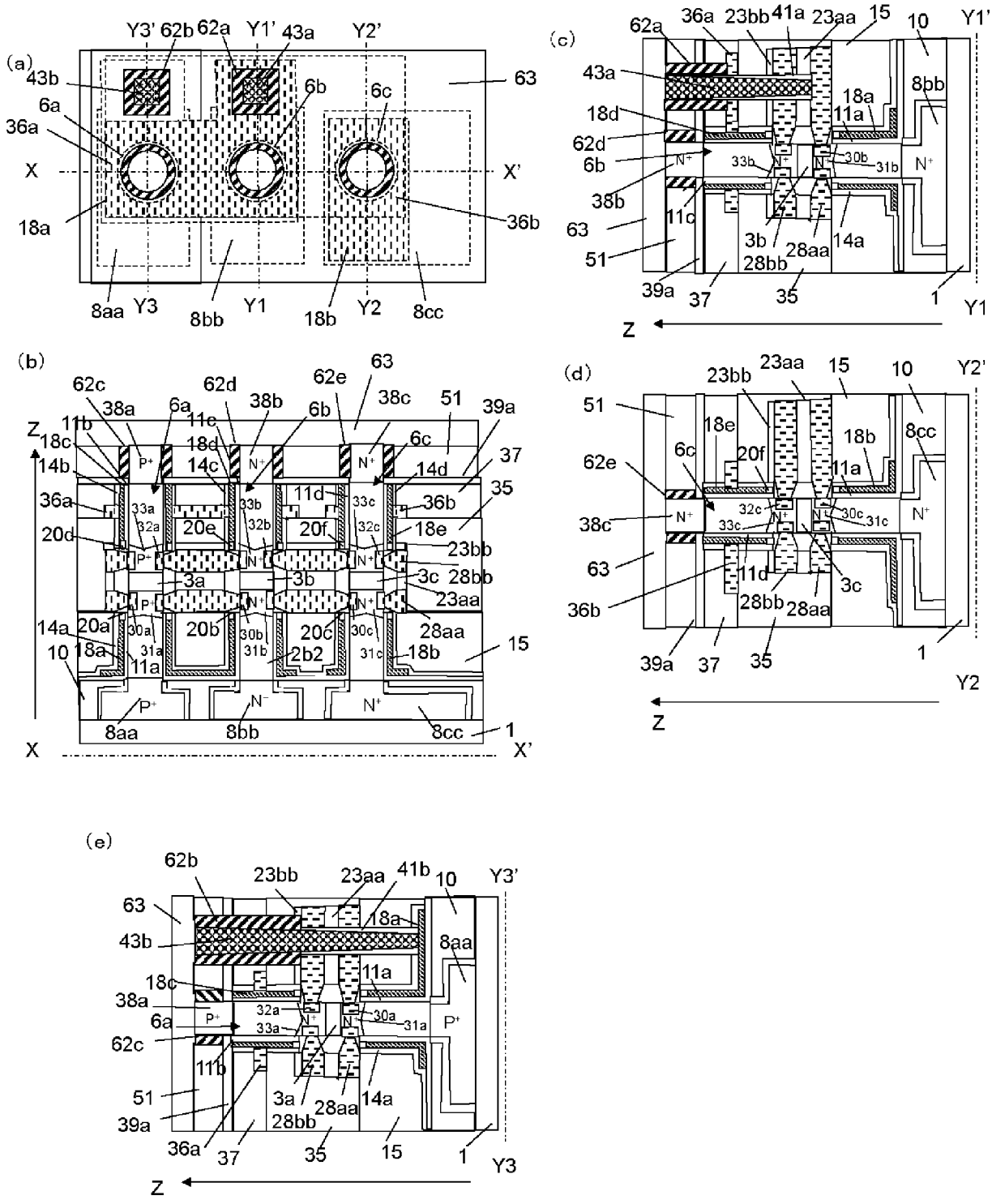
[図2V]



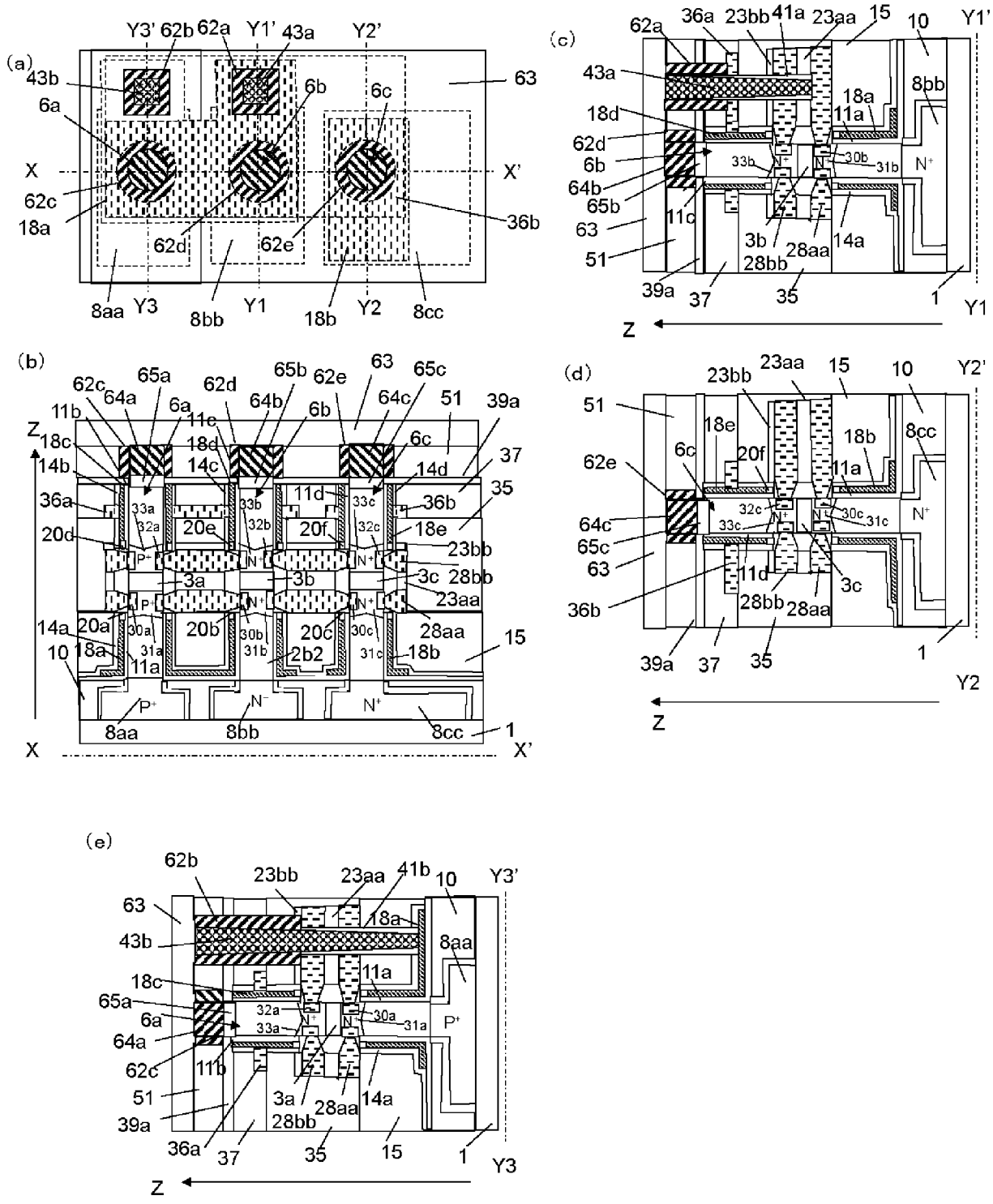
[図2W]


(a)
Y3'
Y1'
23bb
Y2'
BL
BLR
58
6a
6b
6c
60a
60b
36a
X
X'
55a
18a
55b
WL
8aa
55c
Y3
VDD
8bb
55d
Y1
VSS
18b
Y2
57
8cc
(b)
66a
VDD
52d
VSS
66b
60a
BL
66e
BLR
60b
52c
58
11b
38a
6a
11c
38b
52e
38c
56
Z
18c
18d
6b
6c
54
14b
14c
14d
51
39a
36a
11d
33c
37
33a
33b
36b
20d
20e
32a
32b
20f
32c
18e
35
23bb
3a
3b
3c
28bb
23aa
14a
20a
30a
20b
30b
20c
30c
28aa
10
18a
31a
11a
31b
2b2
31c
18b
15
7c
8aa
8bb
8cc
66f
1
X
X'
(c)
56
52a
36a
23bb
41a
23aa
15
10
Y1'
43a
18a
8bb
18d
11a
6b
66b
38b
52d
11c
14a
58
3b
28aa
VSS
51
39a
37
55d
28bb
35
66d
1
Y1
Z
(d)
56
54
51
23bb
23aa
15
10
Y2'
52e
18e
6c
18b
8cc
60a
38c
20f
11a
66c
36b
11d
BL
WL
28bb
58
57
39a
37
35
28aa
1
Y2
Z
(e)
56
52b
23bb
23aa
41b
10
Y3'
58
18a
43b
8aa
VDD
8c
11a
66a
38a
6a
52c
11b
14a
WL
54
3a
28bb
51
39a
36a
37
28aa
35
55c
15
66c
1
Y3
Z

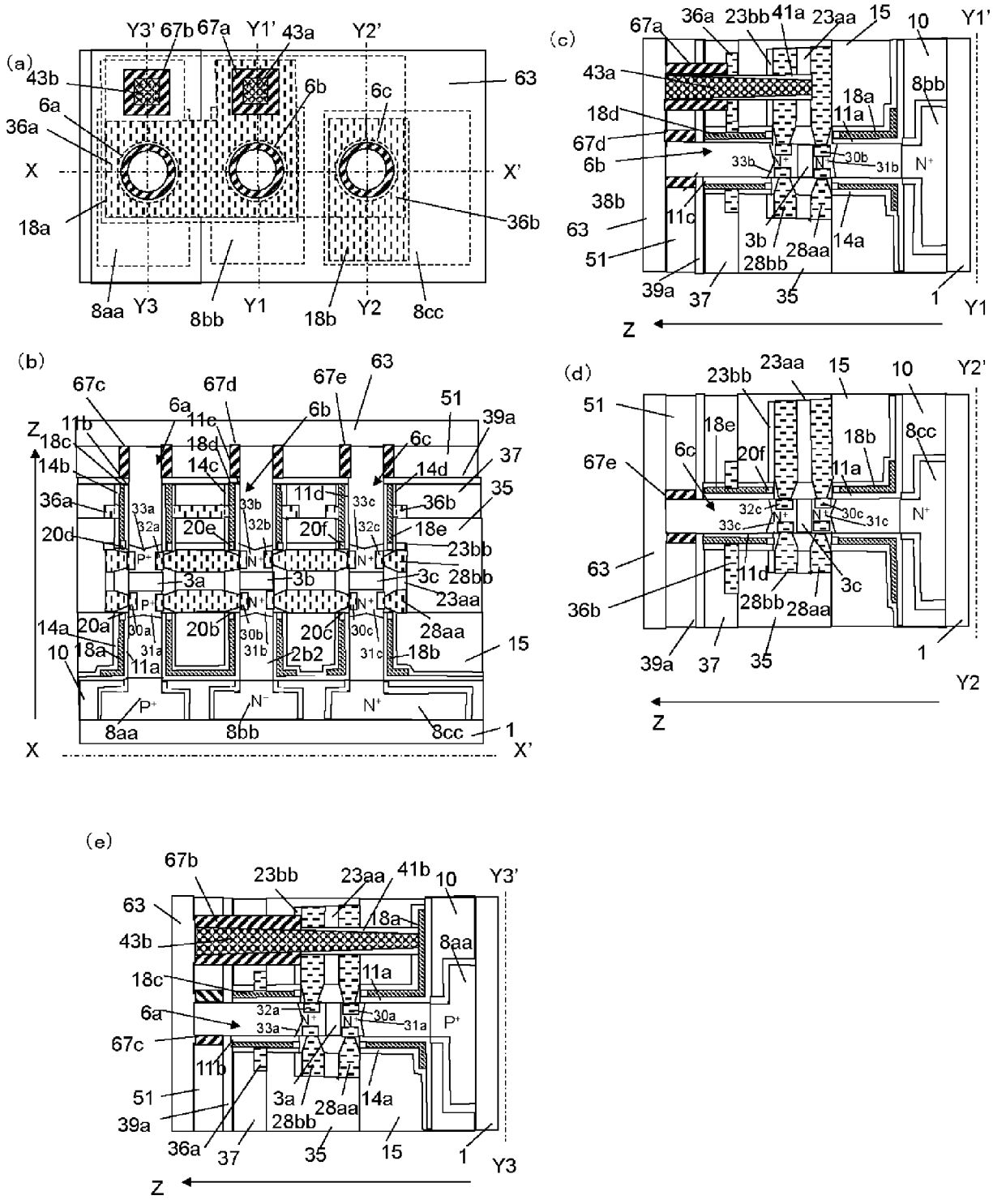
[図3A]


(a)
Y3' 62b 62a Y1' 43a Y2'
43b
6a
36a
X
X'
18a
6b
6c
63
36b
8aa Y3
8bb Y1
18b Y2
8cc
(b)
62c 38a 6a 62d 38b 6b 62e 63 38c 51 39a
Z
11b 18c 11c 18d 6c
14b 14c 14d 37
36a 36b 35
20d 20e 20f 18e
23bb
3a 3b 3c 28bb
23aa
14a 20a 20b 20c 28aa
10 18a 11a 2b2 18b 15
8aa 8bb 8cc 1
X X'
(c)
62a 36a 23bb 41a 23aa 15 10 Y1'
43a
18d
62d
6b
38b
63
51
18a
11a
8bb
11c
3b 28aa 14a
28bb
39a 37 35 1 Y1
Z
(d)
23bb 23aa 15 10 Y2'
51
18e 18b 8cc
6c 20f
62e
38c
63
36b
11a
11d 3c
28bb 28aa
39a 37 35 1 Y2
Z
(e)
62b 23bb 23aa 41b 10 Y3'
63
43b
18c
38a
6a
62c
11b
51
39a
18a
8aa
11a
3a 28aa 14a
28bb
36a 37 35 15 1 Y3
Z

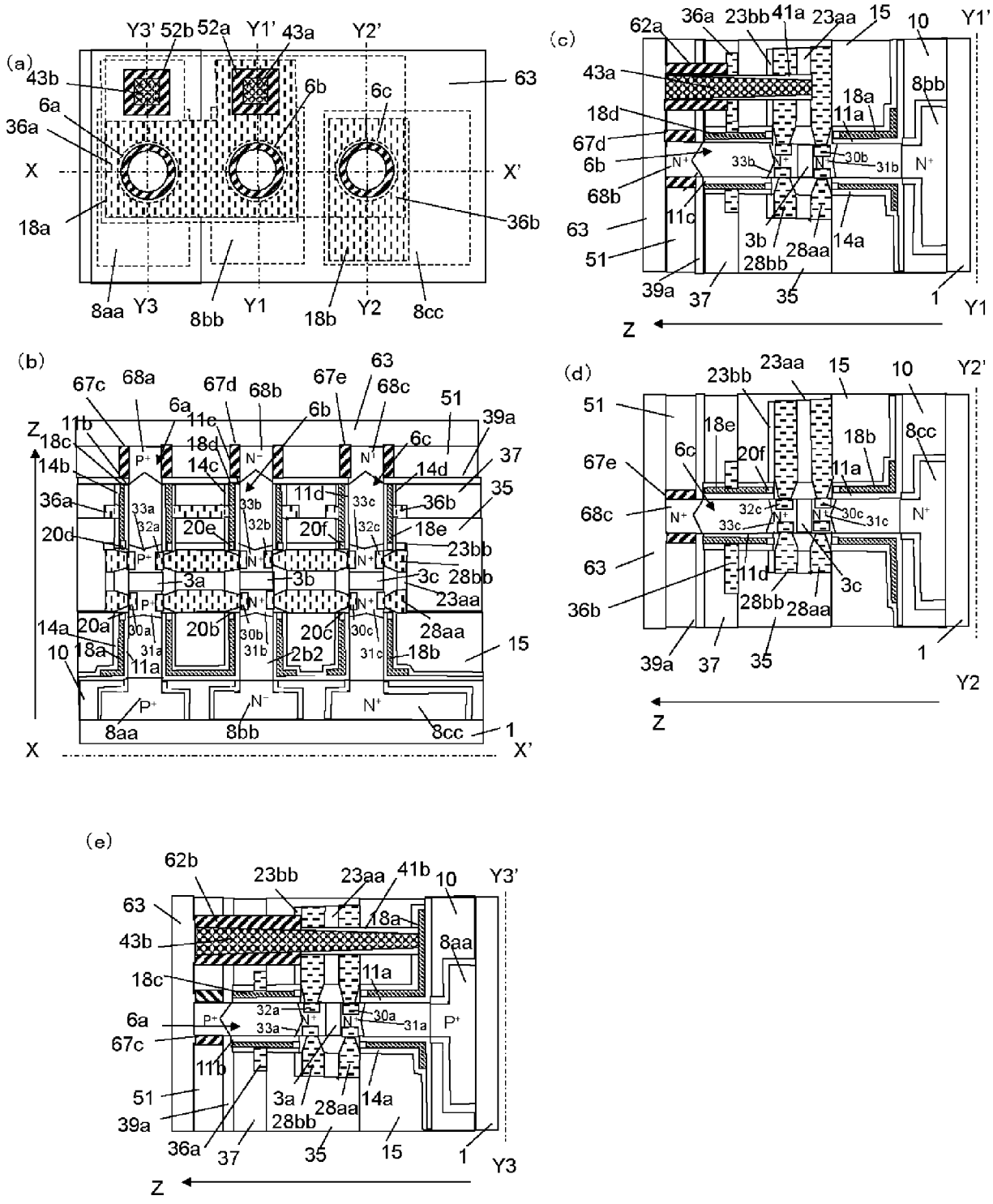
[図3B]


(a)
Y3' 62b 62a Y1' 43a Y2'
43b
6a
6b
6c
63
X
X'
62c
18a
36b
62d
62e
8aa Y3
8bb Y1
18b Y2
8cc
(c)
62a 36a 23bb 41a 23aa 15 10 Y1'
43a
18d
62d
6b
64b
65b
63
51
11c
18a
11a
8bb
33b
30b
31b
3b
28aa
14a
28bb
39a
37
35
1
Y1
Z
(b)
62c 64a 65a 62d 65b 62e 63 65c
11b 6a 64b 6b 64c 51 39a
Z
18c 11c 18d 6c 37
14b 14c 14d 35
36a 33a 33b 11d 33c 36b
32a 32b 32c
20d 20e 20f 18e
P+ N+ N+ 23bb
3a 3b 3c 28bb
P+ N+ N+ 23aa
14a 20a 30a 20b 30b 20c 30c 28aa 15
10 18a 31a 31b 2b2 31c 18b
11a
P+ N- N+
8aa 8bb 8cc 1
X X'
(d)
23bb 23aa 15 10 Y2'
51
18e 18b 8cc
6c 20f
62e 11a
64c 32c 30c 31c
65c 33c
63 11d 3c
36b 28bb 28aa
39a 37 35 1
Y2
Z
(e)
62b 23bb 23aa 41b 10 Y3'
63
43b 18a 8aa
18c 11a
65a 32a 30a
6a 33a 31a P+
64a
62c 11b
51 3a 28aa 14a
39a 28bb
36a 37 35 15 1
Y3
Z

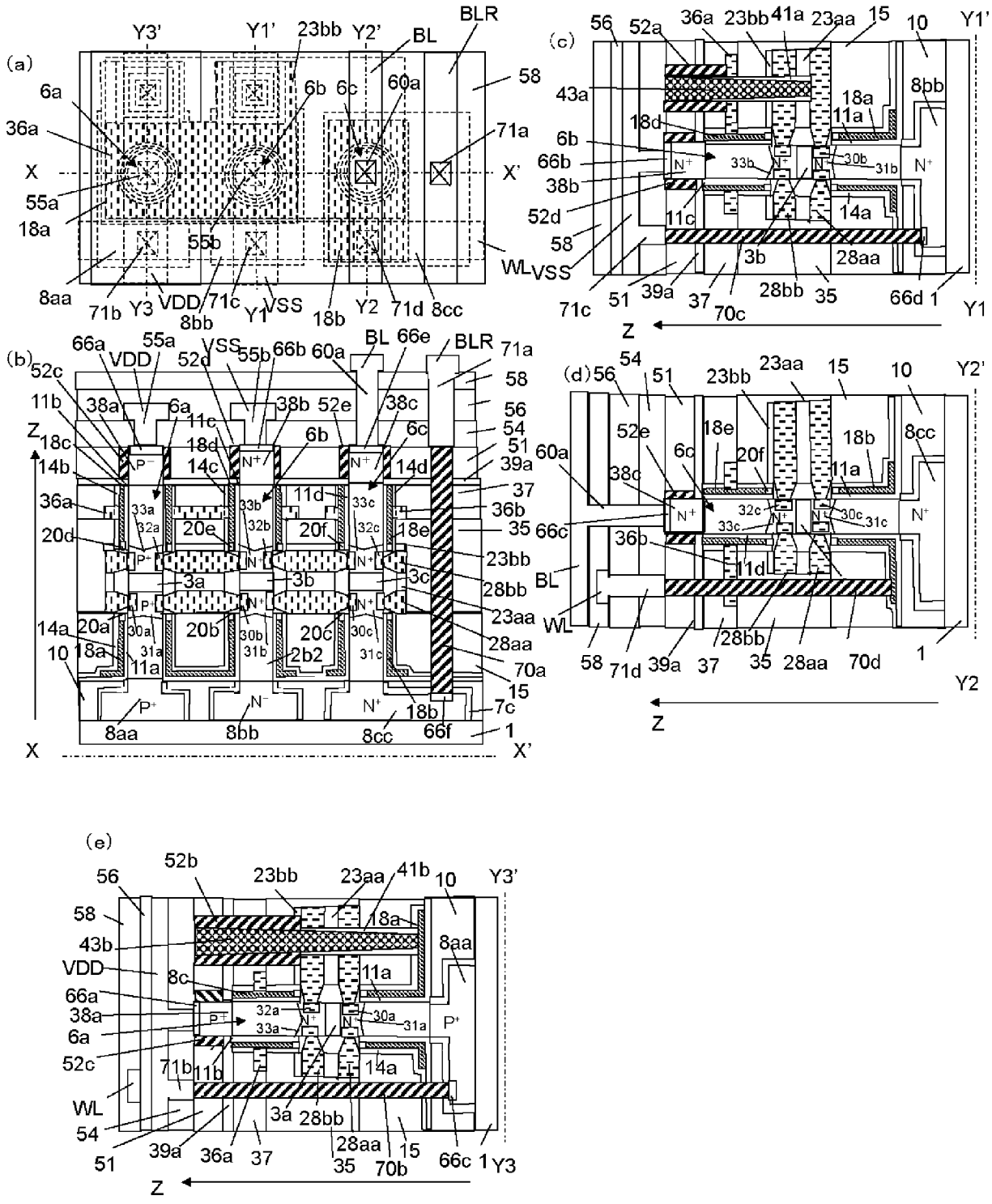
[図4A]


(a)
Y3' 67b 67a Y1' 43a Y2'
43b
6a
36a
X
X'
18a
6b
6c
63
36b
8aa Y3
8bb Y1
18b Y2
8cc
(b)
67c 67d 67e 63
6a 6b
51
39a
Z
11b 11e 6c
18c 18d
14b 14c 14d
37
35
36a 36b
33a 32a 20e 33b 32b 20f 33c 32c
20d 18e
P+ N+ N+ 23bb
3a 3b 3c 28bb
P+ N+ N+ 23aa
14a 20a 30a 31a 20b 30b 31b 20c 30c 31c 28aa
10 18a 11a 2b2 18b 15
P+ N− N+ 1
8aa 8bb 8cc
X X'
(c)
67a 36a 23bb 41a 23aa 15 10 Y1'
43a 18a 8bb
18d 11a
67d
6b 33b N+ N+ 30b 31b N+
38b
63 11c
51 3b 28aa 14a
28bb
39a 37 35 1 Y1
Z
(d)
23bb 23aa 15 10 Y2'
51 18e 18b 8cc
6c 20f
67e 11a
32c N+ N+ 30c 31c N+
33c
63 11d 3c
36b 28bb 28aa
39a 37 35 1 Y2
Z
(e)
67b 23bb 23aa 41b 10 Y3'
63 18a
43b 8aa
18c 11a
6a 32a N+ N− 30a 31a P+
33a
67c 11b
51 3a 28aa 14a
39a 28bb
36a 37 35 15 1 Y3
Z

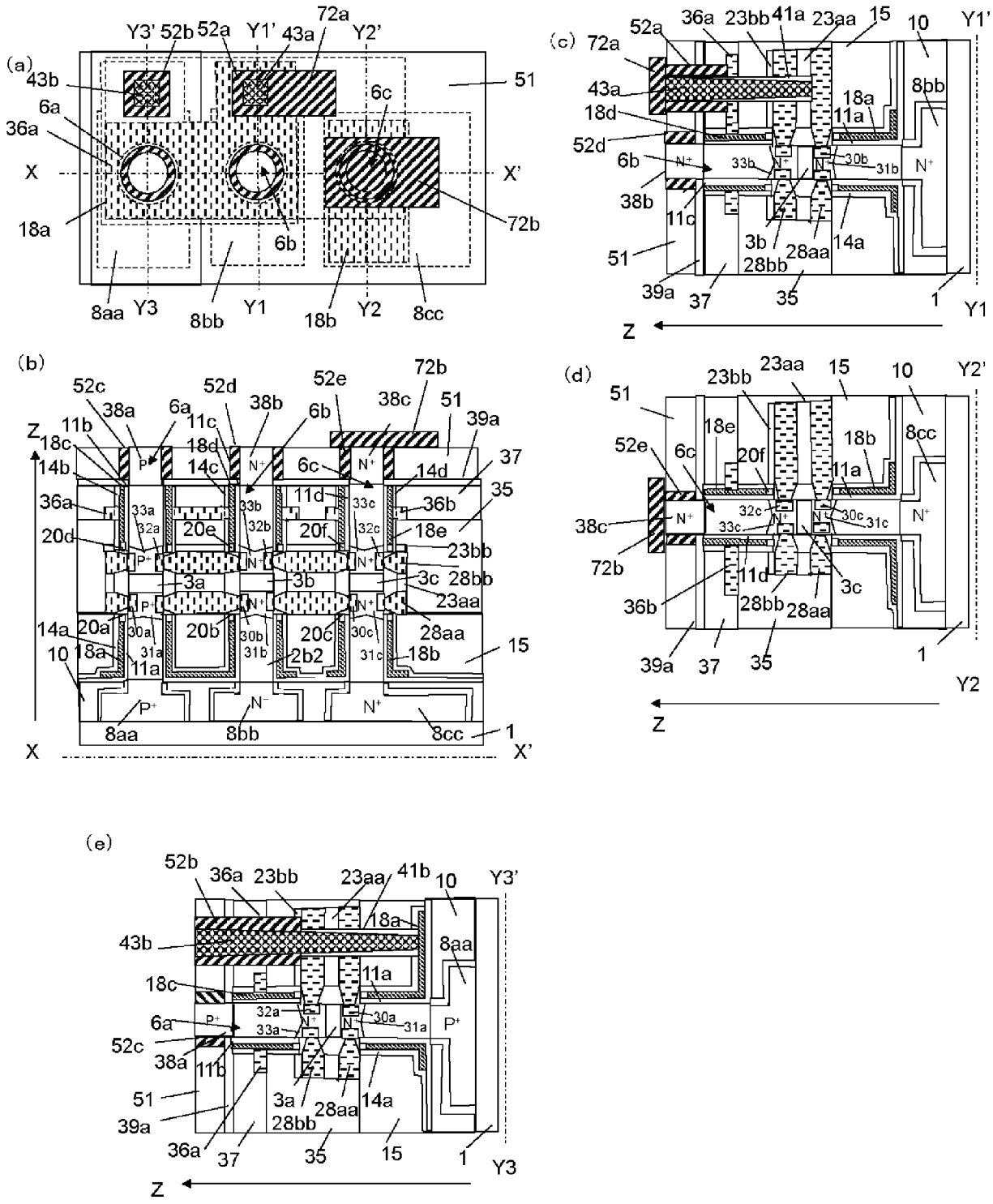
[図4B]


(a)
Y3' 52b 52a Y1' 43a Y2'
43b
6a
36a
X
X'
18a
6b
6c
63
36b
8aa Y3
8bb Y1
18b Y2
8cc
(b)
67c 68a 67d 68b 67e 63 68c
6a 6b 51 39a
Z 11b 11e 6c 37
18c 18d 14c 14d 35
14b 36a 36b
33a 33b 33c
32a 32b 32c
20d 20e 20f 18e
23bb
3a 3b 3c 28bb
23aa
14a 20a 20b 20c 28aa
10 18a 11a 2b2 18b 15
P+ N− N+
8aa 8bb 8cc 1
X X'
(c)
62a 36a 23bb 41a 23aa 15 10 Y1'
43a 18a 8bb
18d 11a
67d
6b 33b 30b 31b
68b
63 11c 3b 28aa 14a
51 28bb
39a 37 35 1 Y1
Z
(d)
23bb 23aa 15 10 Y2'
51 18e 18b 8cc
6c 20f 11a
67e
68c 32c 30c 31c
33c
63 11d 3c
36b 28bb 28aa
39a 37 35 1 Y2
Z
(e)
62b 23bb 23aa 41b 10 Y3'
63 18a
43b 8aa
18c 11a
6a 32a 30a 31a
33a P+
67c
11b
51 3a 28aa 14a
39a 28bb
36a 37 35 15 1 Y3
Z

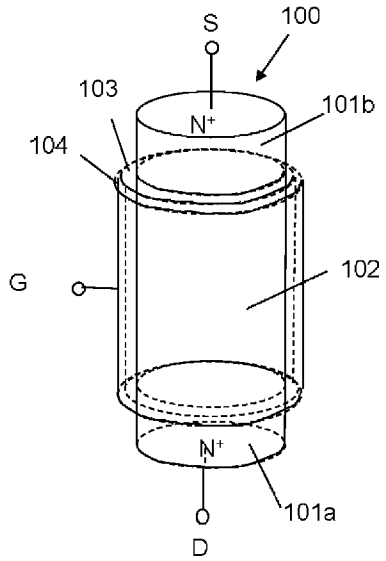
[図5]


(a)
Y3'
Y1'
23bb
Y2'
BL
BLR
58
71a
6a
6b
6c
60a
36a
X
X'
55a
18a
55b
8aa
71b
Y3
VDD
8bb
71c
Y1
VSS
18b
Y2
71d
8cc
(b)
66a
55a
VDD
52d
VSS
55b
66b
60a
BL
66e
BLR
71a
58
52c
11b
38a
6a
11c
38b
52e
38c
56
Z
18c
6b
6c
54
14b
14c
14d
51
39a
36a
33a
33b
33c
11d
37
20d
20e
32a
32b
20f
32c
18e
36b
35
P+
N+
23bb
3a
3b
3c
28bb
14a
20a
30a
20b
30b
20c
30c
23aa
10
18a
31a
11a
31b
2b2
31c
28aa
70a
15
P+
N-
N+
18b
7c
8aa
8bb
8cc
66f
1
X
X'
(c)
56
52a
36a
23bb
41a
23aa
15
10
Y1'
43a
18a
8bb
18d
11a
6b
66b
N+
33b
30b
31b
38b
52d
11c
14a
58
3b
28aa
WL
VSS
71c
51
39a
37
70c
28bb
35
66d
1
Y1
Z
(d)
56
54
51
23bb
23aa
15
10
Y2'
52e
18e
18b
8cc
60a
6c
20f
11a
38c
66c
36b
11d
BL
WL
58
71d
39a
37
28bb
35
28aa
70d
1
Y2
Z
(e)
56
52b
23bb
23aa
41b
10
Y3'
58
18a
43b
8aa
VDD
8c
11a
66a
38a
32a
30a
31a
6a
33a
52c
71b
11b
14a
WL
3a
28bb
54
51
39a
36a
37
28aa
35
70b
15
66c
1
Y3
Z

[図6]


(a)
Y3' 52b 52a Y1' 43a 72a Y2'
43b
6a
36a
X
X'
18a
6c
51
72b
6b
8aa Y3 8bb Y1 18b Y2 8cc
(b)
52c 38a 6a 11b 18c 14b 36a 20d 52d 11c 18d 14c 38b 6b 52e 6c 38c 72b 51 39a 14d 36b 37 35 18e 23bb 3a 3b 3c 28bb 23aa 20e 20f 20a 20b 20c 28aa 18b 15 2b2 10 11a 8aa 8bb 8cc 1 Z X X'
(c)
52a 72a 36a 23bb 41a 23aa 15 10 Y1' 43a 18d 52d 6b 38b 11c 18a 11a 8bb 33b 30b 31b 3b 28aa 28bb 14a 51 39a 37 35 1 Y1 Z
(d)
51 23bb 23aa 15 10 Y2' 18e 52e 6c 20f 18b 8cc 11a 38c 72b 36b 11d 28bb 28aa 3c 39a 37 35 1 Y2 Z
(e)
52b 36a 23bb 23aa 41b 10 Y3' 43b 18a 8aa 18c 11a 6a 52c 38a 11b 51 39a 36a 37 3a 28aa 28bb 14a 35 15 1 Y3 Z

[図7]



# INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2016/089129

A. CLASSIFICATION OF SUBJECT MATTER
*H01L21/8244*(2006.01)i, *H01L27/11*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L21/8244, H01L27/11

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

| | | | |
|---|---|---|---|
| Jitsuyo Shinan Koho | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2017 |
| Kokai Jitsuyo Shinan Koho | 1971-2017 | Toroku Jitsuyo Shinan Koho | 1994-2017 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|---|---|---|
| A | JP 2011-29469 A (Takehide SHIRATO), 10 February 2011 (10.02.2011), paragraphs [0009], [0010]; fig. 16 to 25 (Family: none) | 1-10 |
| A | JP 2009-141110 A (Elpida Memory, Inc.), 25 June 2009 (25.06.2009), paragraphs [0035] to [0039]; fig. 7 to 11 & US 2009/0148992 A1 paragraphs [0052] to [0062]; fig. 7 to 11 | 1-10 |

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

| Date of the actual completion of the international search | Date of mailing of the international search report |
|---|---|
| 13 February 2017 (13.02.17) | 21 February 2017 (21.02.17) |

| Name and mailing address of the ISA/ | Authorized officer |
|---|---|
| Japan Patent Office<br>3-4-3,Kasumigaseki,Chiyoda-ku,<br>Tokyo 100-8915,Japan | Telephone No. |

**INTERNATIONAL SEARCH REPORT**

International application No.
PCT/JP2016/089129

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|---|---|---|
| A | JP 2014-220543 A (Unisantis Electronics Singapore Pte Ltd.), 20 November 2014 (20.11.2014), paragraph [0060]; fig. 36 & JP 2014-13922 A & JP 2015-188115 A & JP 5356260 B2 & US 2010/0187600 A1 paragraph [0147]; fig. 36 & US 2012/0299068 A1 & WO 2009/110048 A1 & WO 2009/102062 A1 & EP 2244304 A1 & CN 101946332 A | 1-10 |
| A | WO 2014/184933 A1 (Unisantis Electronics Singapore Pte Ltd.), 20 November 2014 (20.11.2014), paragraphs [0042] to [0063]; fig. 2A to 2U & US 2015/0325444 A1 paragraphs [0100] to [0124]; fig. 2AA to 2UC | 1-10 |

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１６／０８９１２９

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/8244(2006.01)i, H01L27/11(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/8244, H01L27/11

最小限資料以外の資料で調査を行った分野に含まれるもの

| | |
|---|---|
| 日本国実用新案公報 | １９２２－１９９６年 |
| 日本国公開実用新案公報 | １９７１－２０１７年 |
| 日本国実用新案登録公報 | １９９６－２０１７年 |
| 日本国登録実用新案公報 | １９９４－２０１７年 |

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

| 引用文献のカテゴリー＊ | 引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する請求項の番号 |
|---|---|---|
| A | JP 2011-29469 A (白土　猛英) 2011.02.10, 段落[0009], [0010], 図16 - 25 (ファミリーなし) | 1 - 10 |
| A | JP 2009-141110 A (エルピーダメモリ株式会社) 2009.06.25, 段落[0035] - [0039], 図7 - 11<br>& US 2009/0148992 A1, 段落[0052] - [0062], 図7 - 11 | 1 - 10 |

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

| 国際調査を完了した日 | 国際調査報告の発送日 |
|---|---|
| １３．０２．２０１７ | ２１．０２．２０１７ |


国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｆ　６３１３
小山　満
電話番号　０３－３５８１－１１０１　内線　３５１６

Ｃ（続き）．　関連すると認められる文献

| 引用文献のカテゴリー＊ | 引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する請求項の番号 |
|---|---|---|
| A | JP 2014-220543 A (ユニサンティス　エレクトロニクス　シンガポール　プライベート　リミテッド) 2014.11.20, 段落[0060], 図 36<br>& JP 2014-13922 A & JP 2015-188115 A & JP 5356260 B2<br>& US 2010/0187600 A1, 段落[0147], 図 36<br>& US 2012/0299068 A1 & WO 2009/110048 A1 & WO 2009/102062 A1<br>& EP 2244304 A1 & CN 101946332 A | 1 - 10 |
| A | WO 2014/184933 A1 (ユニサンティス　エレクトロニクス　シンガポール　プライベート　リミテッド) 2014.11.20, 段落[0042] - [0063], 図 2A - 2U<br>& US 2015/0325444 A1, 段落[0100] - [0124], 図 2AA - 2UC | 1 - 10 |