【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第６部門第３区分
【発行日】平成30年3月1日(2018.3.1)

【公表番号】特表2017-509982(P2017-509982A)
【公表日】平成29年4月6日(2017.4.6)
【年通号数】公開・登録公報2017-014
【出願番号】特願2016-553381(P2016-553381)
【国際特許分類】
Ｇ０６Ｎ　3/04　(2006.01)
【ＦＩ】
Ｇ０６Ｎ　3/04

【手続補正書】
【提出日】平成30年1月18日(2018.1.18)
【手続補正１】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
人工ニューラルネットワークにおいてコプロセッシングを実行する、コンピュータ実装方法であって、
一定時間期間にわたって、前記ニューラルネットワークの一部を第２の処理ノードから第１の処理ノードにスワッピングすること、ここにおいて、前記第１の処理ノードおよび前記第２の処理ノードは、相互に前記ニューラルネットワークの機能的特徴の処理を包含するように構成され、前記第１の処理ノードは、強化学習を実装するように構成される、学習処理コアを備える、と、
前記第１の処理ノードで前記ニューラルネットワークの前記一部を実行することと、
前記一定時間期間後に、前記ニューラルネットワークの前記一部を前記第２の処理ノードに返すことと、
前記第２の処理ノードで前記ニューラルネットワークの前記一部を実行すること、ここにおいて、前記一部は、前記ニューラルネットワークに関する状態変数および接続性情報を含む、前記一部がそこから送られる前記ノードについての状態情報を備える、と
を備える、方法。
【請求項２】
前記第１の処理ノードは、第１のハードウェアコアに含まれ、前記第２の処理ノードは、第２のハードウェアコアに含まれ、前記第１のハードウェアコアは、前記第２のハードウェアコアとは別個である、
請求項１に記載の方法。
【請求項３】
前記学習処理コアは、前記第２の処理ノードよりも多くのリソースで構成される、
請求項1に記載の方法。
【請求項４】
前記第２の処理ノードは、前記ニューラルネットワークまたは前記一部を動作することに関連付けられる機能を実行するために構成された静的処理コアを備え、
スワッピングすることは、
前記静的処理コアの状態を前記学習処理コアにコピーすることと、
前記学習処理コアが前記静的処理コアの機能を包含するように、前記学習処理コアに

入力をルーティングすることと
を備え、
返すことは、
前記学習処理コアの状態を前記静的処理コアにコピーすることと、
前記静的処理コアに制御を返すことと
を備える、請求項１に記載の方法。
【請求項５】
前記人工ニューラルネットワークの前記一部は、深層信念ネットワークのレイヤを備える、
請求項１に記載の方法。
【請求項６】
前記第１の処理ノードは、デバッギングコアを備える、
請求項１に記載の方法。
【請求項７】
人工ニューラルネットワークにおいてコプロセッシングを実行するための装置であって、
メモリと、
前記メモリに結合された少なくとも１つのプロセッサと
を備え、前記少なくとも１つのプロセッサは、
一定時間期間にわたって、前記ニューラルネットワークの一部を第２の処理ノードから第１の処理ノードにスワッピングすること、ここにおいて、前記第１の処理ノードおよび前記第２の処理ノードは、相互に前記ニューラルネットワークの機能的特徴の前記処理を包含するように構成され、前記第１の処理ノードは、強化学習を実装するように構成される、学習処理コアを備える、と、
前記第１の処理ノードで前記ニューラルネットワークの前記一部を実行することと、
前記一定時間期間後に、前記ニューラルネットワークの前記一部を前記第２の処理ノードに返すことと、
前記第２の処理ノードで前記ニューラルネットワークの前記一部を実行すること、ここにおいて、前記一部は、前記ニューラルネットワークに関する状態変数および接続性情報を含む、前記一部がそこから送られる前記ノードについての状態情報を備える、と
を行うように構成される、装置。
【請求項８】
前記第１の処理ノードは、第１のハードウェアコアに含まれ、前記第２の処理ノードは、第２のハードウェアコアに含まれ、前記第１のハードウェアコアは、前記第２のハードウェアコアとは別個である、
請求項７に記載の装置。
【請求項９】
前記学習処理コアは、前記第２の処理ノードよりも多くのリソースで構成される、
請求項７に記載の装置。
【請求項１０】
前記第２の処理ノードは、前記ニューラルネットワークまたは前記一部を動作することに関連付けられる機能を実行するために構成された静的処理コアを備え、前記少なくとも１つのプロセッサは、
前記静的処理コアの状態を前記学習処理コアにコピーすることと、
前記学習処理コアが前記静的処理コアの機能を包含するように、前記学習処理コアに入力をルーティングすることと、
前記学習処理コアの状態を前記静的処理コアにコピーすることと、
変更された静的処理コアに制御を返すことと
を行うようにさらに構成される、請求項７に記載の装置。
【請求項１１】

前記人工ニューラルネットワークの前記一部は、深層信念ネットワークのレイヤを備える、
請求項７に記載の装置。
【請求項１２】
前記第１の処理ノードは、デバッギングコアを備える、
請求項７に記載の装置。
【請求項１３】
人工ニューラルネットワークにおいてコプロセッシングを実行するためのプログラムコードを符号化した非一時的コンピュータ可読媒体であって、前記プログラムコードは、プロセッサによって実行され、請求項１～請求項６に記載の方法のいずれかを実行するためのプログラムコードを備える、非一時的コンピュータ可読媒体。