(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0030150
(43) 공개일자 2023년03월06일

(51) 국제특허분류(Int. Cl.)
H01L 33/20 (2010.01) *H01L 33/00* (2023.01)
H01L 33/32 (2010.01) *H01L 33/38* (2010.01)
(52) CPC특허분류
H01L 33/20 (2013.01)
H01L 33/0008 (2013.01)
(21) 출원번호 10-2021-0112027
(22) 출원일자 2021년08월25일
심사청구일자 2021년08월25일

(71) 출원인
인하대학교 산학협력단
인천광역시 미추홀구 인하로 100(용현동, 인하대학교)
(72) 발명자
류한열
서울특별시 마포구 상암산로1길 92, 713동 202호 (상암동, 상암월드컵파크 7단지)
(74) 대리인
양성보

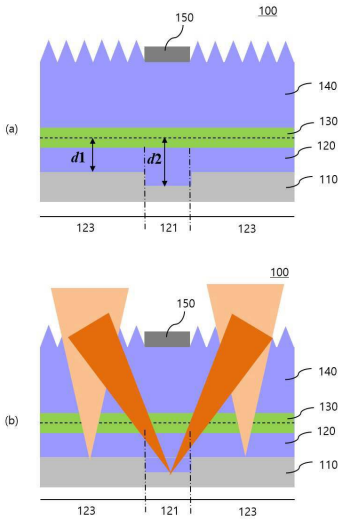
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 **반도체 발광 다이오드 및 그의 제조 방법**

(57) 요 약

다양한 실시예들은 반도체 발광 다이오드 및 그의 제조 방법을 제공한다. 다양한 실시예들에 따르면, 반도체 발광 다이오드는, 제 1 전극, 제 1 전극 상의 제 1 도전형 반도체층, 제 1 도전형 반도체층 상의 활성층, 활성층 상의 제 2 도전형 반도체층, 및 제 2 도전형 반도체층 상의 적어도 하나의 제 2 전극을 포함하고, 제 1 도전형 반도체층은, 상이한 두께들의 영역들로 구분될 수 있다.

대 표 도 - 도6



(52) CPC특허분류
H01L 33/007 (2013.01)
H01L 33/32 (2013.01)
H01L 33/38 (2013.01)
H01L 2933/0016 (2013.01)

이 발명을 지원한 국가연구개발사업
과제고유번호 1711133137
과제번호 2019R1A2C1010160
부처명 과학기술정보통신부
과제관리(전문)기관명 한국연구재단
연구사업명 개인기초연구사업 - 중견연구
연구과제명 실리콘 포토닉스용 적외선 반도체 광원의 내부양자효율 특성 연구
기 여 율 1/2
과제수행기관명 인하대학교
연구기간 2019.03.01 ~ 2022.02.28
이 발명을 지원한 국가연구개발사업
과제고유번호 1345301665
과제번호 2016R1D1A1B03932092
부처명 교육부
과제관리(전문)기관명 한국연구재단
연구사업명 이공학개인기초연구지원사업 - 기본연구
연구과제명 퍼셀 효과를 이용한 발광다이오드 구조의 양자 효율 향상 연구
기 여 율 1/2
과제수행기관명 인하대학교
연구기간 2016.11.01 ~ 2019.10.31

명 세 서

청구범위

청구항 1

반도체 발광 다이오드에 있어서,

제 1 전극, 상기 제 1 전극 상의 제 1 도전형 반도체층, 상기 제 1 도전형 반도체층 상의 활성층, 상기 활성층 상의 제 2 도전형 반도체층, 및 상기 제 2 도전형 반도체층 상의 적어도 하나의 제 2 전극을 포함하고,

상기 제 1 도전형 반도체층은,

상이한 두께들의 영역들로 구분되는,

반도체 발광 다이오드.

청구항 2

제 1 항에 있어서,

상기 영역들은,

상기 제 2 전극에 대응하는 적어도 하나의 제 1 영역, 및 나머지의 제 2 영역을 포함하는,

반도체 발광 다이오드.

청구항 3

제 2 항에 있어서,

상기 제 1 영역의 두께는 상기 제 2 영역의 두께보다 더 두껍거나, 더 얇은,

반도체 발광 다이오드.

청구항 4

제 2 항에 있어서,

상기 제 1 영역의 폭의 합은 제 2 영역의 폭의 합보다 더 작은,

반도체 발광 다이오드.

청구항 5

제 1 항에 있어서,

상기 제 1 전극은 p형 오믹 접촉 전극이고,

상기 제 1 도전형 반도체층은 p형 반도체층이고,

상기 제 2 도전형 반도체층은 n형 반도체층이고,

상기 제 2 전극은 n형 오믹 접촉 전극인,

반도체 발광 다이오드.

청구항 6

제 1 항 내지 제 5 항 중 어느 한 항에 기재된 상기 반도체 발광 다이오드의 제조 방법에 있어서,

상기 제 2 도전형 반도체층, 상기 활성층, 및 상기 제 1 도전형 반도체층을 적층하는 단계;

상기 제 1 도전형 반도체층을 상이한 두께들로 형성하는 단계; 및

상기 제 1 전극 및 상기 제 2 전극을 증착하는 단계

를 포함하는,

반도체 발광 다이오드의 제조 방법.

청구항 7

제 6 항에 있어서,

상기 제 1 도전형 반도체층을 상이한 두께들로 형성하는 단계는,

상기 제 1 도전형 반도체층에서 상기 제 1 영역을 정의하는 단계; 및

상기 제 1 영역을 유지하면서, 상기 제 1 도전형 반도체층에서 상기 제 2 영역을 식각하는 단계

를 포함하는,

반도체 발광 다이오드의 제조 방법.

청구항 8

제 6 항에 있어서,

상기 제 1 도전형 반도체층을 상이한 두께들로 형성하는 단계는,

상기 제 1 도전형 반도체층에서 상기 제 1 영역을 정의하는 단계; 및

상기 제 2 영역을 유지하면서, 상기 제 1 도전형 반도체층에서 상기 제 1 영역을 식각하는 단계

를 포함하는,

반도체 발광 다이오드의 제조 방법.

청구항 9

제 6 항에 있어서,

상기 제 2 도전형 반도체층, 상기 활성층, 및 상기 제 1 도전형 반도체층을 적층하는 단계는,

기판 상에, 상기 제 2 도전형 반도체층, 상기 활성층, 및 상기 제 1 도전형 반도체층을 적층하는 단계

를 포함하는,

반도체 발광 다이오드의 제조 방법.

청구항 10

제 9 항에 있어서,

상기 제 1 전극 및 상기 제 2 전극을 증착하는 단계는,

상기 제 1 도전형 반도체층에 상기 제 1 전극을 증착하는 단계; 및

상기 기판으로부터, 상기 제 2 도전형 반도체층을 분리한 후에, 상기 제 1 영역에 대응하여, 상기 제 2 도전형 반도체층의 일부 영역에 상기 제 2 전극을 증착하는 단계

를 포함하는,

반도체 발광 다이오드의 제조 방법.

발명의 설명

기 술 분 야

[0001] 다양한 실시예들은 반도체 발광 다이오드(light-emitting diode; LED) 및 그의 제조 방법에 관한 것으로, 특히, 향상된 효율의 발광 다이오드 및 그의 제조 방법에 관한 것이다.

배 경 기 술

[0002] 발광 다이오드(이하에서는, LED로도 지칭될 수 있음)는 pn 접합 반도체 구조에서 전기 에너지를 광 에너지로 변환시켜 빛을 방출하는 소자로서, 디스플레이 및 조명용 광원으로 널리 이용되고 있다. LED에서 방출되는 빛의 파장은 LED 활성층 물질의 에너지 밴드갭에 의해 결정된다. 가시광선, 적외선, 자외선 영역의 빛을 방출하는 다양한 LED 물질들이 개발되어 왔는데, 특히 청색, 녹색, 자외선 LED의 물질로는 GaN, InGaN, AlGaN계 물질들이 활용되고 있다. LED에서는 주입되는 전기 에너지를 빛에너지로 변환시켜 외부로 방출시키는 광전변환효율(power conversion efficiency or wall-plug efficiency)을 높이는 것과 LED에서 생성되는 열을 외부로 효율적으로 방출시켜 접합부 온도(junction temperature)를 낮추는 것이 중요하다.

[0003] LED는 전류가 주입되는 형태에 따라 크게 수평 구조와 수직 구조로 구별할 수 있다. 수평 구조 LED에서는 p형 전극과 n형 전극이 나란히 배치되어 수평 방향으로 전류가 흐르는 방식으로 제작이 간단하다는 장점이 있지만 효율적으로 열을 방출시키기가 어려워 주로 저출력 LED에 적용된다. 수직 구조 LED에서는 p형 전극과 n형 전극이 수직 방향으로 배치되어 있어 전류가 수직 방향으로 흐르고, pn 접합부에서 발생하는 열을 히트 싱크(heat sink)를 통해 효율적으로 방출시킬 수 있어 고출력 LED에 적용되고 있다.

[0004] 수직 구조 LED의 형태는 기본적으로 금속 히트 싱크 상에, 형성되어 있고, 열전도도가 우수한 히트 싱크를 통해 열이 효율적으로 방출될 수 있어 소자의 동작 온도를 낮게 유지할 수 있다. 수직 구조 LED에서는 하부 전극에 고반사의 금속 물질을 적용함으로써 활성층에서 하부 전극으로 입사하는 빛을 높은 반사율로 위쪽으로 올려 보내게 된다. 수직 구조 LED에서는 이러한 고반사 하부 전극의 도입을 통해 LED 칩 외부로 빛을 효율적으로 방출시킴으로써 광추출효율(light extraction efficiency)을 높일 수 있다. 그런데, 수직 구조 LED에서는 활성층에서 방출된 빛과 하부 전극에서 방출된 빛이 칩 외부로 빠져나갈 때 일부는 상부 전극에 가려지게 되어 빠져나갈 수 없게 된다. 이러한 상부 전극의 빛 가림 영향으로 인해 LED의 광추출효율이 제한되게 된다.

[0005] 수직 구조 LED에서는 전류를 수평 방향으로 균일하게 확산시키기 위하여 전류제한층(current blocking layer; CBL)(이하에서는, CBL로도 지칭될 수 있음)을 도입하는 경우가 많다. CBL은 보통 활성층 아래에 상부 전극과 동일한 수평 위치에 SiO_2와 같은 부도체 물질을 배치시켜 상부 전극에서 하부 전극으로 전류가 바로 주입되는 것을 방지함으로써 전류가 활성층에서 균일하게 확산되도록 하기 위한 역할을 한다.

[0006] 수직 구조 LED에서 CBL을 도입함으로써 상부 전극에서의 빛 가림 문제를 어느 정도 개선할 수 있다. 상부 전극 바로 아래에 위치한 활성층에서 방출된 빛은 상부 전극에서 가려질 확률이 높으므로 이 영역에 전류가 주입되지 않도록 CBL을 위치시킴으로써 상부 전극 바로 아래에서는 빛이 방출되지 않게 되고, 이에 따라 상부 전극에서 빛 가림 문제를 개선할 수 있다. 그렇지만, 수직 구조 LED에서 CBL을 도입할 경우 전류가 흐르게 되는 단면적이 감소하게 되므로 전기 저항이 증가하게 되고 결과적으로 소자의 동작 전압이 상승하게 되어 광전변환효율을 감소시키는 영향을 주게 된다.

[0007] 따라서, 수직 구조 LED에서 CBL을 도입하지 않고도 상부 전극에 의한 빛 가림 문제를 개선할 수 있는 방안이 요구된다.

선행기술문헌

특허문헌

[0008] (특허문헌 0001) 한국등록특허공보 제10-1534846호, 2015년 7월 1일 등록

(특허문헌 0002) 한국등록특허공보 제10-1220419호, 2013년 1월 3일 등록

발명의 내용

해결하려는 과제

[0009] 다양한 실시예들은, 상부 전극에 의한 빛 가림 문제를 개선하여 광효율이 향상된 수직 구조 LED 및 그의 제조 방법을 제안한다.

과제의 해결 수단

[0010] 다양한 실시예들에 따른 반도체 발광 다이오드는, 제 1 전극, 상기 제 1 전극 상의 제 1 도전형 반도체층, 상기 제 1 도전형 반도체층 상의 활성층, 상기 활성층 상의 제 2 도전형 반도체층, 및 상기 제 2 도전형 반도체층 상의 적어도 하나의 제 2 전극을 포함하고, 상기 제 1 도전형 반도체층은, 상이한 두께들의 영역들로 구분될 수 있다.

[0011] 다양한 실시예들에 따른 반도체 발광 다이오드의 제조 방법은, 상기 제 2 도전형 반도체층, 상기 활성층, 및 상기 제 1 도전형 반도체층을 적층하는 단계, 상기 제 1 도전형 반도체층을 상이한 두께들로 형성하는 단계, 및 상기 제 1 전극 및 상기 제 2 전극을 증착하는 단계를 포함할 수 있다.

발명의 효과

[0012] 다양한 실시예들에 따르면, 수직 구조 LED가 향상된 효율을 갖도록 구현될 수 있다. 즉, 수직 구조 LED에서, 상부 전극, 즉 제 2 전극에 의한 빛 가림 문제가 개선되고, 이를 통해, 광효율이 향상될 수 있다. 구체적으로, 수직 구조 LED의 제 1 도전형 반도체층, 예컨대 p형 반도체층이 제 2 전극에 대응하여 상이한 두께를 가짐에 따라, 제 1 도전형 반도체층에서 하부 전극, 즉 제 1 전극에서 반사되는 빛의 각도에 따른 강도 분포가 조절되며, 이로써, 상부 전극에 의한 빛가림 문제가 개선될 수 있다.

도면의 간단한 설명

[0013] 도 1, 도 2 및 도 3은 일반적인 수직 구조 LED에 대해 설명하기 위한 도면들이다.

도 4 및 도 5는 일반적인 수직 구조 LED 및 그의 빛이 방출되는 형태를 개략적으로 도시하는 도면들이다.

도 6 및 도 7은 다양한 실시예들에 따른 수직 구조 LED 및 그의 빛이 방출되는 형태를 개략적으로 도시하는 도면들이다.

도 8은 다양한 실시예들에 따른 수직 구조 LED의 제조 방법을 도시하는 도면이다.

도 9는 다양한 실시예들에 따른 수직 구조 LED의 성능을 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0014] 이하, 본 문서의 다양한 실시예들이 첨부된 도면을 참조하여 설명된다.

[0016] 도 1, 도 2 및 도 3은 일반적인 수직 구조 LED에 대해 설명하기 위한 도면들이다.

[0017] 도 1을 참조하면, 수직 구조 LED에서는 고반사율의 하부 전극이 존재하므로 활성층에서 위쪽 방향으로 방출된 빛과 하부 전극에서 반사된 빛이 간섭 현상을 일으키게 된다. 두 빛의 경로차에 따라 보강 간섭 또는 상쇄 간섭이 발생하여 빛이 방출되는 각도에 따라 빛의 세기의 변화가 발생한다. 하기 [수학식 1]과 같이, 활성층에서 위쪽으로 방출된 빛의 전기장을 E1이라고 하고, 아래쪽으로 방출된 후 하부 전극에서 반사된 빛의 전기장을 E2라

고 하면, 두 빛이 중첩된 전기장 E는 E1+E2가 되고, 빛의 세기는 E의 제곱에 비례하게 된다. 따라서, 활성층과 반사 전극 사이의 거리와 각도에 따라 빛의 강도 분포에 변화가 생기게 된다.

수학식 1

$$\boldsymbol{E} = \boldsymbol{E}_1 + \boldsymbol{E}_2$$

$$E^2 = E_0^2(1 + R + 2\sqrt{R}\cos 2\phi)$$

$$2\phi = 2kd\cos\theta + \Phi = \frac{4\pi n}{\lambda_0} d\cos\theta + \Phi$$

보강 간섭 조건: $$\frac{4\pi n}{\lambda_0} d\cos\theta + \Phi = 2m\pi$$

[0018]

[0019] 실제 GaN 기반 청색 LED에 대해서 각도에 따른 빛의 세기 분포를 계산하였다. 빛의 파장(λ_0)을 450 nm, GaN의 굴절률(n)을 2.5, 하부 전극의 반사율(R)을 100%로 두고, 활성층과 하부 전극의 거리 d에 따른 빛의 세기가, 도 2에 도시된 바와 같이, 계산되었다. 이때, 하부 전극에서 반사될 때 180도의 위상 변화(F)도 고려하였다. d에 따라 각도 분포의 차이가 크게 나타나게 됨을 알 수 있다. d = 100 nm일 때에는 가운데(0도)가 약하고 60도 부근이 강한 반면, d = 120, 140 nm 일 때에는 0도 부근에서 강하게 나타났다.

[0020] 이미 알려져 있는 시뮬레이션(simulation) 결과에 따르면, 도 3에 도시된 바와 같이, Ag 반사 전극(reflector)/p-GaN/활성층/n-GaN으로 구성된 수직 구조 LED에서 p-GaN 두께(t_p)가 100 nm일 때에는 위쪽 방향으로 빛이 강하게 방출되고, 60 nm 또는 140 nm일 때에는 수직선에서 40도 이상의 각도로 비스듬한 방향으로 강하게 방출되는 것을 볼 수 있다. 이러한 p-GaN 두께에 따른 방출 패턴의 변화를 이용하여 수직 구조 LED에서 상부 전극에 의한 빛 가림 문제를 개선할 수 있을 것으로 예상되었다.

[0022] 도 4 및 도 5는 일반적인 수직 구조 LED(10) 및 그의 빛이 방출되는 형태를 개략적으로 도시하는 도면들이다.

[0023] 도 4 및 도 5를 참조하면, 일반적인 수직 구조 LED(10)는 제 1 전극(11), 제 1 도전형 반도체층(12), 활성층(13), 제 2 도전형 반도체층(14), 및 제 2 전극(15)으로 구성된다. 제 1 전극(11), 제 1 도전형 반도체층(12), 활성층(13), 제 2 도전형 반도체층(14), 및 제 2 전극(15)은 일 방향을 따라, 순차적으로 적층되어 있다. 제 2 도전형 반도체층(14)의 표면은 빛을 외부로 효율적으로 추출해 내기 위해 패턴이 형성되어 있다. 제 2 도전형 반도체층(14)의 일부 영역에는, 제 2 전극(15)이 형성되어 있다. 일반적으로, 제 1 도전형 반도체층(12)의 두께는 균일하다.

[0024] 제 1 전극(11)과 활성층(13) 중심까지의 거리가 도 4에서는 d1이고, 도 5에서는 d1보다 큰 d2일 때, 도 4에서는 빛이 수직 방향으로 강하게 방출되고, 도 5에서는 비스듬하게 방출된다고 가정하자. 도 4에서는 제 2 전극(15) 바로 아래쪽에 있는 영역에서 방출된 빛이 제 2 전극(15)에 가려져서 외부로 방출되지 못하고, 도 5에서는 제 2 전극(15)의 수평 위치 좌우로 조금 벗어나 있는 영역에서 방출된 빛이 제 2 전극(15)에 가려져서 외부로 방출되지 못하는 것을 볼 수 있다. 즉, 두 경우 모두 빛의 일부가 제 2 전극(15)에 가려서 광추출효율이 감소하게 된다.

[0025] 도 4의 수직 구조 LED(10)에 CBL을 적용하여, 제 2 전극(15) 아래 쪽 일부에 SiO_2와 같은 부도체 물질을 적용하여 CBL 영역(도시되지 않음)을 생성하는 경우, CBL 영역에서는 빛이 방출되지 않고 그 외부 영역에서만 빛이 방출되므로 제 2 전극(15)에 의한 빛 가림 문제가 어느 정도 해소될 수 있다. 따라서, 이 경우에는 빛의 광추출효율은 증가할 것으로 예상된다. 하지만, CBL 영역으로는 전류가 흐르지 못해 전체적으로 전류가 흐르는 영역이 감소하여 전기 저항이 증가하고 LED(10)의 동작 전압이 증가하게 된다. 이렇게 광추출효율은 증가하더라도 전압이 증가하면 광전변환효율은 개선되지 못할 수도 있다.

[0027] 도 6 및 도 7은 다양한 실시예들에 따른 수직 구조 LED(100) 및 그의 빛이 방출되는 형태를 개략적으로 도시하는 도면들이다.

[0028] 도 6 및 도 7을 참조하면, 다양한 실시예들에 따른 수직 구조 LED(100)는 제 1 전극(110), 제 1 도전형 반도체층(120), 활성층(130), 제 2 도전형 반도체층(140), 및 적어도 하나의 제 2 전극(150)으로 구성된다. 제 1 전극(110), 제 1 도전형 반도체층(120), 활성층(130), 제 2 도전형 반도체층(140), 및 제 2 전극(150)은 일 방향을 따라, 순차적으로 적층되어 있다. 이 때, 제 1 전극(110)은 p형 오믹 접촉 전극이고, 제 1 도전형 반도체층(120)은 p형 반도체층이고, 제 2 도전형 반도체층(140)은 n형 반도체층이고, 제 2 전극(150)은 n형 오믹 접촉 전극일 수 있다. 예를 들면, GaN 계열 물질로 제작할 경우, 보통 제 1 도전형 반도체층(120)은 p형 GaN층이고, 활성층(130)은 InGaN층이며, 제 2 도전형 반도체층(140)은 n형 GaN층이다. 일 예로, 활성층(130)은 $Al_xGa_yIn_{1-x-y}N(0\leq x\leq 0.5,\ 0\leq y\leq 1,\ x+y\geq 0.5)$ 물질로 형성되고, 제 1 도전형 반도체층(120)과 제 2 도전형 반도체층(140)은 $Al_uGa_vIn_{1-u-v}N(0\leq u\leq 0.8,\ 0\leq v\leq 1,\ u+v\geq 0.8)$ 물질로 형성된다.

[0029] 다양한 실시예들에 따르면, 적어도 하나의 제 2 전극(150)은 제 2 도전형 반도체층(140)에 배열된다. 이 때, 제 2 도전형 반도체층(140)의 표면은 빛을 외부로 효율적으로 추출해 내기 위해 패턴이 형성되어 있다. 그리고, 각 제 2 전극(150)이 제 2 도전형 반도체층(140)의 일부 영역에 형성되어 있다.

[0030] 다양한 실시예들에 따르면, 제 1 도전형 반도체층(120)은 수직으로 적어도 하나의 제 2 전극(150)에 각각 대응하는 적어도 하나의 제 1 영역(121), 및 나머지, 즉 제 1 영역(121) 외부의 제 2 영역(123)으로 구분된다. 예를 들면, 수직으로 서로에 대응하는 제 2 전극(150)과 제 1 영역(121)의 중심 위치들 사이의 차이는 약 -5 ㎛ 이상이고 약 5 ㎛ 이하인 범위 내에 있다. 여기서, 각 제 1 영역(121)의 면적은, 예컨대, 그에 수직으로 대응하는 제 2 전극(150)의 면적(A)의 0.2 배 이상이고 5 배 이하인 범위 내에 있다. 이때, 각 제 1 영역(121)의 두께가 제 2 영역(123)의 두께와 다르다. 예를 들면, 제 1 영역(121)의 두께 및 제 2 영역(123)의 두께는 각각 50 nm 이상이고 500 nm 이하인 범위 내에 있으며, 제 1 영역(121)의 두께와 제 2 영역(123)의 두께의 차이는 약 10 nm 이상이다. 여기서, 제 1 영역(121)의 폭의 합은 제 2 영역(123)의 폭의 합보다 더 작다.

[0031] 일 실시예에 따르면, 도 6에 도시된 바와 같이, 제 1 영역(121)의 두께(d2)가 제 2 영역(123)의 두께(d1)보다 두껍다(즉, d2 > d1). 이러한 구조일 때, 제 2 영역(123)에서는, 활성층(130)에서 방출된 빛과 제 1 전극(110)에서 반사된 빛이 간섭하여 주로 수직 방향으로 방출되고, 제 1 영역(121)에서는, 빛이 비스듬하게 방출되도록, 제 2 영역(123)의 두께(d1)와 제 1 영역(121)의 두께(d2)가 조절될 수 있다. 이렇게 되면, 활성층(130)의 모든 영역에서 방출된 빛이 제 2 전극(150)에서 가려지지 않고 LED(100) 외부로 방출될 수 있다.

[0032] 다른 실시예에 따르면, 도 7에 도시된 바와 같이, 제 1 영역(121)의 두께(d3)가 제 2 영역(123)의 두께(d1)보다 얇다(즉, d3 < d1). 이러한 구조일 때, 제 2 영역(123)에서 방출된 빛은 주로 수직 방향으로 방출되고, 제 1 영역(121)에서는 빛이 비스듬하게 방출되도록, 제 2 영역(123)의 두께(d1)와 제 1 영역(121)의 두께(d3)가 조절될 수 있다. 이 경우에도, 활성층(130)의 모든 영역에서 방출된 빛이 제 2 전극(150)에서 가려지지 않고 LED(100) 외부로 방출될 수 있다.

[0033] 전술된 바와 같이, 다양한 실시예들에 따른 수직 구조 LED(100)에서는, 도 6 및 도 7에 도시된 바와 같은 구조들 모두에서, 활성층(130)에서 방출된 빛이 제 2 전극(150)에 가려지지 않고 LED(100) 외부로 빛이 효율적으로 방출될 수 있다. 또한, 활성층(130)의 모든 영역으로 전류가 흐르게 되어 CBL을 적용한 구조에서와 같은 전압 상승 문제도 발생하지 않아 전체적으로 LED(100)의 광전변환효율 향상 효과를 기대할 수 있다.

[0035] 도 8은 다양한 실시예들에 따른 수직 구조 LED(100)의 제조 방법을 도시하는 도면이다.

[0036] 도 8을 참조하면, 먼저, 210 단계에서, 제 2 도전형 반도체층(140), 활성층(130), 및 제 1 도전형 반도체층(120)이 순차적으로 적층된다. 이때, 기판(도시되지 않음) 상에, 제 2 도전형 반도체층(140), 활성층(130), 및 제 1 도전형 반도체층(120)이 순차적으로 적층된다. 다음으로, 220 단계에서, 제 1 도전형 반도체층(120)이 상이한 두께들로 형성된다. 일 실시예에 따르면, 210 단계에서, 제 1 도전형 반도체층(120)이 미리 정해진 두께(d2)로 적층되고, 220 단계에서, 제 1 도전형 반도체층(120)에서 제 1 영역(121)을 제외한 제 2 영역(123)이 미리 정해진 다른 두께(d1)가 되도록 식각(etching)된다. 여기서, 리소그라피 기법에 의해, 제 1 도전형 반도체층(120)에서 제 1 영역(121)이 정의된 다음, 제 2 영역(123)이 식각된다. 이에 따라, 제 1 도전형 반도체층(120)

이 도 6에 도시된 바와 같은 상이한 두께들(d1, d2)로 형성된다. 다른 실시예에 따르면, 210 단계에서, 제 1 도전형 반도체층(120)이 미리 정해진 두께(d1)로 적층되고, 220 단계에서, 제 1 영역(121)이 미리 정해진 두께(d3)가 되도록 식각된다. 여기서, 리소그라피 기법에 의해, 제 1 도전형 반도체층(120)에서 제 1 영역(121)이 정의된 다음, 제 1 영역(121)이 식각된다. 이에 따라, 제 1 도전형 반도체층(120)이 도 7에 도시된 바와 같은 상이한 두께들(d1, d3)로 형성된다.

[0037] 다음으로, 230 단계에서, 제 1 전극(110) 및 제 2 전극(150)이 증착된다. 전술된 바와 같이, 제 1 도전형 반도체층(120)이 형성되면, 제 1 도전형 반도체층(120)에 제 1 전극(110)이 증착된다. 그리고, 기판으로부터, 제 2 도전형 반도체층(140)이 분리된 다음, 제 2 도전형 반도체층(140)의 표면에 패턴이 형성된다. 이후, 제 1 도전형 반도체층(120)의 제 1 영역(121)에 수직으로 대응하도록, 제 2 도전형 반도체층(140)의 일부 영역에 제 2 전극(150)이 증착된다. 이에 따라, 도 6 또는 도 7에 도시된 바와 같은 LED(100)가 제조된다.

[0039] 도 9는 다양한 실시예들에 따른 수직 구조 LED(100)의 성능을 설명하기 위한 도면이다.

[0040] 도 9를 참조하면, 다양한 실시예들에 따른 수직 구조 LED(100)의 광추출효율(light extraction efficiency) 향상 효과를 확인하기 위해, 시뮬레이션이 수행되었다. 시뮬레이션에는 3차원 FDTD(Finite-Difference Time-Domain) 방법이 이용되었다. 제 2 전극(150)과 제 1 영역(121)의 폭은 모두 5 ㎛로 설정되고, 제 2 영역(123)의 두께(d1)는 120 ㎚로 설정되었으며, 제 1 영역(121)의 두께(d2, d3)를 변화시키면서 활성층(130)의 각 소스 포인트(source point) 별 광추출효율을 시뮬레이션하였다. 제 2 영역(123)의 두께(d1)가 120 ㎚일 때에는, 제 1 전극(110)에서 반사된 빛이 주로 위쪽으로 방출된다. 광추출효율은 소스 포인트에서 방출된 빛 중에서 LED(100) 외부로 방출된 빛의 비율을 의미한다.

[0041] 시뮬레이션 결과를 보면, 제 1 영역(121)의 두께(d2)와 제 2 영역(123)의 두께(d1, d3)의 차이를 Dd라고 할 때, Dd 0 인 경우 제 2 전극(150)이 존재하는 영역, 즉 x가 0~2㎜인 영역에서 광추출효율이 크게 낮은 것을 볼 수 있는데, 이는 이 영역에서 방출된 빛이 제 2 전극(150)에 가려지기 때문이다. Dd 가 0보다 감소하거나 반대로 0보다 증가하는 경우, 즉 제 1 도전형 반도체층(120)이 상이한 두께들을 갖는 경우에는 제 2 전극(150)이 존재하는 영역, 즉 x가 0~2㎜인 영역에 해당하는 소스 포인트에서 방출된 빛의 광추출효율이 향상되는 것을 확인할 수 있다. 이를 통해, 다양한 실시예들에 따른 수직 구조 LED(100)에서 광추출효율 향상 효과를 확인할 수 있다.

[0043] 다양한 실시예들에 따르면, 수직 구조 LED(100)가 향상된 효율을 갖도록 구현될 수 있다. 즉, 수직 구조 LED(100)에서, 상부 전극, 즉 제 2 전극(150)에 의한 빛 가림 문제가 개선되고, 이를 통해, 광효율이 향상될 수 있다. 구체적으로, 수직 구조 LED(100)의 제 1 도전형 반도체층(120), 예컨대 p형 반도체층이 제 2 전극(150)에 대응하여 상이한 두께를 가짐에 따라, 제 1 도전형 반도체층(120)에서 하부 전극, 즉 제 1 전극(110)에서 반사되는 빛의 각도에 따른 강도 분포가 조절되며, 이로써, 제 2 전극(150)에 의한 빛가림 문제가 개선될 수 있다.

[0045] 다양한 실시예들에 따른 수직 구조 LED(100)는, 제 1 전극(110), 제 1 전극(110) 상의 제 1 도전형 반도체층(120), 제 1 도전형 반도체층(120) 상의 활성층(130), 활성층(130) 상의 제 2 도전형 반도체층(140), 및 제 2 도전형 반도체층(140) 상의 적어도 하나의 제 2 전극(150)을 포함할 수 있다.

[0046] 다양한 실시예들에 따르면, 제 1 도전형 반도체층(120)은, 상이한 두께들의 영역(121, 123)들로 구분될 수 있다.

[0047] 다양한 실시예들에 따르면, 영역(121, 123)들은, 제 2 전극(150)에 대응하는 적어도 하나의 제 1 영역(121), 및 나머지의 제 2 영역(123)을 포함할 수 있다.

[0048] 다양한 실시예들에 따르면, 제 1 영역(121)의 두께는 제 2 영역(123)의 두께보다 더 두껍거나, 더 얇을 수 있다.

[0049] 다양한 실시예들에 따르면, 제 1 영역(121)의 폭의 합은 제 2 영역(123)의 폭의 합보다 더 작을 수 있다.

[0050] 다양한 실시예들에 따르면, 제 1 전극(110)은 p형 오믹 접촉 전극이고, 제 1 도전형 반도체층(120)은 p형 반도체층이고, 제 2 도전형 반도체층(140)은 n형 반도체층이고, 제 2 전극(150)은 n형 오믹 접촉 전극일 수 있다.

[0051] 다양한 실시예들에 따른 수직 구조 LED(100)의 제조 방법은, 제 2 도전형 반도체층(140), 활성층(130), 및 제 1 도전형 반도체층(120)을 적층하는 단계(210 단계), 제 1 도전형 반도체층(120)을 상이한 두께들로 형성하는 단계(220 단계), 및 제 1 전극(110) 및 제 2 전극(150)을 증착하는 단계(230 단계)를 포함할 수 있다.

[0052] 일 실시예에 따르면, 제 1 도전형 반도체층(120)을 상이한 두께들로 형성하는 단계(220 단계)는, 제 1 도전형 반도체층(120)에서 제 1 영역(121)을 정의하는 단계, 및 제 1 영역(121)을 유지하면서, 제 1 도전형 반도체층(120)에서 제 2 영역(123)을 식각하는 단계를 포함할 수 있다.

[0053] 다른 실시예에 따르면, 제 1 도전형 반도체층(120)을 상이한 두께들로 형성하는 단계(220 단계)는, 제 1 도전형 반도체층(120)에서 제 1 영역(121)을 정의하는 단계, 및 제 2 영역(123)을 유지하면서, 제 1 도전형 반도체층(120)에서 제 1 영역(121)을 식각하는 단계를 포함할 수 있다.

[0054] 다양한 실시예들에 따르면, 제 2 도전형 반도체층(140), 활성층(130), 및 제 1 도전형 반도체층(120)을 적층하는 단계(210 단계)는, 기판 상에, 제 2 도전형 반도체층(140), 활성층(130), 및 제 1 도전형 반도체층(120)을 적층하는 단계를 포함할 수 있다.

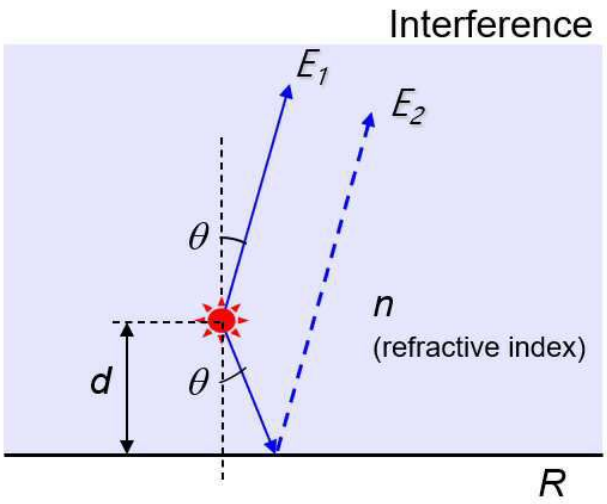
[0055] 다양한 실시예들에 따르면, 제 1 전극(110) 및 제 2 전극(150)을 증착하는 단계(230 단계)는, 제 1 도전형 반도체층(120)에 제 1 전극(110)을 증착하는 단계, 및 기판으로부터, 제 2 도전형 반도체층(140)을 분리한 후에, 제 1 영역(121)에 대응하여, 제 2 도전형 반도체층(140)의 일부 영역에 제 2 전극(150)을 증착하는 단계를 포함할 수 있다.

[0057] 본 문서의 다양한 실시예들 및 이에 사용된 용어들은 본 문서에 기재된 기술을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 해당 실시 예의 다양한 변경, 균등물, 및/또는 대체물을 포함하는 것으로 이해되어야 한다. 도면의 설명과 관련하여, 유사한 구성 요소에 대해서는 유사한 참조 부호가 사용될 수 있다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함할 수 있다. 본 문서에서, "A 또는 B", "A 및/또는 B 중 적어도 하나", "A, B 또는 C" 또는 "A, B 및/또는 C 중 적어도 하나" 등의 표현은 함께 나열된 항목들의 모든 가능한 조합을 포함할 수 있다. "제 1", "제 2", "첫째" 또는 "둘째" 등의 표현들은 해당 구성 요소들을, 순서 또는 중요도에 상관없이 수식할 수 있고, 한 구성 요소를 다른 구성 요소와 구분하기 위해 사용될 뿐 해당 구성 요소들을 한정하지 않는다. 어떤(예: 제 1) 구성 요소가 다른(예: 제 2) 구성 요소에 "(기능적으로 또는 통신적으로) 연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 상기 어떤 구성 요소가 상기 다른 구성 요소에 직접적으로 연결되거나, 다른 구성 요소(예: 제 3 구성 요소)를 통하여 연결될 수 있다.

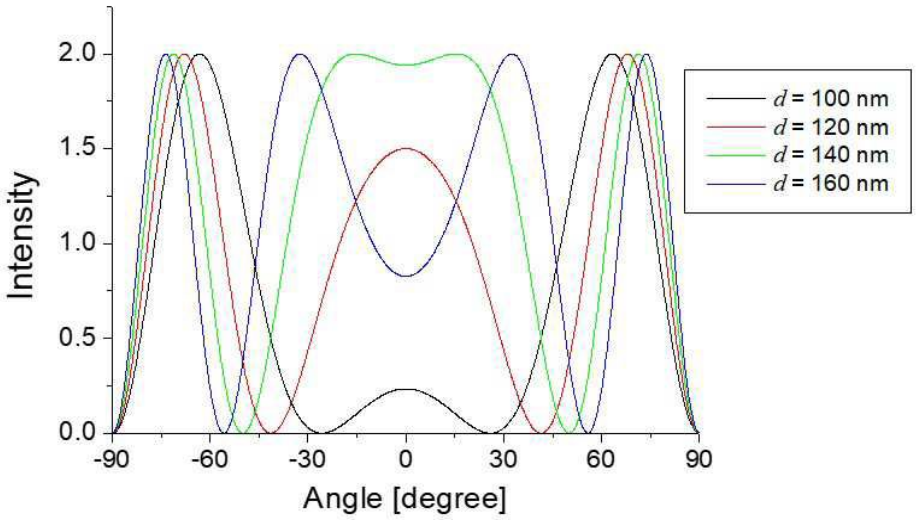
[0058] 다양한 실시예들에 따르면, 기술한 구성 요소들의 각각의 구성 요소는 단수 또는 복수의 개체를 포함할 수 있다. 다양한 실시예들에 따르면, 전술한 해당 구성 요소들 중 하나 이상의 구성 요소들 또는 단계들이 생략되거나, 또는 하나 이상의 다른 구성 요소들 또는 단계들이 추가될 수 있다. 대체적으로 또는 추가적으로, 복수의 구성 요소들은 하나의 구성 요소로 통합될 수 있다. 이런 경우, 통합된 구성 요소는 복수의 구성 요소들 각각의 구성 요소의 하나 이상의 기능들을 통합 이전에 복수의 구성 요소들 중 해당 구성 요소에 의해 수행되는 것과 동일 또는 유사하게 수행할 수 있다.

도면

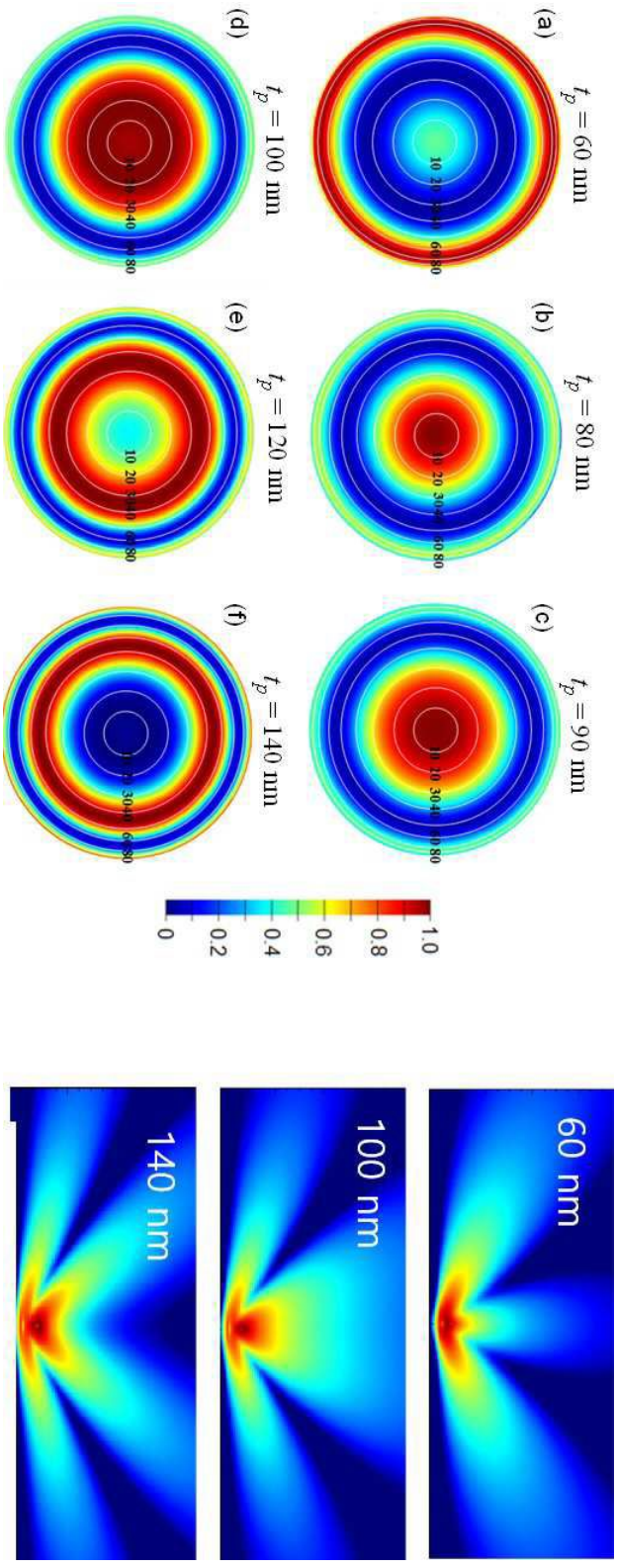
도면1


Interference
E_1
E_2
θ
θ
n
(refractive index)
d
R

도면2

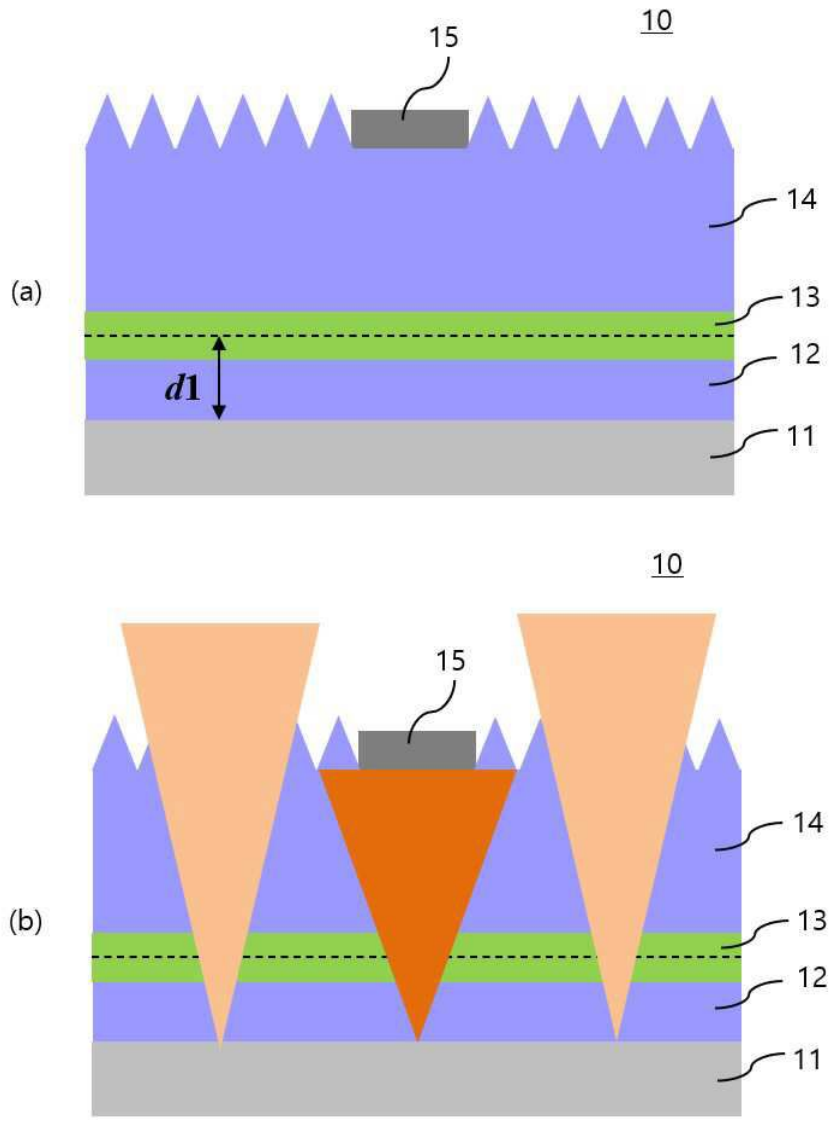

Intensity
2.0
1.5
1.0
0.5
0.0
-90
-60
-30
0
30
60
90
Angle [degree]
d = 100 nm
d = 120 nm
d = 140 nm
d = 160 nm

도면3

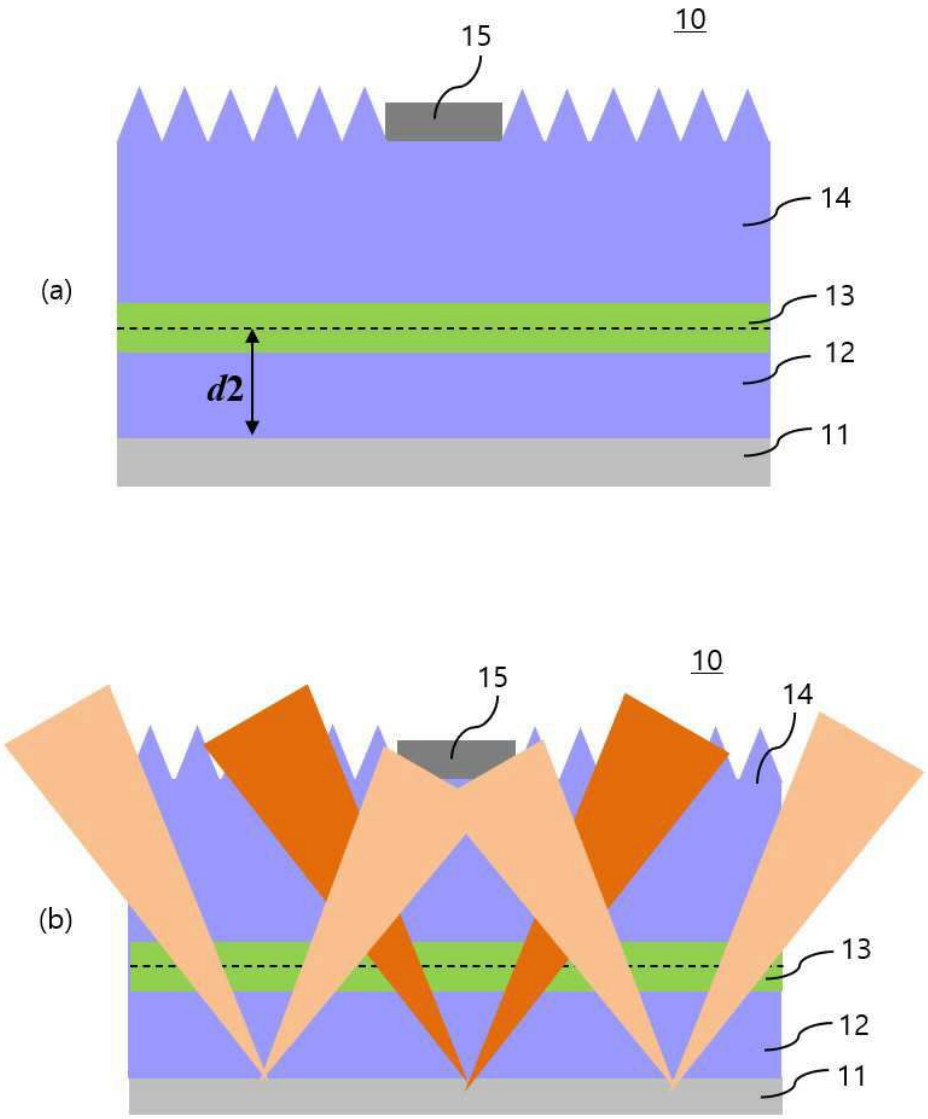

(a)
$t_p = 60$ nm
(b)
$t_p = 80$ nm
(c)
$t_p = 90$ nm
(d)
$t_p = 100$ nm
(e)
$t_p = 120$ nm
(f)
$t_p = 140$ nm
0
0.2
0.4
0.6
0.8
1.0

60 nm
100 nm
140 nm

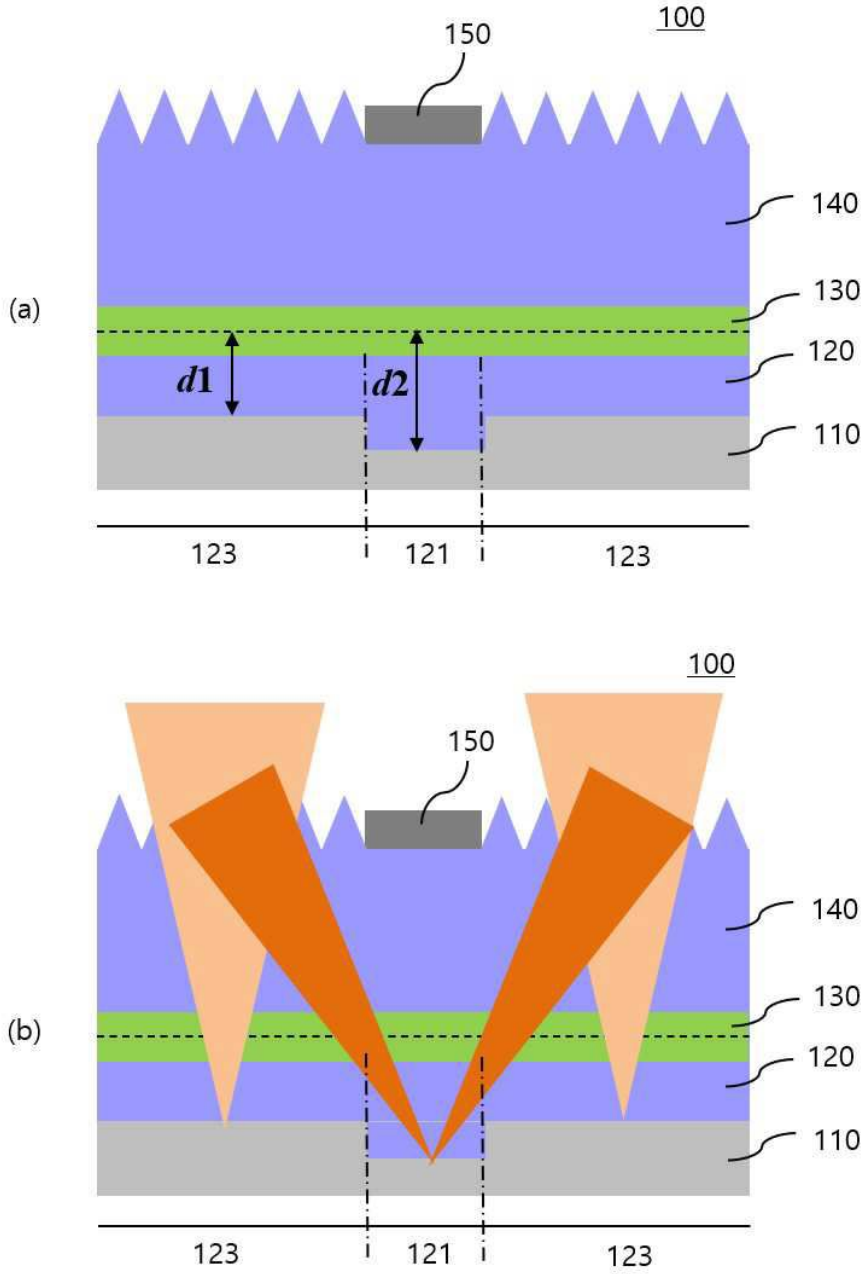
도면4



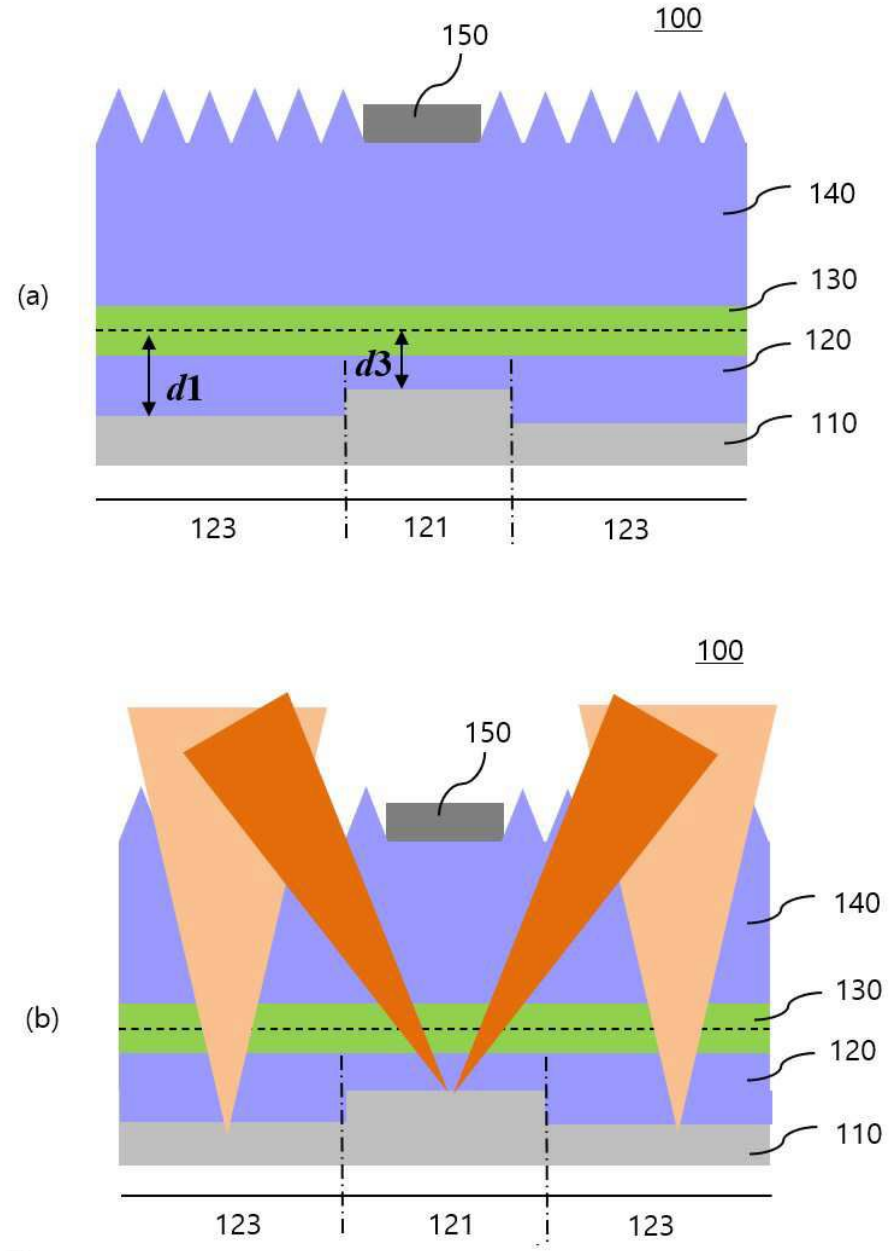
도면5



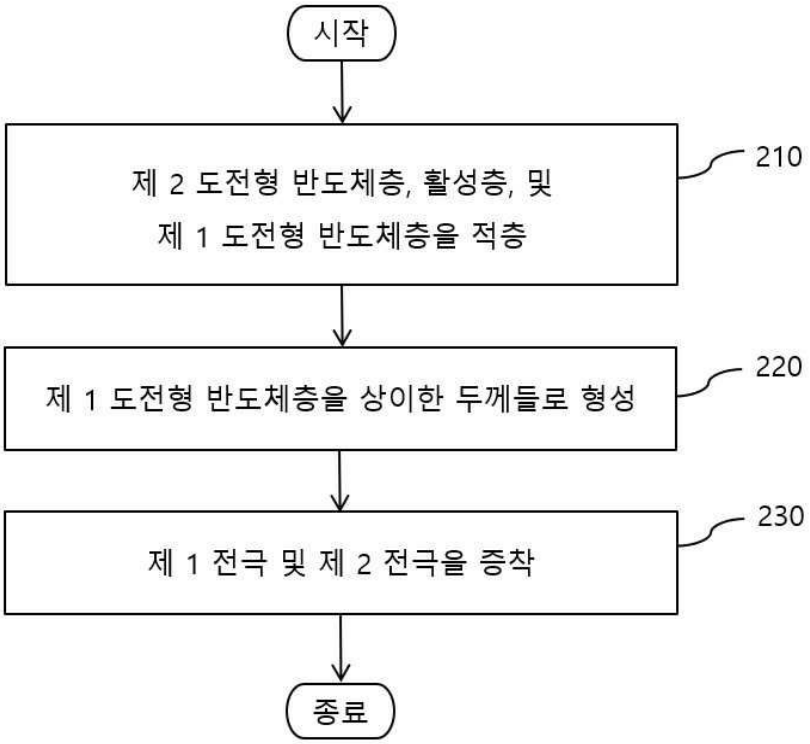
도면6


(a)
100
150
140
130
120
110
d1
d2
123
121
123
(b)
100
150
140
130
120
110
123
121
123

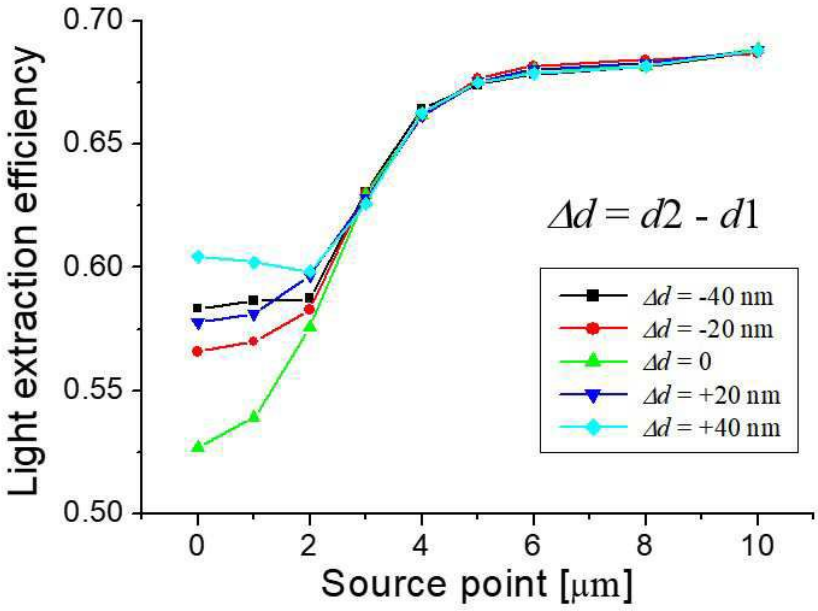
도면7


(a)
100
150
140
130
120
110
d1
d3
123
121
123
(b)
100
150
140
130
120
110
123
121
123

도면8


시작
제 2 도전형 반도체층, 활성층, 및
제 1 도전형 반도체층을 적층
210
제 1 도전형 반도체층을 상이한 두께들로 형성
220
제 1 전극 및 제 2 전극을 증착
230
종료

도면9


Light extraction efficiency
0.70
0.65
0.60
0.55
0.50
0
2
4
6
8
10
Source point [μm]
Δd = d2 - d1
Δd = -40 nm
Δd = -20 nm
Δd = 0
Δd = +20 nm
Δd = +40 nm