

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-23402
(P2004-23402A)

(43) 公開日 平成16年1月22日(2004.1.22)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
H03K 19/0185	H03K 19/00 101B	5F038
H01L 21/822	H03K 19/00 101K	5J056
H01L 27/04	H01L 27/04 H	
H03K 19/0175		

審査請求 未請求 請求項の数 1 O L (全 3 頁)

(21) 出願番号	特願2002-174882 (P2002-174882)	(71) 出願人	000006747 株式会社リコー 東京都大田区中馬込1丁目3番6号
(22) 出願日	平成14年6月14日 (2002.6.14)	(72) 発明者	坂本 和穂 東京都大田区中馬込1丁目3番6号 株式会社リコー内
		Fターム(参考)	5F038 AV07 BH02 BH07 BH15 EZ20 5J056 AA01 AA33 BB42 BB57 DD13 DD29 EE04 EE05 FF07 FF08

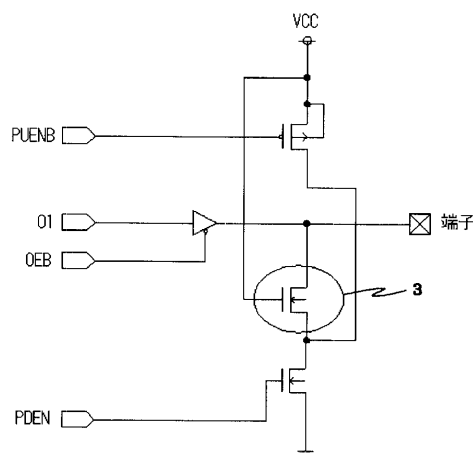
(54) 【発明の名称】 IOセル回路

(57) 【要約】

【課題】コストアップを最小限に食い止めることが可能なIOセル回路を提供する。

【解決手段】プルアップ抵抗とプルダウン抵抗を内蔵し、制御信号によってプルアップ機能或いはプルダウン機能を活性化するIOセル回路において、プルアップ機能活性化時に端子5V入りに耐え得るためにプルダウン抵抗回路(NMOSトランジスタ3)の一部を共用してプルアップ抵抗を構成した。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

プルアップ抵抗とプルダウン抵抗を内蔵し、制御信号によってプルアップ機能或いはプルダウン機能を活性化する I O セル回路において、プルアップ機能活性時に端子 5 V 入力に耐え得るためにプルダウン抵抗回路の一部を共用してプルアップ抵抗を構成したことを特徴とする I O セル回路。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、5 V 入力に対応できる 3 V 電源仕様の I O セル (5 V トレラント I O セル) 回路に関し、特にプルアップ機能、プルダウン機能を兼用できる I O セル回路に関するものである。本発明は、パソコンなど各種電気機器に応用できる。

【0002】**【従来技術】**

図 2 は第 1 の従来例に係る I O セル回路の構成図である。図 2 の回路では、プルアップ抵抗を P M O S トランジスタ、プルダウン抵抗を N M O S トランジスタへ置き換え、M O S のゲート電位を制御することでプルアップ機能、プルダウン機能の活性化が実現される (プルアップ機能、プルダウン機能を同時に活性化することは、機能上有り得ない) 。

【0003】

半導体集積回路の電源電圧は 5 V から 3 V または 3 . 3 V に変わりつつあるが、その過渡期中においては 5 V 駆動素子と 3 V 駆動素子とが混在している。このような場合、自身が 3 V で駆動される素子であっても、5 V の電圧が外部より印加される場合があり、その際、プルアップ抵抗を構成する P M O S トランジスタ 1 の信頼性が確保されないという問題がある。

【0004】

このような問題を解決するため、従来、保護回路を伴った回路 (5 V トレラント) が知られている。図 3 は第 2 の従来例に係る I O セル回路の構成図である。図 3 の回路では、N M O S トランジスタ 2 を追加したので、たとえ端子電圧が外部で強制的に 5 V へ吊られた場合でもノード A の電位は、V C C - V t h を超えることは無く、V C C 側への電流逆流は無い。また、トレラント動作時以外のケースを考えると、通常 N M O S トランジスタ 2 の V t h が 0 V に近づけば近づく程、プルアップ機能活性時の端子電圧が V C C へ近づくこととなり、良いとされている。

【0005】

なお、特開平 1 0 - 1 3 5 8 1 8 号公報には、入力バッファの消費電力を低減し、かつ信頼性を向上する 5 V トレラント入力回路が提示されている。

【0006】**【発明が解決しようとする課題】**

図 3 の回路で追加された N M O S トランジスタ 2 は、端子に直接接続されており、耐圧を十分に検討する必要がある。レイアウトの側面から見た場合、トランジスタのソース或いはドレインの耐圧を上げようとするれば、どうしてもそれらソース或いはドレインの面積を取る必要があり、そのため I O セルサイズの拡大、ひいてはチップサイズの拡大を招き、コストアップは免れない。

【0007】

本発明は、コストアップを最小限に食い止めることが可能な I O セル回路を提供することを目的とする。

【0008】**【課題を解決するための手段】**

上記目的を達成するために、本発明は、プルアップ抵抗とプルダウン抵抗を内蔵し、制御信号によってプルアップ機能或いはプルダウン機能を活性化する I O セル回路において、プルアップ機能活性時に端子 5 V 入力に耐え得るためにプルダウン抵抗回路の一部を共用

してプルアップ抵抗を構成した I Oセル回路を最も主要な特徴とする。

【 0 0 0 9 】

【 発 明 の 実 施 の 形 態 】

以下、図面により本発明の実施の形態を詳細に説明する。図 1 は本発明の実施の形態に係る I Oセル回路の構成図である。本発明では、元々 N M O S 1 個で構成されていたプルダウン抵抗を複数に分割し、その内端子へ直接接続されている N M O S トランジスタ 3 を図 3 の N M O S トランジスタ 2 の代わりとして、プルアップ抵抗の一部に使用した。

【 0 0 1 0 】

こうすることで、端子に直結するトランジスタ数が従来より少なくて済み、 I Oセルサイズを拡大する原因にもならない。

10

【 0 0 1 1 】

【 発 明 の 効 果 】

以上説明したように、本発明の I Oセル回路では、プルアップ抵抗の 5 Vトレラントに必要となる N M O S トランジスタをプルダウン抵抗の N M O S トランジスタと共用しているため、 I Oセルサイズを小さくすることができる。

【 図 面 の 簡 単 な 説 明 】

【 図 1 】 本発明の実施の形態に係る I Oセル回路の構成図である。

【 図 2 】 第 1 の従来例に係る I Oセル回路の構成図である。

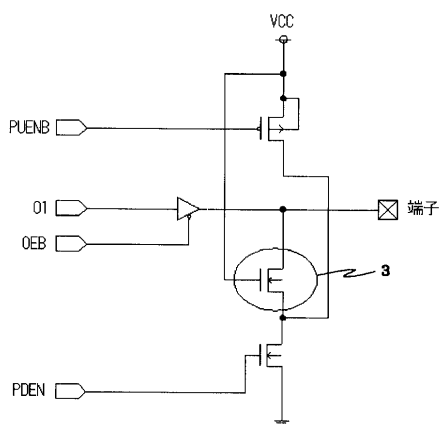
【 図 3 】 第 2 の従来例に係る I Oセル回路の構成図である。

【 符 号 の 説 明 】

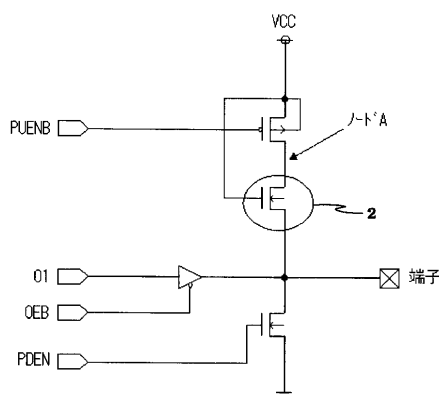
20

- 1 P M O S トランジスタ
- 2、3 N M O S トランジスタ

【 図 1 】



【 図 3 】



【 図 2 】

