

發明專利說明書 200301964

(填寫本書件時請先行詳閱申請書後之申請須知，作※記號部分請勿填寫)

※申請案號：P210008P ※IPC分類：H01L 27/05, 27/11

※申請日期：P2-1-3

壹、發明名稱

(中文) 具有減低凹凸不平的電阻記憶體元件

(英文) RESISTIVE MEMORY ELEMENTS WITH REDUCED ROUGHNESS

貳、發明人 (共 1 人)

發明人 1 (如發明人超過一人，請填**說明書發明人續頁**)

姓名：(中文) 伍爾夫剛 雷伯格

(英文) WOLFGANG RABERG

住居所地址：(中文) 美國紐約州費希凱爾市史普斯路 15 號

(英文) 15 SPRUCE COURT, 12524 FLSHKILL, NY, U.S.A.

國籍：(中文) 德國 (英文) GERMANY

參、申請人 (共 1 人)

申請人 1 (如申請人超過一人，請填**說明書申請人續頁**)

姓名或名稱：(中文) 德商億恒科技公司

(英文) INFINEON TECHNOLOGIES AG

住居所或營業所地址：(中文) 德國慕尼黑市馬汀街 53 號

(英文) ST. -MARTIN-STR. 53 D-81669 MUENCHEN DE

國籍：(中文) 德國 (英文) GERMANY

代表人：(中文) 1.彼得 季里茲 2.赫斯特 雪佛爾

(英文) 1.PETER ZEDLITZ 2.HORST SCHAEFER

捌、聲明事項

本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間，其日期為：_____

本案已向下列國家（地區）申請專利，申請日期及案號資料如下：

【格式請依：申請國家（地區）；申請日期；申請案號 順序註記】

1. 美國；2002年01月15日；10/047,456

2. _____

3. _____

主張專利法第二十四條第一項優先權：

【格式請依：受理國家（地區）；日期；案號 順序註記】

1. 美國；2002年01月15日；10/047,456

2. _____

3. _____

4. _____

5. _____

6. _____

7. _____

8. _____

9. _____

10. _____

主張專利法第二十五條之一第一項優先權：

【格式請依：申請日；申請案號 順序註記】

1. _____

2. _____

3. _____

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

1. _____

2. _____

3. _____

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

1. _____

2. _____

3. _____

熟習該項技術者易於獲得，不須寄存。

(1)

玖、發明說明

(發明說明應敘明：發明所屬之技術領域、先前技術、內容、實施方式及圖式簡單說明)

技術領域

本發明通常係有關半導體裝置的製造，且更明確而言，係有關磁隨機存取記憶體(MRAM)裝置的製造。

先前技術

半導體是用於電子應用的積體電路，包括例如收音機、電視、細胞式電話、與個人計算裝置。一類型的半導體裝置是例如一動態隨機存取記憶體(DRAM)與快閃記憶體的一半導體儲存裝置，這些是使用電荷來儲存資訊。

記憶體裝置的最近發展包括旋轉電子，旋轉電子是結合半導體技術與磁性。電子而不是電荷的旋轉是用來表示"1"或"0"的出現。此一旋轉電裝置是一MRAM，該MRAM包括在不同金屬層中彼此實質垂直放置的導線，該等導線是插入在一磁堆疊之中。導線交叉的地方稱為一交叉點。一電流流經該等導線之一者會在導線周圍產生磁場，而且沿著電線或導線使磁極偏向到某方向。一電流流經另一導線會造成磁場，且部份亦使磁極旋轉。表示"0"或"1"的數位資訊在磁矩排列是可儲存的。磁元件的阻抗是因磁矩的排列而定。儲存的狀態可透過偵測元件的阻抗狀態而從元件讀取。一記憶體單元可透過在具有列與欄的矩陣結構中放置導線與交叉點而構成。

相較於例如MRAM的傳統半導體記憶體裝置的MRAM優點是MRAM是非揮發性。利用MRAM的一個人電腦(PC)不具有與利用DRAM的傳統個人電腦相同的長"啟動"時間。而

(2)

且，一MRAM不需要啟動，且具有"記憶"儲存資料的能力。

因為例如MRAM的電阻記憶體裝置是相當新類型的記憶體裝置，所以他們會呈現多種製造與材料挑戰。例如，形成電阻記憶體元件的改良方法是需要的。

發明內容

本發明的較佳具體實施例可達成電阻記憶體元件的技術優點、及製造方法，包括在磁堆疊硬層中的一薄氧化物層，以減低電阻記憶體元件的凹凸不平。

在一具體實施例中，揭示的是一電阻記憶體裝置的電阻記憶體元件，該電阻記憶體元件包含第一金屬層，且該第一金屬層包括一第一金屬部分，而該第一金屬部分包含至少一磁金屬層。第一金屬層包括：一薄氧化物層，其是配置在該第一金屬部分；及一第二金屬部分，其是配置在該薄氧化物層，該第二金屬部分包含複數個磁金屬層。該電阻記憶體元件包括一隧通接合及一第二金屬層，該第二金屬層包括複數個磁金屬層。

在另一具體實施例中，揭示的是一電阻半導體記憶體裝置，該電阻半導體記憶體裝置包含在一第一方向中彼此平行放置的複數個第一導線；及在該等第一導線上配置的複數個記憶體元件。電阻記憶體元件包含一第一金屬層，該第一金屬層包括包含至少一金屬層的第一金屬部分。該第一金屬層包括：一薄氧化物層，其是配置在該第一金屬部分；及一第二金屬部分，其是配置在該薄氧化物層。該第二金屬部分包含複數個磁金屬層。電阻半導體記憶體裝置

(3)

包括：一隧通接合，其是配置在該第一金屬層；及一第二金屬層，其是配置在該隧通接合，該第二金屬包括複數個磁金屬層。複數個第二導線是配置在電阻記憶體元件，該等第二導線是以一第二方向而彼此平行放置。

在另一具體實施例中，揭示的是用以製造一電阻記憶體裝置的電阻記憶體元件的一方法，該方法包含：提供一基板；在該基板上配置一第一金屬層第一部分；及在該第一金屬層第一部分上形成一薄氧化物層。該方法包括：在該薄氧化物層上配置一第一金屬層第二部分；在該第一金屬層第二部分上形成一隧通層；及在該隧通層上配置一第二金屬層，其中第二金屬與第一金屬層包含複數個鐵磁金屬層。

在另一具體實施例中，揭示的是用以製造一電阻記憶體裝置的方法，該方法包含：提供一半導體基板；在該基板上，以一第一方向形成彼此平行的複數個第一導線；且在該等第一導線上配置複數個電阻記憶體元件，該等電阻記憶體元件包括一第一金屬層，且該第一金屬層具有在那上面配置的一薄氧化物層。複數個第二導線是在該等電阻記憶體元件上形成，該等第二導線是以一第二方向而彼此平行放置。

本發明具體實施例的優點包括減低磁堆疊的鐵磁層與透納層的凹凸不平。減低在薄氧化物層上面層的凹凸不平會造成減低或免除在先前技術電阻記憶體元件中的Neel耦合問題。在第一金屬層中的薄氧化物層可提供能力來製造比

(4)

先前技術更可預測阻抗的電阻記憶體元件。阻障層的更一致性生長可提供，且磁電阻元件的磁性質亦可提高。

實施方式

在一些較佳具體實施例及本發明具體實施例的一些優點討論之後，將描述先前技術MRAM設計。

圖1是描述一先前技術MRAM 10的透視圖，其具有的位元線12是位於實質與在相鄰金屬化層中的字線22形成直角。磁堆疊14是位於位元線12與字線22之間，且該等位元線12與字線22是相鄰及電耦合到位元線12與字線22。磁堆疊14在此亦稱為電阻記憶體元件。

圖1的MRAM裝置10的一典型製造處理將描述。一工作部分(未在圖顯示)提供，其典型包含在矽單晶矽上的矽氧化物。工作部分包括其他傳導層或其他半導體元件，例如電晶體、二極體等。例如GaAs、磷化銦、矽/鍺、與SiC的化合物半導體可例如取代矽使用。

一第一內層介電層(未在圖顯示)是沉積在工作部分。介電包含例如矽 dioxide。內層介電層是例如介層的圖案化，且蝕刻。介層是使用例如銅、鎢或其他金屬填滿。

例如由鋁或銅所組成一M2層的金屬化層然後會形成。如果銅是導線12，典型上，一波狀花紋處理可用來形成導線12。未在圖顯示的一介電是沉積在內層介電層與介層上。介電層會被圖案化及蝕刻，且溝渠會使用傳導材料填滿，以便在M2層形成導線12。

然後，一磁堆疊14會在導線12上形成。磁堆疊14典型包

(5)

發明說明續頁

含一第一磁層20，該第一磁層20包括例如PtMn、NiMn、IrMn、FeMn、CoFe、Ru、Al、和NiFe的複數個材料層。第一磁層20時常稱為一硬層。磁堆疊14亦包括一介電層18，該介電層18包含沉積在第一磁層20上的例如 Al_2O_3 。介電層18時常稱為一隧通層、隧通接合、或阻障層。磁堆疊14亦包括一第二磁層16，該第二磁層16包含具有類似第一磁層20材料的一多層結構。第二磁層16時常稱為軟層。第一磁層20、介電層18與第二磁層16會圖案化形成磁堆疊14。磁堆疊14典型實質是矩形或橢圓形。

導線22是在磁堆疊14上形成。導線22可例如在M3層中形成，且放置在不同於導線12的方向。再者，如果導線22包含銅，一波狀花紋處理典型便會使用。一介電層(未在圖顯示)是沉積在磁堆疊14與導線22。介電層是以填滿一傳導材料的溝渠而圖案化及蝕刻，以形成導線22。或者，一非波狀花紋處理可用來形成導線12和22。如範例所示，導線12和22的功能是如同MRAM陣列10的字線與位元線。

磁堆疊14層的順序可顛倒，例如，硬層20可在隔離層18的頂端或上面，且軟層16可在隔離層18的底部或下面。同樣地，字線12與位元線22可沉積在磁堆疊層14的上面或下面。圖2是描述在圖1顯示的先前技術MRAM 10的上視圖。

在MRAM中，資訊是儲存在磁堆疊14的軟磁性層16。若要儲存資訊，例如軟層16的一鐵磁層或資訊層的磁化是與一例如硬層20的第二磁層或參考層平行或非平行排列。資訊是可偵測，由於一平行元件的抵抗是不同於一非平行元

(6)

發明說明續頁

件。從一平行改變成一非平行狀態且反之亦然可透過流經兩導線12和22而時常稱為切換電流的執行電流達成，而且是從硬層20流到軟層16，或反之亦然。改變會在記憶體元件14的位置上導致一磁場，且足夠大來改變資訊層或軟層16的磁化。透納電流是流經用於讀取電阻狀態的元件。

對於一電阻記憶體元件14的正確功能而言，磁層與非磁層具有非常平滑介面是很重要。此對於達成使用磁隧通接合(MTJ)的電流沈積處理是困難的。然而，上述MRAM 10結構的一問題是硬層20頂端表面具有如圖3顯示截面圖中的30所示的一高凹凸不平程度。硬層20的凹凸不平的頂端30會造成在技術中已知的Neel耦合或橘子皮耦合的鐵磁耦合。Neel耦合會造成磁不對稱的一電阻記憶體元件14，因此會是不可靠。Neel耦合亦會造成不容易改變的電阻記憶體元件14。當一凹凸不平表面30存在在軟層20的頂端時，在層介面中的小極化便會發生，造成各種不同層與彼此的相互作用，此是不想要的。

在圖3顯示的先前技術電阻記憶體元件14的另一問題是硬層20的凹凸不平表面30會使它不容易確保電阻記憶體元件14的想要電阻可達成。凹凸不平表面30會造成阻障層18的局部變化厚度。例如，阻障層18的想要典型阻抗是 $1\text{ k}_/\mu\text{m}^2$ 。硬層頂端表面30的凹凸不平程度在電阻記憶體元件14的阻抗上具有影響力：更多形狀相同或平滑阻障層18是更可靠的阻抗。

龐大磁力-阻抗(GMR)讀頭可用來讀取電腦磁碟機的磁資

(7)

發明說明書續頁

訊，而且他們可利用類似使用在MRAM材料的鐵磁材料。兩技術具有許多不同：例如，在GMR讀頭中，一隧通接合或障礙隔離是不使用。一傳導性材料是使用在兩鐵磁材料層的介面，而不是如在MRAM的一隔離隧通接合。鐵磁的相對方向是透過使用一電子散佈效應而用來讀取GMR的資訊；然而，MRAM是透過使用一透納效應來讀取資訊。

在用於電腦磁碟機的GMR讀頭領域中的最近發展是使用在應用物理學定期刊物89(11)第6925頁(2001)由W. Y. Lee等人描述的毫微氧化物層(NOL)，且其在此僅列出供參考。形成厚度小於1毫微米氧化物層的例如Co或CoFe的一鐵磁材料的氧化已顯示出可明顯減少在氧化層上的介面凹凸不平，而且可提高電子的散佈。在GMR讀頭方面，在兩鐵磁材料層中使用的毫微米氧化物層已嘗試，為了要提高電子的散佈。

本發明的具體實施例是利用類似於在MRAM應用的GMR讀頭的毫微米氧化物層中達成的，以減少隨後沉積鐵磁層與透納障礙的凹凸不平。根據本發明的具體實施例，一毫微米氧化物的氧化物層是在一電阻記憶體裝置的底部鐵磁層或硬層形成過程的中途形成。

本發明的具體實施例可透過提供在頂端表面上具有減少凹凸不平的一硬層的電阻記憶體元件而達成技術優點。在圖4的截面圖顯示中，根據本發明具體實施例的一電阻記憶體元件或磁隧通接合144包括：一第一金屬層或硬層136，其具有一第一部分120；及一薄氧化物層132，其是在硬層

(8)

發明說明續頁

的第一部分120上形成。除了本發明具體實施例新特徵的薄氧化物層132之外，一MRAM電阻記憶體元件144可根據圖1到3描述的方法與結構來製造。

如範例所示，硬層第一部分120最好包含例如CoFe及/或NiFe或其他磁材料的至少一層。硬層第一部分120最好包含例如1.0到1.5毫微米左右的鐵磁材料。如範例所示，硬層第一部分120亦包括一或多個層，該等層包含例如FeMn、IrMn、釘、Al₂或PtMn的反鐵磁材料。

最好，大約在硬層120沈積處理的中途，硬層第一部分120是曝露在氧，以便在硬層第一部分120上形成一薄氧化物層132。薄氧化物層132最好包含具有1毫微米或更少厚度的氧化物，且例如包含鈷或CoFe。薄氧化物層132最好包含一單分子層O₂分子、或一單原子層O₂。例如，薄氧化物層132包含大約2到5 Å的氧化物，且該氧化物是透過將硬磁層第一部分120曝露在一氣體配量而形成，以便在硬層第一部分120表面上建立一單分子層O₂的吸附。或者，雖然其他沈積方法亦可使用，但是薄氧化物層132可透過例如一濺射沈積處理、實際氣蒸沈積(PVD)、離子束沈積(IBD)、或電漿沈積而在硬層第一部分120上形成。薄氧化物層132最好足夠薄，所以硬層第一部分的表面可保持傳導。根據本發明的具體實施例，透過薄氧化物層132感應的阻抗相較於稍後描述的隧通障礙或隧通接合118阻抗是可忽略。

在薄氧化物層132形成之後，第一金屬層或硬層136的沈積便會持續。硬層136的一第二部分134是沉積在薄氧化物

(9)

發明說明續頁

層 132 上。硬層第二部分 120 最好包含例如大約 1.0 到 1.5 毫微米的鐵磁材料。如範例所示，硬層第二部分 120 包含複數個磁性與非磁層，其包含 PtMn、CoFe、Ru、Al₂、及 NiFe、或組合。

薄氧化物層 132 最好是足夠薄，以致於它可有效在硬層第一部分 120 的表面上浮置，藉此在薄氧化物層 132 上充當硬層第二部分 134 形成的一生長增進物。透過在硬層第一部分 120 上的"游動"，薄氧化物層 132 可幫助輸入材料或原子，以提高沉積原子的可動性，且可幫助這些原子來尋找附著的稀薄位置，以形成硬層第二部分 134。透過在表面上的"游動"，本質上，O₂ 可保持一段時間不反應，即是 O₂ 充當一表面活化劑，以導致一逐層生長。例如，在一真空室中，例如 O₂ 原子的 1 層的一小量或單分子層可例如在 1x10⁻⁶ Torr 的數秒放置在硬層第一部分 120 的表面。如範例所示，硬層第二部分 134 最好包含 CoFe 及/或 NiFe。

一隔離層 118 是沉積在硬層 136 的第二部分 134。隔離層 118 包含電阻記憶體元件 144 的隧通接合或阻障層，且如範例所示，最好包含例如 Al₂O₃ 的一介電。

如先前技術的描述，一第二金屬層或軟層 116 是在隧通接合 118 上形成。如範例所示，軟層 116 最好包含複數個磁性與非磁層，且包含 CoFe 及/或 NiFe、或組合。

如先前技術的描述、及如圖 5 的顯示，導線是在電阻記憶體元件的上面與下面形成。

圖 5 描述本發明的一具體實施例，一 MRAM 裝置 200 在硬

(10)

發明說明續頁

層 236 中具一薄氧化物層 232 的磁隧通接合 244。一基板 211 是被提供，且一隔離層 213 是在基板上形成。如範例所示，基板包含矽或其他半導體，且隔離層 213 包含例如矽二氧化物的氧化物。

第一導線 212 是在隔離層 213 上形成。如範例所示，導線 212 包含銅、鋁及/或其他金屬。導線 212 包括一襯墊(未在圖顯示)，如範例所示，該襯墊可包含鈦、鉭、或鎢。

如圖 4 的描述，電阻記憶體元件 244 是在第一導線 212 上形成。第一金屬層或硬層 236 包括一薄氧化物層 232，其是配置在一第一部分 220 與一第二部分 234 之間。硬層 236 包括第一部分 220 及第二部分 234，其是配置在薄氧化物層 232 的任一端。如範例所示，硬層第一及第二部分 220/234 最好包含例如 PtMn、CoFe、Ru、Al₂、及/或 NiFe、或組合的複數個金屬層。

一隔離層 218 是沉積在第一金屬層或硬層 236 的第二部分 234。隔離層 218 包含電阻記憶體元件 244 的隧通接合或阻障層，且如範例所示，最好包含例如 Al₂O₃ 的一介電。

如先前技術的描述，一第二金屬層或軟層 216 是在隧通接合 218 形成。如範例所示，軟層 216 最好包含例如 CoFe 及/或 NiFe、或組合的複數個金屬層。如先前技術的描述，導線 222 是在電阻記憶體元件 244 上形成。

根據本發明的具體實施例，最好是只有一薄氧化物層 132/232 是沉積在電阻記憶體裝置 144/244。只有一薄氧化物層 132/232 可使用，因為獲得使用薄氧化物層 132/232 的最大

(11)

發明說明續頁

優點的層是隔離層、或阻障層118/218，且是耦合到及與硬層136/236的頂端表面形成介面。對照下，對於GMR讀頭應用而言，使用超過一薄氧化物層，一是用於每個鐵磁層。

如圖6的顯示，在本發明的另一具體實施例中，相較於前述的具體實施例，該磁堆疊包含一連串相反的金屬。在此具體實施例中，最先形成是一軟磁層316，然後形成隧通阻障層318，然後形成一硬磁層336。若要提高生長，一薄氧化物層352是在軟磁層316形成，類似如在此其他具體實施例的描述，在硬層136/236中形成的薄氧化物層132/232。軟層315包括一第一金屬層350、配置在第一金屬層350的一第一薄氧化物層352、及配置在第一薄氧化物層352上的一第二金屬層354。

此外，當軟層316是形成的第一磁層時，一薄氧化物層332便亦沉積在硬磁層336，以改善硬磁層336的生長。當利用一第二薄氧化物層332時，第二金屬層或硬層336包含一第一金屬部分320、配置在第一金屬部分320上的一第二薄氧化物層332；及配置在第二薄氧化物層332上的一第二金屬部分334。

本發明的具體實施例可透過減少或免除鐵磁或Neel耦合而達成技術上的優點，以改善電阻記憶體元件144/244/344的磁性質。在第一金屬層或硬層136/236的頂端表面的減低凹凸不平是透過使用本發明具體實施例的薄氧化物層132/236達成。薄氧化物層132/232可減低隨後形成層134/118/116/234/218/216的凹凸不平。同樣地，在軟層316

中形成的薄氧化物層 352 可減低在軟層 316 頂端表面的凹凸不平。薄氧化物層 132/232/332/352 最好是非常薄，且在記憶體元件 144/244/344 的阻抗上具有可忽略的影響。此外，隧連接合 118/218/318 的阻抗可是用在硬層 136/236/336 及/或軟層 316 中的薄氧化物層 132/232/332/352 而更正確決定。磁電阻元件 144/244/344 的磁性質亦可提高。

本發明的具體實施例在此是描述一 MRAM 裝置的特殊應用；然而，本發明的具體實施例亦具有應用，且在其他電阻半導體裝置應用方面是很有用。

雖然本發明是描述具體實施例，但是此描述並未受限制。描述具體實施例與本發明的其他具體實施例組合的各種不同修改對於熟諳此技者是顯然的。此外，處理步驟的順序可由熟諳此技者重新調整；然而，此仍然是在本發明的範圍內。因此，附錄申請專利包含任何此修改或具體實施例。而且，本專利的範圍並未侷限於在規格描述中的處理、機器、製造、材料合成、裝置、方法與步驟的特殊具體實施例。因此，附錄申請專利是包括在他們此處理、機器、製造、材料合成、裝置、方法、或步驟的範圍內。

圖式簡單說明

本發明的上述特徵可從下列連同附圖的詳細描述而更了解，其中：

圖 1 描述一先前技術 MRAM 陣列的一透視圖；

圖 2 顯示在圖 1 顯示的先前技術 MRAM 陣列的一上視圖；

圖 3 顯示在底部強磁堆疊與隧連接合的介面上具有凹凸

(13)

發明說明續頁

不平的一先前技術電阻記憶體元件的截面圖；

圖4是根據本發明的一具體實施例而描述一電阻記憶體元件的截面圖，有氧化物該電阻記憶體元件具有在底部強磁堆疊或硬層中形成的一薄氧化物層；

圖5顯示本發明的另一具體實施例；及

圖6顯示本發明的一具體實施例，包括在磁堆疊的軟層與硬層中的一薄氧化物層。

除非特別說明，否則在不同圖中的對應數字與符號可視為類似元件。圖式是清楚描述較佳具體實施例的相關觀點，且不必然依比例繪出。

圖式代表符號說明

12	位元線
14	磁堆疊
16	第二磁層
18	介電層
22	字線
20	第一磁層
30	凹凸不平上表面
136, 236	第一金屬層或硬層
144	電阻記憶體元件或磁隧通接合
116, 216	第二金屬層或軟層
118, 218	隧通接合
134, 234	第二金屬部分
132, 232	第一薄氧化物層
120, 220	第一金屬部分

(14)

發明說明續頁

- 222 導線
- 244 電阻記憶體元件
- 212 第一導線
- 213 隔離層
- 211 基板
- 10 MRAM裝置

肆、中文發明摘要

本發明係揭示一種電阻記憶體元件(144)、磁隨機存取記憶體(MRAM)裝置、及其製造方法，其中一薄氧化物層(132)是配置在該記憶體元件(144)的該第一金屬層(136)中。該薄氧化物層(132)包含一單分子層氧。該等隨後形成層(134/118/116)的凹凸不平會減低，且該等電阻記憶體元件(144)的磁能力可透過使用在該第一金屬層(136)中的薄氧化物層(132)而提高。

伍、英文發明摘要

A resistive memory element (144), magnetic random access memory (MRAM) device, and methods of manufacturing thereof, wherein a thin oxide layer (132) is disposed within the first metal layer (136) of the memory element (144). The thin oxide layer (132) comprises an oxygen mono-layer. The roughness of subsequently-formed layers (134/118/116) is reduced, and magnetic capabilities of the resistive memory element (144) are enhanced by the use of the thin oxide layer (132) within the first metal layer (136).

拾、申請專利範圍

1. 一種用於電阻記憶體裝置之電阻記憶體元件，其包含：
 - 一第一金屬層(136)，該第一金屬層包括：一第一金屬部分(120)，該第一金屬部分(120)包含至少一磁金屬層；一第一薄氧化物層(132)，其是配置在該第一金屬部分(120)上；及一第二金屬部分(134)，其是配置在該薄氧化物層(132)，該第二金屬部分(134)包含複數個磁金屬層；
 - 一隧通接合(118)；及
 - 一第二金屬層(116)，該第二金屬層(116)包括複數個磁金屬層。
2. 如申請專利範圍第1項之電阻記憶體元件，其中該第二金屬層(336)包括：一第一金屬部分(320)；一第二薄氧化物層(332)，其是配置在該第一金屬部分(320)；及一第二金屬部分(334)，其是配置在該第二薄氧化物層(332)。
3. 一種電阻半導體記憶體裝置，其包含：
 - 複數個第一導線(212)，其係彼此平行放置，且放置在一第一方向；
 - 複數個電阻記憶體元件(244)，其係配置在該第一導線(212)，該電阻記憶體元件(244)包含：
 - 一第一金屬層(236)，該第一金屬層(236)包括：一第一金屬部分(220)，該第一金屬部分(220)包含至少一磁金屬層；一第一薄氧化物層(232)，其是配置在該第一

金屬部分(220)；及一第二金屬部分(234)，其是配置在該第一薄氧化物層(232)，該第二金屬部分(234)包含複數個磁金屬層；

一隧通接合(218)，其是配置在該第一金屬層(236)；

一第二金屬層(216)，其是配置在該隧通接合(218)，該第二金屬層(216)包括複數個磁金屬層；及

複數個第二導線(222)，其是配置在該等電阻記憶體元件(244)，該等第二導線(222)是以一第二方向而彼此平行放置。

4. 如申請專利範圍第1或3項之電阻半導體記憶體裝置，其中該第一薄氧化物層(132、232)厚度為1毫微米或以下。
5. 如申請專利範圍第1或3項之電阻半導體記憶體裝置，其中該第一薄氧化物層(132、232)包含銅或CoFe。
6. 如申請專利範圍第1或3項之電阻半導體記憶體裝置，其中該第一薄氧化物層(132、232)包含一單分子層O₂分子。
7. 如申請專利範圍第1或3項之電阻半導體記憶體裝置，其中該第一薄氧化物層(132、232)包含大約2埃的氧。
8. 如申請專利範圍第1或3項之電阻半導體記憶體裝置，其中該第一金屬層第一金屬部分(220)包含大約1.0到1.5毫微米的鐵磁材料。
9. 如申請專利範圍第1或3項之電阻半導體記憶體裝置，其中該第一金屬層第二金屬部分(234)包含大約1.0到1.5毫微米的鐵磁材料。
10. 如申請專利範圍第3項之電阻半導體記憶體裝置，其中

- 該第二金屬層與第一金屬層第一及第二部分包含複數層 PtMn、CoFe、Ru、Al₂O₃ 和 NiFe 或其組合。
11. 如申請專利範圍第10項之電阻半導體記憶體裝置，其中該隧通接合(218)包含 Al₂O₃。
 12. 如申請專利範圍第3項之電阻半導體記憶體裝置，其中該電阻半導體裝置包含一磁隨機存取記憶體(MRAM)裝置。
 13. 如申請專利範圍第6項之電阻半導體記憶體裝置，其中該等第一及第二導線包含字線與位元線。
 14. 如申請專利範圍第6項之電阻半導體記憶體裝置，其中該第二金屬層包括：一第一金屬部分；一第二薄氧化物層，其是配置在該第一金屬部分；及一第二金屬部分，其是配置在該第二薄氧化物層。
 15. 一種用以製造電阻記憶體裝置的電阻記憶體元件之方法，其包含：
 - 提供一基板；
 - 在該基板上配置一第一金屬層；
 - 在該第一金屬層第一部分上形成一第一薄氧化物層；
 - 在該薄氧化物層上配置一第一金屬層第二部分；
 - 在該第一金屬層第二部分形成一隧通層；及
 - 在該隧通層上配置一第二金屬層，其中第二金屬與第一金屬層包含複數個鐵磁金屬層。
 16. 如申請專利範圍第15項之方法，其中該形成第一薄氧化物層包含形成具有1毫微米或更少厚度的一氧化物層。

17. 如申請專利範圍第15項之方法，其中該形成第一薄氧化物層包含形成一包含銅或CoFe之氧化物層。
18. 如申請專利範圍第15項之方法，其中該形成第一薄氧化物層包含形成一一單分子層O₂分子之氧化物層。
19. 如申請專利範圍第15項之方法，其中該形成第一薄氧化物層包含形成一包含大約2埃氧的氧化物層。
20. 如申請專利範圍第15項之方法，其中該配置第一金屬層第一部分包含在該基板上配置大約1.0到1.5毫微米的鐵磁材料，其中該配置第二金屬部分包含配置大約1.0到1.5毫微米的鐵磁材料。
21. 如申請專利範圍第15項之方法，其中該配置第二金屬層包含：
 - 在該隧通層上配置一第一金屬部分；
 - 在該第一金屬部分上配置一第二薄氧化物層；及
 - 在該第二薄氧化物層上配置一第二金屬部分。
22. 一種用以製造電阻記憶體裝置之方法，其包含：
 - 提供一半導體基板；
 - 在該基板上，以一第一方向形成複數個彼此平行的第一導線；
 - 在該等第一導線上配置複數個電阻記憶體元件，該等電阻記憶體元件包括一第一金屬層，該第一金屬層具有在那上面配置的一薄氧化物層；及
 - 在該等電阻記憶體元件上形成複數個第二導線，該等第二導線是以一第二方向而彼此平行放置。

23. 如申請專利範圍第22項之方法，其中該配置電阻記憶體元件包含：

在該等第一導線上配置一第一金屬層第一部分；
在該第一金屬層第一部分上形成一第一薄氧化物層；
在該第一薄氧化物層上配置一第一金屬層第二部分；
在該第一金屬層第二部分上形成一隧通層；及
在該隧通層上配置一第二金屬層，其中第二金屬與第一金屬層包含複數個鐵磁金屬層。

24. 如申請專利範圍第23項之方法，其中該配置第二金屬層包含：

在該隧通層上配置一第一金屬部分；
在該第一金屬部分上配置一第二薄氧化物層；及
在第二薄氧化物層上配置一第二金屬部分。

拾壹、圖式

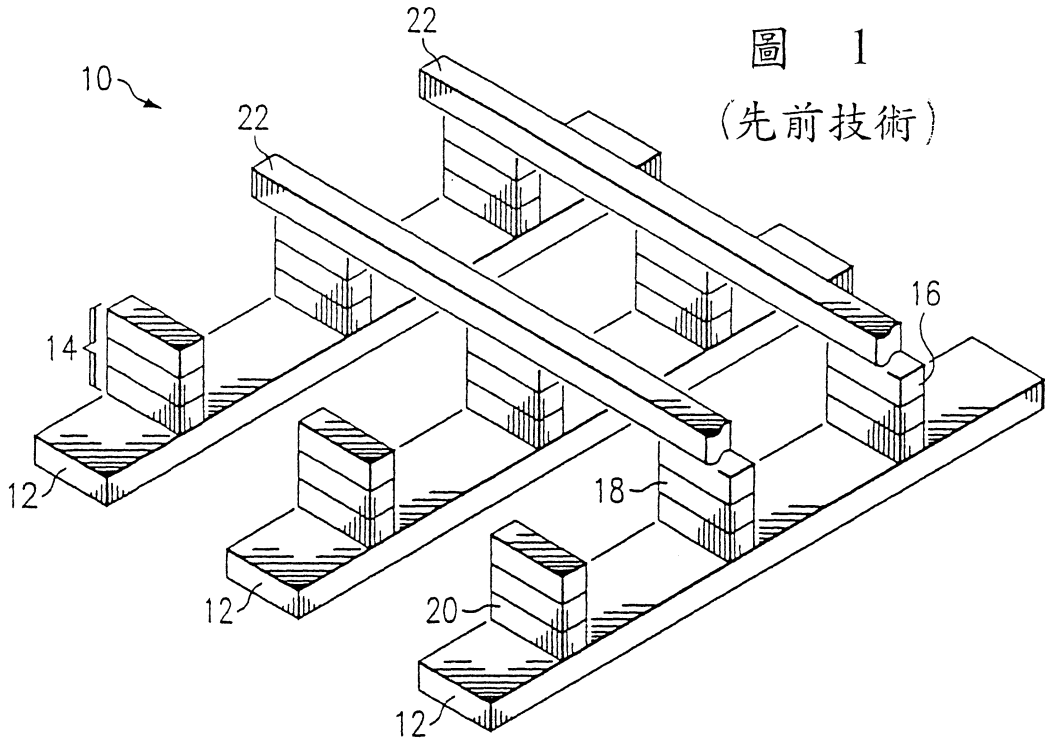


圖 1
(先前技術)

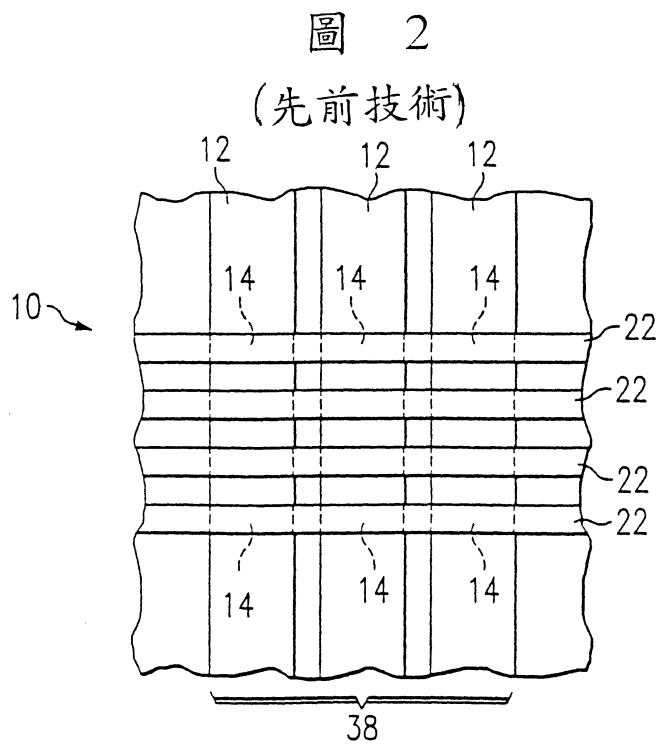


圖 2
(先前技術)

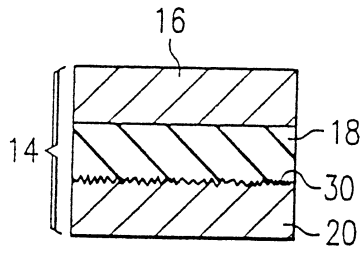


圖 3
〔先前技術〕

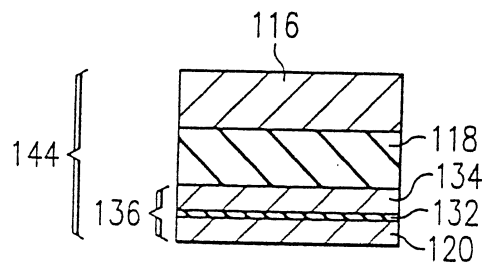


圖 4

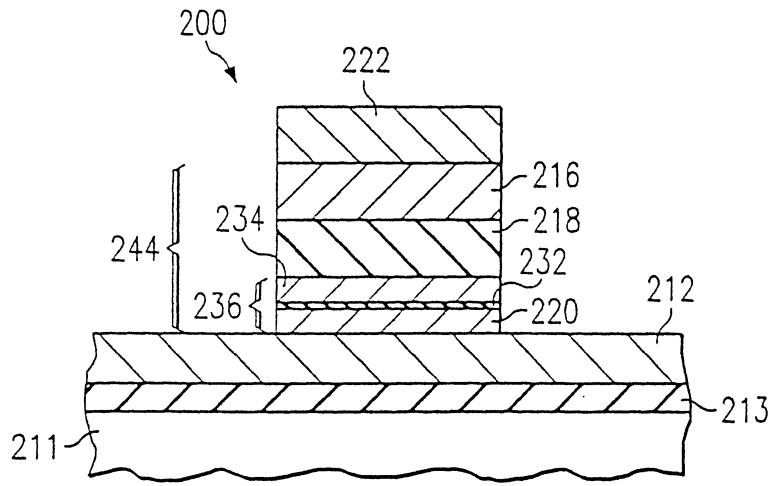


圖 5

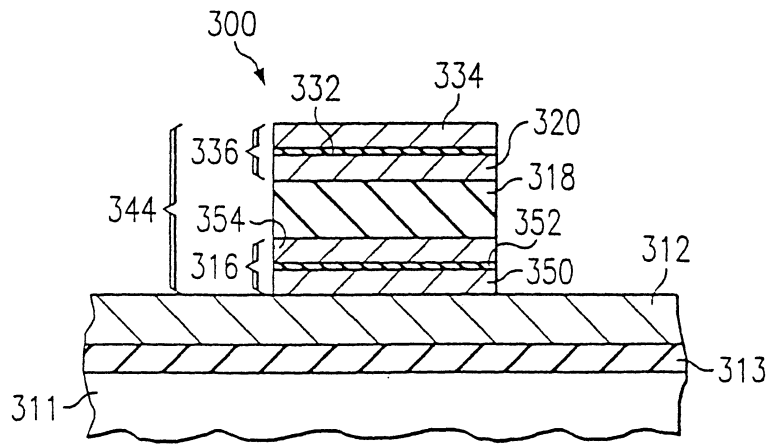


圖 6

陸、(一)、本案指定代表圖為：第 4 圖

(二)、本代表圖之元件代表符號簡單說明：

136	第一金屬層或硬層
144	電阻記憶體元件或磁隧通接合
116	第二金屬層或軟層
118	隧通接合
134	第二金屬部分
132	第一薄氧化物層
120	第一金屬部分

柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：