

	(19) 대한민국특허청(KR) (12) 공개특허공보(A)	(11) 공개번호 (43) 공개일자	10-2010-0061343 2010년06월07일
(51) Int. Cl.	(71) 출원인 고려대학교 산학협력단 서울 성북구 안암동5가1 고려대학교 내	(72) 발명자 이상훈 서울특별시 노원구 월계동 한진한화그랑빌 105-705	(74) 대리인 특허법인 신성
(21) 출원번호 (22) 출원일자 심사청구일자 (30) 우선권주장	H01L 43/06 (2006.01) H01L 43/08 (2006.01) 10-2009-0110314 2009년11월16일 2009년11월16일 1020080118761 2008년11월27일 대한민국(KR)		

전체 청구항 수 : 총 9 항

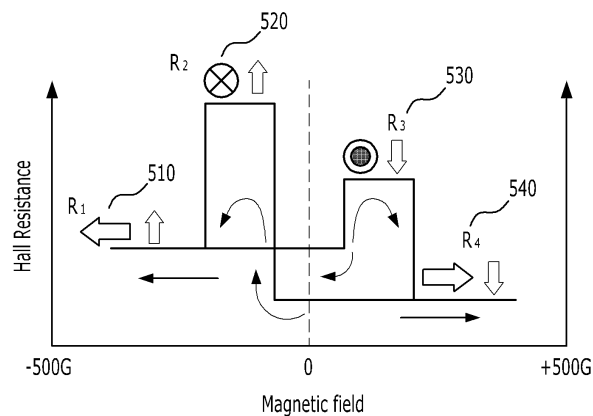
(54) 자기 정보 처리 장치 및 그 제조 방법

(57) 요약

본 발명은 정보 처리 장치 및 그 제조 방법에 관한 것으로서, 더욱 상세하게는 자기 정보 처리 장치 및 그 제조 방법에 관한 것이다.

본 발명에 따른 자기 정보 처리 장치는 기판 및 기판 위에 형성되고, 다축 자기 이방성 특성을 갖는 자성체를 포함하는 자성체층을 포함하고, 자성체는 결정구조를 포함하고, 자성체의 결정면과 자성체층의 면이 일치하지 않는다.

대표도 - 도5



특허청구의 범위

청구항 1

기관; 및

상기 기관 위에 형성되고, 다층 자기 이방성 특성을 갖는 자성체를 포함하는 자성체층을 포함하고,

상기 자성체는 결정구조를 포함하고, 상기 자성체의 결정면과 상기 자성체층의 면이 일치하지 않는, 자기 정보 처리 장치.

청구항 2

제1항에 있어서,

상기 자성체는 강자성체인, 자기 정보 처리 장치.

청구항 3

제1항에 있어서,

상기 기관은 결정구조를 포함하고, 상기 기관의 결정면과 상기 기관의 면이 일치하지 않는 기관인, 자기 정보 처리 장치.

청구항 4

제1항에 있어서,

상기 자성체에 자기장을 인가하기 위한 자기장인가수단을 더 포함하는, 자기 정보 처리 장치.

청구항 5

제1항에 있어서,

상기 자성체의 저항값을 측정하기 위한 저항측정수단을 더 포함하는, 자기 정보 처리 장치.

청구항 6

결정구조를 포함하는 기관을 형성하는 단계; 및

상기 기관 상에, 결정구조를 포함하고 다층 자기 이방성 특성을 갖는 자성체를 포함하는 자성체층을 형성하는 단계를 포함하고,

상기 기관은 상기 기관의 결정면과 상기 기관의 면이 일치하지 않도록 형성되는, 자기 정보 처리 장치 제조 방법.

청구항 7

제6항에 있어서,

상기 자성체는 강자성체인, 자기 정보 처리 장치 제조 방법.

청구항 8

기관을 형성하는 단계; 및

상기 기관 위에 다층 자기 이방성 특성을 갖는 자성체를 포함하는 자성체층을 형성하는 단계를 포함하고,

상기 자성체는 결정구조를 포함하고, 상기 자성체의 결정면과 상기 자성체층의 면이 일치하지 않도록 형성되는, 자기 정보 처리 장치 제조 방법.

청구항 9

제8항에 있어서,

상기 자성체는 강자성체인, 자기 정보 처리 장치 제조 방법.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 정보 처리 장치 및 그 제조 방법에 관한 것으로서, 더욱 상세하게는 자기 정보 처리 장치 및 그 제조 방법에 관한 것이다.

배경 기술

- [0002] 종래의 전자 기억 소자는 정보저장의 기본 "bit"에 두 개의 논리상태인 "0"과 "1"을 저장하는 2진(binary) 시스템 방식이다. 예를 들면, 반도체 소자에서는 두 개의 다른 전하상태를 저장하는 방법을 2진(binary) 시스템의 정보저장 원리로 이용하고 있고, 자성체소자에서는 두 개의 자화방향에 따른 자기상태를 저장하는 방법을 2진(binary) 시스템의 정보저장 원리로 이용하고 있다.
- [0003] 이와 같은 2진(binary) 시스템에서 정보저장의 밀도는 하나의 정보를 저장하는 "bit"의 밀도에 의해서 결정되므로 각 "bit"를 이루는 소자의 크기가 전체적인 정보저장의 용량을 결정짓는다.
- [0004] 따라서, 2진(binary) 시스템에서 정보저장의 용량을 증가시키는 방법은 하나의 bit"를 구성하는 소자의 크기를 축소하는 것이다.
- [0005] 최근 연구가 가장 활발히 진행되는 MRAM(Magnetic Random Access Memory) 소자 역시 2진(binary) 시스템을 기본으로 하는 기억 소자로서 자성체 삼중층 스핀밸브 구조에서 터널링 저항의 차이로 발생하는 두 저항 상태를 "0"과 "1"의 논리 상태로 응용하는 것이다. 따라서, 이러한 MRAM 소자 역시 복잡한 구조에 비해 정보저장의 용량은 여전히 2진(binary) 시스템의 한계를 갖는다.
- [0006] 이에 따라, 정보저장 용량의 향상을 단일 "bit"에 여러 상태의 정보를 저장하여 하는 방법으로 스핀밸브와 같은 자성체 삼중 층 구조에서 상대적 자화방향의 조합에 따른 4 개의 상태를 응용하려는 노력이 시도되었다.
- [0007] 도 1은 종래의 MRAM 소자의 핵심 부분인 스핀 밸브 구조를 자기장과 저항의 관계를 이용하여 개략적으로 도시한 도면이다.
- [0008] 도 1을 참조하면, 종래의 MRAM 소자는 스페이스층(103)을 기준으로 하층에 형성되어 센싱 역할을 수행하는 하드 자성층(105)과 상층에 형성되어 저장 역할을 수행하는 소프트 자성층(101)을 포함하여 구성된다.
- [0009] 종래의 MRAM 소자는 비자성층(103)을 사이에 둔 두 자성층(101, 105)의 스핀 방향이 같은 경우보다 다른 경우의 저항이 크게 달라지는 거대 자기저항(GMR: Giant MagnetoResistance) 현상을 이용한 것으로 스핀밸브 구조를 기본으로 함으로써 다중 자성층으로 구성된 구조를 갖는다.
- [0010] 소프트 자성층(101)의 자화방향을 워드라인에 전류를 흘림으로서 기록하고 두 자성층(101, 105)의 자화방향에

따른 저항 변화를 감지함으로써 기록된 자화방향을 읽게 된다.

- [0011] 그러나, 종래의 MRAM 소자는 스핀밸브를 구성하는 여러 자성층과 쓰고(word line), 읽는(read line) 역할을 수행하는 층이 더해져서 다중층의 복잡한 구조를 가짐으로써 공정상의 어려움과 생산성이 떨어지는 문제가 있다.
- [0012] 또한, 이러한 자성체 다층 구조는 구조가 복잡할 뿐만 아니라, 제1 자화방향(110)과 제4 자화방향(140)의 상태가 같은 저항값을 갖는 축퇴된 상태에 있고, 제2 자화방향(120)과 제3 자화방향(130)의 상태가 같은 저항값을 갖는 축퇴된 상태에 있어서, 각각 정보를 쓰고 읽는 절차가 복잡한 문제점이 있다.
- [0013] 또한, 하나의 셀 안에 저장할 수 있는 정보는 "0"과 "1"을 나타내는 1비트 데이터로 복잡한 구조에 비하여 저장된 정보량이 적은 문제점이 있다.

발명의 내용

해결 하고자하는 과제

- [0014] 따라서, 본 발명은 자성체가 다중 홀저항 상태를 갖도록 하여 정보 처리 용량과 처리 속도를 증가시키는 것을 목적으로 한다.
- [0015] 또한, 본 발명은 자기 정보 처리 장치의 두께를 감소시키고, 공정의 효율성을 향상시키는 것을 목적으로 한다.
- [0016]
- [0017] 본 발명의 다른 목적 및 장점들은 하기의 설명에 의해서 이해될 수 있으며, 본 발명의 실시예에 의해 보다 분명하게 알게 될 것이다. 또한, 본 발명의 목적 및 장점들은 특허청구범위에 나타난 수단 및 그 조합에 의해 실현될 수 있음을 쉽게 알 수 있을 것이다.

과제 해결수단

- [0018] 전술한 과제를 해결하기 위한 본 발명의 일 실시예에 따른 자기 정보 처리 장치는 기판 및 기판 위에 형성되고, 다층 자기 이방성 특성을 갖는 자성체를 포함하는 자성체층을 포함하고, 자성체는 결정구조를 포함하고, 자성체의 결정면과 자성체층의 면이 일치하지 않는다. 여기서, 자성체는 강자성체일 수 있다.
- [0019] 여기서, 기판은 결정구조를 포함하고, 기판의 결정면과 기판의 면이 일치하지 않을 수 있다.
- [0020] 여기서, 본 발명의 일 실시예에 따른 자기 정보 처리 장치는 자성체에 자기장을 인가하기 위한 자기장인가수단을 더 포함할 수 있다.
- [0021] 여기서, 본 발명의 일 실시예에 따른 자기 정보 처리 장치는 자성체의 저항값을 측정하기 위한 저항측정수단을 더 포함할 수 있다.
- [0022] 본 발명의 다른 실시예에 따른 자기 정보 처리 장치의 제조 방법은 결정구조를 포함하는 기판을 형성하는 단계 및 기판 상에, 결정구조를 포함하고 다층 자기 이방성 특성을 갖는 자성체를 포함하는 자성체층을 형성하는 단계를 포함하고, 기판은 기판의 결정면과 기판의 면이 일치하지 않도록 형성된다. 여기서, 자성체는 강자성체일 수 있다.
- [0023] 본 발명의 또 다른 실시예에 따른 자기 정보 처리 장치의 제조 방법은 기판을 형성하는 단계 및 기판 위에 다층 자기 이방성 특성을 갖는 자성체를 포함하는 자성체층을 형성하는 단계를 포함하고, 자성체는 결정구조를 포함하고, 자성체의 결정면과 자성체층의 면이 일치하지 않도록 형성된다. 여기서, 자성체는 강자성체일 수 있다.
- [0024] 상술한 목적, 특징 및 장점은 첨부된 도면과 관련한 다음의 상세한 설명을 통하여 보다 분명해 질 것이며, 그

에 따라 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 것이다. 또한, 본 발명을 설명함에 있어서 본 발명과 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에 그 상세한 설명을 생략하기로 한다. 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 일실시예를 상세히 설명하기로 한다.

효 과

- [0025] 본 발명에 의하면, 정보 처리 용량과 처리 속도가 향상된 자기 정보 처리 장치를 제공할 수 있고, 자기 정보 처리 장치의 두께를 감소시키고, 공정의 효율성을 향상시킬 수 있는 효과가 있다.

발명의 실시를 위한 구체적인 내용

- [0026] 이하의 내용은 단지 본 발명의 원리를 예시한다. 그러므로 당업자는 비록 본 명세서에 명확히 설명되거나 도시되지 않았지만 본 발명의 원리를 구현하고 본 발명의 개념과 범위에 포함된 다양한 장치를 발명할 수 있는 것이다. 또한, 본 명세서에 열거된 모든 조건부 용어 및 실시예들은 원칙적으로, 본 발명의 개념이 이해되도록 하기 위한 목적으로만 명백히 의도되고, 이와같이 특별히 열거된 실시예들 및 상태들에 제한적이지 않는 것으로 이해되어야 한다.
- [0027] 또한, 본 발명의 원리, 관점 및 실시예들 뿐만 아니라 특정 실시예를 열거하는 모든 상세한 설명은 이러한 사항의 구조적 및 기능적 균등물을 포함하도록 의도되는 것으로 이해되어야 한다. 또한 이러한 균등물들은 현재 공지된 균등물뿐만 아니라 장래에 개발될 균등물 즉 구조와 무관하게 동일한 기능을 수행하도록 발명된 모든 소자를 포함하는 것으로 이해되어야 한다.
- [0028] 본 명세서의 청구범위에서, 상세한 설명에 기재된 기능을 수행하기 위한 수단으로 표현된 구성요소는 예를 들어 상기 기능을 수행하는 회로 소자의 조합 또는 펌웨어/마이크로 코드 등을 포함하는 모든 형식의 소프트웨어를 포함하는 기능을 수행하는 모든 방법을 포함하는 것으로 의도되었으며, 상기 기능을 수행하도록 상기 소프트웨어를 실행하기 위한 적절한 회로와 결합된다. 이러한 청구범위에 의해 정의되는 본 발명은 다양하게 열거된 수단에 의해 제공되는 기능들이 결합되고 청구항이 요구하는 방식과 결합되기 때문에 상기 기능을 제공할 수 있는 어떠한 수단도 본 명세서로부터 파악되는 것과 균등한 것으로 이해되어야 한다.
- [0029] 상술한 목적, 특징 및 장점은 첨부된 도면과 관련한 다음의 상세한 설명을 통하여 보다 분명해 질 것이며, 그에 따라 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 것이다. 또한, 본 발명을 설명함에 있어서 본 발명과 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에 그 상세한 설명을 생략하기로 한다. 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 일실시예를 상세히 설명하기로 한다.
- [0030] 본 발명은 자기 정보 처리 장치 및 그 제조 방법에 관한 것으로서, 여기서 자기 정보 처리 장치는 RAM(Random Access Memory) 등을 포함하는 정보 저장 장치 또는 논리 처리 장치를 포함한다.
- [0031] 본 발명에서의 자성체는 결정구조를 포함하는 것으로서, 다축(양축, 삼축 등) 자기이방성 특성을 갖는 자성체를 의미한다. 자성체는 강자성체를 포함하는 것으로서, Fe, Co, Ni, Cr, permalloy, heusler alloy, 갈륨망간 아세네이드(GaMnAs), 게르마늄망간(GeMn) 등을 포함할 수 있고, 자성체는 단일 자기 도메인(domain)이거나, 또는 복수의 자기 도메인을 포함할 수 있다.
- [0032] 양축 자기 이방성 자성체는 평면에서 4방향의 자화 방향을 가질 수 있으며, 삼축 이상의 다축 자기이방성을 갖는 경우는 다중 자화 방향을 갖을 수 있다.
- [0033] 이하에서는 양축 자기 이방성(biaxial magnetic anisotropy)을 갖는 자성체에 대해 설명한다.

- [0034] 도 2는 양축 자기 이방성 자성체에서 자기 에너지가 최소가 되는 각도에서의 네 개의 자화 방향을 도시한 도면이다.
- [0035] 도 2를 참조하면, 4개의 화살표 방향이 네 개의 자화 방향을 나타낸다.
- [0036] 도 3은 양축 자기 이방성 자성체의 결정면과 양축 자기 이방성 자성체층의 면이 일치하는 경우, 자기 단일 도메인 상태에서 외부 자기장 스캔시 자화방향에 따른 평면 홀 저항(Plamar Hall Resistance: PHR)의 값이 변하는 이력 곡선을 개략적으로 도시한 것이다. 도 3에서 화살표 번호(1, 2, 3, 4)는 자기장 스캔의 방향을 나타내고, 굵은 화살표와 지면에 수직인 방향의 표시는 각 저항 상태에 대응되는 자화 방향을 나타낸다.
- [0037] 도 3을 참조하면, 높은 저항 값을 갖는 두 자화 상태(320, 330)와 낮은 저항 값을 갖는 두 자화 상태(310, 340)에 정보를 저장할 수 있어, 4가지의 정보를 저장할 수 있음을 알 수 있다.
- [0038] 따라서, 양축 자기 이방성 자성체를 이용하면, 도 1에서 도시된 종래의 자성체 삼중층 구조로 이루어진 스핀밸브 구조에서 얻을 수 있는 4개의 조합에 대응되는 상태를 단일의 자성체층으로 구현할 수 있는 효과가 발생한다.
- [0039] 그러나, 도 3과 같이 양축 자기 이방성 자성체의 결정면과 양축 자기 이방성 자성체층의 면이 일치하는 경우에도 이러한 4가지 상태 중 제1 자화상태(310)와 제4 자화상태(340)의 저항 값은 같고, 또한, 제2 자화상태(320)와 제3 자화상태(330)의 저항 값이 동일하기 때문에, 4가지 상태에 저장된 정보를 읽기 위해서는 종래의 스핀밸브 구조에서와 같은 복잡한 과정을 거쳐야 하는 문제점이 있다.
- [0040] 본 발명에서는 이러한 문제점을 해결하기 위해 양축 자기 이방성 자성체의 결정면(crystal plane)과 양축 자기 이방성 자성체층의 면(film plane)이 기울어지도록 하여 양면이 일치하지 않도록 자성체를 형성한다. 이렇게 하면, 평면 홀 효과(Planer Hall Effect: PHE)와 비정상 홀 효과(Anomalous Hall Effect: AHE)가 결합하여 4개의 자화 상태에 대한 홀 저항 값이 각각 분리되어 존재하게 됨으로써, 4가지 정보에 대한 읽기와 쓰기가 용이해지는 효과가 있다.
- [0041] 도 4는 자성체의 결정면과 자성체층의 면이 일치하지 않는 경우, 비정상 홀 효과(Anomalous Hall Effect: AHE)를 설명하기 위한 도면이다.
- [0042] 도 4를 참조하면, 자화 상태는 단일 도메인 상태에서 결정 평면에 존재하고, 자성체의 결정면과 자성체층의 면이 일치하지 않음으로 인해, 다른 자화 상태로 전환할 때 기울어진 결정면에 의해 서로 다른 비정상 홀 효과 값을 갖는 상태(410, 420)가 된다.
- [0043] 도 5는 본 발명에 따른 양축 자기 이방성 자성체의 결정면과 양축 자기 이방성 자성체층의 면이 일치하지 않는 경우(도 3의 평면 홀 효과와 도 4의 비정상 홀 효과가 결합되는 경우)에 4개의 자화 상태에 대한 홀 효과 이력 곡선을 도시한 도면이다.
- [0044] 도 5를 참조하면, 자성체의 결정면에서 자화 전환이 일어날 때 홀 효과의 이력 곡선을 통해 4개의 저항값인 R1, R2, R3, R4의 자화상태(510, 520, 530, 540)가 각각 서로 다른 상태임을 알 수 있다.
- [0045] 따라서, 외부에서 인가되는 자기장의 방향과 세기를 조절함으로써, 양축 자기 이방성 자성체의 결정면과 양축 자기 이방성 자성체층의 면이 일치하지 않는 자성체가 서로 다른 4개의 자화 상태 사이의 전환에 따른 홀 저항 값을 저장할 수 있다. 서로 다른 4개의 자화 상태에 따른 홀 저항 값으로 인해, 자성체 스핀 밸브 구조에 비해 저장된 정보를 정확하고 빠르게 읽을 수 있는 효과가 있다.
- [0046] 도 6은 본 발명에 따른 양축 자기 이방성 자성체의 결정면과 양축 자기 이방성 자성체층의 면이 일치하지 않는 경우에 자화의 자성체면의 수평과 수직성분에 의해 발생하는 평면 홀 효과와 비정상홀 효과를 설명하기 위한 도면이다.
- [0047] 도 6의 (a)를 참조하면, 양축 자기 이방성 자성체의 결정면(Crystal plane)과 양축 자기 이방성 자성체층의 면(Film plane)이 일치하지 않고, 양면이 α 의 각도로 기울어져 있으며, 결정면에서 자화의 방향이 바뀌는 경우에 자화의 성분이 자성체면의 수평과 수직 성분으로 이루어져 4개의 자화상태 (I, II, III, IV)를 가짐을

보여 주고 있다.

[0048] 도6의 (b)를 참조하면 도 6(a)에 보인 자화의 수평과 수직성분의 조합에 따른 평면 홀 저항(Planer Hall Resistance: PHR)과 비정상 홀 저항(Anomalous Hall Resistance: AHR)이 결합된 전체 홀 저항에 대해 4개의 홀 저항상태(I, II, III, IV)가 도시되었다.

[0049] 도 7은 본 발명에 따른 양측 자기 이방성 자성체의 결정면과 양측 자기 이방성 자성체층의 면이 이루는 기울어진 각도에 따른 홀 저항값에 대한 실험치를 설명하기 위한 도면이다.

[0050] 도 7을 참조하면, 좌측 도면은 양측 자기 이방성 자성체의 결정면과 양측 자기 이방성 자성체층의 면이 이루는 기울어진 각도(α)가 0도인 경우이고, 우측 도면은 양측 자기 이방성 자성체의 결정면과 양측 자기 이방성 자성체층의 면이 이루는 기울어진 각도(α)가 5도인 경우에 대한 도면이다. 각도(α)가 0도인 경우에는 2개의 홀 저항 값만을 갖는 반면, 각도(α)가 5도인 경우, 즉, 양측 자기 이방성 자성체의 결정면과 양측 자기 이방성 자성체층의 면이 일치하지 않는 경우에는 4개의 서로 다른 홀 저항 값이 측정됨을 확인할 수 있다.

[0051] 이 실험에서 자성체는 Fe를 사용하였고, 기판은 GaAs를 사용하였다.

[0052] 도 8은 본 발명에 따른 양측 자기 이방성 자성체의 결정면과 양측 자기 이방성 자성체층의 면이 일치하지 않는 경우에 서로 다른 4개의 홀 저항 값을 갖기 위한 자기장 인가 방법에 대한 예시를 보여주기 위한 도면이다.

[0053] 도 8을 참조하면, 전류(I)를 이용한 펄스 시퀀스를 이용하여 서로 다른 4개의 홀 저항 값(R1, R2, R3, R4)을 저장할 수 있다. 펄스 시퀀스에서 전류는 고전류(High)와 저전류(Low)로 구분될 수 있으며, 이에 부가하여 구현 예에 따라 중전류(Middle) 등이 추가될 수 있다.

[0054] 한편, 평면 홀 저항과 비정상 홀 저항이 결합된 전체 홀 저항을 수학적으로 설명하면 아래와 같다.

[0055] 단일 도메인 상태인 경우, 각 도메인은 4가지 자화 방향 중 자화가 쉬운(magnetic easy axes) 결정면의 방향으로 자화되며, 이 자기 상태의 전체 홀 저항 값은 아래의 [식1]과 같이, 평면 홀 저항과 비정상 홀 저항 값의 합으로 나타낼 수 있다. [식1]에서 첫번째항은 비정상 홀 효과에 따른 저항을 나타내며, 두번째항은 평면 홀 효과에 따른 저항을 나타낸다.

[0056] [식1]

$$R_H = \frac{\mu_0 R_s}{t} M \cos \theta + \frac{k}{t} M^2 \sin^2 \theta \sin 2\phi$$

[0057]

[0058] 여기서, k는 전류의 방향이 자화방향과 수직일 때와 평행일 때 비저항 값의 차이를 나타내고, t는 시료의 두께, Rs는 비정상 홀 상수를 나타내고, θ 는 자화가 박막표면(Film Planar)에 수직인 방향과 이루는 각도를 나타내고, ϕ 는 자화가 박막 시료면 안에서 전류방향과 이루는 각도를 나타낸다.

[0059] 양측 자기 이방성 자성체의 결정면과 양측 자기 이방성 자성체층의 면이 일치하는 경우에는 [식1]의 첫번째항인 비정상 홀 효과가 없으므로, 전체 홀 저항은 [식1]의 두번째항에 의해 결정되고, $\sin 2\phi$ 에 의해 도 3과 같이, 4가지 상태 중 제1 자화상태(310)와 제4 자화상태(340)의 저항 값은 같고, 또한, 제2 자화상태(320)와 제3 자화상태(330)의 저항 값이 동일하다.

[0060] 그러나, 양측 자기 이방성 자성체의 결정면과 양측 자기 이방성 자성체층의 면이 일치하지 않는 경우에는 [식1]의 첫번째항에서 $\phi=45^\circ, 225^\circ$ 인 자화 상태에서 $\phi=45^\circ$ 에 대해서는 양의 값으로 더해지고, $\phi=225^\circ$ 에 대해서는 음의 값으로 더해져 차이가 생기게 되며 이에 따라 저항 값이 분리된다. 또한, $\phi=135^\circ, 315^\circ$ 인 자화 상태에서 대해서도 비정상 홀 효과가 양과 음의 값으로 각각 더해지기 때문에 전체 홀 저항 값은 역시 분리된다. 이에 따라 양측 자기 이방성 자성체는 4개의 자화 방향에 각각 분리된 4개의 저항 상태를 갖는다.

[0061] 한편, 기억소자에 적용되는 경우, 읽기 동작시 전류라인에 센싱전류(Is)를 흘려보내 저장된 홀 저항 또는 자기 저항 값을 읽을 수 있으며, 이 경우 자기 저항 값의 측정은 아래의 [식2]에 의해 측정될 수 있다.

[0062] [식2]

$$R_{xx} = R_{\perp} + (R_{\parallel} - R_{\perp}) \cos^2 \varphi$$

[0063]

[0064] 여기서, [식2]의 첫번째항과 두번째항에서의 저항 R은 전류방향과 수직 또는 수평일 때 자성체의 저항 값을 측정한 것을 나타낸다.

[0065] 한편, 삼축 이상의 다축 자기이방성을 갖는 자성체는 양축 자기 이방성을 갖는 자성체에 비해 더 많은 저항 상태가 발생하는 것은 당업자에게 자명한 사실이므로, 전술한 본 발명을 삼축 이상의 다축 자기이방성을 갖는 자성체에 적용하는 것은 본 발명의 개시 내용에 포함된다.

[0066] 또한, 복수의 자기 도메인을 포함하는 자성체는 단일 자기 도메인을 포함하는 자성체에 비해 더 많은 저항 상태의 조합이 가능하다는 것은 당업자에게 자명한 사실이므로, 전술한 본 발명을 복수의 자기 도메인을 포함하는 자성체에 적용하는 것은 본 발명의 개시 내용에 포함된다.

[0067] 이하, 자기 정보 처리 장치와 자기 정보 처리 장치의 제조 방법에 대해 자세히 설명한다.

[0068] <자기 정보 처리 장치>

[0069] 이하에서는 본 발명에 따른 자기 정보 처리 장치를 설명한다.

[0070] 도 9는 본 발명에 따른 자기 정보 처리 장치를 설명하기 위한 도면이다.

[0071] 본 발명에 따른 자기 정보 처리 장치는 기판(901) 및 기판(901) 위에 형성되고, 다축 자기 이방성 특성을 갖는 자성체를 포함하는 자성체층(903)을 포함하는 것으로서, 자성체는 결정구조를 포함하고, 자성체의 결정면과 자성체층(903)의 면이 일치하지 않도록 형성된다. 여기서 일치하지 않도록 형성되는 것은 자성체의 결정면과 자성체층(903)의 면이 서로 일치하지 않고 기울어진 경우를 포함한다.

[0072] 자성체의 결정면과 자성체층(903)의 면이 일치하지 않도록 형성됨으로써, 평면 홀 효과와 비정상 홀 효과가 결합하게 되고, 이에 따라 서로 다른 홀 저항 값을 갖게 되는 효과가 발생한다. 예를 들어 양축 자기 이방성 특성을 갖는 자성체의 경우에는 서로 다른 4개의 홀 저항 값을 갖게 된다. 자성체는 강자성체일 수 있다.

[0073] 한편, 기판(901)은 결정구조를 포함하고, 기판(901)의 결정면과 기판(901)의 면이 일치하지 않는 기판(901)일 수 있다. 이렇게 구성하는 경우, 본 발명에 따른 자기 정보 처리 장치를 제조함에 있어서, 자성체를 성장시킬 때에 보다 용이하게 자성체의 결정면과 자성체층(903)의 면이 일치하지 않도록 형성할 수 있어 공정상의 이점이 있다. 기판(901)으로는 GaAs 또는 Si 등이 사용될 수 있다. 한편, 기판(901)이 포함하는 결정구조는 폴리 크리스탈 구조를 포함할 수 있다.

[0074] 본 발명에 따른 자기 정보 처리 장치는 자성체에 자기장을 인가하기 위한 자기장인가수단(905)을 더 포함할 수 있다. 자기장인가수단(905)은 자성체에 자기장을 인가함으로써 자성체에 홀 저항 값을 변화시키는 수단이다. 자기장인가수단(905)은 전류펄스를 공급하는 방법으로 구현될 수 있으며, 이를 위해 전류라인(905)이 구비될 수 있다. 전류펄스에 대한 시퀀스는 도 8에서 설명한 바와 같은 실시예로 구현이 가능하다. 한편, 자기장인가수단(905)은 복수의 전류라인으로 구성될 수 있으며, 기판(901)과 자성체층(903)의 사이에 절연층(미도시)과 함께 구성되거나, 자성체층(903)을 사이에 두고 상하로 복수의 전류라인이 구비될 수 있다. 부가적으로 전류라인에 따른 절연층(미도시)을 더 포함할 수 있다.

- [0075] 본 발명에 따른 자기 정보 처리 장치는 자성체의 저항값을 측정하기 위한 저항측정수단(907)을 더 포함할 수 있다. 저항측정수단(907)은 홀 저항의 값을 측정할 수 있다. 한편, 저항측정수단(907)은 자성체에 전압을 인가하는 전압인가수단 및 센싱전류(Is)를 인가하는 센싱전류인가수단을 포함할 수 있다.
- [0076] <자기 정보 처리 장치의 제조 방법>
- [0077] 이하에서는 본 발명에 따른 자기 정보 처리 장치의 제조 방법을 설명한다.
- [0078] 도 10는 본 발명에 따른 자기 정보 처리 장치의 제조 방법에 대한 일 실시예를 설명하기 위한 도면이다.
- [0079] 도 10을 참조하면, 본 발명의 일 실시예에 따른 자기 정보 처리 장치의 제조 방법은 결정구조를 포함하는 기판을 형성하는 단계 및 기판 상에, 결정구조를 포함하고 다층 자기 이방성 특성을 갖는 자성체를 포함하는 자성체층을 형성하는 단계를 포함한다. 여기서, 기판은 기판의 결정면과 기판의 면이 일치하지 않도록 형성된다. 여기서, 자성체는 강자성체일 수 있다.
- [0080] 소정의 기판이 결정구조를 포함하고, 기판의 결정면과 기판의 면이 일치하지 않는 경우, 기판 위에 자성체를 성장시키게 되면, 자성체도 소정의 기판의 결정면에 따라 자성체의 결정면과 자성체층의 면이 일치하지 않도록 형성된다. 이에 따라 본 실시예에서는 기판의 결정면과 기판의 면이 일치하지 않는 기판 위에 자성체는 성장시킴으로써, 공정상의 이점을 얻는 효과가 있다.
- [0081] 자성체에 자기장을 인가하기 위한 수단으로서, 절연막, 제1 및 제2 전류라인을 도 10과 같이 순차적으로 형성할 수 있으며, 부가적으로 보호막을 형성할 수 있다.
- [0082] 한편, 도 10에서의 기판은 자성체의 하면에 위치한 것으로서, 기판과 자성체 층 사이에는 절연막, 제1 및 제2 전류라인 등의 부가적인 층이 형성될 수 있다. 다만, 이 경우에는 부가적인 층들 중 자성체와 면하는 부가적인 층의 결정면이 부가적인 층의 면과 일치하지 않아야 하며, 이 때에는 이러한 부가적인 층은 기판에 포함되는 것으로 해석될 수 있다.
- [0083] 도 11은 본 발명에 따른 자기 정보 처리 장치의 제조 방법에 대한 다른 실시예를 설명하기 위한 도면이다.
- [0084] 도 11을 참조하면, 본 발명의 다른 실시예에 따른 자기 정보 처리 장치의 제조 방법은 기판을 형성하는 단계 및 기판 위에 다층 자기 이방성 특성을 갖는 자성체를 포함하는 자성체층을 형성하는 단계를 포함한다. 여기서, 자성체는 결정구조를 포함하고, 자성체의 결정면과 자성체층의 면이 일치하지 않도록 형성된다. 여기서, 자성체는 강자성체일 수 있다.
- [0085] 도 11은 도 10에서 설명한 기판과 자성체 층 사이에 제1 전류라인 및 절연막 등이 부가적으로 형성된 경우이다. 여기서, 기판은 일반적인 기판을 포함하는 것으로서, 비결정성 기판도 포함할 수 있다. 본 발명에 따른 자기 정보 처리 장치의 제조 방법에 대한 다른 실시예에서는 자성체층의 하부층의 결정면 등을 이용하지 않고, 자성체층을 자성체의 결정면과 자성체층의 면이 일치하지 않도록 형성하는 것이다.
- [0086] 예를 들어, 자성체층의 하부에 통상의 기판이 면하고 있는 경우, 기판과 자성체층을 차례로 형성하고, 형성된 자성체층을 비스듬히 절단함으로써 자성체의 결정면과 자성체층의 면이 일치하지 않도록 형성할 수 있다. 또한 자성체층의 하부에 도 11과 같이 절연막이 면하고 있는 경우, 절연막과 자성체층을 차례로 형성하고, 형성된 자성체층을 비스듬히 절단함으로써 자성체의 결정면과 자성체층의 면이 일치하지 않도록 형성할 수 있다. 물론, 현재의 다양한 반도체 공정에서의 수단을 이용하여 자성체의 결정면과 자성체층의 면이 일치하지 않도록 형성할 수 있음은 당연하다.
- [0087] 도 11에서도 자성체에 자기장을 인가하기 위한 수단으로서, 기판위에 제1 전류라인, 절연막을 순차적으로 형성하고, 그 위에 자성체층을 형성하며, 자성체층 위에 절연막, 제2 전류라인 등을 순차적으로 형성할 수 있다. 부가적으로 보호막을 형성할 수 있다.
- [0088] 본 발명에 따른 자기 정보 처리 장치와 그 제조 방법에 대한 상세한 설명은 상호 보완될 수 있다.

[0089] 이상에서 설명한 본 발명은, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하므로 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니다.

산업이용 가능성

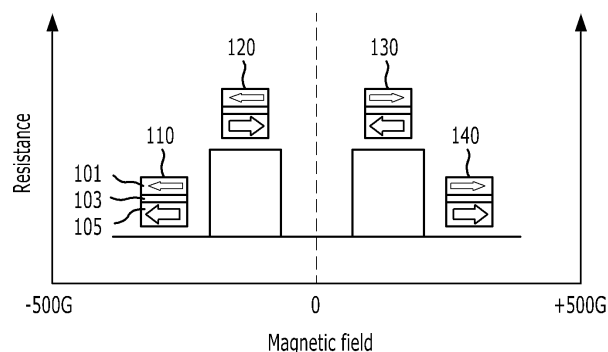
[0090] 본 발명은 자기 정보 처리 장치 및 그 제조 방법에 사용된다.

도면의 간단한 설명

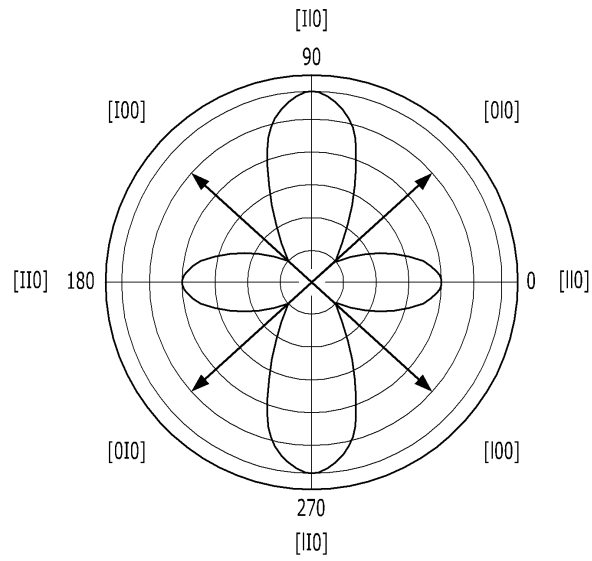
- [0091] 도 1은 종래의 MRAM 소자의 핵심 부분인 스핀 밸브 구조를 자기장과 저항의 관계를 이용하여 개략적으로 도시한 도면이다.
- [0092] 도 2는 양축 자기 이방성 자성체에서 자기 에너지가 최소가 되는 각도에서의 네 개의 자화 방향을 도시한 도면이다.
- [0093] 도 3은 양축 자기 이방성 자성체의 결정면과 양축 자기 이방성 자성체층의 면이 일치하는 경우, 자기 단일 도메인 상태에서 외부 자기장 스캔시 자화방향에 따른 평면 홀 저항(Plamar Hall Resistance: PHR)의 값이 변하는 이력 곡선을 개략적으로 도시한 것이다.
- [0094] 도 4는 자성체의 결정면과 자성체층의 면이 일치하지 않는 경우, 비정상 홀 효과(Anomalous Hall Effect: AHE)를 설명하기 위한 도면이다.
- [0095] 도 5는 본 발명에 따른 양축 자기 이방성 자성체의 결정면과 양축 자기 이방성 자성체층의 면이 일치하지 않는 경우(도 3의 평면 홀 효과와 도 4의 비정상 홀 효과가 결합되는 경우)에 4개의 자화 상태에 대한 홀 효과 이력 곡선을 도시한 도면이다.
- [0096] 도 6은 본 발명에 따른 양축 자기 이방성 자성체의 결정면과 양축 자기 이방성 자성체층의 면이 일치하지 않는 경우의 홀 저항(a)과 홀 효과(b)를 설명하기 위한 도면이다.
- [0097] 도 7은 본 발명에 따른 양축 자기 이방성 자성체의 결정면과 양축 자기 이방성 자성체층의 면이 이루는 기울어진 각도에 따른 홀 저항값에 대한 실험치를 설명하기 위한 도면이다.
- [0098] 도 8은 본 발명에 따른 양축 자기 이방성 자성체의 결정면과 양축 자기 이방성 자성체층의 면이 일치하지 않는 경우에 서로 다른 4개의 홀 저항 값을 갖기 위한 자기장 인가 방법에 대한 예시를 보여주기 위한 도면이다.
- [0099] 도 9는 본 발명에 따른 자기 정보 처리 장치를 설명하기 위한 도면이다.
- [0100] 도 10는 본 발명에 따른 자기 정보 처리 장치의 제조 방법에 대한 일 실시예를 설명하기 위한 도면이다.
- [0101] 도 11은 본 발명에 따른 자기 정보 처리 장치의 제조 방법에 대한 다른 실시예를 설명하기 위한 도면이다.

도면

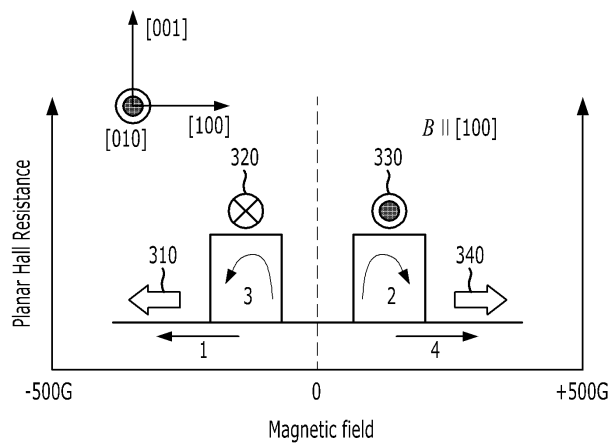
도면1



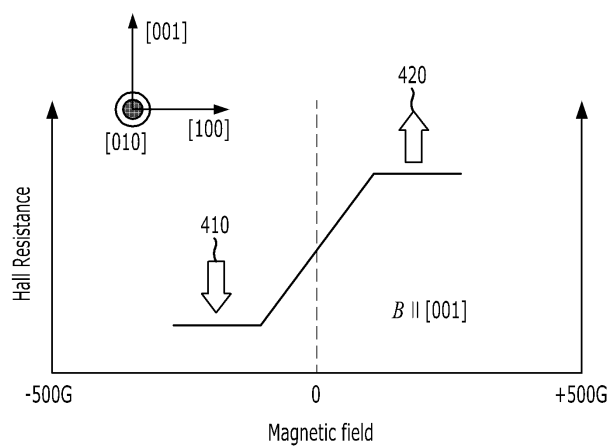
도면2



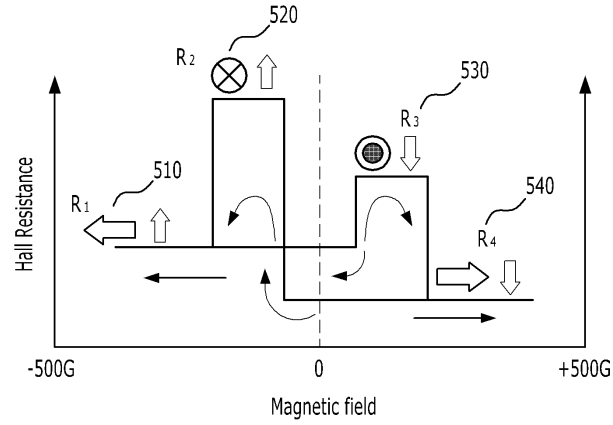
도면3



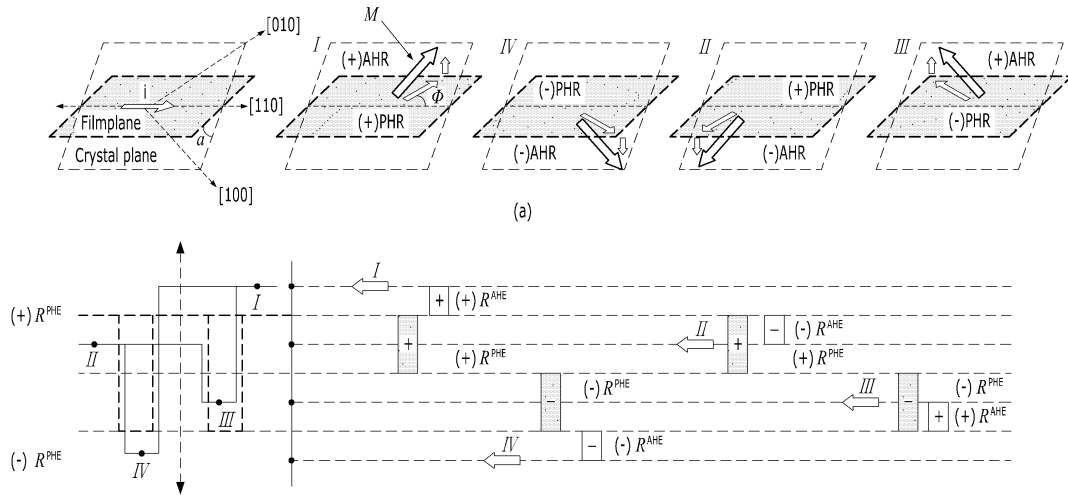
도면4



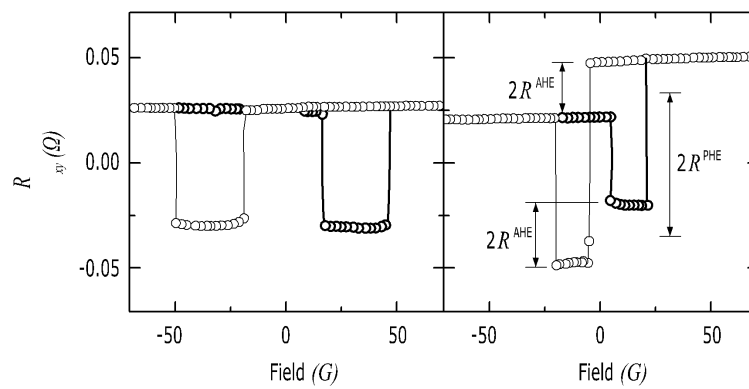
도면5



도면6



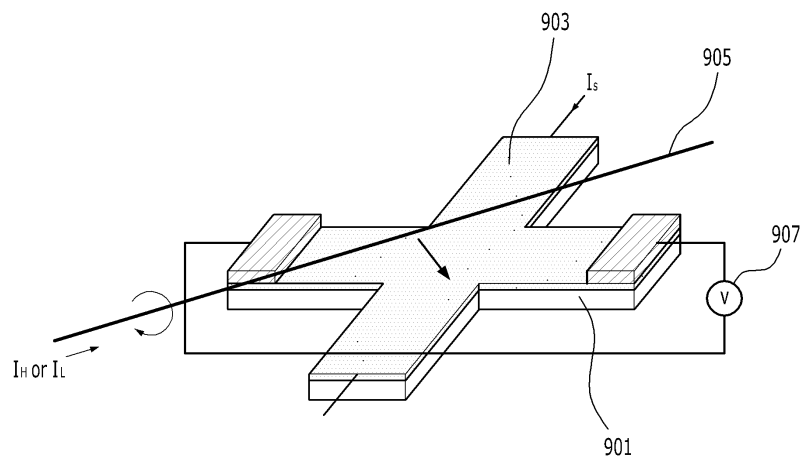
도면7



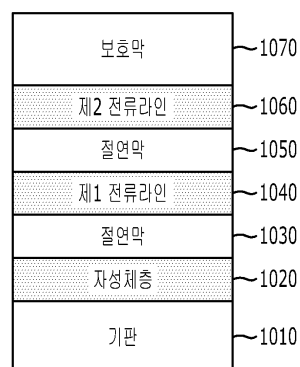
도면8

Inputpulses			Hall resistance	Logic states
I_H	I_L	Sequences	V_{xy}/I_s	V_{xy}/I_s
-1	0	0 $\xrightarrow{-I_H}$ t	R_1	"1"
+1	-1	0 $\xrightarrow{+I_H}$ t	R_2	"2"
-1	+1	0 $\xrightarrow{+I_L}$ t	R_3	"3"
+1	0	0 $\xrightarrow{-I_H}$ t	R_4	"4"

도면9



도면10



도면11

보호막	1170
제2 전류라인	1160
절연막	1150
자성체층	1140
절연막	1130
제1 전류라인	1120
기판	1110