

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
H03M 1/66

(45) 공고일자 1999년04월 15일

(11) 등록번호 특0186038

(24) 등록일자 1998년12월29일

(21) 출원번호	특1992-007318	(65) 공개번호	특1992-022690
(22) 출원일자	1992년04월30일	(43) 공개일자	1992년12월19일
(30) 우선권주장	691,712 1991년05월01일 미국(US)		
(73) 특허권자	원본드 일렉트로닉스 노오스 아메리카 코오폰레이슨	프레드 톤-준 첸	
(72) 발명자	미합중국, 캘리포니아 95054, 산타클라라, 스코트 브러바드 3350 뉴엔, 친 디.		
	미합중국, 캘리포니아 95148, 산 조스, 클레인 로오드 2721 수, 웨이 - 찬		
(74) 대리인	미합중국, 캘리포니아 95014, 쿠퍼티노, 페른 그로브 드라이브 867 나영환, 도두형		

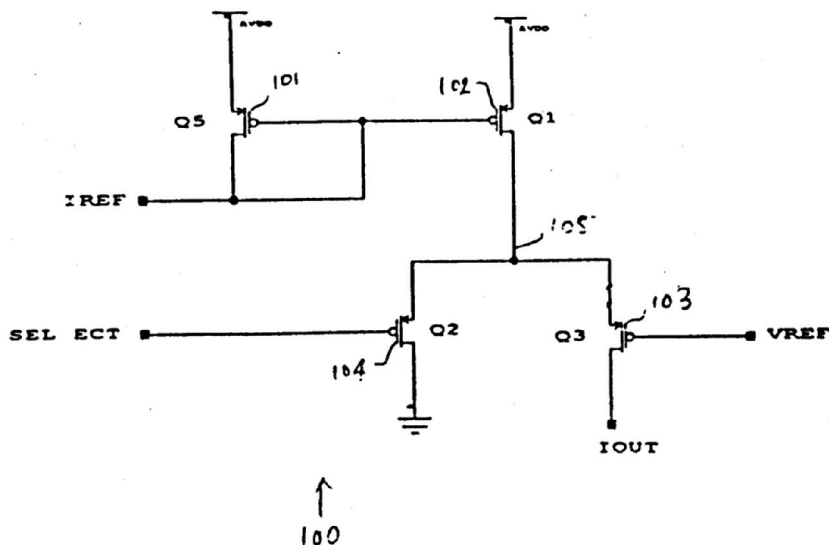
심사관 : 김종화

(54) 안정화 바이어스를 갖는 DAC 전류원

요약

전류 미러, 기준 전압으로 바이어스된 출력 트랜지스터, 및 스티어링 트랜지스터를 포함하는 디지털-대-아날로그 변화기(DAC) 전류원에 있어서, 출력 전류에서 전류 스파이크가 없는 DAC 전류원을 실행하는 구조물 및 방법이 제공된다. 출력 전류에서의 전류 스파이크는 스티어링 트랜지스터와 출력 트랜지스터 사이에서 저주파 통과 필터로서 동작하는 트랜지스터를 포함함으로써 방지된다. 일실시예에서, 이러한 DAC 전류원 회로는 PMOS 트랜지스터에 의해 실현된다.

대표도



명세서

[발명의 명칭]

안정화 바이어스를 갖는 DAC 전류원

[도면의 간단한 설명]

제1도는 종래 기술에서 광범위하게 사용된 DAC 전류원 회로(100)를 도시한 도면.

제2도는 회로(100)에서의 전류 스파이크를 설명하기 위해 도시된 비 여진 커패시터 C1를 갖는 제1도의 DAC 전류원 회로(100)를 도시한 도면.

제3a도는 본 발명에 따라 전류 기준 신호 IREF를 이용하는 DAC 전류원 회로(200a)를 도시한 도면.

제3b도는 본 발명에 따라 전압 기준 신호 COMP를 이용하는 다른 DAC 전류원 회로(200b)를 도시한 도면.

제3c도 및 제3d도는 제3a도 및 제3b도의 두 회로(200a, 200b)에서 사용된 전압 기준 신호 VREF를 발생시키는 회로에 적합한 회로를 두 레벨로 상세히 도시한 도면.

제3e도는 제3a도 및 제3b도의 회로(200a, 200b)에서 사용된 스티어링 전압 신호 SELECT를 발생시키는데 사용된 회로(350)를 도시한 도면.

제4도는 회로 시뮬레이터 HSPICE 를 사용하여 DAC 전류원 회로(200a)의 회로 시뮬레이션에 대한 네트리스트.

제5도는 제3a도의 회로(200a)에 의해 통상적으로 구동된 출력 부하의 회로 모델인데, 이 회로 모델은 제4도의 네트리스트에 포함되며 회로 시뮬레이션시에 사용됨.

제6도는 제4도의 네트리스트를 사용하는 회로 시뮬레이션에 의해 설명된 바와같이, 종래 기술의 DAC 전류원 회로(100)를 통해서, 본 발명에 따라, DAC 전류원 회로(200a)에서 전류원 파형의 개선을 설명하는 도면.

제7도는 본 발명의 제2실시예를 도시한 개략도.

* 도면의 주요부분에 대한 부호의 설명

100 : 종래 기술의 DAC 전류원 회로 101 ~ 104 : PMOS 트랜지스터

105 : 노드

200a : 본 발명의 DAC 전류원 회로

201 ~ 205 : PMOS 트랜지스터 206 : 노드

350 : 차동 증폭기

[발명의 상세한 설명]

본 발명은 집적 회로의 설계에 관한 것으로, 구체적으로는 집적 회로에 있어서의 전류원의 설계에 관한 것이다.

고속 스위칭 전류원은 비디오 디스플레이 디바이스와같이 여러 분야에서 사용된 고속의 디지털 대 아날로그 변환기(DAC)에서 발견된다. 이러한 고속 스위칭 전류원에 있어서의 바람직한 특성은 예컨대 노이즈 및 짧은 스위칭시간의 저 자화율에 있다.

제1도는 종래 기술의 DAC 전류원 회로(100)를 도시한다. 제1도에 도시된 바와같이, 회로(100)는 PMOS 트랜지스터들(101-104)을 구비한다. 회로(100)에서, 트랜지스터(101,102)의 게이트 단자는 공통으로 접속되어 있고 트랜지스터(101)의 드레인 단자에 있는 전압에 의해 바이어스되어 있다. 트랜지스터(101)의 드레인 단자에 있는 전류는 전류 기준 신호 IREF에 의해 억제된다. 트랜지스터(101,102)의 소스 단자는 통상적으로 5볼트인 전원 VDD에 접속되어 있다. 트랜지스터(102)의 드레인 단자는 노드(105)에서 트랜지스터(103,104)의 소스 단자에 접속되어 있다. 트랜지스터(103,104)의 게이트 단자에는 입력 신호 SELECT와 전압 기준 신호 VREF가 각각 공급된다.

DAC 전류원 회로(100)의 출력 전류 IOUT는 트랜지스터(103)의 드레인 단자에 의해 공급된다.

회로(100)의 동작은 다음의 식으로 나타낼 수 있는 소스 및 드레인 단자에서의 트랜지스터의 전류를 지지함으로써 알수가 있다.

$$I = 0.5 B \times (V_i - V_t)^2$$

여기에서 B는 트랜지스터의 제조 공정과 크기에 따른 매개변수이고, V_i 는 트랜지스터의 게이트 단자와 소스 단자간의 전압차이며, V_t 는 트랜지스터의 임계 전압이다. 이 임계 전압 V_t 와 매개변수 B는 제조 공정에 설정되고 트랜지스터 동작중에는 정상적으로 변화되지 않기 때문에, 트랜지스터(101)의 게이트 및 소스단자들간의 전압차 V_i 은 전류 기준 신호 IREF에 의해서 제어될 수 있다. 트랜지스터(101,102)의 게이트 단자들은 공통으로 접속되어 있고, 트랜지스터(101,102)의 소스 단자 둘다 전원 VDD에 접속되어 있기 때문에, 트랜지스터(102)의 소스 및 드레인 단자들은 전류 기준 신호 IREF를 일정하게 유지함으로써 실질상 일정하게 유지될 수 있다. 트랜지스터(101,102)의 크기가 실질상 동일하다면, PMOS 트랜지스터(101,102)는 전류 미러를 형성하는데, 여기서 IREF와 실질상 동일한 전류가 트랜지스터(102)의 소스 및 드레인 단자들을 흐르도록 형성될 수 있다. 트랜지스터(102)에서 이러한 일정한 전류는 저 전압 상태 또는 고 전압 상태로 생각될 수 있는 입력 신호 SELECT에 의해 트랜지스터들(103,104)중 하나로 흘러간다. 다른 방법으로는 전류 미러 트랜지스터(101)와 기준 전류 IREF를 사용하는 대신에, 트랜지스터(102)의 게이트 단자에서 적당한 기준 전압원을 접속하는 트랜지스터(102)의 소스 및 드레인 단자들에서 실질상 일정한 전류를 얻는 방법이 있다.

SELECT신호가 저 전압 상태로 전이할때(즉, 회로(100)가 비동작 모드에있을때), 트랜지스터(104)는 그의 포화 영역(즉, 저 임피던스)에서 동작하고, 노드(105)에서의 전압을 트랜지스터(104)의 크기에 의해 절정된 전압으로 감소시킨다. 노드(105)에서의 이러한 비동작 모드 전압은 임계전압 V_t 에 의한 전압 기준 신호 VREF를 초과하지 않도록 설계된다. 그 결과, 트랜지스터(103)는 회로(100)가 비동작 모드에 있을때 턴 오프된다. 따라서, SELECT신호는 트랜지스터(102)의 실질상 일정한 전류를 트랜지스터(104)로 흐르게 하여 출력 전류 신호 IOUT에 매우 작은 양의 누설 전류만이 있도록 한다. 전압 기준 신호 VREF에 대한 적절한 값은 1.2V로서, 이는 트랜지스터(103)의 소스 단자에서 고 출력 임피던스를 제공한다.

반대로, SELECT신호가 전원 VDD와 같이 고 전압 상태로 전이할때(즉, 회로(100)가 동작 모드에 있을때), 트랜지스터(104)는 노드(105)에서 전압이 상승하도록 턴 오프 된다. 회로(100)는 노드(105)의 전압이 트

랜지스터(103)를 턴 온 하도록 충분히 상승하여 트랜지스터(102)의 실질상 일정한 전류가 트랜지스터(103)의 소스 단자를 통해서 출력 전류 IOUT로서 흐르도록 설계되어 있다. 즉, SELECT신호가 전원 VDD에 있을때 트랜지스터(104)의 소스 및 드레인 단자 양단의 임피던스는 트랜지스터(103)의 출력 임피던스보다 높다.

회로(100)가 광범하게 사용되는 반면에, 회로(100)는 트랜지스터(104)의 비여진 커패시터(Parasitic Capacitor)로 인하여 중요한 결점을 갖게 된다. 이러한 비여진 커패시터의 한 예로는 제2도의 커패시터 C_1 이 있다. 실시예에 있어서, 이 커패시터 C_1 의 정전 용량은 약 0.2 pf가 된다.

회로(100)가 비동작 모드에 있을때, 트랜지스터(104)의 노드(105) 및 게이트 단자간의 전압차는 3V이다. 그러나, 회로(100)가 동작 모드로 전이할때, 즉 신호 SELECT가 접지 전압으로부터 전원 VDD로 전이하고, 처리시 트랜지스터(104)를 턴 오프하면, 커패시터 C_1 의 충전으로 노드(105)는 그 노드(105)의 동작 모드 안정-상태 전압을 순간적으로 오버슈트(overshoot)하여 각 전이동안 출력 전류 신호 IOUT에 있어서 전류 스파이크를 일으킨다. 여러 DAC 설계에 있어서, 이러한 전류 스파이크 효과를 결합된 전류원들보다는 출력 전류 때문이라고 말할 수 있다. 이러한 설계에 있어서, 이 전류원들의 출력 신호에 공통으로 접속된 전류 스파이크는 동시에 발생되어, 접지 플레인 및 VREF와 같이 접적 회로에서 기준 신호의 질에 손실을 줄 수 있는 가동 효과(cumulative effect)를 일으킬 수 있다.

그러므로, 전술한 전류 스파이크를 자화할 수 없는 DAC 전류원을 갖는 것이 매우 바람직하다.

본 발명에 따르면, 종래 기술의 DAC 전류원의 전류 스파이크로 자화할 수 없는 DAC 전류원을 실현하는 구조물 및 방법이 제공된다. 본 발명의 DAC 전류원은 비출력 모드에서 출력 모드로의 DAC 전류원의 전이 동안에 전류 스파이크를 평활화하기 위한 수단을 제공한다. 일실시예에 있어서, 이 평활 수단은 도체 상태로 되도록 바이어스된 트랜지스터가 된다.

본 발명은 첨부 도면을 참조하여 상세히 기술된 다음의 설명으로부터 보다 잘 알 수 있을 것이다.

제3a도는 본 발명에 따른 DAC 전류원 회로(200a)를 도시한다. 제3a도에서, PMOS 트랜지스터(201,202)는 전류 미러를 평정하는 동일한 크기(즉, 20/4의 채널 폭-대-길이 (W/L) 비율)로 되어 있다. 트랜지스터(201)의 드레인 단자에는 전류 기준 신호 IREF가 공급된다. PMOS 트랜지스터(203)와 PMOS 트랜지스터(204,205)의 결합은 트랜지스터(202)의 소스 및 드레인 단자들에 흐르는 전류(출력 전류)를 위한 교류 경로를 형성한다. 트랜지스터(203)의 적절한 크기는 15/2의 W/L 비율이고 트랜지스터들(204,405)의 적절한 크기는 15/1.5의 W/L 비율이다. 트랜지스터(203)의 게이트 단자에는 1.2V 와 같이, 기준 바이어스 전압 VREF가 공급되는데, 이 전압은 트랜지스터(203)의 드레인 단자 IOUT에서 고 출력 임피던스를 일으킨다. 트랜지스터(205)가 항상 도체 상태에 있도록 트랜지스터(205)의 게이트 단자는 접지에 접속되어 있다. 트랜지스터(204)의 게이트 단자에는 스티어링 또는 선택 신호 SELECT가 공급되는데, 이는 그 SELECT신호가 0V (접지 전압)에 있을때 출력 전류가 트랜지스터(204,205)를 통해서 흐르도록 하고, 그 SELECT신호가 5V(VDD)에 있을때 출력전류가 트랜지스터(203)를 통해 흐르도록 한다.

동작중에 SELECT신호가 0V 에서 5V 로 전이할때, 트랜지스터(205)의 부재시, 트랜지스터(204)의 게이트 및 소스 단자들간의 비여진 밀러 커패시터(Miller Capacitor) C_{21} 로 인해, 노드(206)에서의 전압은 트랜지스터(204)가 도체 상태에서 비도체 상태로 전이함에 따라 급격히 상승하게 된다. 그러나, 트랜지스터(205)의 게이트에서 전압 변화가 없기 때문에, 이에 대응하는 노드(206)에서 전압의 급격한 상승을 방지하기 위하여 트랜지스터(205)의 채널과 그 게이트-대-소스 밀러 커패시터 C_{22} 에서의 임피던스는 저주파 통과 필터를 형성한다. 따라서, 트랜지스터(203)의 드레인 단자 IOUT에서 출력 전류로 되는 전류 스파이크는 없게 된다.

제3b도는 제3a도의 트랜지스터(201)에 의해 공급된 전류 기준 신호 IREF보다는, 트랜지스터(202)의 게이트 단자에 있는 전압 기준 신호 COMP를 사용하는 DAC 전류원 회로(200b)를 도시한다. 전압 VREF은 또한 트랜지스터(202)의 드레인 및 소스 단자들에 흐르는 실질상 일정한 전류를 공급할때도 유효하다. 제3a도와 제3b도에서는 동일 기능 및/또는 구조를 갖는 대응 회로 소자들을 나타내는데 있어서 동일 참조 번호를 사용하였다.

제3c도 및 제3d도는 두 회로(200a,200b)의 전압 기준 신호 VREF를 공급하기에 적합한 회로(300)를 두 레벨로 상세히 도시하고 있다. 제3c도에 도시된 바와 같이, 회로(300)는 PMOS 트랜지스터들(301,302,302a,303,304,305), NMOS 트랜지스터(306), 및 차동 증폭기(350)를 구비한다(이 PMOS 트랜지스터(302a)는 여기에서 단락된 소스 및 드레인 단자들을 갖는 것으로 도시되어 있다. 이 트랜지스터는 또한 트랜지스터(302)의 크기가 소형화되도록 요구된 변화 처리를 위해 인에이블 될 수 있다. 이러한 경우에, 트랜지스터(302a)의 단락 회로는 트랜지스터(302a)를 기능적으로 하는 포토리소그래픽 플레이트 제조시 도체층만을 수정함으로써 개방될 수 있다). 전압 기준 신호 VREF가 내부적으로 공급 되었을때 회로(300)를 함께 디스에이블하는 전력 강하 회로(351,352)는 제3c도에서 도시되지 않았다. 기준 전압 신호 VREF는 SELECT신호가 발생되었을때(즉, 트랜지스터(203)가 온 상태에 있도록 요구될때)트랜지스터(203)(제3a도의 회로(200a) 또는 제3b도의 회로(200b)중의 하나에서)가 포화영역에서 유지되고, SELECT신호가 발생되지 않았을때(즉, 트랜지스터(203)가 오프 상태에 있도록 요구될때) 누설 전류를 최소화하도록 설계된다. 이러한 목적을 위한 양호한 전압은 SELECT가 발생되지 않았을때 다음과 같이 전압 기준 신호 VREF를 유지함으로써 공급된다:

$$VREF = V_{206} - V_t + \delta$$

여기에서 V_{206} 은 노드(206)(제3a도 또는 제3b도)에서의 전압이며, V_t 는 트랜지스터(203)의 임계 전압이고, 델타(δ)는 트랜지스터(203)에서의 누설 전류를 최소화하는 작은 안전-보호이다.

SELECT신호가 발생되지 않았을때 이 회로(300)가 상기 양호한 전압 VREF 을 공급하는 것을 설명하기 위해, 이 SELECT신호가 발생되지 않았을때(저 전압 상태) 제3a도의 트랜지스터(202,203,204)의 동작과 유사하게 동작하는 트랜지스터(301,302,303)가 관찰된다. 노드(206; 제3a도, 307; 제3c도)에서의 전압 V_{206} 및 V_{307} 은 각각 다음과 같이 주어진다 :

$$V_{206} = V_{GS_{204}} + V_{DS_{205}} \text{ 및}$$

$$V_{307} = V_{GS_{303}} + V_{DS_{302}}$$

여기에서 $V_{GS_{204}}$, $V_{DS_{205}}$, $V_{GS_{303}}$ 및 $V_{DS_{302}}$ 들은 각각 트랜지스터(204)의 게이트-대-소스 전압, 트랜지스터(205)의 드레인-대-소스 전압, 트랜지스터(303)의 게이트-대-소스 전압, 및 트랜지스터(302)의 드레인-대-소스 전압이다.

트랜지스터(301)의 크기는 그 포화 전류가 트랜지스터(202)의 약 4배가 되도록 설계된다. 그 결과로, 트랜지스터(204,303)가 둘다 포화 상태에 있을때 다음과 같이 도시될 수 있다.

$$V_{GS_{303}} = 2V_{GS_{204}} - V_t$$

그리고,

$$V_{DS_{302}} = V_{DS_{205}} + \delta$$

여기서 δ 는 트랜지스터(302,205)의 드레인-대-소스 전압간의 극소 차이이다. 따라서, 노드(307)에서의 전압은 다음과 같이 주어질 수 있다.

$$V_{307} = 2V_{GS_{204}} + V_{DS_{205}} - V_t + \delta$$

$$= V_{206} + V_{GS_{204}} - V_t + \delta$$

차동 증폭기(350), PMOS 트랜지스터(304,305), 및 NMOS 트랜지스터(306)는 노드(307,308)에서의 전압들을 등가화하기 위해 제공된다. 따라서, 출력 전압 기준 신호 VREF와 노드(308)에서 전압간의 차가 $V_{GS_{204}}$ 와 거의 동일한 트랜지스터(305)의 게이트-대-소스 전압 $V_{GS_{305}}$ 보다 크지 않도록 제한된다. VREF는 다음과 같이 제공된다 :

$$V_{REF} = V_{206} - V_t + \delta,$$

이는 상기에서 나타난 양호한 전압이 된다. 트랜지스터(304,202)의 W/L 비율이 실질상 동일하고 트랜지스터(204,305)의 W/L 비율이 실질상 동일한 것으로 인해, 트랜지스터(204,305)이 양쪽 전류가 거의 같기 때문에 전압 $V_{GS_{305}}$ 와 전압 $V_{GS_{204}}$ 은 거의 동일하다.

트랜지스터들(301-306)의 적합한 크기는 각각 80/4, 50/1.5, 20/4, 22/2 및 10/20이다. 전술한 원리에 따른 다른 크기들이 또한 양호한 효과를 제공할 수 있다.

제3d도는 더욱 상세한 회로(300)를 도시한다. 특히, 차동 증폭기(350)의 트랜지스터 회로가 제3b도에 도시되어 있다. 그리고, 외부 전압 기준 신호가 전압 기준 신호 VREF를 공급하기 위해 사용되는 경우에, 전력 강하 회로(351,352)가 기준 전압 회로(300)를 디스에이블하기 위해 또한 제공된다.

제3e도는 제3a도 및 제3b도의 회로들(200a,200b)에 사용하기에 적합한 SELECT신호를 공급하는 회로(375)를 도시한다. 제3e도에 도시된 바와같이, 회로(375)는 마스터/슬레이브(주/종)플립-플롭(377)과, 트랜지스터(379,380,381)를 갖는 인버터를 구비한다. 마스터/슬레이브 플립-플롭(377)은 전송 게이트(376a,376b)와, 인버터들(378a-378d)로 형성된 두 세트의 양단 결합된 인버터들을 구비한다. 따라서 마스터/슬레이브 플립-플롭(377)은 통상의 구성으로 되어 있다. 그러나, 본 기술 분야에서의 많은 다른 플립-플롭들도 마스터/슬레이브 플립-플롭(377)의 0-입력에 공급되는 입력 신호를 유지하기에 적합하다. 트랜지스터(379,380,381)로 형성된 인버터에 있어서, 트랜지스터(380)는 그 트랜지스터의 출력과 풀-업(pull-up)트랜지스터(379)사이에 접속되어 있다. 저 전압 상태에서 고 전압 상태로의 신호 SELECT의 전이동안 DAC 회로(200a,200b)에 있어서의 노이즈를 더욱 감소시키기 위하여, 신호 SELECT의 상승시간을 약하게 하도록 트랜지스터(380)가 제공된다. 예를들면, 트랜지스터(380,381,382)는 W/L 비율로서 나타난 11/1.5, 11/15, 5.5/2의 크기를 갖는다. 트랜지스터(380)는 PMOS 트랜지스터이고, 트랜지스터(381,382)는 NMOS 트랜지스터이다.

종래 기술에서 DAC 전류원 회로(100)를 거친 DAC 전류원 회로(200a)의 출력 전류에 있어서의 개선점은 회로 시뮬레이션으로 설명될 수 있다. 이 회로 시뮬레이션은 캐나다의 San Jose의 메가 소프트웨어로부터 이용가능한 MSPICE와 같이, 본 기술분야에서 주지된 회로 시뮬레이터를 사용하여 수행될 수 있다. HSPICE를 가지고 사용되기에 적합한 DAC 전류원 회로(200)의 네트리스트가 제4도에 도시되어 있다. HSPICE 네트리스트의 구문은 본 기술 분야에서 잘 알려져 있다. 실제 시뮬레이션을 제공하기 위해, 제4도의 네트리스트는 또한 출력 단자 IOUT에 접속된 부하 회로를 포함한다. 제5도에 도시된 이 부하 회로는 DAC 전류원 회로(200)가 동작하는 것으로 예측된 환경을 시뮬레이트 한다. 제5도에 도시된 바와같이, 이 부하 피로는 1-pf 커패시터(Cout), 5-pf 커패시터(c), 7-nH 인덕터(LOUT) 및 37.5-옴 저항기(ROUT)로 구성되어 있다.

제4도에서, 회로(200a)의 트랜지스터들(202,201)은 각각 네트리스트의 트랜지스터들(MM1,MM2)로 표시된다. 회로(200)의 트랜지스터(203)는 네트리스트의 트랜지스터(MM4)로 표시되고, 회로(200)의 트랜지스터들(204,205)은 네트리스트의 트랜지스터들(M102,MM3)로 각각 표시된다. 0.01pf 의사 커패시터는 회로(200a)의 노드(206)(제4도의 네트리스트에서는 노드 n377)에서 정전 용량의 모델로서 제공된다. 제4

도의 네트리스트에서, 트랜지스터들 M1, M17, MX, MY로 형성된 두개의 직렬 접속 인버터들이 트랜지스터 M102(제3도의 트랜지스터 204)의 게이트 단자에서 선택 신호 SELECT를 공급하는데 사용된다.

이 시뮬레이션은 10ns 떨어져 두 10ns 전압 펄스를 인버터들에 대한 입력으로서 사용하여, 40ns에 대해 0.01ns 시간 스텝으로 수행된다.

회로(200)의 트랜지스터(203)의 출력단자 IOUT에서 전류 파형이 제6도의 상부 도표의 파형(601)로 도시되어 있다. 비교를 위해, 종래 기술의 회로(100)의 출력 단자 IOUT에서 전류 파형이 하부 도표에 파형(602)로서 제공된다. 제6도에서 알 수 있는 바와같이, 전류 출력 파형(602)은 그 출력 전류가 온(출력 전류 있음)되거나 오프(출력 전류 없음) 될때마다 그 전류 출력에 있어서의 많은 출력 노이즈(링잉)를 나타낸다. 이와는 반대로, 파형(601)은 본 발명에 따라 비교적 스파이크가 없는 출력 전류를 나타낸다.

제7도는 본 발명의 다른 실시예가 되는 DAC 전류원 회로(700)를 도시한다. 비교를 용이하게 하기 위해, 회로들(200a, 700)에서 유사한 구조물에는 동일 참조 번호가 제공되었다. 회로(200a)가 독점적으로 PMOS 트랜지스터들을 구비하는 반면에, 회로(700)에서 트랜지스터(704, 705)(회로(200a)의 트랜지스터들(204, 205)와 유사함)은 NMOS 트랜지스터들이다. 이 PMOS 트랜지스터들은 NMOS 및 PMOS 트랜지스터들 모두가 존재하는 경우보다 더욱 간단한 분리 요구조건으로 인해 매우 밀집하게 짜여질 수 있기 때문에, 회로(200a)에서와 같이 PMOS 트랜지스터들 모두 사용하는 것은 실리콘 면적의 견지에서 불리하다. 반면, 회로(700)의 NMOS 트랜지스터들(704, 705)이 회로(200a)에서의 대응 PMOS 트랜지스터들(204, 205)보다 더욱 소형 트랜지스터들에 의해 실행될 수 있도록, NMOS 트랜지스터는 동일 크기의 PMOS 트랜지스터와 비교해 볼때 고 전류 구동을 제공한다.

상기 상세한 설명들은 본 발명의 특정 실시예를 설명하기 위한 것으로서, 본 발명을 한정하지는 않는다. 다음의 청구범위에 의해 정의된 본 발명의 범위내에서 여러가지의 변경 및 수정이 가능하다. 예를들면, 제3a도의 트랜지스터(205)의 저주파 통과 필터링 기능은 RC 회로에 의해 제공될 수도 있다.

(57) 청구의 범위

청구항 1

전류를 발생시키기 위한 수단과; 상기 전류를 출력하기 위해 상기 발생 수단에 접속된 수단과; 제1및 제2의 상태를 갖는 선택 신호로 제어되며 상기 선택 신호가 제1의 상태에 있을때 상기 전류를 상기 출력 수단으로 스티어링하기 위한 수단과; 상기 선택 신호가 상기 제1 및 제2의 상태사이를 전이할때 상기 전류에서의 전류 스파이크를 평활화하기 위해 상기 발생 수단과 상기 스티어링 수단 사이에 접속된 수단을 구비하는 것을 특징으로 하는 DAC 전류원 구조물.

청구항 2

제1항에 있어서, 상기 발생 수단은 게이트, 드레인 및 소스 단자들을 갖는 제1의 트랜지스터를 구비하는데, 상기 게이트 단자는 상기 전류가 상기 드레인 및 소스 단자들에서 흐르도록 하는 바이어스 전압을 수신하는 것을 특징으로 하는 DAC 전류원 구조물.

청구항 3

제1항에 있어서, 상기 출력 수단은 게이트, 소스 및 드레인 단자들을 갖는 트랜지스터를 구비하는데, 상기 트랜지스터의 상기 게이트 단자는 상기 전류가 상기 소스 및 드레인 단자들에서 흐를 수 있도록 하는 기준 전압을 수신하는 것을 특징으로 하는 DAC 전류원 구조물.

청구항 4

제1항에 있어서, 상기 스티어링 수단은 게이트, 드레인 및 소스 단자들을 갖는 트랜지스터를 구비하는데, 상기 선택 신호가 상기 제2의 상태에 있을때 상기 전류가 상기 드레인 및 소스 단자들에서 흐르도록, 상기 게이트 단자는 상기 선택 신호에 접속되어 있는 것을 특징으로 하는 DAC 전류원 구조물.

청구항 5

제4항에 있어서, 상기 평활화 수단은 게이트, 소스 및 드레인 단자들을 갖는 트랜지스터를 구비하는데, 상기 선택 신호가 상기 제2의 상태에 있을때 상기 전류가 상기 스티어링 수단의 상기 트랜지스터의 상기 드레인 및 소스 단자들에서 흐르도록, 상기 게이트 단자에는 도체 상태의 상기 트랜지스터를 바이어스 하는 기준 전압이 공급된 것을 특징으로 하는 DAC 전류원 구조물.

청구항 6

게이트, 소스 및 드레인 단자들을 가지며, 상기 소스 단자가 제1의 전원 전압을 수신하도록 접속되어 있고, 상기 게이트 및 드레인 단자들이 기준 전류를 수신하도록 접속되어 있는 제1의 트랜지스터와; 게이트, 소스 및 드레인 단자들을 가지며, 상기 소스 단자가 상기 제1의 전원 전압을 수신하도록 접속되어 있고, 상기 게이트 단자가 상기 제1의 트랜지스터의 상기 게이트 단자에 접속되어 있는 제2의 트랜지스터와; 게이트, 소스 및 드레인 단자들을 가지며, 상기 게이트 단자가 기준 전압을 수신하도록 접속되어 있고, 상기 드레인 단자가 제2의 전원 전압을 수신하도록 접속되어 있으며, 상기 소스 단자가 상기 제2의 트랜지스터의 상기 드레인 단자에 접속되어 있는 제3의 트랜지스터와; 게이트, 소스 및 드레인 단자들을 가지며, 상기 게이트 단자가 상기 제2의 전원 전압을 수신하도록 접속되어 있고, 상기 소스 단자가 상기 제2의 트랜지스터의 상기 드레인 단자에 접속되어 있는 제4의 트랜지스터와; 게이트, 소스 및 드레인 단자들을 가지며, 상기 게이트 단자가 선택 신호를 수신하도록 접속되어 있고, 상기 소스 단자가 상기 제4의 트랜지스터의 상기 드레인 단자에 접속되어 있으며, 상기 드레인 단자가 상기 제2의 전원 전압을 수신하도록 접속되어 있는 제5의 트랜지스터를 구비하는 것을 특징으로 하는 DAC 전류원 구조물.

청구항 7

게이트, 소스 및 드레인 단자들을 가지며, 상기 소스 단자는 제1의 전원 전압을 수신하도록 접속되어 있고, 상기 게이트 및 드레인 단자들은 기준 전류를 수신하도록 접속되어 있는 제1의 트랜지스터와; 게이트, 소스 및 드레인 단자들을 가지며, 상기 소스 단자는 상기 제1의 전원 전압을 수신하도록 접속되어 있고, 상기 게이트 단자는 상기 제1의 트랜지스터의 상기 게이트 단자에 접속되어 있는 제2의 트랜지스터와; 게이트, 소스 및 드레인 단자들을 가지며, 상기 게이트 단자는 기준 전압을 수신하도록 접속되어 있고, 상기 드레인 단자는 제2의 전원 전압을 수신하도록 접속되어 있으며, 상기 소스 단자는 상기 제2의 트랜지스터의 상기 드레인 단자에 접속되어 있는 제3의 트랜지스터와; 게이트, 소스 및 드레인 단자들을 가지며, 상기 게이트 단자는 상기 제1의 전원 전압을 수신하도록 접속되어 있고, 상기 드레인 단자는 상기 제2의 트랜지스터의 상기 드레인 단자에 접속되어 있는 제4의 트랜지스터와; 게이트, 소스 및 드레인 단자들을 가지며, 상기 게이트 단자는 선택 신호를 수신하도록 접속되어 있고, 상기 드레인 단자는 상기 제4의 트랜지스터의 상기 소스 단자에 접속되어 있으며, 상기 소스 단자는 상기 제2의 전원 전압을 수신하도록 접속되어 있는 제5의 트랜지스터를 구비하는 DAC 전류원 구조물.

청구항 8

전류를 발생시키기 위한 수단을 제공하는 단계와; 상기 전류를 출력하기 위한 수단을 제공하는 단계와; 제1 및 제2의 상태를 갖는 선택 신호가 제1의 상태에 있을때 이에 따라서 상기 전류를 상기 출력 수단으로 스티어링하기 위한 수단을 제공하는 단계와; 상기 선택 신호가 상기 제1 및 제2의 상태 사이를 전이할때 상기 발생 수단과 상기 스티어링 수단 사이에 접속된 수단에 의해 상기 전류에 있어서의 전류 스파이크를 평활화하는 단계를 포함하는 것을 특징으로 하는 DAC 전류원 제공방법.

청구항 9

제8항에 있어서, 상기 전류 발생 수단을 제공하는 단계는, 게이트, 드레인 및 소스 단자들을 가지며, 상기 게이트 단자가 상기 전류를 상기 드레인 및 소스 단자들에서 흐르게 하는 바이어스 전압을 수신하는 제1의 트랜지스터를 제공하는 단계를 포함하는 것을 특징으로 하는 DAC 전류원 제공방법.

청구항 10

제8항에 있어서, 상기 전류 출력 수단을 제공하는 단계는, 게이트, 소스 및 드레인 단자들을 가지며, 상기 게이트 단자가 상기 전류를 상기 소스 및 드레인 단자들에서 흐를 수 있도록 하는 기준 전압을 수신하는 트랜지스터를 제공하는 단계를 포함하는 것을 특징으로 하는 DAC 전류원 제공방법.

청구항 11

제8항에 있어서, 상기 전류 스티어링 수단을 제공하는 단계는, 게이트, 드레인 및 소스 단자들을 가지며, 상기 선택신호가 상기 제2의 상태에 있을때 상기 전류가 상기 드레인 및 소스 단자들에서 흐를 수 있도록, 상기 게이트 단자는 상기 선택 신호에 접속되어 있는 트랜지스터를 제공하는 단계를 포함하는 것을 특징으로 하는 DAC 전류원 제공방법.

청구항 12

제11항에 있어서, 상기 전류 스파이크를 평활화하는 단계는, 게이트, 소스 및 드레인 단자들을 가지며, 상기 선택 신호가 상기 제2의 상태에 있을때 상기 전류가 상기 스티어링 수단의 상기 트랜지스터의 상기 드레인 및 소스 단자들에서 흐를 수 있도록 상기 게이트에는 도체 상태에 있는 상기 트랜지스터를 바이어스 하는 기준 전압이 공급되는 트랜지스터를 제공하는 단계를 포함하는 것을 특징으로 하는 DAC 전류원 제공방법.

청구항 13

게이트, 소스 및 드레인 단자들을 가지며, 상기 소스 단자는 제1의 전원 전압을 수신하도록 접속되어 있고, 상기 게이트 및 드레인 단자들은 기준 전압을 수신하도록 접속되어 있는 제1의 트랜지스터를 제공하는 단계와; 게이트, 소스 및 드레인 단자들을 가지며, 상기 소스 단자는 상기 제1의 전원 전압을 수신하도록 접속되어 있고, 상기 게이트 단자는 상기 제1의 트랜지스터의 상기 게이트 단자에 접속되어 있는 제2의 트랜지스터를 제공하는 단계와; 게이트, 소스 및 드레인 단자들을 가지며, 상기 게이트 단자는 기준 전압을 수신하도록 접속되어 있고, 상기 드레인 단자는 제2의 전원 전압을 수신하도록 접속되어 있으며, 상기 소스 단자는 상기 제2의 트랜지스터의 상기 드레인 단자에 접속되어 있는 제3의 트랜지스터를 제공하는 단계와; 게이트, 소스 및 드레인 단자들을 가지며, 상기 게이트 단자는 상기 제2의 전원 전압을 수신하도록 접속되어 있고, 상기 소스 단자는 상기 제2의 트랜지스터의 상기 드레인 단자에 접속되어 있는 제4의 트랜지스터를 제공하는 단계와; 게이트, 소스 및 드레인 단자들을 가지며, 상기 게이트 단자는 선택 신호를 수신하도록 접속되어 있고, 상기 소스 단자는 상기 제4의 트랜지스터의 상기 드레인 단자에 접속되어 있으며, 상기 드레인 단자는 상기 제2의 전원 전압을 수신하도록 접속되어 있는 제5의 트랜지스터를 제공하는 단계를 포함하는 것을 특징으로 하는 DAC 전류원 제공방법.

청구항 14

게이트, 소스 및 드레인 단자들을 가지며, 상기 소스 단자는 제1의 전원 전압을 수신하도록 접속되어 있고, 상기 게이트 및 드레인 단자는 기준 전류를 수신하도록 접속되어 있는 제1의 트랜지스터를 제공하는 단계와; 게이트, 소스 및 드레인 단자들을 가지며, 상기 소스 단자는 상기 제1의 전원 전압을 수신하도록 접속되어 있고, 상기 게이트 단자는 상기 제1의 트랜지스터의 상기 게이트 단자에 접속되어 있는 제2의 트랜지스터를 제공하는 단계와; 게이트, 소스 및 드레인 단자들을 가지며, 상기 게이트 단자는 기준 전압을 수신하도록 접속되어 있고, 상기 드레인 단자는 제2의 전원 전압을 수신하도록 접속되어 있으며,

상기 소스 단자는 상기 제2의 트랜지스터의 상기 드레인 단자에 접속되어 있는 제3의 트랜지스터를 제공하는 단계와; 게이트, 소스 및 드레인 단자들을 가지며, 상기 게이트 단자는 상기 제1의 전원 전압을 수신하도록 접속되어 있고, 상기 드레인 단자는 상기 제2의 트랜지스터의 상기 드레인 단자에 접속되어 있는 제4의 트랜지스터를 제공하는 단계와; 게이트, 소스 및 드레인 단자들을 가지며, 상기 게이트 단자는 선택 신호를 수신하도록 접속되어 있고, 상기 드레인 단자는 상기 제4의 트랜지스터의 상기 소스 단자에 접속되어 있으며, 상기 소스 단자는 상기 제2의 전원 전압을 수신하도록 접속되어 있는 제5의 트랜지스터를 제공하는 단계를 포함하는 것을 특징으로 하는 DAC 전류원 제공방법.

청구항 15

입력 및 출력 단자들을 갖는 인버터 구조물에 있어서, 게이트, 소스 및 드레인 단자들을 가지며, 상기 게이트 단자는 상기 입력 단자에 접속되어 있고, 상기 소스 단자는 전원에 접속되어 있는 PMOS 트랜지스터와; 게이트, 소스 및 드레인 단자들을 가지며, 상기 게이트 및 드레인 단자는 상기 PMOS 트랜지스터의 상기 드레인 단자에 접속되어 있고, 상기 소스 단자는 상기 출력 단자에 접속되어 있는 제1의 NMOS 트랜지스터와; 게이트, 소스 및 드레인 단자들을 가지며, 상기 게이트 단자는 상기 입력 단자에 접속되어 있고, 상기 소스 단자는 접지 전압원에 접속되어 있으며, 상기 드레인 단자는 상기 출력 단자에 접속되어 있는 제2의 NMOS 트랜지스터를 구비하는 것을 특징으로 하는 인버터 구조물.

청구항 16

입력 및 출력 단자들을 갖는 인버터 구조물을 제공하는 방법에 있어서, 게이트, 소스 및 드레인 단자들을 가지며, 상기 게이트 단자는 상기 입력 단자에 접속되어 있고, 상기 소스 단자는 전원에 접속되어 있는 PMOS 트랜지스터를 제공하는 단계와; 게이트, 소스 및 드레인 단자들을 가지며, 상기 게이트 및 드레인 단자들은 상기 PMOS 트랜지스터의 상기 드레인 단자에 접속되어 있고, 상기 소스 단자는 상기 출력 단자에 접속되어 있는 제1의 NMOS 트랜지스터를 제공하는 단계와; 게이트, 소스 및 드레인 단자들을 가지며, 상기 게이트 단자는 상기 입력 단자에 접속되어 있고, 상기 소스 단자는 접지 전압원에 접속되어 있으며, 상기 드레인 단자는 상기 출력 단자에 접속되어 있는 제2의 NMOS 트랜지스터를 제공하는 단계를 포함하는 것을 특징으로 하는 인버터 구조물 제조방법.

청구항 17

제1의 전류를 공급하기 위한 수단과; 게이트, 소스 및 드레인 단자들을 갖는 제1채널 폭-대-길이비의 트랜지스터로서, 상기 게이트 단자는 기준 전압을 수신하고, 상기 소스 단자는 상기 소스 및 드레인 단자들에 걸쳐 흐르는 상기 제1의 전류를 수신하기 위해 상기 제1의 전류 수단에 접속되어 있는 출력 트랜지스터와; 게이트, 소스 및 드레인 단자들을 갖는 제2채널 폭-대-길이비의 트랜지스터로서, 상기 게이트 단자는 제1 및 제2의 상태를 갖는 스티어링 신호를 수신함으로써, 상기 스티어링 신호가 상기 제1의 상태에 있을때 상기 제1의 전류를 상기 소스 및 드레인 단자들에 걸쳐서 흐르도록 하여 상기 출력 트랜지스터의 상기 소스 단자에서 제1의 전압이 있도록 하는 스티어링 트랜지스터와; 상기 제1의 전류의 실질상 4배가 되는 제2의 전류를 공급하기 위한 출력 단자를 갖는 수단과; 게이트, 소스 및 드레인 단자들을 갖는 실질상 상기 제1채널 폭-대-길이비의 트랜지스터로서, 상기 게이트 단자와 상기 드레인 단자는 함께 접속되어 상기 기준 전압을 공급하고, 상기 소스 단자는 상기 제2의 전류 수단의 상기 출력 단자에 접속되어 있는 제1의 트랜지스터와; 게이트, 소스 및 드레인 단자들을 갖는 실질상 상기 제2채널 폭-대-길이비의 트랜지스터로서, 도체 상태에 있으며, 상기 제2의 전류가 상기 소스 및 드레인 단자들을 걸쳐 흐르는 상기 제2의 전류 수단으로부터 수신됨으로써 상기 제2의 전류 수단의 상기 출력 단자상에 제2의 전압이 있도록 접속되어 있는 제2의 트랜지스터와; 상기 제2의 전류 수단의 상기 출력 단자상의 전압과 상기 기준 전압을 등가화하기 위한 자동 증폭기를 구비하는 것을 특징으로 하는 DAC 전류원 구조물.

청구항 18

제17항에 있어서, 상기 스티어링 신호가 상기 제1의 상태에서 상기 제2의 상태로 전이할때 상기 제2의 전류에 있어서의 전류 스파이크를 평활화하기 위해 상기 스티어링 트랜지스터와 상기 출력 트랜지스터의 상기 소스 단자사이에 접속된 수단을 추가로 구비하는 것을 특징으로 하는 DAC 전류원 구조물.

청구항 19

제18항에 있어서, 상기 전류 평활 수단은 도체 상태에 있는 트랜지스터를 구비하는 것을 특징으로 하는 DAC 전류원 구조물.

청구항 20

제17항에 있어서, 상기 제1 및 제2의 전류 수단은 포화 상태의 트랜지스터를 각각 구비하며, 상기 제2의 전류 수단의 상기 트랜지스터는 상기 제1의 전류 수단의 상기 트랜지스터의 크기의 4배가 되는 것을 특징으로 하는 DAC 전류원 구조물.

청구항 21

제1의 전류를 공급하기 위한 수단을 제공하는 단계와; 게이트, 소스 및 드레인 단자들을 갖는 제1채널 폭-대-길이비의 트랜지스터로서, 상기 게이트 단자가 기준 전압을 수신하고, 상기 소스 단자가 상기 소스 및 드레인 단자들에 걸쳐 흐르는 상기 제1의 전류를 수신하기 위해 상기 제1의 전류 수단에 접속되어 있는 출력 트랜지스터를 제공하는 단계와; 게이트, 소스 및 드레인 단자들을 갖는 제2채널 폭-대-길이비의 트랜지스터로서, 상기 게이트 단자가 제1 및 제2의 상태를 갖는 스티어링 신호를 수신함으로써 상기 스티어링 신호가 상기 제1의 상태에 있을때 상기 제1의 전류를 상기 소스 및 드레인 단자들에 걸쳐서 흐르도록 하여 상기 출력 트랜지스터의 상기 소스 단자에 제1의 전압이 있도록 하는 스티어링 트랜지스터를 제공하는 단계와; 상기 제1의 전류의 실질상 4배가 되는 제2의 전류를 공급하기 위한 출력 단자를 갖

는 수단을 제공하는 단계와; 게이트, 소스 및 드레인 단자들을 갖는 실질상 상기 제1채널 폭-대-길이비의 트랜지스터로서, 상기 게이트 단자와 상기 드레인 단자가 함께 접속되어 상기 기준 전압을 공급하고, 상기 소스 단자가 상기 제2의 전류 수단의 상기 출력 단자에 접속되어 있는 제1의 트랜지스터를 제공하는 단계와; 게이트, 소스 및 드레인 단자들을 갖는 실질상 상기 제2채널 폭-대-길이비의 트랜지스터로서, 도체 상태에 있으며, 상기 제2의 전류가 상기 소스 및 드레인 단자들을 걸쳐 흐르는 상기 제2의 전류 수단으로부터 수신됨으로써 상기 제2의 전류 수단의 상기 출력 단자상에 제2의 전압이 있도록 접속되어 있는 제2의 트랜지스터를 제공하는 단계와; 상기 제2의 전류 수단의 상기 출력 단자상의 전압과 상기 기준 전압을 등가화하기 위한 차동 증폭기를 제공하는 단계를 포함하는 것을 특징으로 하는 DAC 전류원 구조물 제공방법.

청구항 22

제21항에 있어서, 상기 스티어링 신호가 상기 제1의 상태에서 상기 제2의 상태로 전이할때 상기 제1의 전류에 있어서의 전류 스파이크를 평활화하는 단계를 추가로 포함하는 것을 특징으로 하는 DAC 전류원 구조물 제공방법.

청구항 23

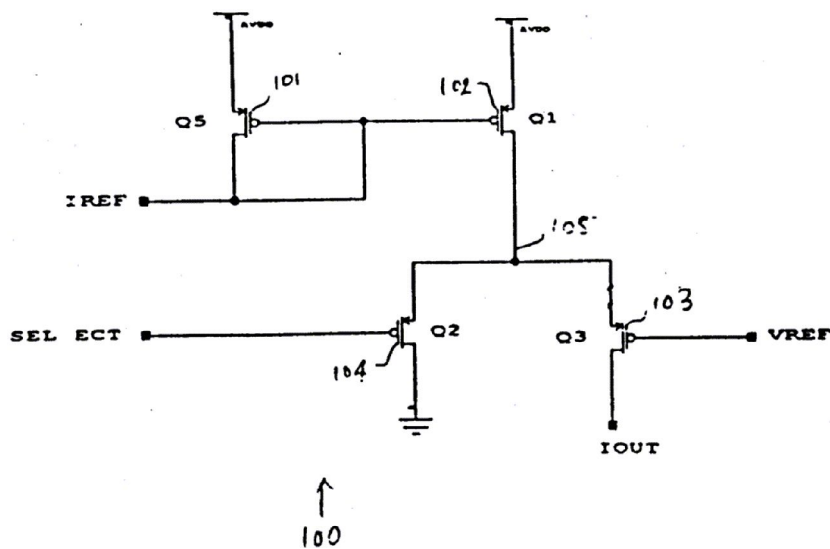
제22항에 있어서, 상기 전류 평활화하는 단계는 상기 스티어링 트랜지스터와 상기 출력 트랜지스터 사이에 접속된 도체 상태의 트랜지스터를 제공하는 단계를 포함하는 것을 특징으로 하는 DAC 전류원 구조물 제공방법.

청구항 24

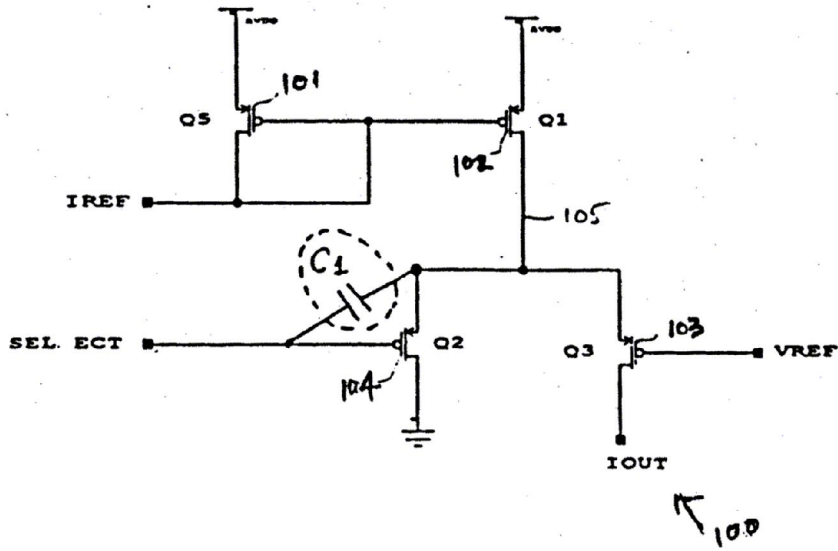
제23항에 있어서, 상기 제1 및 제2의 전류를 공급하는 단계는 포화 상태에 있는 트랜지스터를 제공하는 단계를 각각 포함하는데, 상기 제2의 전류를 공급하기 위한 상기 트랜지스터는 상기 제1의 전류를 공급하기 위한 상기 트랜지스터의 크기의 실질상 4배가 되는 것을 특징으로 하는 DAC 전류원 구조물 제공방법.

도면

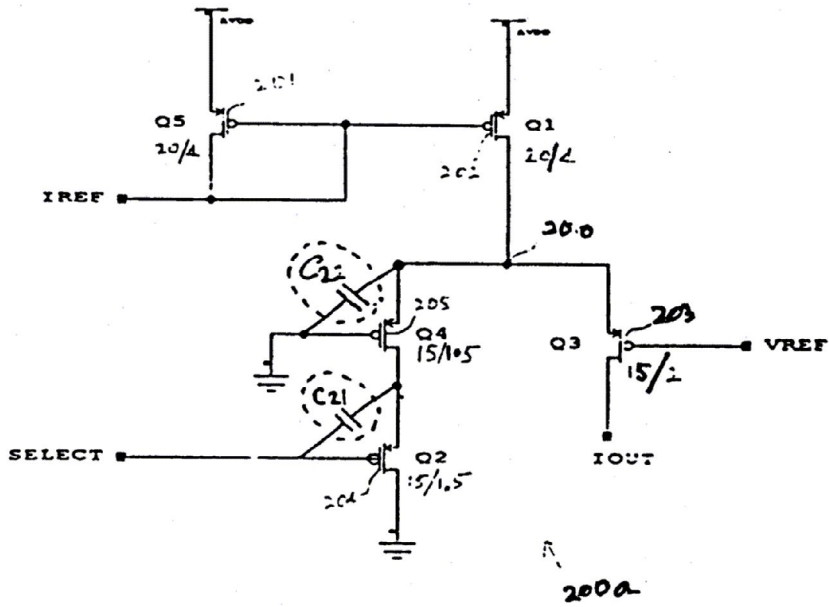
도면1



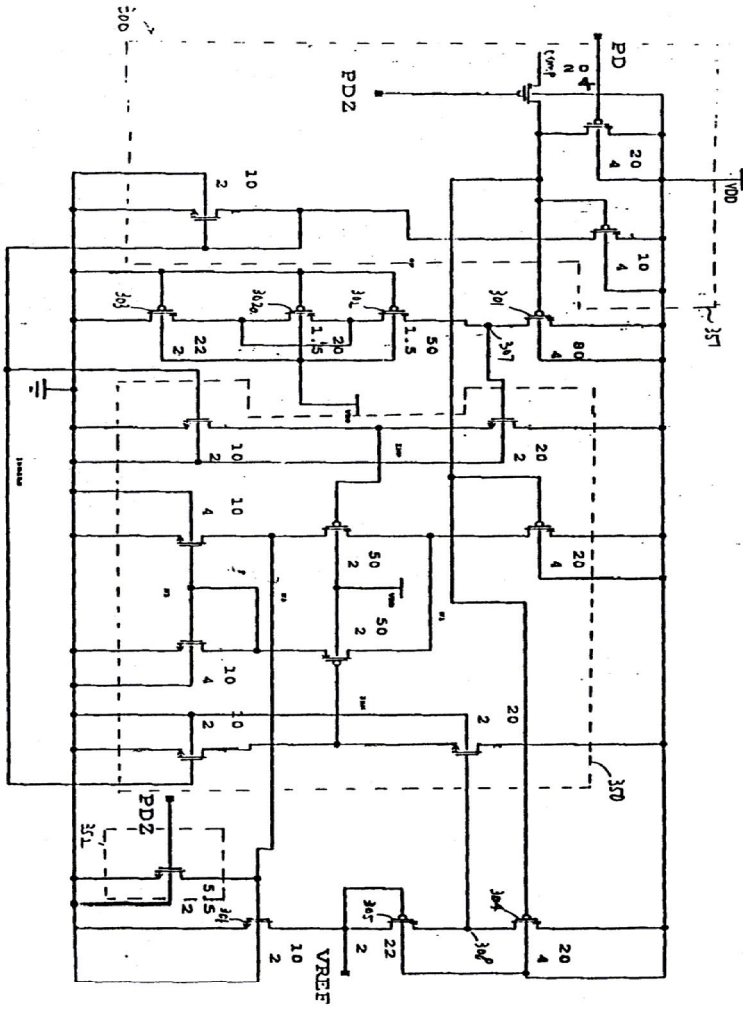
도면2



도면3a



도면3d



도면4

```

* PROJECT newdac1x by CHINH NGUYEN
.OPTION POST scale=1e-6 scaln=1
.OPTIONS BRIEF=0 nomod nopage
.PARAM TD=0n trf=1n pw=9n per=20n

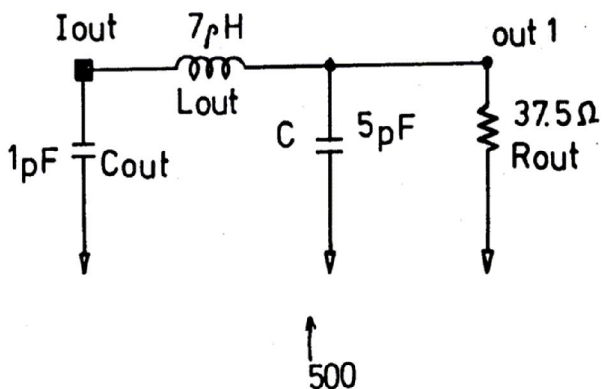
Vdacdec dacdec 0 PULSE (0,vdd,TD,TRF,TRF,PW,per)
Iref IREF 0 69uA
Vref VREF 0 1.2v
*Vdacdec dacdec 0 PWL (0ns 0v 5ns 0v 6ns vdd)

*****
Cout out 0 1pf
Lout out out1 7nH
Rout out1 0 37.5
C out1 0 5pf

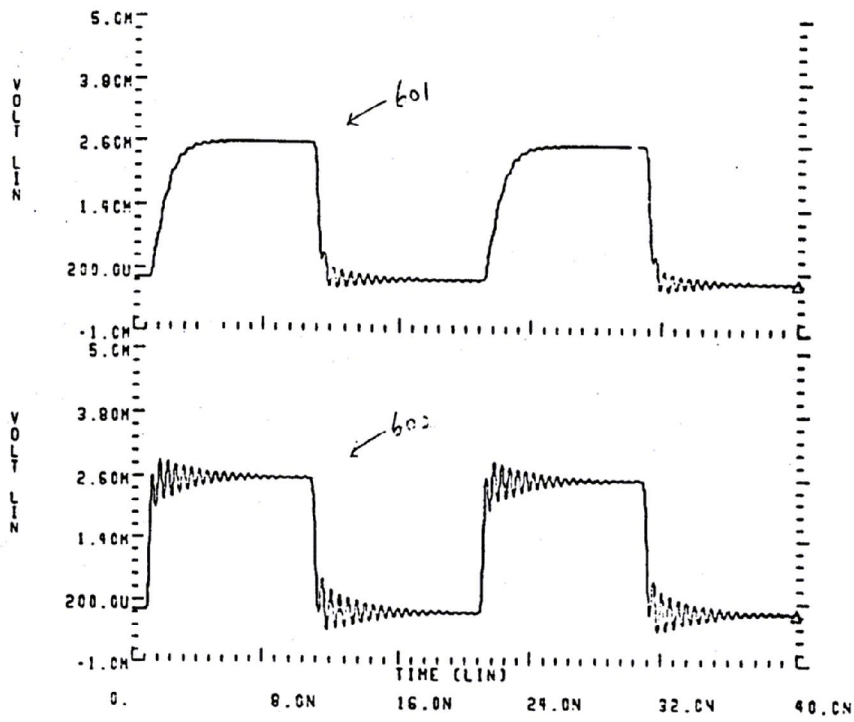
* WorkVIEW Wirelist Created with Version 3.11
MM1      N377 IREF VDD VDD PMOS L=4 W=20
MM2      IREF IREF VDD VDD PMOS L=4 W=20
c377     N377 0 0.01pJ
MM3      new vss N377 vdd PMOS L=1.5 W=15
MM4      OUT VREF N377 VDD PMOS L=2 W=15
MM102    new n382 vss vdd pmos l=1.5 w=15
M1       N382 DACDEC1 0 VSS NMOS L=1.5 W=6
M17      VDD DACDEC1 N382 VDD PMOS L=1.5 W=16
MX       DACDEC1 DACDEC 0 VSS NMOS L=1.5 W=6
MY       VDD DACDEC DACDEC1 VDD PMOS L=1.5 W=16
.TRAN .01ns 40ns
*.TEMP 100
.PRINT I(MM1) I(MM2) I(MM3) I(MM4) V(IREF) V(N377) V(OUT) V(OUT1)
.print i(mm100)
.LIB '/merc4c/w478/level3' typ5.0
.END

```

도면5



도면6



도면7

