

#### 四、聲明事項：

主張專利法第二十二條第二項第一款或第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

韓國、2006年6月12日、10-2006-0052585

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 九、發明說明：

### 【發明所屬技術領域】

本發明係有關於一種薄膜電晶體，更尤其係有關於一種使用穿隧效應之薄膜電晶體、一種用於製造薄膜電晶體之方法、以及使用此種薄膜電晶體之有機發光二極體顯示器。

### 【先前技術】

目前，薄膜電晶體是由以下元件所構成：源極與汲極，其將此等電子供應至半導體層，或將此等電子從半導體層導出；以及與此半導體層重疊之閘極電極。絕緣層設置在閘極電極與半導體層之間，以控制電流。此薄膜電晶體可以使用作為積體驅動電路，作為切換裝置以獨立地驅動液晶顯示器(LCD)之各次-像素，或者作為切換與驅動裝置，以獨立地驅動有機發光二極體顯示器(OLED)之各次-像素。此用於驅動 LCD 之次-像素之薄膜電晶體使用作為電壓供應裝置，以及此用於驅動 OLED 之次-像素之切換與驅動薄膜電晶體使用作為電流供應裝置。

例如，主動矩陣式 OLED 之各次-像素包括一有機發光二極體，其由以下所構成：有機發光層，其設置介於陰極與陽極之間；以及像素驅動單元，其獨立地驅動此有機發光二極體。此像素驅動單元根據一資料信號，以調整此供應至有機發光二極體電流之數量，因而控制此有機發光二極體之亮度。因此，此像素驅動單元包括：一切換薄膜電晶體、一電容器、以及至少一個驅動薄膜電晶體。

在此時，此驅動薄膜電晶體根據：此經由此切換薄膜電晶體而充電於電容器中之電壓，而控制此供應至有機發光二極體之電流數量，因此其須要快速電流供應。對於此快速電流供應，習知技術之薄膜電晶體具有增加之平面面積，以增加此源極與汲極所面對之通道寬度。然而，此包括驅動薄膜電晶體之像素驅動單元是設置在：並不具有有機發光層之非照明區域中。為了增加高寬比，較佳增加此薄膜電晶體之平面面積。對於此將電流供應至有機發光二極體之薄膜電晶體，因此較佳具有快速電流供應與減少之尺寸。

## 【發明內容】

本發明之優點為提供：一種薄膜電晶體、其適用於電流供應裝置、且亦可以獲得小尺寸，一種用於製造此種薄膜電晶體之方法，以及使用此種薄膜電晶體之有機電致發光顯示器。

薄膜電晶體包括：閘極電極與半導體層，此半導體層與閘極電極重疊。薄膜電晶體更包括：設置在半導體層與閘極電極間之第一絕緣層；第一與第二電極，其使用半導體層作為通道，且設置在不同層。薄膜電晶體亦包括：第二絕緣層，其設置在此半導體層與此等第一與第二電極之一之間；以及第一摻雜半導體層，其設置在此半導體層與此等第一與第二電極之另一之間。

在本發明之另一觀點中，薄膜電晶體包括：閘極電極，以及與此閘極電極重疊之半導體層。此薄膜電晶體更包括：設置在半導體層與閘極電極間之第一絕緣層；設置在此第一絕緣層與此半導體層間之第一電極；設置在此第一電極與半導體層間之第二絕緣層；以及設置在此半導體層上之第二電極。此第二電極與第一電極使用此半導體層作為通道。此薄膜電晶體亦包括：第一摻雜半導體層，其設置在此半導體層與此第二電極之間。

在本發明之還有另一觀點中，此用於製造薄膜電晶體之方法包括：在一絕緣基板上形成一閘極電極，以及在此絕緣基板上形成第一絕緣層。此第一絕緣層覆蓋此閘極電極。此用於製造薄膜電晶體之方法亦包括：在此第一絕緣層上形成第一電極，其中此第一電極與閘極電極重疊，而在此第一絕緣層上形成第二絕緣層，其中此第二絕緣層覆蓋此第一電極，以及在第二絕緣層上形成半導體層，其中，此半導體層與閘極電極以及此第一電極重疊。此用於製造薄膜電晶體之方法亦包括：在此半導體層上形成摻雜半導體層，以及形成此與半導體層重疊之第二電極。此摻雜半導體層形成介於第二電極與半導體層之間。

在本發明之還有另一觀點中，此有機電致發光顯示器包括：有機發光層；像素電極，其與此有機發光層重疊；共同電極，其與此像素電極重疊。此有機發光層設置介於共同電極與像素電極之間。此有機電致發光顯示器更包括：連接此像素電極之像素驅動部。此像素驅動部包括至少一個薄膜電晶體，其包括：閘極電極，與此閘極電極重疊之半導體層，設置介於此半導體層與此閘極電極間之第一絕緣層，以及此等第一與第二電極、其使用此半導體層作為通道，且設置在不同層。此等第一與第二電極之一連接像素電極。此至少一個薄膜電晶體更

包括：第二絕緣層，其設置在此半導體層與此等第一與第二電極之一之間；以及第一摻雜半導體層，其設置在此半導體層與此等第一與第二電極之另一之間。

應瞭解本發明以上一般性說明與以下詳細說明為典範與說明，其目的在於提供所主張本發明進一步解釋。

此等所附圖式其包括於此構成本發明之一部份、而用於提供本發明進一步瞭解，其用於說明本發明之實施例，而與此說明一起用於解釋本發明之原理。

### 【實施方式】

現在詳細說明本發明之較佳實施例，而在附圖中說明其例。當可能時，在此等圖中使用相同參考號碼，以稱呼相同或類似元件。

在以下參考所附圖式以說明此根據本發明之薄膜電晶體。

第 1 圖為橫截面圖，其說明此根據本發明第一實施例之薄膜電晶體。

如同於第 1 圖中所示，此根據本發明第一實施例之薄膜電晶體包括：半導體層 20，其與閘極電極 12 重疊；第一絕緣層 14，設置介於半導體層 20 與閘極電極 12 之間；第一電極 16，其與閘極電極 12 重疊。此第一絕緣層 14 設置介於：第一電極 16 與閘極電極 12 之間。此第一電極 16 與半導體層 20 重疊。第二絕緣層 18，設置介於第一電極 16 與半導體層 20 之間。此薄膜電晶體亦包括：此與半導體層 20 重疊之第二電極 24。摻雜半導體層 22 設置介於第二電極 24 與半導體層 20 之間。在以上之薄膜電晶體中，此使用半導體層 20 作為通道之第一與第二電極 16 與 24 是設置在不同層，以及此用於電子穿隧之第二絕緣層 18 設置在半導體層 20 與第一電極 16 之間。

閘極電極 12 形成於絕緣基板 10 上。在此其上設置閘極電極 12 之絕緣基板 10 上形成第一絕緣層 14，即，閘極絕緣層覆蓋閘極電極 12。然後，此作為汲極電極之第一電極 16 形成於第一絕緣層 14 上，其中，第一電極 16 與閘極電極 12 部份地重疊。換句話說，此第一電極 16 具有重疊部份，其與閘極電極 12 之一些部份重疊，以致於此第一絕緣層 14 設置介於第一電極 16 與閘極電極 12 之間；第一絕緣層 14 具有非重疊部份，其由重疊部份延伸，且並不與閘極電極 12 重疊。在此時，第一電極 16 可以由金屬材料例如：鋁(Al)、鉻(Cr)、銅器(Cu)、鉬(Mo)、或其合金所形成；或可以由透明導電材料層例如、銦錫氧化物(ITO)、錫氧化物(TO)、銦鋅氧化物(IZO)、或銦錫鋅氧化物(ITZO) 所形成。當其由透

明導電材料層所形成時，此第一電極 16 與有機發光層重疊。因此，第一電極 16 可以使用作為像素電極，其驅動有機發光層，以及從此有機發光層透射光線。

然後，在此第一絕緣層 14 上形成第二絕緣層 18，在此第一絕緣層 14 上設置第一電極 16，其中，第二絕緣層 18 覆蓋第一電極 16。此第二絕緣層 18 相當薄，其例如薄於  $1000\text{\AA}$ ，電流經由此層以有效電子穿隧而平穩地流過。此第二絕緣層 18 由無機絕緣層例如：矽氧化物  $\text{SiO}_x$ 、矽氮化物  $\text{SiN}_x$ 、以及鋁氧化物  $\text{Al}_2\text{O}_3$  所形成。

在第二絕緣層 18 上形成半導體層 20，其與閘極電極 12 以及第一電極 16 部份地重疊。換句話說，半導體層 20 具有重疊部份而與閘極電極 12 重疊，以致於此第一與第二絕緣層 14 與 18 設置介於半導體層 20 與閘極電極 12 之間且亦具有延伸部份，其由此重疊部份朝閘極電極 12 之外延伸。在此實施例中，半導體層 20 具有延伸部份，其由重疊部份朝向第一電極 16 相反方向延伸。而且，半導體層 20 之重疊部份與第一電極 16 部份地重疊，以致於第二絕緣層 18 設置在半導體層 20 與第一電極 16 之間。

在此半導體層 20 上形成第二電極 24 作為源極電極，而與半導體層 20 以及閘極電極 12 部份地重疊。此外，摻雜半導體層 22 設置介於半導體層 20 與第二電極 24 之間，其藉由歐姆接觸以降低電阻。這即是，此第二電極 24 具有一重疊部份，其與半導體層 20 重疊，以致於此摻雜半導體層 22 設置介於第二電極 24 與半導體層 20 之間，且其具有延伸部份，其從此重疊部分朝半導體層 20 之外延伸，因而與第二絕緣層 18 接觸。

在此實施例中，此第二電極 24 之延伸部份從此重疊部份朝第一電極 16 之相反方向延伸。而且，此與半導體層 20 重疊之第二電極 24 之重疊部份、與設置在第一絕緣層 14 下之閘極電極 12 部份地重疊。然而，第二電極 24 並未與第一電極 16 重疊。

在以上之薄膜電晶體中，此電流根據此施加至閘極電極 12 之電壓、使用第二絕緣層 18 之穿隧效應，而在第一與第二電極 16 與 24 間流動。此第二絕緣層 18 薄地形成於半導體層 20 與第一電極 16 之間。在此實施例中，此等經由半導體層 20 通過之電子之大部份經由：設置在半導體層 20 與第二電極 24 之面向橫向邊緣間之第二絕緣層 18 之預先確定部份而穿隧，因而，電流在第一與第二電極 16 與 24 間流動。在此根據本發明之薄膜電晶體中，此電流之強度是根據

施加至閘極電極 12 之閘極電壓而控制。而且，可以藉由調整半導體層 20 與第二絕緣層 18 之有效厚度而控制電阻元件。因此，電流之最大強度可以根據此施加至閘極電極 12 之電壓而控制。

因此，為了維持在當電壓未施加至閘極電極 12 時之切斷(off)狀態，如同在第 2A 圖中所示，此電子流是由半導體層 20 之導電帶所中斷、此導電帶高於第一與第二電極 16 與 24 之費米(FERMI)位準  $E_f$ ，即由半導體層之高電阻與第二絕緣層 18 之能量阻障所中斷。如果是藉由將閘極電壓施加至閘極電極 12 之導通(on)情形中，如同在第 2B 與 2C 圖中所示，此靠近第二絕緣層 18 之半導體層 20 之導電帶被降低至費米位準  $E_f$ ，因此，半導體層 20 具有高導電性。而且，第二絕緣層 18 之厚度減少，以致於電流在第一與第二電極 16 與 24 間流動。因為，半導體層 20 之導電帶根據施加至閘極電極 12 之電壓而改變，而可以控制電流強度。而且，此最大電流強度是根據：半導體層 20 與第二絕緣層 18 之厚度而決定。

根據本實施例，此最大電流強度可以藉由半導體層 20 與第二絕緣層 18 之厚度、即其高度而決定，以致於可以達成相較於控制平面區域之情形之減少尺寸。

第 3A 至 3C 圖說明在第 1 圖中所示薄膜電晶體之變化結構，而其重點在於半導體層 20、摻雜半導體層 22、以及第二電極 24。

參考第 3A 與 3B 圖，此第二電極 24 與第一電極 16 之一側重疊，以致於此摻雜半導體層 22、半導體層 20、以及第二絕緣層 18 設置在第二電極 24 與第一電極 16 之間。因此，此在第二絕緣層 18 中產生電子穿隧之面積增加，因此，電流量增加。特定而言，此等經由半導體層 20 通過之電子經由：第一電極 16 之之表面與半導體層 20 之下表面之預先確定部份間之第二部份穿隧而過，此第二部份對應於：第一與第二電極 16 與 24 間之重疊部份，以及半導體層 20 與第一電極 16 之面向橫向邊緣之間之第一部份。因此，第一與第二電極 16 與 24 間流動之電流數量增加。如同於第 3A 圖中所示，半導體層 20 與摻雜半導體層 22 可以具有非重疊部份，其並不與閘極電極 12 重疊。如同於第 3B 圖中所示，此半導體層 20 與此雜質離子半導體層 22 可以與與閘極電極 12 完全重疊。

參考第 3C 圖，第二電極 24 與雜質離子半導體層 22 可以與半導體層 20 完全重疊。為了減少遮罩過程之數目，此第二電極 24 形成於：與用於形成摻雜半

導體層 22 與半導體層 20 相同的遮罩過程中，這將在以下說明。

同時，在第 3A 與 3B 圖中所示薄膜電晶體可以具有：與此第二電極 24、摻雜半導體層 22，以及半導體層 20 完全重疊之結構。

第 4A 至 4D 圖為橫截面圖，其說明用於製造第 1 圖中所示薄膜電晶體之方法。

參考第 4A 圖，此閘極電極 12 形成於絕緣基板 10 上。絕緣基板 10 是以石英、玻璃、陶瓷、以及有機薄膜之任一所形成。此閘極電極 12 為藉由濺鍍在絕緣基板 10 上形成金屬層之此等序列步驟所形成；使用第一遮罩以實施蝕刻與微影術之圖案化過程。此閘極電極 12 形成於此使用鋁(AL)、鉻(Cr)、鉬(Mo)或其合金之單層或多層結構中。

參考第 4B 圖，第一絕緣層 14 形成於絕緣基板 10 上。在此絕緣基板 10 上形成閘極電極 12，以及第一電極 16 形成於第一絕緣層 14 上。第一絕緣層 14 可以藉由電漿增強化學氣相沉積(PECVD)、而由無機絕緣材料例如矽氧化物  $\text{SiO}_x$  或矽氮化物  $\text{SiN}_x$  所形成，其中，第一絕緣層 14 覆蓋此絕緣基板 10 上之閘極電極 12。同時，如果閘極電極 12 與另一信號線接觸，則一接觸孔藉由將此第一絕緣層 14 圖案化而形成。此第一電極 16 為藉由濺鍍而以在第一絕緣層 14 上形成金屬層之步驟而形成；以及使用第二遮罩以實施蝕刻與微影術之圖案化過程。此第一電極 16 由例如為使用鋁(AL)、銅(Cu)、鉬(Mo)、鈦(Ti)或其合金之金屬材料所形成，其中，此第一電極 16 可以形成於單層或多層結構中。此第一電極 16 可以由透明導電層例如：ITO、TO、IZO、或 ITZO 所形成，而此第一電極 16 可以使用於像素電極，以驅動在 OLED 之各像素中之有機發光層。

參考第 4C 圖，第二絕緣層 18 形成於此包括第一電極 16 之第一絕緣層 14 上，以及此半導體層 20 與摻雜半導體層 22 依序沉積在第二絕緣層 18 上。第二絕緣層 18 由絕緣材料例如矽氧化物  $\text{SiO}_x$ 、矽氮化物  $\text{SiN}_x$ 、以及鋁氧化物  $\text{Al}_2\text{O}_3$  所形成。其中，此第二絕緣層 18 藉由 PECVD 薄地覆蓋：此在第一絕緣層 14 上之第一電極 16。例如，此第二絕緣層 18 以小於或等於  $1000\text{\AA}$  之厚度形成，用於有效地電子穿隧。

半導體層 20 與摻雜半導體層 22 藉由 PECVD 依序地形成於第二絕緣層 18 上，以及然後使用第三遮罩藉由蝕刻與微影術將其圖案化。此半導體層 20 通常由非晶矽(a-Si)所形成。半導體層 20 可以由非晶鍺(a-Ge)、非晶矽鍺(a-SiGe)、

多晶矽(Poly-Si)、或多晶鍺(Poly-Ge)所形成。而且，半導體層 20 可以由包括少量雜質離子例如  $n^+a$ -Si 之半導體層所形成。摻雜半導體層 22 可以由包括大量雜質離子例如  $n^+a$ -Si 之半導體層所形成。

參考第 4D 圖，此第二電極 24 形成於第二絕緣層 18 上，在其上依序沉積半導體層 20 與摻雜半導體層 22。此第二電極 24 以下列方式形成：藉由此形成金屬層之序列步驟藉由濺鍍而形成，以覆蓋在第二絕緣層 18 上之半導體層 20 與摻雜半導體層 22；以及使用第四遮罩實施蝕刻與微影術之圖案化過程。此第二電極 24 由例如為鋁(AL)、銅(Cu)、鉬(Mo)、鈦(Ti)或其合金之金屬材料所形成，其中，此第二電極 24 可以形成於單層或多層結構中。然後，藉由使用第二電極 24 作為遮罩或藉由使用在第二電極 24 上所提供剩餘光阻作為遮罩，將此未以第二電極 24 覆蓋之摻雜半導體層 22 之預先確定部份去除。因此，將此未以第二電極 24 重疊之半導體層 20 之未重疊部份曝露。

為了將此經曝露之摻雜半導體層 22 去除，此第四遮罩可以為：在此用於形成第二電極 24 之遮罩過程中之繞射遮罩或半色調遮罩。如果使用繞射曝光(半色調)遮罩，則在此部份上提供在微影術中對應於繞射曝光部份(半色調透射部份)之光阻圖案，而從此部份可以將摻雜半導體層 22 去除。其中，此對應於繞射曝光部份之光阻圖案較：對應於第二電極 24 之光阻圖案為薄。

然後，使用光阻圖案藉由蝕刻過程將此金屬層圖案化，因此形成第二電極 24。隨後，藉由隨後之蝕刻或拋光以減少光阻圖案之厚度，因此將此相當薄之光阻圖案去除，且將第二電極 24 之一部份曝露。此第二電極 24 之曝露部份與摻雜半導體層 22 之一部份藉由隨後之蝕刻而去除。而且，在第二電極 24 上所剩餘之光阻圖案藉由剝離而去除。

如同於第 3A 與 3B 圖中所示，當此第二電極 24 與第一電極 16 部份重疊時，這即是，半導體層 20 與第二電極 24 完全重疊，則無須實施以上用於將摻雜半導體層 22 之曝露部份去除之過程。

而且，第二電極 24、摻雜半導體層 22、半導體層 20、以及第二絕緣層 18 可以使用繞射曝光(半色調)遮罩藉由遮罩過程而形成。在此情形中，如同於第 3C 圖中所示，第二電極 24 以半導體層 20 與摻雜半導體層 22 完全重疊，且將半導體層 20 之預先確定部份曝露。例如，第二絕緣層 18、半導體層 20、摻雜半導體層 22、以及金屬層可以沉積在第一絕緣層 14 上，在其上依序形成第一



電極 16，以及然後使用繞射曝光(半色調)遮罩將其圖案化，因此形成第二電極 24，以及將摻雜半導體層 22 與半導體層 20 圖案化。如同以上說明，在將此對應於繞射曝光部份(半色調透射部份)之相當薄之光阻圖案去除後，可以將此經曝露之第二電極 24 與摻雜半導體層 22 之預先確定部份去除，因此，將半導體層 20 之預先確定部份曝露。

第 5 與 6 圖為橫截面圖，其說明此根據本發明第二實施例之薄膜電晶體。

如同於第 5 與 6 圖所示，此根據本發明第二實施例之薄膜電晶體包括：半導體層 40，其與閘極電極 32、以及設置介於半導體層 40 與閘極電極 32 間之第一絕緣層 34 重疊；第一電極 36，其與閘極電極 32 重疊，以致於此第一絕緣層 34 設置在第一電極 36 與閘極電極 32 之間，且亦重疊半導體層 40，以致於第二絕緣層 38 設置於第一電極 36 與半導體層 40 之間；以及第二電極 44，其與半導體層 40 重疊，以致於此摻雜半導體層 42 設置介於第二電極 44 與半導體層 40 之間。

閘極電極 32 形成於絕緣基板 30 上。然後，此第一絕緣層 34、即此閘極絕緣層形成於：此閘極電極 32 形成於其上之絕緣基板 30 上。其中，此第一絕緣層 34 覆蓋閘極電極 32。

此第一電極 36 其作用為汲極電極，形成於第一絕緣層 34 上。其中，此第一電極 36 與閘極電極 32 部份重疊。換句話說，此閘極電極 32 之兩側各與第一電極 36 重疊。這即是，第一電極 36 具有重疊部份，其與閘極電極 32 之側重疊，且亦具有並不與閘極電極 32 重疊之延伸部份，且其從此重疊部份朝閘極電極 32 之外部延伸。如同於第 5 圖中所示，此第一電極 36 可以具有多邊形框之平面結構。如同於第 6 圖中所示，此第一電極 36 可以具有圓形框之平面結構。然後，在此包括第一電極 36 之第一絕緣層 34 上形成第二絕緣層 38。其中，第二絕緣層 38 覆蓋第一電極 36。第二絕緣層 38 以小於或等於  $1000\text{\AA}$  之厚度形成，用於此等電子之有效穿隧。

半導體層 40 形成於第二絕緣層 38 上，其中，半導體層 40 與閘極電極 32 以及第一電極 36 部份地重疊。換句話說，半導體層 40 與閘極電極 32 重疊，以致於此第一與第二絕緣層 34 與 38 設置介於半導體層 40 與閘極電極 32 之間。半導體層 40 與第一電極 36 之側重疊，而其與閘極電極 32 之側重疊。

此作用為源極電極之第二電極 44 形成於半導體層 40 上。其中，此第二電

極 44 與半導體層 40 以及閘極電極 32 重疊。此外，此摻雜半導體層 42 設置介於半導體層 40 與第二電極 44 之間。如同於第 5 與 6 圖中所示，此第二電極 44 而以距離第一電極 36 預先確定空間形成於平面上。這即是，第二電極 44 形成於此第一電極 36 之多邊形或圓形框內部。換句話說，在此平面上，第一電極 36 圍繞此第二電極 44。因此，可以避免在此第一與第二電極 36 與 44 間之間隔不均勻，因此，可以避免由於製程誤差所造成電流強度不均勻。而且，第二絕緣層 38 中此產生電子穿隧之部份增加，這即是，此面對半導體層 40 之橫向邊緣之第一電極 36 之橫向邊緣之尺寸增加，以致於電流數量增加。

如同於第 7 圖中所示，第二電極 44 與半導體層 40 以及摻雜半導體層 42 形成為相同形狀。因此，第二電極 44 與摻雜半導體層 42 之側與第一電極 36 之一側重疊，而此第一電極 36 與閘極電極 32 重疊。在此情形中，如同於第 3A 與 3B 圖中所示，由於第一與第二電極 36 與 44 重疊，此在第二絕緣層 38 中此產生電子穿隧之部份增加，因此，電流量增加。特定而言，此第二絕緣層 38 之電子穿隧是在此對應於面向第一電極 36 與半導體層 40 之橫向邊緣之第一部份中產生；且在對應於面向第一電極 36 與半導體層 40 之平面之第二部份中產生。而且，第二電極 44、此摻雜半導體層 42、以及半導體層 40 是藉由一遮罩過程而形成，以致於可以減少遮罩過程之數目，其中，第二電極 44 與此摻雜半導體層 42 形成相同形狀。

在以上之薄膜電晶體中，可以藉由調整半導體層 40 與第二絕緣層 38 之厚度，而控制最大電流強度，以致於可以將薄膜電晶體製成小的形狀。

第 8A 至 8D 圖為橫截面圖，其說明用於製造第 5 與 6 圖中所示薄膜電晶體之方法。在此時，將簡短說明此等類似於在第 4A 至 4D 圖中之步驟。

參考第 8A 圖，閘極電極 32 藉由第一遮罩過程形成於絕緣基板 30 上。

如同於第 8B 圖中所示，第一絕緣層 34 形成於在其上設置閘極電極 32 之絕緣基板 30 上。然後，第一電極 36 藉由第二遮罩過程形於第一絕緣層 34 上

參考第 8C 圖，第二絕緣層 38 形成於：在其上設置第一電極 36 之絕緣基板 30 上。然後，藉由第三遮罩過程在第二絕緣層 38 上形成半導體層 40 與半導體層 42。

參考第 8D 圖，第二電極 44 形成於第二絕緣層 38 上，在其上藉由第四遮罩過程依序沉積半導體層 40 與摻雜半導體層 42。然後，將此未以第二電極 44

覆蓋之摻雜半導體層 42 之預先確定曝露部份，藉由使用第二電極 44 作為遮罩、或藉由使用在第二電極 44 上所剩餘光阻作為遮罩而去除，因而，曝露此半導體層 40 之預先確定曝露部份。為了去除此經曝露之摻雜半導體層 42，而形成此由繞射曝光遮罩或半色調遮罩所形成而用於形成第二電極 44 之遮罩過程之第四遮罩。

以另一種方式，此第二電極 44、摻雜半導體層 42、半導體層 40、以及第二絕緣層 38 可以由 1 個遮罩過程形成。

在此情形中，如同於第 7 圖中所示，第二電極 44 與摻雜半導體層 42 形成與半導體層 40 相同形狀。這即是，第二電極 44 與摻雜半導體層 42 所具有之邊緣與半導體層 40 之邊緣有關地連續形成。

第 9 圖為橫截面圖，其說明此根據本發明第三實施例之薄膜電晶體。

如同於第 9 圖中所示，此根據本發明第三實施例之薄膜電晶體包括：半導體層 80，其與閘極電極 72 重疊；第一絕緣層 74，設置介於半導體層 80 與閘極電極 72 之間；第一電極 76，其重疊閘極電極 72，以致於第一絕緣層 74 設置介於第一電極 76 與閘極電極 72 之間，且亦重疊半導體層 80，以致於第二絕緣層 78 設置介於第一電極 76 與半導體層 80 之間。此薄膜電晶體更包括：第二摻雜半導體層 77，其與第一電極 76 重疊且設置在第一電極 76 與第二絕緣層 78 之間；第二電極 84，其與半導體層 80 重疊；以及第一摻雜半導體層 82，其設置於第二電極 84 與半導體層 80 之間。這即是，第 9 圖之薄膜電晶體之結構與第 1 圖之薄膜電晶體之結構類似，其所不同者為，第 9 圖之薄膜電晶體包括：設置介於第一電極 76 與第二絕緣層 78 間之第二摻雜半導體層 77，其中將簡短說明類似於第 1 圖中之此等元件。

閘極電極 72 形成於絕緣基板 70 上，且此覆蓋閘極電極 72 之第一絕緣層 74 形成於絕緣基板上，其中此第一絕緣層 74 作用為閘極絕緣層。然後，此作為汲極電極之第一電極 76 與閘極電極 72 部份地重疊。第一絕緣層 74 設置介於第一電極 76 與閘極電極 72 之間。第二摻雜半導體層 77 重疊第一電極 76 之表面。然後，在第一絕緣層 74 上形成第二絕緣層 78，其包括第一電極 76 與第二摻雜半導體層 77。其中，所形成第二絕緣層 78 之厚度為小於或等於  $1000\text{\AA}$ 。此半導體層 80 形成於第二絕緣層 78 上，其中，半導體層 80 與閘極電極 72 以及第一電極 76 部份重疊。在此半導體層 80 上形成第二電極 84 作為源

極電極，其與半導體體層 80 與閘極電極 72 重疊。此外，此用於歐姆接觸之第一摻雜半導體層 82 設置介於半導體體層 80 與第二電極 84 之間。

當將電壓施加至閘極電極 72 上時，此覆蓋第一電極 76 之第二摻雜半導體層 77 形成導電帶，其接近半導體體層 80 之導電帶。因此，第二摻雜半導體層 77 之此等電子可以經由第二絕緣層 78 容易地穿隧。因而，將此等電子提供至半導體體層 80。因此，電流平穩地由第二電極 84 流至第一電極 76。藉由此第二摻雜半導體層 77，電流穩定地從第一電極 76 流至第二電極 84，以及由第二電極 84 流至第一電極 76。這即是，電流在兩個方向中流動。

同時，可以將在第 9 圖中所示之第二摻雜半導體層 77 應用至：第 5、6、以及 7 圖中所示之薄膜電晶體，以致於電流在兩個方向中流動。

第 10A 至 10E 圖為橫截面圖，其說明用於製造第 9 圖中所示薄膜電晶體之方法。在此時，將簡短說明與在第 4A 至 4D 圖中相同之步驟。

參考第 10A 圖，其藉由第一遮罩過程在絕緣基板 70 上形成閘極電極 72。

如同於第 10B 圖中所示，第一絕緣層 74 形成於：在其上設置閘極電極 72 之絕緣基板 70 上；以及此第一電極 76，藉由第二遮罩過程，形成於第一絕緣層 74 上。

如同於第 10C 圖中所示，此第二摻雜半導體層 77，藉由第三遮罩過程，形成於第一電極 76 之表面上。此第二摻雜半導體層 77 藉由下列序列步驟形成：在此第一電極 76 設置於在其上之第一絕緣層 74 上，藉由 PECVD 沉積預先確定之材料層；以及使用第三遮罩，藉由蝕刻與微影術，將此預先確定之材料層圖案化，因此，在此第一電極 76 表面上所存留之結構中，形成第二摻雜半導體層 77。此第二摻雜半導體層 77 藉由將雜質離子添加至本徵半導體層而形成，其例如為：非晶矽(a-Si)、非晶鍺(a-Ge)、非晶矽鍺(a-SiGe)、多晶矽(Poly-Si)、或多晶鍺(Poly-Ge)。

如同於第 10D 圖中所示，第二絕緣層 78 形成於第一絕緣層 74 上，在此第一絕緣層上設置：第一電極 76 與第二摻雜半導體層 77。然後，藉由第四遮罩過程，在第二絕緣層 78 上形成半導體體層 80 與第一摻雜半導體層 82。

如同於第 10E 圖中所示，第二電極 84 形成於第二絕緣層 78 上，在其上藉由第五遮罩過程，依序沉積半導體體層 80 與第一摻雜半導體層 82。而且，此未以第二電極 84 覆蓋之第一摻雜半導體層 82 之預先確定部份，可以藉由使用

第二電極 84 作為遮罩、或藉由使用在第二電極 84 上所提供剩餘光阻作為遮罩而去除，因此，半導體層 80 之預先確定部份曝露。為了去除此所曝露之摻雜半導體層 82，此用於形成第二電極 84 之遮罩過程可以使用繞射曝光遮罩或半色調遮罩。

第二電極 84、第一摻雜半導體層 82、半導體層 80、以及第二絕緣層 78 可以藉由 1-遮罩過程而形成。在此情形中第二電極 84 與第一摻雜半導體層 82 形成與半導體層 80 相同形狀。這即是，第二電極 84 與第一摻雜半導體層 82 所具有之邊緣與半導體層 80 之邊緣有關地連續形成。

第 11 圖為橫截面圖，其說明此應用此第 1 圖中所示薄膜電晶體之有機電致發光顯示器之次-像素。

如同於第 11 圖中所示，此有機電致發光顯示器之次-像素包括：驅動薄膜電晶體(TFT)；像素電極 104，其與驅動 TFT 之第一電極 16 連接；有機發光層 106，其形成於絕緣層 108 之貫通部份中；以及共同電極 110，其形成於有機發光層 106 上。此外，次-像素包括切換式 TFT，其與驅動 TFT 之閘極電極 12 連接，且與閘極線與資料線連接；以及儲存電容器(未圖示)，其連接介於驅動 TFT 之閘極電極與電力供應線之間。

如同關於第 1 圖所說明，此驅動 TFT 包括：半導體層 20，其覆蓋閘極電極 12；第一絕緣層 14，其設置介於半導體層 20 與閘極電極 12 之間；第一電極 16，其與閘極電極 12 重疊，以致於此第一絕緣層 14 設置介於第一電極 16 與閘極電極 12 之間，且其亦與半導體層 20 重疊，以致於此第二絕緣層 18 設置介於第一電極 16 與半導體層 20 之間；以及第二電極 24，其與半導體層 20 重疊、以及設置介於第二電極 24 與半導體層 20 間之摻雜半導體層 22。

然後，藉由旋轉塗佈或無旋轉塗佈，在第二絕緣層 18 上形成有機絕緣材料之第三絕緣層 100，其中，此第三絕緣層覆蓋此第二電極 24。而且，藉由微影術或蝕刻以形成接觸孔 102。其中，此接觸孔 102 經由此第三絕緣層 100 而曝露第一電極 16 之預先確定部份。在此時，如果此第三絕緣層 100 是由光敏感有機材料形成，則此接觸孔 102 僅藉由微影術形成。

像素電極 104 形成於第三絕緣層 100 上，且經由設置於第三絕緣層 100 中之接觸孔 102 與第一電極 16 接觸。此像素電極 104 藉由以下方式形成：使用濺鍍在一沉積方法中沉積透明導電材料之步驟；以及藉由微影術與蝕刻，將此透

明導電材料圖案化。

岸絕緣層 108 形成於第三絕緣層 100 上，在其上藉由旋轉-塗佈或無旋轉-塗佈形成像素電極 104。而且，岸絕緣層 108 中形成通過部份，以曝露像素電極 104，其中，此通過部份藉由微影術與蝕刻而形成。如果此岸絕緣層 108 是由光敏感有機材料所形成，則此通過部份是由微影術形成。

有機發光層 106 是藉由使用遮罩之沉積、在岸絕緣層 108 之通過部份中形成。藉由使用相對應遮罩重覆實施沉積過程，與相對應之發光部份一致依序形成紅、綠以及藍之此等有機發光層。

共同電極 110 藉由熱蒸鍍而形成於：有機發光層 106 與在岸絕緣層 108 上。此共同電極 110 是由金屬材料：鉬(Mo)、鋁(Al)、鉻(Cr)、銅(Cu)、或其合金所製成，其中共同電極 110 是以單層或多層結構所形成。此共同電極 110 將：由接地線所提供之接地電壓，或由電力供應線所供應之電力電壓，共同提供給所有共同次-像素。

當將此根據本發明之以上薄膜電晶體應用至有機電致發光顯示器之驅動 TFT 時，可以藉由調整此半導體層與第二絕緣層之厚度，而控制最大電流強度。因此，可以將此驅動 TFT 製成小尺寸，以致於可以減少由此像素驅動部份所佔用之平面面積，因此增加其高寬比。

如同以上提及，此根據本發明之薄膜電晶體與用於製造此薄膜電晶體之方法具有以下優點。

在此根據本發明之薄膜電晶體中，此薄的絕緣層使用半導體層作為通道，而設置介於半導體層與第一與第二電極任一之間。因此，此結構藉由以電子穿隧效應調整電流，而適用於供應電流裝置。

在此根據本發明之薄膜電晶體與用於製造此薄膜電晶體之方法中，可以藉由調整此半導體層與絕緣層之厚度，而控制最大電流強度。因此，可以將根據本發明之薄膜電晶體製成小尺寸。

此外，此根據本發明使用薄膜電晶之有機電致發光顯示器，由於此驅動 TFT 之尺寸減少，而可以減少由此像素驅動所佔用之面積，以致於可以增加高寬比。

對於熟習此技術之人士而為明顯，可以在本發明中作各種修正與變化，而不會偏離本發明之精神與範圍。因此，其用意為本發明之應用包括：此等所附申請專利範圍與其等同物之範圍中之本發明之修正與變化。

### 【圖式簡單說明】

- 第 1 圖為橫截面圖，其說明此根據本發明第一實施例之薄膜電晶體；
- 第 2A 至 2C 圖為橫截面圖，其說明根據第 1 圖中所示薄膜電晶體驅動之能帶；
- 第 3A 至 3C 圖為橫截面圖，其說明第 1 圖中所示薄膜電晶體之變化結構；
- 第 4A 至 4D 圖為橫截面圖，其說明用於製造第 1 圖中所示薄膜電晶體之方法；
- 第 5 圖為橫截面圖，其說明此根據本發明第二實施例之薄膜電晶體；
- 第 6 圖為橫截面圖，其說明第 5 圖中所示第一與第二電極之變化結構；
- 第 7 圖為橫截面圖，其說明第 5 圖中所示薄膜電晶體之變化結構；
- 第 8A 至 8D 圖為橫截面圖，其說明用於製造第 5 圖中所示薄膜電晶體之方法；
- 第 9 圖為橫截面圖，其說明此根據本發明第三實施例之薄膜電晶體；
- 第 10A 至 10E 圖為橫截面圖，其說明用於製造第 9 圖中所示薄膜電晶體之方法；以及
- 第 11 圖為橫截面圖，其說明此應用此第 1 圖中所示薄膜電晶體之有機電致發光顯示器之次-像素。

### 【主要元件符號說明】

10	絕緣基板
12	閘極電極
14	第一絕緣層
16	第一電極
18	第二絕緣層
20	半導體層
22	摻雜半導體層/雜質離子半導體層

24	第二電極
30	絕緣基板
32	閘極電極
34	第一絕緣層
36	第一電極
38	第二絕緣層
40	半導體層
42	摻雜半導體層
44	第二電極
70	絕緣基板
72	閘極電極
74	第一絕緣層
76	第一電極
77	第二摻雜半導體層
78	第二絕緣層
80	半導體層
82	第一摻雜半導體層
84	第二電極
100	第三絕緣層
102	接觸孔
104	像素電極
106	有機發光層
108	岸絕緣層
110	共同電極
Ef	費米位準
TFT	薄膜電晶體



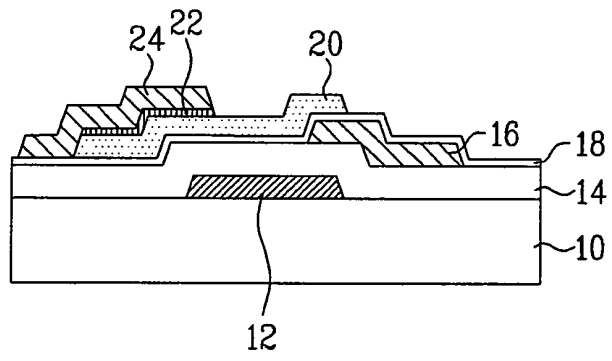
## 五、中文發明摘要：

本發明揭示一種薄膜電晶體，一種用於製造此薄膜電晶體之方法，以及使用此薄膜電晶體之有機電致發光顯示裝置。此薄膜電晶體包括：閘極電極；半導體層，其與此閘極電極重疊；第一絕緣層，設置介於半導體層與閘極電極之間；以及第一與第二電極，其使用此半導體層作為通道，且設置在不同層。此薄膜電晶體更包括：第二絕緣層，設置介於半導體層以及第一與第二電極之一之間；以及第一摻雜半導體層，其設置在此半導體層與第一與第二電極之另一之間。

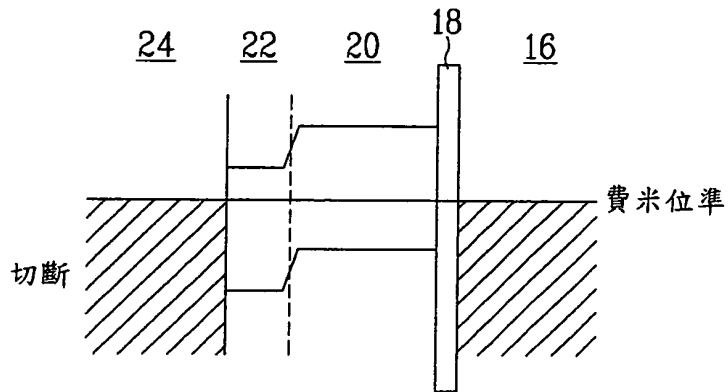
## 六、英文發明摘要：

A thin film transistor, a method for manufacturing the thin film transistor, and an organic electroluminescence display using the thin film transistor are disclosed. The thin film transistor includes a gate electrode, a semiconductor layer that overlaps the gate electrode, a first insulating layer disposed between the semiconductor layer and the gate electrode, and first and second electrodes that use the semiconductor layer as a channel, and are disposed at different layers. The thin film transistor further includes a second insulating layer disposed between the semiconductor layer and one of the first and second electrodes, and a first doping semiconductor layer disposed between the semiconductor layer and the other of the first and second electrodes.

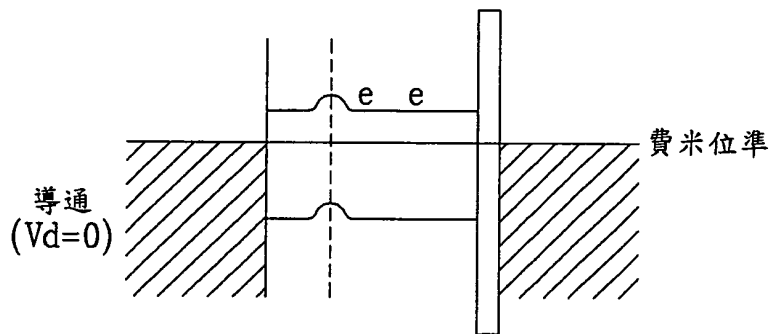
第 1 圖



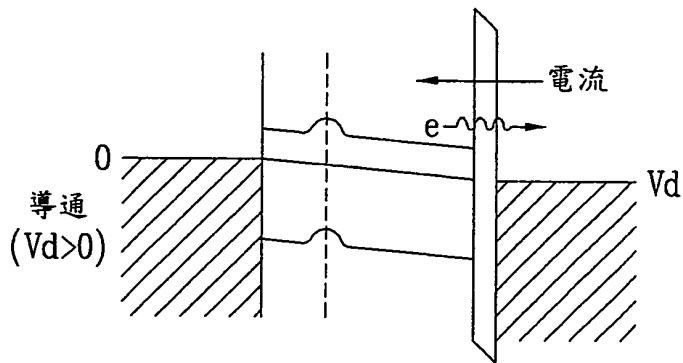
第 2A 圖



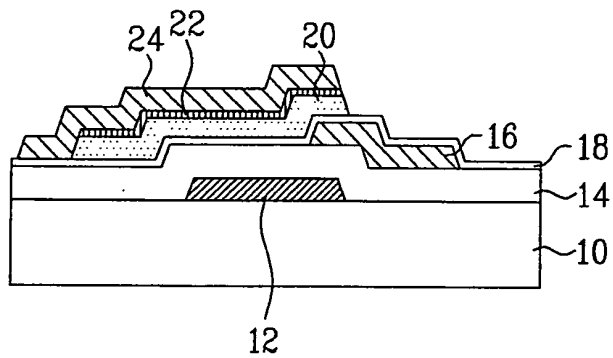
第 2B 圖



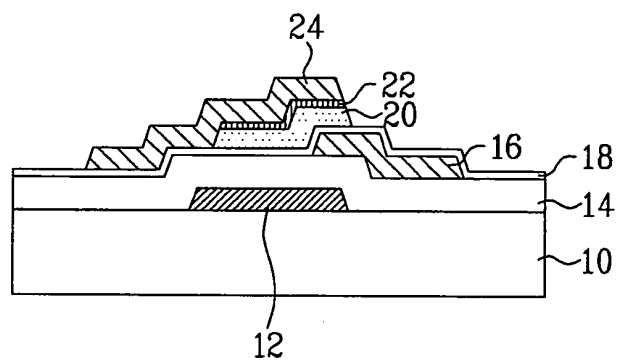
第 2C 圖



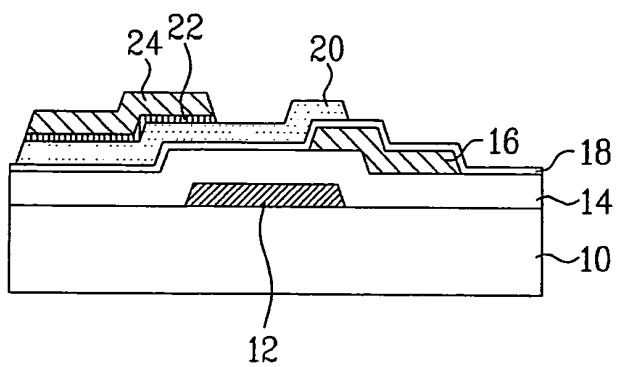
第 3A 圖



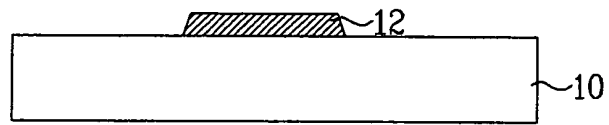
第 3B 圖



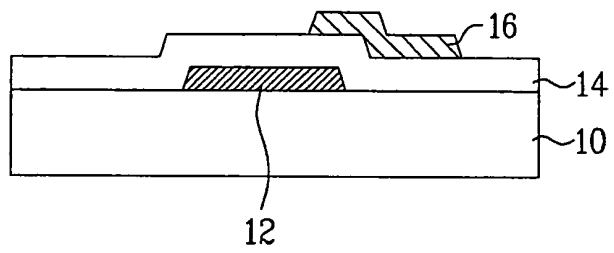
第 3C 圖



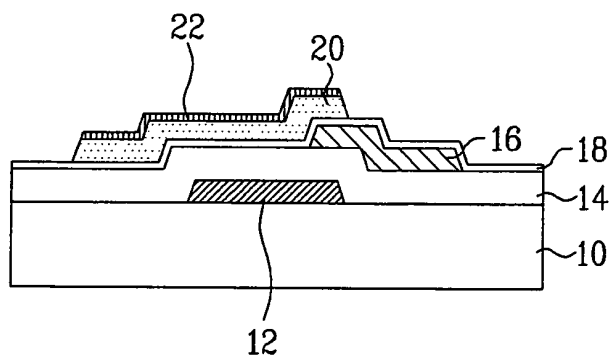
第 4A 圖



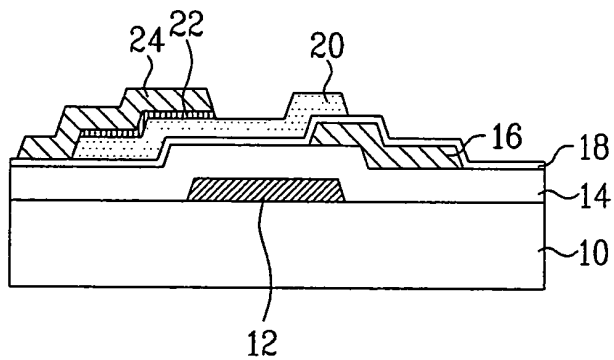
第 4B 圖



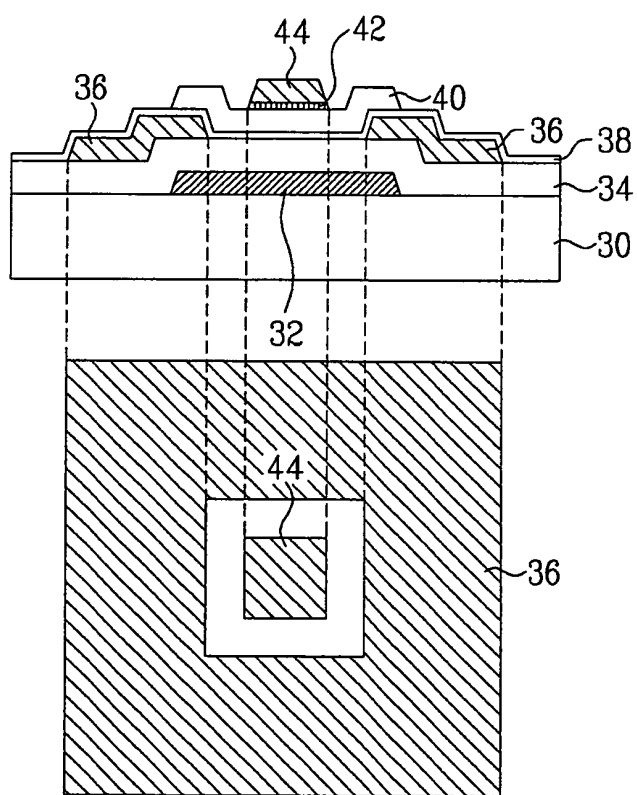
第 4C 圖



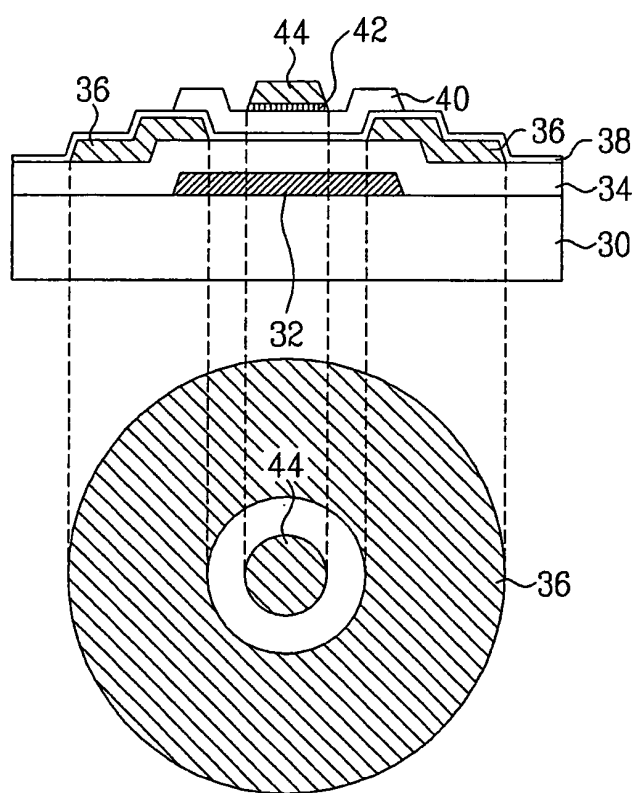
第 4D 圖



第 5 圖

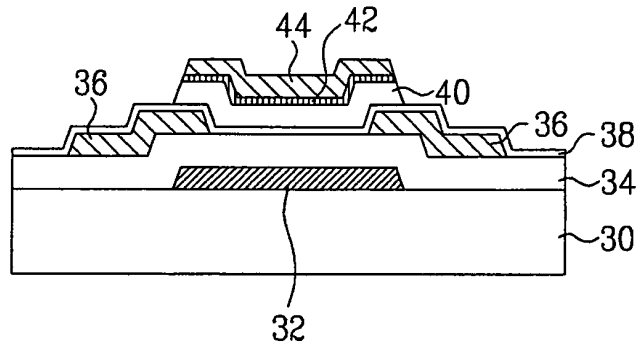


第 6 圖

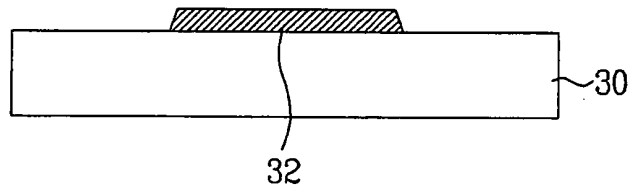




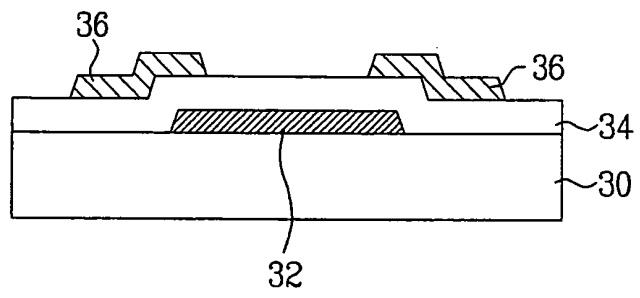
第 7 圖



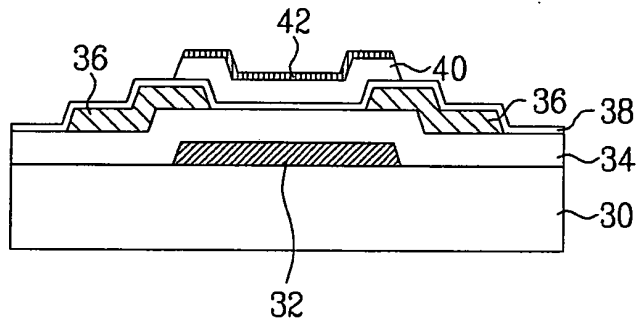
第 8A 圖



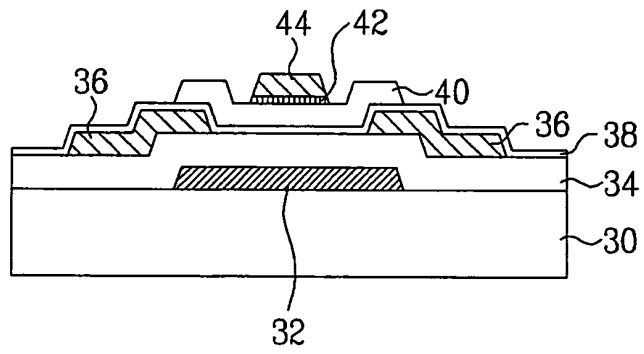
第 8B 圖



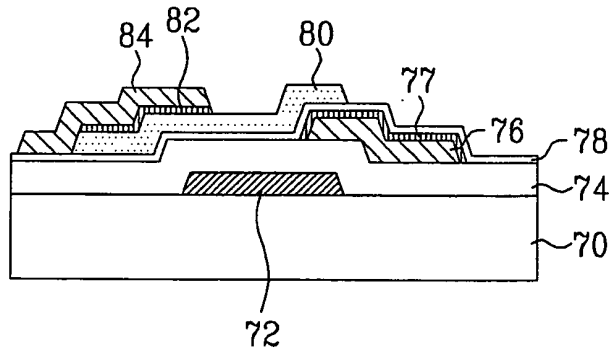
第 8C 圖



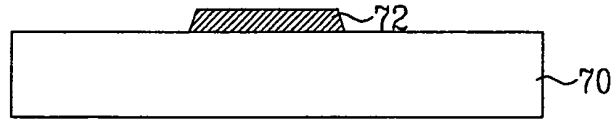
第 8D 圖



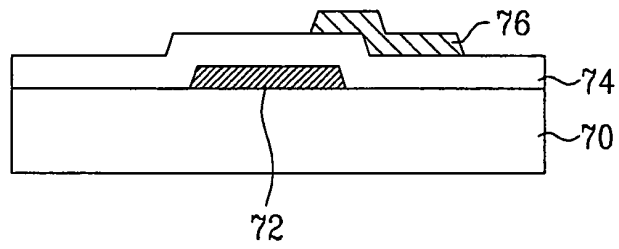
第 9 圖



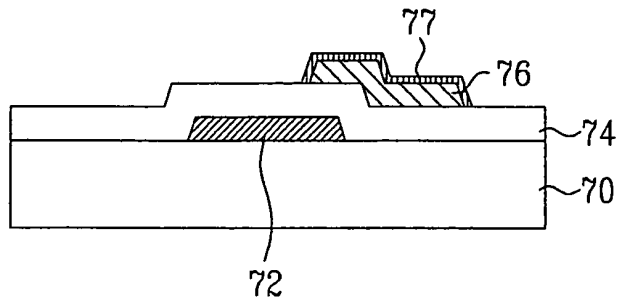
第10A圖



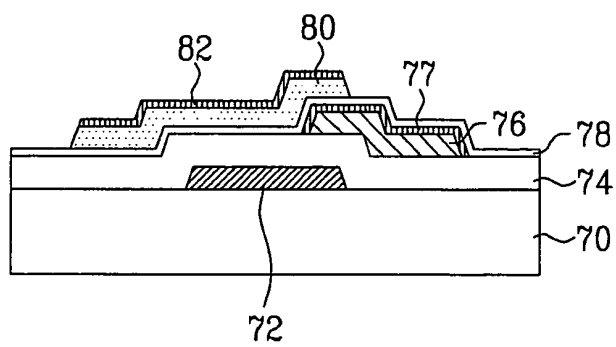
第10B圖



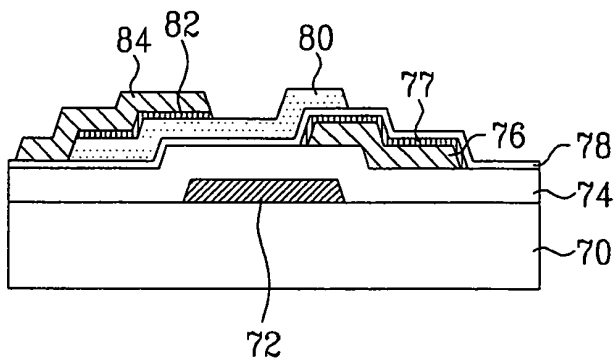
第10C圖



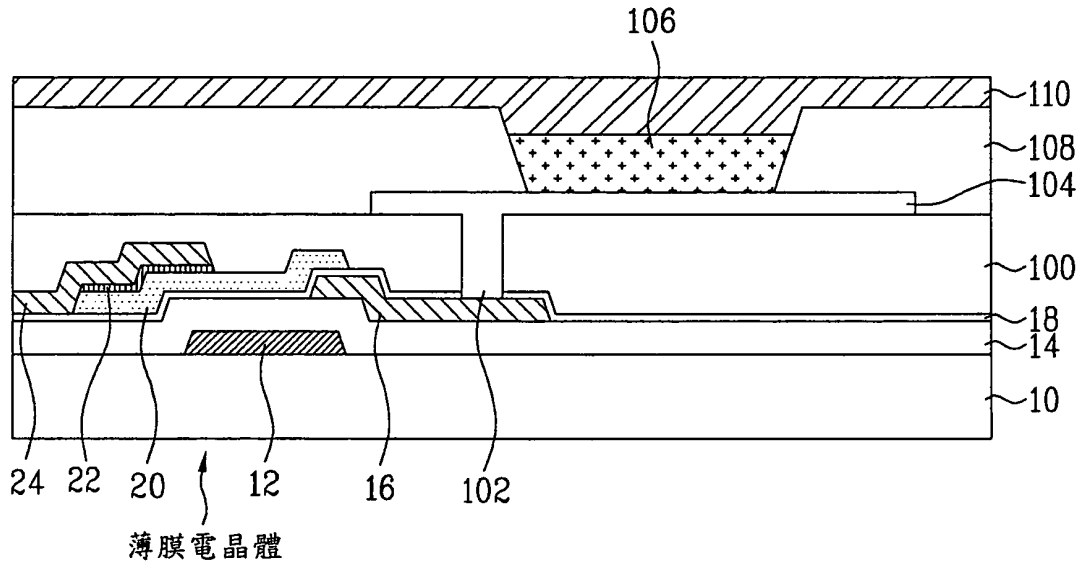
第10D圖



第10E圖



第 11 圖



**七、指定代表圖：**

(一)本案指定代表圖為：第 ( 1 ) 圖。

(二)本代表圖之元件符號簡單說明：

10	絕緣基板
12	閘極電極
14	第一絕緣層
16	第一電極
18	第二絕緣層
20	半導體層
22	摻雜半導體層/雜質離子半導體層
24	第二電極

**八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：**

無



# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：95139315

※申請日期：95.10.25.

※IPC 分類：H01L 29/186

## 一、發明名稱：(中文/英文)

穿隧效應式薄膜電晶體，製造此種電晶體之方法，以及使用  
此種電晶體之有機發光二極體顯示器 /

TUNNELING-EFFECT THIN FILM TRANSISTOR, METHOD OF  
MANUFACTURING THE SAME, AND ORGANIC LIGHT-EMITTING  
DIODE DISPLAY USING THE SAME

## 二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

LG 顯示器股份有限公司 / LG Display Co., Ltd.

代表人：(中文/英文)

金周燮 / Joo Sup KIM

住居所或營業所地址：(中文/英文)

大韓民國首爾特別市永登浦區汝矣島洞 20 番地 /

20, Yoido-dong, Youngdungpo-gu, Seoul, Korea

國籍：(中文/英文) 韓國 / KR

## 三、發明人：(共 1 人)

姓名：(中文/英文)

金哲世 / CHEOL SE KIM

國籍：(中文/英文)

韓國 / KR

## 十、申請專利範圍：

1. 一種薄膜電晶體，包括  
閘極電極；  
半導體層，其與此閘極電極重疊；  
第一絕緣層，其設置介於此半導體層與閘極電極之間；  
第一電極，其設置在第一絕緣層與半導體層之間；  
第二絕緣層，其設置第一電極與半導體層之間；  
第二電極，其設置在半導體層上，其中，此第二電極與第一電極使用半導體層作為通道；以及  
第一摻雜半導體層，其設置介於此半導體層與第二電極之間。
2. 如申請專利範圍第1項之薄膜電晶體，其中  
此第一電極圍繞第二電極。
3. 如申請專利範圍第2項之薄膜電晶體，其中  
第一與第二電極並未彼此重疊。
4. 如申請專利範圍第3項之薄膜電晶體，其中  
第二電極與半導體層部份地重疊。
5. 如申請專利範圍第4項之薄膜電晶體，更包括  
第二摻雜半導體層，其設置介於第一電極與第二絕緣層之間。
6. 如申請專利範圍第2項之薄膜電晶體，其中  
第一與第二電極彼此部份地重疊。
7. 如申請專利範圍第6項之薄膜電晶體，其中  
第二電極與半導體層部份地重疊。
8. 如申請專利範圍第7項之薄膜電晶體，更包括

第二摻雜半導體層，其設置介於第一電極與第二絕緣層之間。

9. 如申請專利範圍第 3 項之薄膜電晶體，其中  
第二電極與半導體層完全地重疊。
10. 如申請專利範圍第 9 項之薄膜電晶體，其中  
此在第一摻雜半導體層與第二電極中之至少一邊緣、與半導體層之至少一邊緣持續地連接。
11. 如申請專利範圍第 10 項之薄膜電晶體，更包括  
第二摻雜半導體層，其設置介於第一電極與第二絕緣層之間。
12. 如申請專利範圍第 6 項之薄膜電晶體，其中  
第二電極與半導體層完全地重疊。
13. 如申請專利範圍第 12 項之薄膜電晶體，其中  
此在第一摻雜半導體層與第二電極中之至少一邊緣與半導體層之至少一邊緣持續地連接。
14. 如申請專利範圍第 13 項之薄膜電晶體，更包括  
第二摻雜半導體層，其設置介於第一電極與第二絕緣層之間。
15. 如申請專利範圍第 1 項之薄膜電晶體，其中  
第二絕緣層之厚度小於或等於  $1000\text{\AA}$ 。
16. 一種用於製造薄膜電晶體之方法，其包括以下步驟：  
在絕緣基板上形成閘極電極；  
在絕緣基板上形成第一絕緣層，其中，此第一絕緣層覆蓋閘極電極；  
在第一絕緣層上形成第一電極，其中，此第一電極與閘極電極重疊；  
在第一絕緣層上形成第二絕緣層，其中，此第二絕緣層覆蓋第一電極；

在第二絕緣層上形成半導體層，其中，此半導體層重疊此閘極電極與第一電極；

在半導體層上形成第一摻雜半導體層；以及

形成第二電極，與半導體層重疊，並與配置在第二電極和半導體層之間之第一摻雜半導體層重疊。

17. 如申請專利範圍第 16 項之方法，其中此等第一與第二電極並不彼此重疊。

18. 如申請專利範圍第 16 項之方法，其中此等第一與第二電極彼此部份地重疊。

19. 如申請專利範圍第 17 項之方法，其中此第二電極與半導體層部份地重疊。

20. 如申請專利範圍第 19 項之方法，更包括在第一電極與第二絕緣層之間形成第二摻雜半導體層。

21. 如申請專利範圍第 18 項之方法，其中此第二電極與半導體層部份地重疊。

22. 如申請專利範圍第 21 項之方法，更包括在第一電極與第二絕緣層之間形成第二摻雜半導體層。

23. 如申請專利範圍第 17 項之方法，其中第二電極與半導體層完全地重疊。

24. 如申請專利範圍第 23 項之方法，其中藉由 1-遮罩過程使用繞射曝光遮罩或半-色調遮罩形成：半導體層、第一摻雜半導體層、以及第二電極。

25. 如申請專利範圍第 18 項之方法，其中第二電極與半導體層完全地重疊。
26. 如申請專利範圍第 25 項之方法，其中藉由 1-遮罩過程使用繞射曝光遮罩或半-色調遮罩形成：半導體層、第一摻雜半導體層、以及第二電極。
27. 如申請專利範圍第 16 項之方法，其中第二絕緣層之厚度小於或等於 1000Å。
28. 如申請專利範圍第 17 項之方法，其中此第一電極圍繞第二電極。
29. 如申請專利範圍第 18 項之方法，其中此第一電極圍繞第二電極。
30. 一種有機電致發光顯示器，包括  
有機發光層；  
像素電極，其與此有機發光層重疊；  
共同電極，其覆蓋像素電極，此有機發光層設置介於共同電極與像素電極之間；以及  
像素驅動部份，其連接像素電極，並包括至少一如申請專利範圍第 1-15 項中任一項所述之薄膜電晶體，其中第一和第二電極的其中之一連接像素電極。