



(12) 发明专利申请

(10) 申请公布号 CN 104216836 A

(43) 申请公布日 2014. 12. 17

(21) 申请号 201410431275. 0

(22) 申请日 2014. 08. 28

(71) 申请人 华为技术有限公司

地址 518129 广东省深圳市龙岗区坂田华为  
总部办公楼

(72) 发明人 孟小峰 赖文豫 孙东旺

(74) 专利代理机构 广州三环专利代理有限公司

44202

代理人 郝传鑫 熊永强

(51) Int. Cl.

G06F 12/06 (2006. 01)

G06F 9/50 (2006. 01)

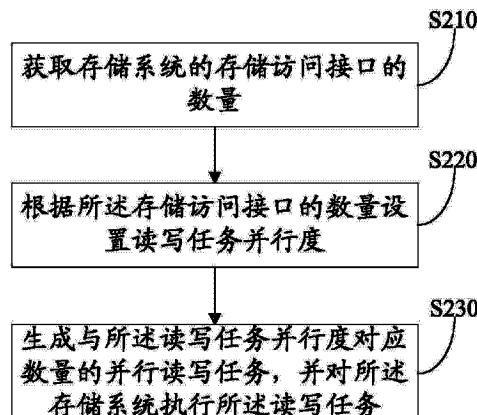
权利要求书2页 说明书12页 附图5页

(54) 发明名称

一种存储系统的并行读写方法和装置

(57) 摘要

本发明实施例公开了一种存储系统的并行读写方法，包括：获取存储系统的存储访问接口的数量；根据所述存储访问接口的数量设置读写任务并行度；生成与所述读写任务并行度对应数量的并行读写任务，并对所述存储系统执行所述读写任务。相应地，本发明实施例还公开了一种存储系统的并行读写装置。采用本发明实施例，可以避免因CPU开启过多的任务而造成竞争和排队，从而提高CPU的存储能力，并且，提高存储系统的并行利用率。



1. 一种存储系统的并行读写方法,其特征在于,包括:

获取存储系统的存储访问接口的数量;

根据所述存储访问接口的数量设置读写任务并行度;

生成与所述读写任务并行度对应数量的并行读写任务,并对所述存储系统执行所述读写任务。

2. 如权利要求1所述的方法,其特征在于,所述根据所述存储访问接口的数量设置读写任务并行度之前,还包括:

获取所述存储系统的存储域的数量,所述存储域为共享访问通道的存储单元;

所述根据所述存储访问接口的数量设置读写任务并行度包括:

比较所述存储域的数量与所述存储访问接口的数量;

如果,所述存储域的数量小于所述存储访问接口的数量,则将所述存储域的数量设置为所述读写任务并行度;

如果,所述存储域的数量大于所述存储访问接口的数量,则将所述存储访问接口的数量设置为所述读写任务并行度。

3. 如权利要求2所述的方法,其特征在于,所述存储域包括多个存储块,所述获取存储系统的存储域的数量包括:

获取所述存储系统的存储块的存储容量;

同步重复执行第一读写任务和第二读写任务,所述第一读写任务和第二读写任务起始的起始地址处于同一存储块中,其中,所述第一读写任务每次执行的起始地址偏移量为0,所述第二读写任务每次执行的起始地址偏移量与所述存储块的存储容量相等,当确定执行第二读写任务的起始地址再次与执行第一读写任务的起始地址处于同一存储域中时,则根据所述第二读写任务的执行次数确定所述存储系统的存储域的数量。

4. 如权利要求3所述的方法,其特征在于,所述方法还包括:

记录每次执行第一读写任务和第二读写任务时,所述存储系统的存储访问接口的第一响应时长;

所述确定执行第二读写任务的起始地址与执行第一读写任务的起始地址处于同一存储域中包括:

比较所述记录的第一响应时长,当记录中出现相邻的第一响应时长的时间差值大于预设阈值时,则判定执行第二读写任务的起始地址与执行第一读写任务的起始地址处于同一存储域中。

5. 如权利要求3-4任一项所述的方法,其特征在于,所述获取所述存储系统的存储块的存储容量包括:

重复执行固定读写数据量的第三读写任务,且所述第三读写任务每次执行的起始地址偏移量为预设的固定偏移量,并记录每次执行第三读写任务时所述存储系统的存储访问接口的第二响应时长,其中,所述读写数据量大于所述固定偏移量;

比较所述记录的第二响应时长,根据两次相邻最短响应时长之间所述第三读写任务的执行次数以及所述固定偏移量确定所述存储系统的存储容量。

6. 一种存储系统的并行读写装置,其特征在于,包括:

存储访问接口获取模块,用于获取存储系统的存储访问接口的数量;

并行度设置模块,用于根据所述存储访问接口的数量设置读写任务并行度;

执行模块,用于生成与所述读写任务并行度对应数量的并行读写任务,并对所述存储系统执行所述读写任务。

7. 如权利要求 6 所述的装置,其特征在于,所述装置还包括:

存储域获取模块,用于获取所述存储系统的存储域的数量,所述存储域为共享访问通道的存储单元;

所述并行度设置模块具体用于:

比较所述存储域的数量与所述存储访问接口的数量;

如果,所述存储域的数量小于所述存储访问接口的数量,则将所述存储域的数量设置为所述读写任务并行度;

如果,所述存储域的数量大于所述存储访问接口的数量,则将所述存储访问接口的数量设置为所述读写任务并行度。

8. 如权利要求 7 所述的装置,其特征在于,所述存储域包括多个存储块,所述存储域获取模块包括:

存储块容量获取单元,用于获取所述存储系统的存储块的存储容量;

存储域获取单元,用于同步重复执行第一读写任务和第二读写任务,所述第一读写任务和第二读写任务起始的起始地址处于同一存储块中,其中,所述第一读写任务每次执行的起始地址偏移量为 0,所述第二读写任务每次执行的起始地址偏移量与所述存储块的存储容量相等,当确定执行第二读写任务的起始地址再次与执行第一读写任务的起始地址处于同一存储域中时,则根据所述第二读写任务的执行次数确定所述存储系统的存储域的数量。

9. 如权利要求 8 所述的装置,其特征在于,所述存储域获取模块还包括:

记录单元,用于记录每次执行第一读写任务和第二读写任务时,所述存储系统的存储访问接口的第一响应时长;

所述存储域获取单元确定执行第二读写任务的起始地址与执行第一读写任务的起始地址处于同一存储域中具体包括:

比较所述记录的第一响应时长,当记录中出现相邻的第一响应时长的时间差值大于预设阈值时,则判定执行第二读写任务的起始地址与执行第一读写任务的起始地址处于同一存储域中。

10. 如权利要求 8-9 任一项所述的装置,其特征在于,所述存储块容量获取单元具体用于:

重复执行固定读写数据量的第三读写任务,且所述第三读写任务每次执行的起始地址偏移量为预设的固定偏移量,并记录每次执行第三读写任务时所述存储系统的存储访问接口的第二响应时长,其中,所述读写数据量大于所述固定偏移量;

比较所述记录的第二响应时长,根据两次相邻最短响应时长之间所述第三读写任务的执行次数以及所述固定偏移量确定所述存储系统的存储容量。

## 一种存储系统的并行读写方法和装置

### 技术领域

[0001] 本发明涉及计算机技术领域，尤其涉及一种存储系统的并行读写方法和装置。

### 背景技术

[0002] 条带化技术就是将一块连续的数据分成很多小数据块，并将这些划分后的数据块分别存储到不同磁盘上。如图 1 出示的 SSD( 固态硬盘 ) 内部结构示意图，SSD 内部包含多个存储域 ( 即 domain )，每个存储域中包含多个存储块 ( 即 chunk )，利用条带化技术，可以将第一个存储块 chunk#0 存储于 domain#0 中，将第二个存储块 chunk#1 存储于 domain#1 中，以此类推。

[0003] 当 CPU(Central Processing Unit, 中央处理器 ) 需要执行读写任务时，CPU 可以根据预先设置的并行度开启等量的读写任务，再通过存储访问接口对存储系统执行该读写任务，CPU 开启的读写任务的数量会直接影响 CPU 的处理能力。因此，如何设置 CPU 的并行度是一个关键问题。

[0004] 目前，主要是根据 CPU 的核数来设置 CPU 的并行度，但是，如果 CPU 的并行度大于存储系统的并行能力，则会造成竞争和排队，例如，CPU 为八核，存储访问接口的数量为 5，CPU 同时执行的 8 个任务在通过存储访问接口时，存在竞争和排队，降低了 CPU 的存储能力；如果 CPU 的并行度小于存储系统的并行能力，则不能充分利用存储系统的并行能力。

### 发明内容

[0005] 本发明实施例提供了一种存储系统的并行读写方法和装置，可以提高存储系统的并行利用率。

[0006] 本发明实施例第一方面提供了一种存储系统的并行读写方法，包括：

[0007] 获取存储系统的存储访问接口的数量；

[0008] 根据所述存储访问接口的数量设置读写任务并行度；

[0009] 生成与所述读写任务并行度对应数量的并行读写任务，并对所述存储系统执行所述读写任务。

[0010] 在第一方面的第一种可能的实现方式中，所述根据所述存储访问接口的数量设置读写任务并行度之前，还包括：

[0011] 获取所述存储系统的存储域的数量，所述存储域为共享访问通道的存储单元；

[0012] 所述根据所述存储访问接口的数量设置读写任务并行度包括：

[0013] 比较所述存储域的数量与所述存储访问接口的数量；

[0014] 如果，所述存储域的数量小于所述存储访问接口的数量，则将所述存储域的数量设置为所述读写任务并行度；

[0015] 如果，所述存储域的数量大于所述存储访问接口的数量，则将所述存储访问接口的数量设置为所述读写任务并行度。

[0016] 结合第一方面的第一种可能实现方式，在第二种可能的实现方式中，所述存储域

包括多个存储块，所述获取存储系统的存储域的数量包括：

[0017] 获取所述存储系统的存储块的存储容量；

[0018] 同步重复执行第一读写任务和第二读写任务，所述第一读写任务和第二读写任务起始的起始地址处于同一存储块中，其中，所述第一读写任务每次执行的起始地址偏移量为0，所述第二读写任务每次执行的起始地址偏移量与所述存储块的存储容量相等，当确定执行第二读写任务的起始地址再次与执行第一读写任务的起始地址处于同一存储域中时，则根据所述第二读写任务的执行次数确定所述存储系统的存储域的数量。

[0019] 结合第一方面的第二种可能实现方式，在第三种可能的实现方式中，所述方法还包括：

[0020] 记录每次执行第一读写任务和第二读写任务时，所述存储系统的存储访问接口的第一响应时长；

[0021] 所述确定执行第二读写任务的起始地址与执行第一读写任务的起始地址处于同一存储域中包括：

[0022] 比较所述记录的第一响应时长，当记录中出现相邻的第一响应时长的时间差值大于预设阈值时，则判定执行第二读写任务的起始地址与执行第一读写任务的起始地址处于同一存储域中。

[0023] 结合第一方面的第二种或第三种中任一种可能实现方式，在第四种可能的实现方式中，所述获取所述存储系统的存储块的存储容量包括：

[0024] 重复执行固定读写数据量的第三读写任务，且所述第三读写任务每次执行的起始地址偏移量为预设的固定偏移量，并记录每次执行第三读写任务时所述存储系统的存储访问接口的第二响应时长，其中，所述读写数据量大于所述固定偏移量；

[0025] 比较所述记录的第二响应时长，根据两次相邻最短响应时长之间所述第三读写任务的执行次数以及所述固定偏移量确定所述存储系统的存储容量。

[0026] 本发明实施例第二方面提供了一种存储系统的并行读写装置，包括：

[0027] 存储访问接口获取模块，用于获取存储系统的存储访问接口的数量；

[0028] 并行度设置模块，用于根据所述存储访问接口的数量设置读写任务并行度；

[0029] 执行模块，用于生成与所述读写任务并行度对应数量的并行读写任务，并对所述存储系统执行所述读写任务。

[0030] 在第二方面的第一种可能的实现方式中，所述装置还包括：

[0031] 存储域获取模块，用于获取所述存储系统的存储域的数量，所述存储域为共享访问通道的存储单元；

[0032] 所述并行度设置模块具体用于：

[0033] 比较所述存储域的数量与所述存储访问接口的数量；

[0034] 如果，所述存储域的数量小于所述存储访问接口的数量，则将所述存储域的数量设置为所述读写任务并行度；

[0035] 如果，所述存储域的数量大于所述存储访问接口的数量，则将所述存储访问接口的数量设置为所述读写任务并行度。

[0036] 结合第二方面的第一种可能实现方式，在第二种可能的实现方式中，所述存储域包括多个存储块，所述存储域获取模块包括：

[0037] 存储块容量获取单元，用于获取所述存储系统的存储块的存储容量；

[0038] 存储域获取单元，用于同步重复执行第一读写任务和第二读写任务，所述第一读写任务和第二读写任务起始的起始地址处于同一存储块中，其中，所述第一读写任务每次执行的起始地址偏移量为0，所述第二读写任务每次执行的起始地址偏移量与所述存储块的存储容量相等，当确定执行第二读写任务的起始地址再次与执行第一读写任务的起始地址处于同一存储域中时，则根据所述第二读写任务的执行次数确定所述存储系统的存储域的数量。

[0039] 结合第二方面的第二种可能实现方式，在第三种可能的实现方式中，所述存储域获取模块还包括：

[0040] 记录单元，用于记录每次执行第一读写任务和第二读写任务时，所述存储系统的存储访问接口的第一响应时长；

[0041] 所述存储域获取单元确定执行第二读写任务的起始地址与执行第一读写任务的起始地址处于同一存储域中具体包括：

[0042] 比较所述记录的第一响应时长，当记录中出现相邻的第一响应时长的时间差值大于预设阈值时，则判定执行第二读写任务的起始地址与执行第一读写任务的起始地址处于同一存储域中。

[0043] 结合第二方面的第二种或第三种中任一种可能实现方式，在第四种可能的实现方式中，所述存储块容量获取单元具体用于：

[0044] 重复执行固定读写数据量的第三读写任务，且所述第三读写任务每次执行的起始地址偏移量为预设的固定偏移量，并记录每次执行第三读写任务时所述存储系统的存储访问接口的第二响应时长，其中，所述读写数据量大于所述固定偏移量；

[0045] 比较所述记录的第二响应时长，根据两次相邻最短响应时长之间所述第三读写任务的执行次数以及所述固定偏移量确定所述存储系统的存储容量。

[0046] 实施本发明实施例，具有以下有益效果：本发明实施例可以获取存储系统的存储访问接口的数量，根据所述存储访问接口的数量设置读写任务并行度，则根据所述并行度开启的等量任务与存储访问接口的数量相等，从而提高了存储系统的并行利用率。

## 附图说明

[0047] 为了更清楚地说明本发明实施例中的技术方案，下面将对实施例中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

[0048] 图1是本发明实施例提供的一种固态硬盘的结构示意图；

[0049] 图2是本发明实施例提供的一种存储系统的并行读写方法的流程示意图；

[0050] 图3是本发明实施例提供的另一种存储系统的并行读写方法的流程示意图；

[0051] 图4是本发明实施例提供的一种偏移量与响应时长的关系的曲线图；

[0052] 图5是本发明实施例提供的一种存储系统的并行读写装置的结构示意图；

[0053] 图6是本发明实施例提供的另一种存储系统的并行读写装置的结构示意图；

[0054] 图7是本发明实施例提供的一种存储域获取模块的结构示意图；

[0055] 图8是本发明实施例提供的另一种存储系统的并行读写装置的结构示意图。

## 具体实施方式

[0056] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚地描述,显然,所描述的实施例是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0057] 请参阅图 2,图 2 是本发明实施例提供的一种存储系统的并行读写方法的流程示意图。本发明实施例提供的存储系统的并行读写方法可以实现在个人电脑、PAD、手机等包含存储系统的终端设备中。如图 2 所示本实施例中的存储系统的并行读写流程可以包括:

[0058] 步骤 S210,获取存储系统的存储访问接口的数量。

[0059] CPU 可以通过所述存储访问接口与所述存储系统中的存储器连接以及进行数据交换。当终端系统初始化时,终端可以对 CPU 的并行度进行设置,从而获取存储系统的存储访问接口的数量。

[0060] 具体地,终端可以检测存储系统的存储访问接口,从而获取该存储系统中存储访问接口的数量。

[0061] 步骤 S220,根据所述存储访问接口的数量设置读写任务并行度。

[0062] 所述并行度是指 CPU 的指令并行执行的最大条数,其中在指令流水中,同时执行多条指令称为指令并行。

[0063] 当终端获取到存储系统的存储访问接口的数量时,终端可以根据所述存储访问接口的数量设置 CPU 读写任务的并行度,也就是说,终端可以设置 CPU 的并行度等于存储访问接口的数量,例如,终端获取得到的存储系统的存储访问接口的数量为 4,终端则可以设置 CPU 的并行度为 4,避免了因开启过多的任务而造成竞争和排队,从而提高了 CPU 的存储能力,并且终端开启的并行读写任务数量与存储访问接口的数量相当,提高了存储系统的并行利用率。

[0064] 进一步地,终端还可以获取所述存储系统的存储域的数量,所述存储域为共享访问通道的存储单元,再根据所述存储域的数量与所述存储访问接口的数量设置所述 CPU 的并行度。

[0065] 具体实现中,终端在系统初始化时,终端还可以获取所述存储系统的存储域的数量,然后,比较所述存储域的数量和所述存储访问接口的数量;

[0066] 如果,所述存储域的数量小于所述存储访问接口的数量,则将所述存储域的数量设置为所述读写任务并行度,例如,所述存储域的数量为 4,所述存储访问接口的数量为 5,终端则设置所述 CPU 的并行度为 4;

[0067] 如果,所述存储域的数量大于所述存储访问接口的数量,则将所述存储访问接口的数量设置为所述读写任务并行度,例如,所述存储域的数量为 6,所述存储访问接口的数量为 5,终端则设置所述 CPU 的并行度为 5。

[0068] 其中,终端可以获取所述存储系统的存储块的存储容量,再同步重复执行第一读写任务和第二读写任务,所述第一读写任务和第二读写任务起始的起始地址处于同一存储块中,其中,所述第一读写任务每次执行的起始地址偏移量为 0,所述第二读写任务每次执行的起始地址偏移量与所述存储块的存储容量相等,当确定执行第二读写任务的起始地址

再次与执行第一读写任务的起始地址处于同一存储域中时，则根据所述第二读写任务的执行次数确定所述存储系统的存储域的数量。

[0069] 步骤 S230，生成与所述读写任务并行度对应数量的并行读写任务，并对所述存储系统执行所述读写任务。

[0070] 当终端设置了 CPU 的并行度之后，每当 CPU 需要对存储系统执行读写任务时，终端可以生成与所述读写任务并行度对应数量的并行读写任务，并对所述存储系统执行所述读写任务。

[0071] 在图 2 所示的实施例中，终端可以获取存储系统的存储访问接口的数量，根据该存储访问接口的数量设置 CPU 读写任务并行度，终端可以根据该并行度开启与存储访问接口数量相同的任务，避免了因开启过多的任务而造成竞争和排队，从而提高了 CPU 的存储能力以及存储系统的并行利用率。

[0072] 请参阅图 3，图 3 是本发明实施例提供的另一种存储系统的并行读写方法的流程示意图。本发明实施例提供的存储系统的并行读写方法可以实现在个人电脑、PAD、手机等包含存储系统的终端设备中。如图 3 所示本实施例中的存储系统的并行读写流程可以包括：

[0073] 步骤 S310，获取存储系统的存储访问接口的数量。

[0074] CPU 可以通过所述存储访问接口与所述存储系统中的存储器连接以及进行数据交换。当终端系统初始化时，终端可以对 CPU 的并行度进行设置，从而获取存储系统的存储访问接口的数量。

[0075] 具体地，终端可以检测存储系统的存储访问接口，从而获取该存储系统中存储访问接口的数量。

[0076] 步骤 S320，获取所述存储系统的存储块的存储容量。

[0077] 一个存储域中可以包含多个存储块，如图 2 所示，所述存储块用于存储固定容量的数据。

[0078] 作为一种可选的实施方式，若存储系统存储数据的分布策略为条带化，终端可以重复执行固定读写数据量的第三读写任务，且所述第三读写任务每次执行的起始地址偏移量为预设的固定偏移量，并记录每次执行第三读写任务时所述存储系统的存储访问接口的第二响应时长，其中，所述读写数据量大于所述固定偏移量，再比较所述记录的第二响应时长，根据两次相邻最短响应时长之间所述第三读写任务的执行次数以及所述固定偏移量确定所述存储系统的存储容量。

[0079] 具体实现中，终端可以从预设起始地址，如第一起始地址读写固定读写数据量的数据，并记录存储系统的存储访问接口响应当次读写任务的响应时长（这里，将执行第三读写任务的响应时长记录为第二响应时长），然后以固定偏移量偏移所述第一起始地址，即在所述第一起始地址的基础上加上所述固定偏移量获得第二起始地址，再从所述第二起始地址读写固定读写数据量的数据，同样并记录存储访问接口响应当次读写任务的第二响应时长，然后再以固定偏移量偏移所述第二起始地址，以此类推；

[0080] 当终端读写的数据在两个存储块中时，终端可以并行读写，并且，当终端读写的数据均分在两个存储块中时，存储访问接口响应当次读写任务的第二响应时长相对其它情况而言最短，终端比较执行第三读写任务所记录的第二响应时长，根据两次相邻最短响应时

长之间第三读写任务的执行次数以及所述固定偏移量确定所述存储系统的存储容量。

[0081] 其中,终端可以将两次相邻最短响应时长之间(不包括两次最短响应时长)第三读写任务的执行次数加一的结果再乘以固定偏移量作为所述存储块的存储容量。

[0082] 假设,终端每次读写的固定读写数据量为4K,固定偏移量为512字节,第一起始地址为0000,记录存储访问接口每次响应读写任务的第二响应时长,以固定偏移量为横坐标,以存储访问接口的响应时长为纵坐标作图,可以获得如图4所示的坐标图,如图4所示,两个波谷之间,终端执行的读写任务的次数为9,因此,存储块的存储容量为:(9+1)\*512字节=5K。

[0083] 需要说明的是,在本发明实施实例中,终端先执行获取存储系统的存储访问接口的数量的步骤,再执行获取所述存储系统的存储块的存储容量的步骤,在其他可选实施例中,终端可先执行获取所述存储系统的存储块的存储容量的步骤,再执行获取存储系统的存储访问接口的数量的步骤,或者,终端同时执行获取存储系统的存储访问接口的数量的步骤以及获取所述存储系统的存储块的存储容量的步骤,本发明不做限定。

[0084] 步骤S330,同步重复执行第一读写任务和第二读写任务,所述第一读写任务和第二读写任务起始的起始地址处于同一存储块中,其中,所述第一读写任务每次执行的起始地址偏移量为0,所述第二读写任务每次执行的起始地址偏移量与所述存储块的存储容量相等。

[0085] 具体实现中,当终端获取到存储系统的存储块的存储容量时,终端可以同步重复执行第一读写任务以及第二读写任务,所述第一读写任务和第二读写任务的起始地址处于同一存储块中,其中,所述第一读写任务每次执行的起始地址偏移量为0,所述第二读写任务每次执行的起始地址偏移量与所述存储块的存储容量相等,当第一读写任务与第二读写任务同时读写同一存储域的存储块的数据时,终端执行读写任务存在先后顺序。

[0086] 假设,终端先执行第一读写任务再执行第二读写任务,当终端获取到所述存储系统的存储块的存储容量时,终端先执行第一读写任务读取预设存储块的数据,再执行第二读写任务同样读写该预设存储块的数据,当终端执行完第一读写任务以及第二读写任务时,一方面,终端继续读写该预设存储块的数据,另一方面,终端以存储块的存储容量作为起始地址偏移量,偏移起始地址,读写下一存储域的存储块的数据,以此类推。

[0087] 例如,存储系统的内部结构如图1所示,当终端获取到所述存储系统的存储块的存储容量时,终端执行第一读写任务,读写存储块chunk#0的数据,再执行第二读写任务,读写存储块chunk#0的数据;然后,终端继续执行第一读写任务,读写存储块chunk#0的数据,同时,终端继续执行第二读写任务,读写存储块chunk#1的数据;然后,终端继续执行第一读写任务,读写存储块chunk#0的数据,同时,终端继续执行第二读写任务,读写存储块chunk#2的数据,以此类推。

[0088] 步骤S340,当确定执行第二读写任务的起始地址再次与执行第一读写任务的起始地址处于同一存储域中时,则根据所述第二读写任务的执行次数确定所述存储系统的存储域的数量。

[0089] 作为一种可选的实施方式,终端可以记录每次执行第一读写任务和第二读写任务时,所述存储系统的存储访问接口的第一响应时长,也就是说,终端可以将每次执行第一读写任务和第二读写任务所用时间记录为第一响应时长,然后,比较执行第一读写任务和第

二读写任务所记录的第一响应时长,当记录中出现相邻的第一响应时长的时间差值大于预设阈值时,终端则判定执行第二读写任务的起始地址与执行第一读写任务的起始地址处于同一存储域中,此时,终端可以结束第一读写任务和第二读写任务,并根据所述第二读写任务的执行次数确定所述存储系统的存储域的数量。

[0090] 具体实现中,终端可以每记录一次第一响应时长,则将该第一响应时长与上一次记录的第一响应时长进行比较,假设,该第一响应时长减去上一次记录的第一响应时长的时间差值大于预设阈值,终端则判定执行第二读写任务的起始地址与执行第一读写任务的起始地址处于同一存储域中。

[0091] 例如,存储系统的内部结构如图 1 所示,终端执行第一读写任务,读写存储块 chunk#0 的数据,再执行第二读写任务,读写存储块 chunk#0 的数据,终端记录的存储访问接口的第一响应时长为  $t_1$ ;然后,终端继续执行第一读写任务,读写存储块 chunk#0 的数据,同时,终端继续执行第二读写任务,读写存储块 chunk#1 的数据,终端记录的存储访问接口的第一响应时长为  $t_2$ ,如果,第一读写任务与第二读写任务在同一存储域中时,终端在执行读写任务时存在竞争;如果,第一读写任务与第二读写任务不在同一存储域中时,终端可以同时执行第一读写任务和第二读写任务,因此,  $t_1 > t_2$ ,以此类推,只有当第二读写任务读写 chunk#20 的数据时,第一响应时长减去上一次记录的第一响应时长的时间差值才会大于预设阈值,终端则判定执行第二读写任务的起始地址与执行第一读写任务的起始地址处于同一存储域中,此时,终端可以将执行第二读写任务的执行次数减一作为所述存储系统的存储域的数量。

[0092] 步骤 S350,判断所述存储域的数量是否大于所述存储访问接口的数量。

[0093] 具体实现中,当终端获取到存储域的数量以及存储访问接口的数量时,终端可以判断所述存储域的数量是否大于所述存储访问接口的数量,如果所述存储域的数量是大于所述存储访问接口的数量,则执行步骤 S360;如果所述存储域的数量小于或等于所述存储访问接口的数量,则执行步骤 S370。

[0094] 其中,如果所述存储域的数量等于所述存储访问接口的数量,终端也可以执行步骤 S360。

[0095] 步骤 S360,若是,则将所述存储访问接口的数量设置为所述读写任务并行度。

[0096] 具体地,如果,所述存储域的数量大于所述存储访问接口的数量,则将所述存储访问接口的数量设置为所述读写任务并行度,例如,所述存储域的数量为 6,所述存储访问接口的数量为 5,终端则设置所述 CPU 的并行度为 5。

[0097] 步骤 S370,若否,则将所述存储域的数量设置为所述读写任务并行度。

[0098] 具体地,如果,所述存储域的数量小于所述存储访问接口的数量,则将所述存储域的数量设置为所述读写任务并行度,例如,所述存储域的数量为 4,所述存储访问接口的数量为 5,终端则设置所述 CPU 的并行度为 4;

[0099] 步骤 S380,生成与所述读写任务并行度对应数量的并行读写任务,并对所述存储系统执行所述读写任务。

[0100] 当终端设置了 CPU 的并行度之后,每当 CPU 需要对存储系统执行读写任务时,终端可以生成与所述读写任务并行度对应数量的并行读写任务,并对所述存储系统执行所述读写任务。

[0101] 在图 3 所示的实施例中,终端可以获取存储访问接口以及存储域的数量,比较存储域的数量与存储访问接口的数量,如果存储域的数量小于存储访问接口的数量,则将存储域的数量设置为读写任务并行度,如果存储域的数量大于存储访问接口的数量,则将存储访问接口的数量设置为读写任务并行度的数量,与上一实施例相比,终端可以进一步结合存储域的数量设置 CPU 读写任务并行度,进一步避免了竞争和排队,从而进一步提高了 CPU 的存储能力。

[0102] 请参阅图 5,图 5 是本发明实施例提供的一种存储系统的并行读写装置的结构示意图。本发明实施例提供的存储系统的并行读写装置可以实现在个人电脑、PAD、手机等包含存储系统的终端设备中。如图 5 所示本实施例中的存储系统的并行读写 50 至少可以包括:存储访问接口获取模块 51、并行度设置模块 52 以及执行模块 53,其中:

[0103] 存储访问接口获取模块 51,用于获取存储系统的存储访问接口的数量。

[0104] 具体地,当系统初始化时,存储访问接口获取模块 51 可以检测存储系统的存储访问接口,从而获取该存储系统中存储访问接口的数量。

[0105] 并行度设置模块 52,用于根据所述存储访问接口的数量设置读写任务并行度。

[0106] 具体地,当存储访问接口获取模块 51 获取到存储系统的存储访问接口的数量时,并行度设置模块 52 可以根据所述存储访问接口的数量设置 CPU 读写任务的并行度,也就是说,并行度设置模块 52 可以设置 CPU 的并行度等于存储访问接口的数量。

[0107] 执行模块 53,用于生成与所述读写任务并行度对应数量的并行读写任务,并对所述存储系统执行所述读写任务。

[0108] 具体地,当并行度设置模块 52 设置了 CPU 的并行度之后,每当 CPU 需要对存储系统执行读写任务时,执行模块 53 可以生成与所述读写任务并行度对应数量的并行读写任务,并对所述存储系统执行所述读写任务。

[0109] 进一步地,如图 6 所示的另一种存储系统的并行读写装置的结构示意图,所述存储系统的并行读写装置 50 还可以包括:存储域获取模块 54,用于获取所述存储系统的存储域的数量,所述存储域为共享访问通道的存储单元。

[0110] 具体实现中,所述存储域包括多个存储块,所述存储域获取模块 54 如图 7 所示进一步可以包括:存储块容量获取单元 541 以及存储域获取单元 542,其中:

[0111] 存储块容量获取单元 541,用于获取所述存储系统的存储块的存储容量。

[0112] 具体实现中,所述存储块容量获取单元 541 可以重复执行固定读写数据量的第三读写任务,且所述第三读写任务每次执行的起始地址偏移量为预设的固定偏移量,并记录每次执行第三读写任务时所述存储系统的存储访问接口的第二响应时长,其中,所述读写数据量大于所述固定偏移量,再比较所述记录的第二响应时长,根据两次相邻最短响应时长之间所述第三读写任务的执行次数以及所述固定偏移量确定所述存储系统的存储容量。

[0113] 其中,存储块容量获取单元 541 可以从预设起始地址,如第一起始地址读写固定读写数据量的数据,并记录存储系统的存储访问接口响应当次读写任务的响应时长,然后以固定偏移量偏移所述第一起始地址,即在所述第一起始地址的基础上加上所述固定偏移量获得第二起始地址,再从所述第二起始地址读写固定读写数据量的数据,同样并记录存储访问接口响应当次读写任务的第二响应时长,然后再以固定偏移量偏移所述第二起始地址,以此类推;

[0114] 当存储块容量获取单元 541 读写的数据在两个存储块中时,存储块容量获取单元 541 可以并行读写,并且,当读写的数据均分在两个存储块中时,存储访问接口响应当次读写任务的第二响应时长相对其它情况而言最短,存储块容量获取单元 541 比较执行第三读写任务所记录的第二响应时长,根据两次相邻最短响应时长之间第三读写任务的执行次数以及所述固定偏移量确定所述存储系统的存储容量。

[0115] 存储域获取单元 542,用于同步重复执行第一读写任务和第二读写任务,所述第一读写任务和第二读写任务起始的起始地址处于同一存储块中,其中,所述第一读写任务每次执行的起始地址偏移量为 0,所述第二读写任务每次执行的起始地址偏移量与所述存储块的存储容量相等,当确定执行第二读写任务的起始地址再次与执行第一读写任务的起始地址处于同一存储域中时,则根据所述第二读写任务的执行次数确定所述存储系统的存储域的数量。

[0116] 具体地,当存储块容量获取单元 541 获取到存储系统的存储块的存储容量时,存储域获取单元 542 可以同步重复执行第一读写任务以及第二读写任务,所述第一读写任务和第二读写任务的起始地址处于同一存储块中,其中,所述第一读写任务每次执行的起始地址偏移量为 0,所述第二读写任务每次执行的起始地址偏移量与所述存储块的存储容量相等,当第一读写任务与第二读写任务同时读写同一存储域的存储块的数据时,存储域获取单元 542 执行读写任务存在先后顺序,当确定执行第二读写任务的起始地址再次与执行第一读写任务的起始地址处于同一存储域中时,则根据所述第二读写任务的执行次数确定所述存储系统的存储域的数量。

[0117] 假设,存储域获取单元 542 先执行第一读写任务再执行第二读写任务,当获取到所述存储系统的存储块的存储容量时,存储域获取单元 542 先执行第一读写任务读取预设存储块的数据,再执行第二读写任务同样读写该预设存储块的数据,存储域获取单元 542 当执行完第一读写任务以及第二读写任务时,一方面,继续读写该预设存储块的数据,另一方面,以存储块的存储容量作为起始地址偏移量,偏移起始地址,读写下一存储域的存储块的数据,以此类推。

[0118] 可选的,所述存储域获取模块 54 如图 7 所示进一步还包括记录单元 543,用于记录每次执行第一读写任务和第二读写任务时,所述存储系统的存储访问接口的第一响应时长,进一步地,所述存储域获取单元 542 可以比较所述记录的第一响应时长,当记录中出现相邻的第一响应时长的时间差值大于预设阈值时,则判定执行第二读写任务的起始地址与执行第一读写任务的起始地址处于同一存储域中。

[0119] 具体实现中,记录单元 543 可以记录每次执行第一读写任务和第二读写任务时,所述存储系统的存储访问接口的第一响应时长,也就是说,记录单元 543 可以将每次执行第一读写任务和第二读写任务所用时间记录为第一响应时长,然后,存储域获取单元 542 比较执行第一读写任务和第二读写任务所记录的第一响应时长,当记录中出现相邻的第一响应时长的时间差值大于预设阈值时,存储域获取单元 542 则判定执行第二读写任务的起始地址与执行第一读写任务的起始地址处于同一存储域中,此时,存储域获取单元 542 可以结束第一读写任务和第二读写任务,并根据所述第二读写任务的执行次数确定所述存储系统的存储域的数量。

[0120] 再进一步地,所述并行度设置模块 52 具体可以用于:

- [0121] 比较所述存储域的数量与所述存储访问接口的数量；
- [0122] 如果，所述存储域的数量小于所述存储访问接口的数量，则将所述存储域的数量设置为所述读写任务并行度；
- [0123] 如果，所述存储域的数量大于所述存储访问接口的数量，则将所述存储访问接口的数量设置为所述读写任务并行度。

[0124] 在图 5 所示的实施例中，存储访问接口获取模块可以获取存储系统的存储访问接口的数量，并行度设置模块可以根据该存储访问接口的数量设置 CPU 读写任务并行度，执行模块可以根据该并行度开启与存储访问接口数量相同的任务，避免了因开启过多的任务而造成竞争和排队，从而提高了 CPU 的存储能力以及存储系统的并行利用率；

[0125] 进一步地，在图 6 所示的实施例中，存储域获取模块可以获取存储系统的存储域的数量，并行度设置模块可以比较存储域的数量与存储访问接口的数量，如果存储域的数量小于存储访问接口的数量，则将存储域的数量设置为读写任务并行度，如果存储域的数量大于存储访问接口的数量，则将存储访问接口的数量设置为读写任务并行度的数量，与图 5 所示的实施例相比，并行度设置装置可以进一步结合存储域的数量设置 CPU 读写任务并行度，进一步避免了竞争和排队，从而进一步提高了 CPU 的存储能力。

[0126] 请参阅图 8，图 8 是本发明实施例提供的另一种存储系统的并行读写装置的结构示意图，如图 8 所示，该存储系统的并行读写装置 80 可以包括：至少一个处理器 81，例如 CPU，至少一个通信总线 82 以及存储器 83。通信总线 82 用于实现这些组件之间的连接通信。存储器 83 可以是高速 RAM 存储器，也可以是非不稳定的存储器 (non-volatile memory)，例如至少一个磁盘存储器。存储器 83 中存储一组程序代码，且处理器 81 用于调用存储器 83 中存储的程序代码，用于执行以下操作：

- [0127] 获取存储系统的存储访问接口的数量；
- [0128] 根据所述存储访问接口的数量设置读写任务并行度；
- [0129] 生成与所述读写任务并行度对应数量的并行读写任务，并对所述存储系统执行所述读写任务。

[0130] 进一步地，处理器 81 在根据所述存储访问接口的数量设置读写任务并行度之前，还可以执行以下操作：

- [0131] 获取所述存储系统的存储域的数量，所述存储域为共享访问通道的存储单元；
- [0132] 再进一步地，处理器 81 根据所述存储访问接口的数量设置读写任务并行度具体可以为：

- [0133] 比较所述存储域的数量与所述存储访问接口的数量；
- [0134] 如果，所述存储域的数量小于所述存储访问接口的数量，则将所述存储域的数量设置为所述读写任务并行度；
- [0135] 如果，所述存储域的数量大于所述存储访问接口的数量，则将所述存储访问接口的数量设置为所述读写任务并行度。

[0136] 其中，所述存储域包括多个存储块，处理器 81 获取存储系统的存储域的数量具体可以为：

- [0137] 获取所述存储系统的存储块的存储容量；
- [0138] 同步重复执行第一读写任务和第二读写任务，所述第一读写任务和第二读写任务

起始的起始地址处于同一存储块中，其中，所述第一读写任务每次执行的起始地址偏移量为0，所述第二读写任务每次执行的起始地址偏移量与所述存储块的存储容量相等，当确定执行第二读写任务的起始地址再次与执行第一读写任务的起始地址处于同一存储域中时，则根据所述第二读写任务的执行次数确定所述存储系统的存储域的数量。

[0139] 可选的，处理器81还可以执行以下操作：

[0140] 记录每次执行第一读写任务和第二读写任务时，所述存储系统的存储访问接口的第一响应时长；

[0141] 进一步地，处理器81确定执行第二读写任务的起始地址与执行第一读写任务的起始地址处于同一存储域中具体可以为：

[0142] 比较所述记录的第一响应时长，当记录中出现相邻的第一响应时长的时间差值大于预设阈值时，则判定执行第二读写任务的起始地址与执行第一读写任务的起始地址处于同一存储域中。

[0143] 其中，处理器81获取所述存储系统的存储块的存储容量具体可以为：

[0144] 重复执行固定读写数据量的第三读写任务，且所述第三读写任务每次执行的起始地址偏移量为预设的固定偏移量，并记录每次执行第三读写任务时所述存储系统的存储访问接口的第二响应时长，其中，所述读写数据量大于所述固定偏移量；

[0145] 比较所述记录的第二响应时长，根据两次相邻最短响应时长之间所述第三读写任务的执行次数以及所述固定偏移量确定所述存储系统的存储容量。

[0146] 可理解的是，本实施例的存储系统的并行读写装置的功能可根据上述方法实施例中的方法具体实现，可以具体对应参考图1至图2方法实施例的相关描述，此处不再赘述。

[0147] 在本说明书的描述中，参考术语“一个实施例”、“一些实施例”、“示例”、“具体示例”、或“一些示例”等的描述意指结合该实施例或示例描述的具体特征、结构、材料或者特点包含于本发明的至少一个实施例或示例中。在本说明书中，对上述术语的示意性表述不是必须针对相同的实施例或示例。而且，描述的具体特征、结构、材料或者特点可以在任一个或多个实施例或示例中以合适的方式结合。此外，在不相互矛盾的情况下，本领域的技术人员可以将本说明书中描述的不同实施例或示例以及不同实施例或示例的特征进行结合和组合。

[0148] 此外，术语“第一”、“第二”仅用于描述目的，而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此，限定有“第一”、“第二”的特征可以明示或者隐含地包括至少一个该特征。在本发明的描述中，“多个”的含义是至少两个，例如两个，三个等，除非另有明确具体的限定。

[0149] 流程图中或在此以其他方式描述的任何过程或方法描述可以被理解为，表示包括一个或多个用于实现特定逻辑功能或过程的步骤的可执行指令的代码的模块、片段或部分，并且本发明的优选实施方式的范围包括另外的实现，其中可以不按所示出或讨论的顺序，包括根据所涉及的功能按基本同时的方式或按相反的顺序，来执行功能，这应被本发明的实施例所属技术领域的技术人员所理解。

[0150] 在流程图中表示或在此以其他方式描述的逻辑和/或步骤，例如，可以被认为是由实现逻辑功能的可执行指令的程序列表，可以具体实现在任何计算机可读介质中，以

供指令执行系统、装置或设备（如基于计算机的系统、包括处理器的系统或其他可以从指令执行系统、装置或设备取指令并执行指令的系统）使用，或结合这些指令执行系统、装置或设备而使用。就本说明书而言，“计算机可读介质”可以是任何可以包含、存储、通信、传播或传输程序以供指令执行系统、装置或设备或结合这些指令执行系统、装置或设备而使用的装置。计算机可读介质的更具体的示例（非穷尽性列表）包括以下：具有一个或多个布线的电连接部（电子装置），便携式计算机盘盒（磁装置），随机存取存储器（RAM），只读存储器（ROM），可擦除可编辑只读存储器（EPROM 或闪速存储器），光纤装置，以及便携式光盘只读存储器（CDROM）。另外，计算机可读介质甚至可以是可在其上打印所述程序的纸或其他合适的介质，因为可以例如通过对纸或其他介质进行光学扫描，接着进行编辑、解译或必要时以其他合适方式进行处理来以电子方式获得所述程序，然后将其存储在计算机存储器中。

[0151] 应当理解，本发明的各部分可以用硬件、软件、固件或它们的组合来实现。在上述实施方式中，多个步骤或方法可以用存储在存储器中且由合适的指令执行系统执行的软件或固件来实现。例如，如果用硬件来实现，和在另一实施方式中一样，可用本领域公知的下列技术中的任一项或他们的组合来实现：具有用于对数据信号实现逻辑功能的逻辑门电路的离散逻辑电路，具有合适的组合逻辑门电路的专用集成电路，可编程门阵列（PGA），现场可编程门阵列（FPGA）等。

[0152] 本技术领域的普通技术人员可以理解实现上述实施例方法携带的全部或部分步骤是可以通过程序来指令相关的硬件完成，所述的程序可以存储于一种计算机可读存储介质中，该程序在执行时，包括方法实施例的步骤之一或其组合。

[0153] 此外，在本发明各个实施例中的各功能单元可以集成在一个处理模块中，也可以是各个单元单独物理存在，也可以两个或两个以上单元集成在一个模块中。上述集成的模块既可以采用硬件的形式实现，也可以采用软件功能模块的形式实现。所述集成的模块如果以软件功能模块的形式实现并作为独立的产品销售或使用时，也可以存储在一个计算机可读取存储介质中。

[0154] 上述提到的存储介质可以是只读存储器，磁盘或光盘等。尽管上面已经示出和描述了本发明的实施例，可以理解的是，上述实施例是示例性的，不能理解为对本发明的限制，本领域的普通技术人员在本发明的范围内可以对上述实施例进行变化、修改、替换和变型。

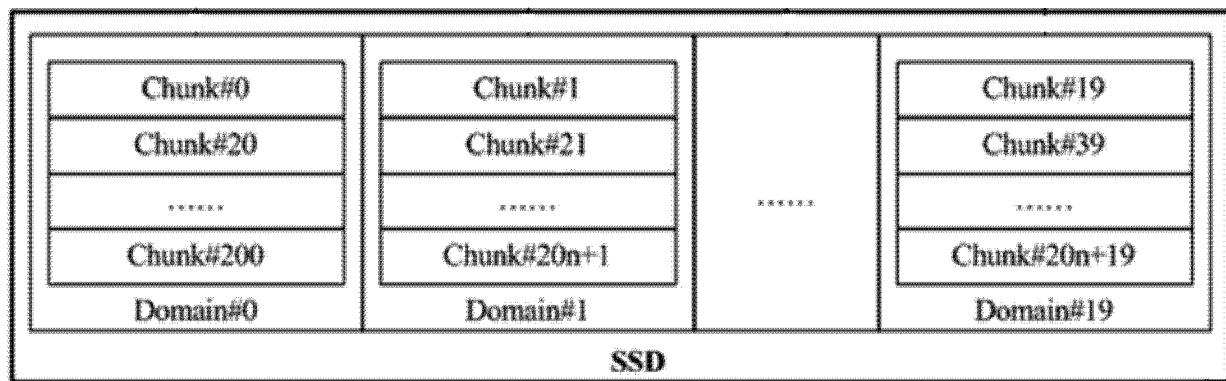


图 1

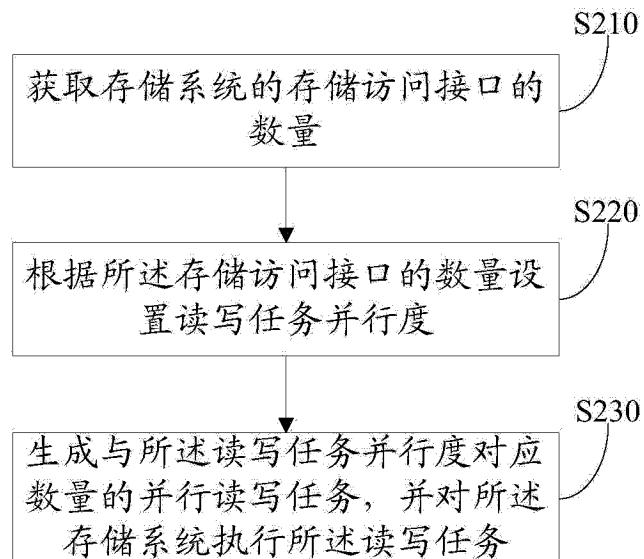


图 2

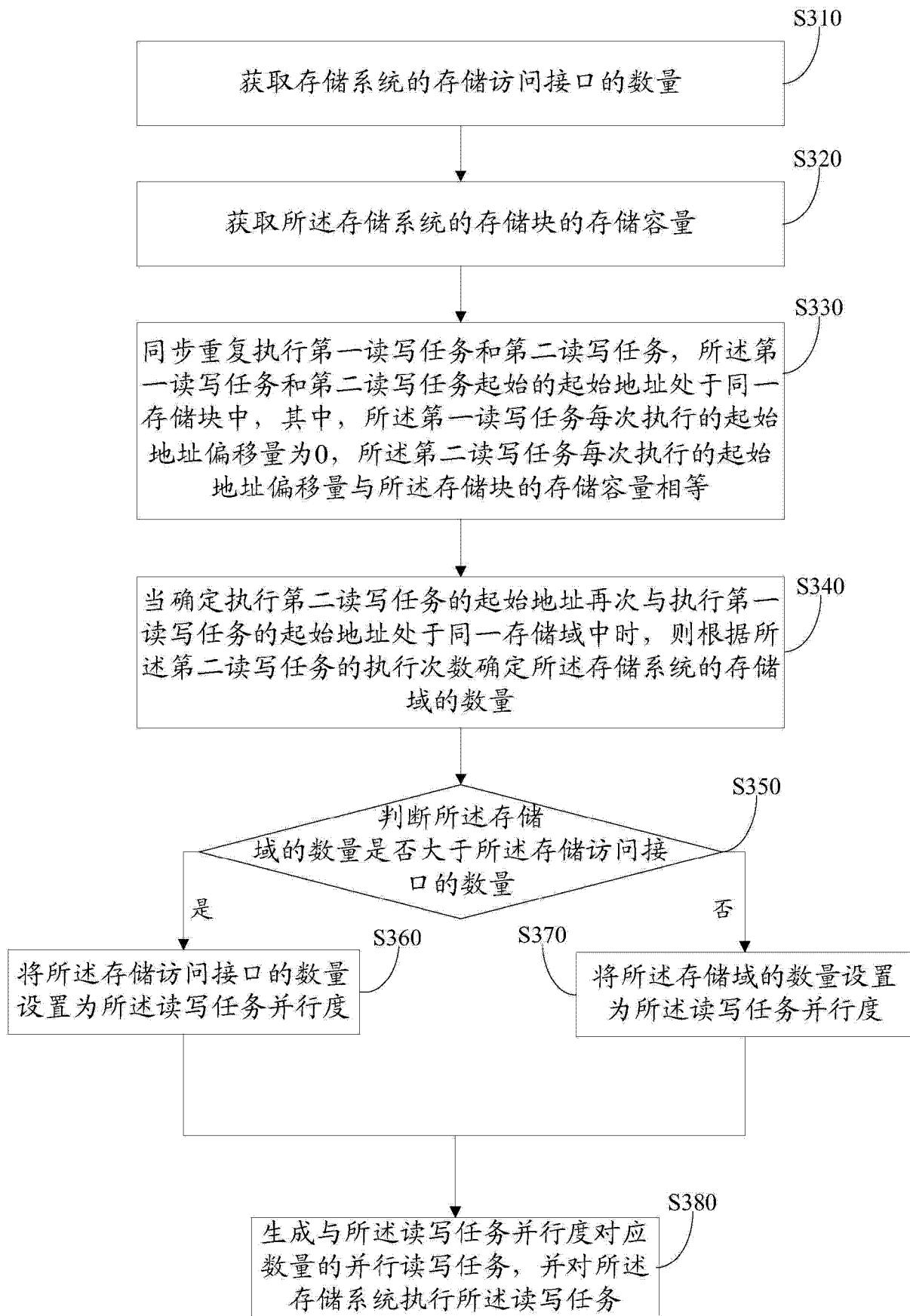


图 3

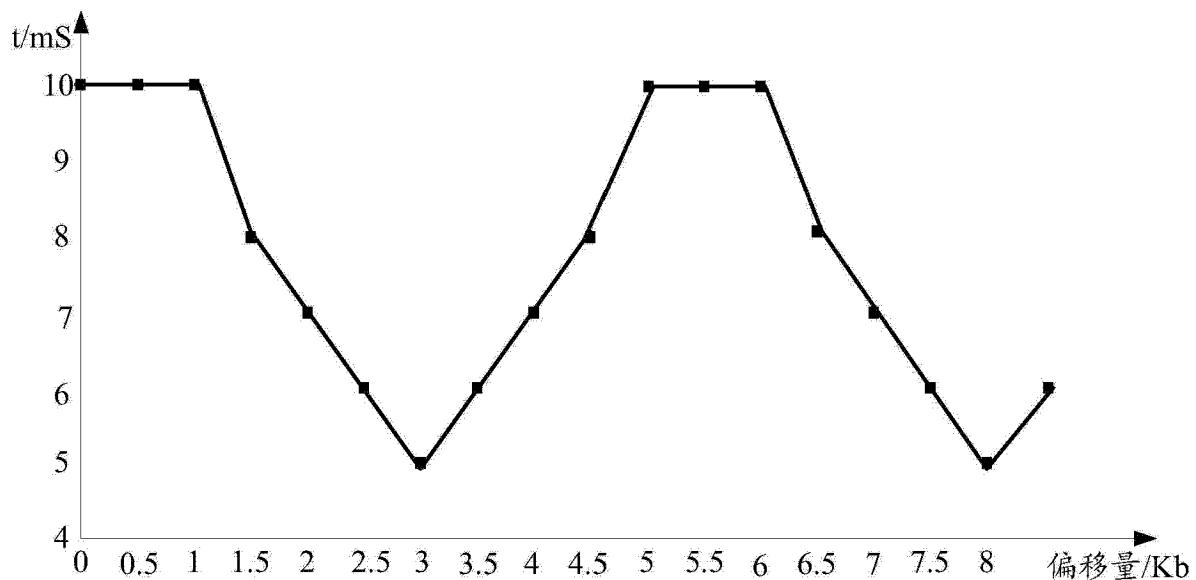


图 4

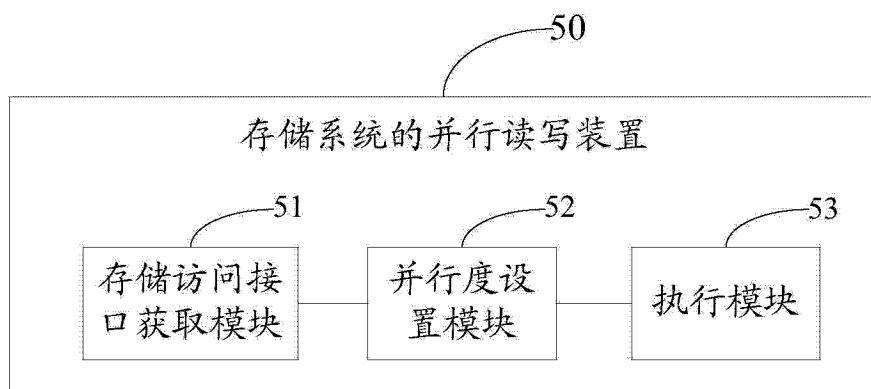


图 5

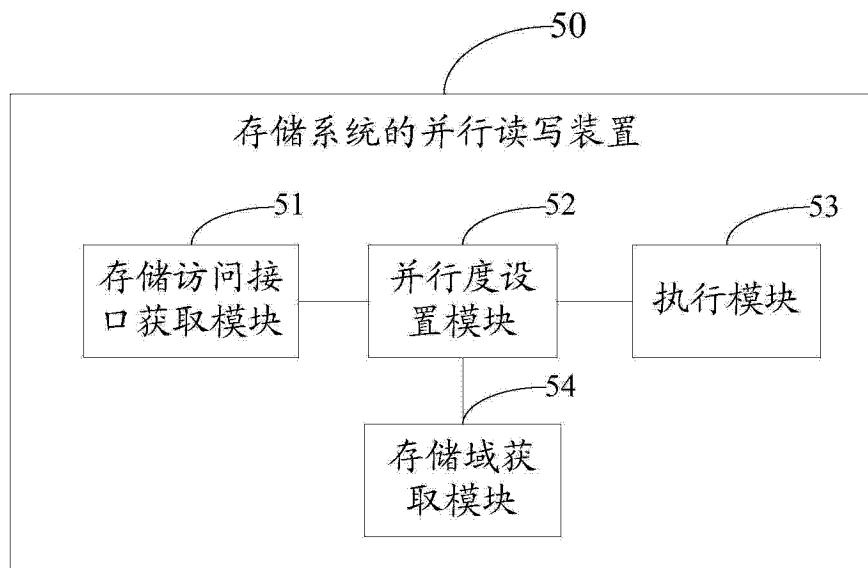


图 6

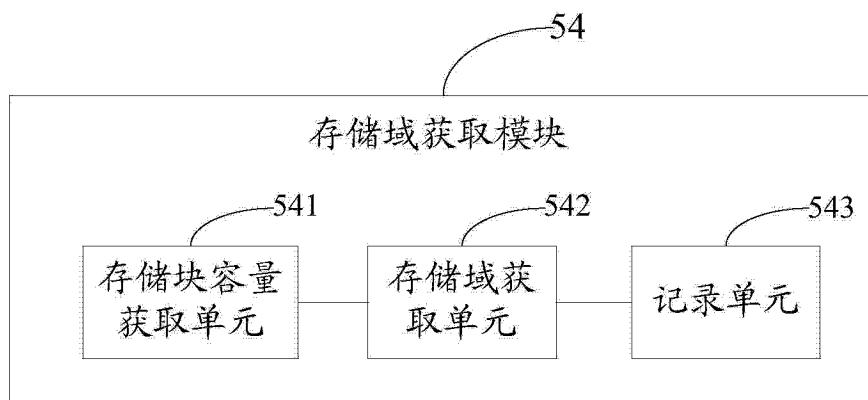


图 7

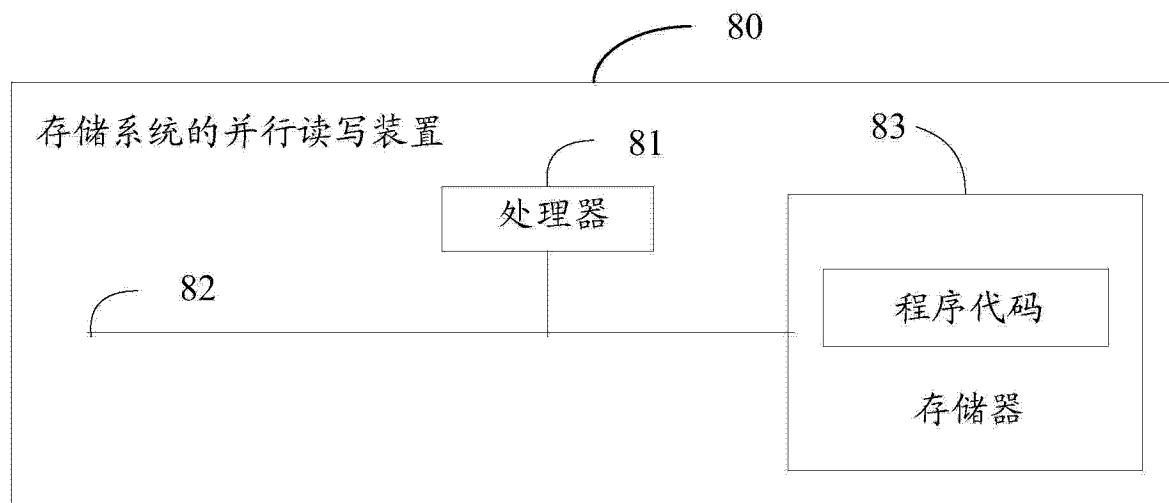


图 8