

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7510350号
(P7510350)

(45)発行日 令和6年7月3日(2024.7.3)

(24)登録日 令和6年6月25日(2024.6.25)

(51)国際特許分類	F I			
G 0 9 F	9/30 (2006.01)	G 0 9 F	9/30	3 3 0
G 0 2 F	1/1368(2006.01)	G 0 9 F	9/30	3 4 8 A
		G 0 9 F	9/30	3 3 8
		G 0 2 F	1/1368	

請求項の数 14 (全26頁)

(21)出願番号	特願2020-552757(P2020-552757)	(73)特許権者	510280589
(86)(22)出願日	令和1年11月21日(2019.11.21)		京東方科技集團股 ぶん 有限公司
(65)公表番号	特表2022-504998(P2022-504998 A)		BOE TECHNOLOGY GROU P CO., LTD.
(43)公表日	令和4年1月14日(2022.1.14)		中華人民共和国 1 0 0 0 1 5 北京市朝陽 區酒仙橋路 1 0 號
(86)国際出願番号	PCT/CN2019/119982		No. 10 Jiuxianqiao R d., Chaoyang Distri ct, Beijing 100015, CHINA
(87)国際公開番号	WO2020/103909	(74)代理人	100103894
(87)国際公開日	令和2年5月28日(2020.5.28)		弁理士 家入 健
審査請求日	令和4年11月14日(2022.11.14)	(72)発明者	ロング チュンビン
(31)優先権主張番号	201821934974.7		中華人民共和国 1 0 0 1 7 6 ベイジン , ビーディーイー , ディーゼー ロード
(32)優先日	平成30年11月22日(2018.11.22)		最終頁に続く
(33)優先権主張国・地域又は機関	中国(CN)		
前置審査			

(54)【発明の名称】 アレイ基板及び表示装置

(57)【特許請求の範囲】

【請求項 1】

ベース基板と、
前記ベース基板の第 1 側に配置された少なくとも 1 本の第 1 信号線及び少なくとも 1 本の第 2 信号線と、
前記ベース基板の第 1 側に配置された少なくとも 1 つの静電気放電保護素子と、を備えるアレイ基板であって、
前記静電気放電保護素子は、
前記少なくとも 1 本の第 1 信号線のうちの 1 本の第 1 信号線に結合される第 1 電極と、
前記少なくとも 1 本の第 2 信号線のうちの 1 本の第 2 信号線に結合される第 2 電極であって、前記第 2 電極の前記ベース基板から離れた側には、2 つの第 2 ピアが設けられる、第 2 電極と、
前記第 1 電極と前記第 2 電極との間に配置され、前記第 1 電極と前記第 2 電極との間に静電気放電容量を形成するように配置されている、絶縁媒体と、
一端が前記第 2 信号線に結合され、他端が前記 2 つの第 2 ピアのうちの 1 つの第 2 ピアを介して前記第 2 電極の前記第 2 信号線から離れた一端に結合され、両端以外の部分は、前記 2 つの第 2 ピアのうちの他の 1 つの第 2 ピアを介して前記第 2 電極の前記第 2 信号線に近接する一端に結合されている、第 2 接続電極とを含み、
前記静電気放電保護素子は、結合された第 1 信号線及び第 2 信号線のうちの一方における静電荷を他方に放電するように配置され、

10

20

前記第 2 接続電極の両端以外の部分の前記ベース基板における正投影は、前記第 1 電極の前記ベース基板における正投影と少なくとも部分的に重なる、アレイ基板。

【請求項 2】

前記ベース基板の第 1 側に配置されるゲート層であって、前記静電気放電保護素子の前記第 1 電極と画素を駆動するための駆動トランジスタのゲートとを前記ゲート層に同層に配置させる、ゲート層と、

前記ゲート層の前記ベース基板に近接する側又は前記ベース基板から離れた側に配置される半導体層であって、前記静電気放電保護素子の前記第 2 電極と前記駆動トランジスタの活性層とを前記半導体層に同層に配置させる、半導体層と、

前記ゲート層と前記半導体層との間に配置され、前記静電気放電保護素子の前記第 1 電極と前記第 2 電極との間に位置する部分が前記絶縁媒体とされるゲート絶縁層とを備える、請求項 1 に記載のアレイ基板。

10

【請求項 3】

前記第 2 電極の材料は、 $10^{18} / \text{cm}^3 \sim 10^{22} / \text{cm}^3$ のドーピング濃度の高ドーピングされた半導体材料である、請求項 2 に記載のアレイ基板。

【請求項 4】

前記ゲート層は、前記半導体層の前記ベース基板から離れた側に位置され、

前記アレイ基板は、さらに、

前記ゲート層の前記ベース基板から離れた側に配置される層間絶縁層と、

前記層間絶縁層の前記ベース基板から離れた側に配置される前記駆動トランジスタのソース・ドレイン電極層であって、前記少なくとも 1 本の第 1 信号線、少なくとも 1 本の第 2 信号線及び前記駆動トランジスタのソースとドレインを前記ソース・ドレイン電極層に同層に配置させる、ソース・ドレイン電極層とを備え、

20

前記静電気放電保護素子の前記第 1 電極の前記ベース基板から離れた側には、前記層間絶縁層を貫通する第 1 ピアが設けられ、前記静電気放電保護素子の前記第 1 電極は、前記第 1 ピアを介して前記第 1 信号線に結合されており、

前記静電気放電保護素子の前記第 2 電極の前記ベース基板から離れた側には、前記ゲート絶縁層及び前記層間絶縁層を貫通する第 2 ピアが設けられ、前記静電気放電保護素子の前記第 2 電極は、前記第 2 接続電極により前記第 2 ピアを介して前記第 2 信号線に結合されている、請求項 2 又は 3 に記載のアレイ基板。

30

【請求項 5】

前記ゲート層は、前記半導体層の前記ベース基板に近接する側に位置され、

前記アレイ基板は、

前記半導体層の前記ベース基板から離れた側に配置されるソース・ドレイン電極層であって、前記少なくとも 1 本の第 1 信号線、前記少なくとも 1 本の第 2 信号線及び前記駆動トランジスタのソースとドレインを前記ソース・ドレイン電極層に同層に配置させる、ソース・ドレイン電極層をさらに備え、

前記静電気放電保護素子の前記第 1 電極の前記ベース基板から離れた側には、前記ゲート絶縁層を貫通する第 3 ピアが設けられ、前記静電気放電保護素子の前記第 1 電極は、前記第 3 ピアを介して前記第 1 信号線に結合され、

40

前記静電気放電保護素子の前記第 2 電極は、前記第 2 信号線に結合されている、請求項 2 又は 3 に記載のアレイ基板。

【請求項 6】

前記アレイ基板は、前記アレイ基板におけるゲート線又はデータ線に対するテストを行うための少なくとも 1 つのテスト回路を含み、前記少なくとも 1 つのテスト回路のうちの各テスト回路は、それぞれアレイ基板におけるゲート線又はデータ線に結合され、

前記少なくとも 1 本の第 1 信号線は、少なくとも 1 本のテスト制御線を含み、前記テスト制御線は、前記テスト回路に結合され、且つ前記テスト回路をオン又はオフさせるために、テスト制御信号を前記テスト回路に送信するように配置されており、

前記少なくとも 1 本の第 2 信号線は、少なくとも 1 本のテスト信号線を含み、前記テス

50

ト信号線は、前記テスト回路に結合され、且つ対応する前記ゲート線又は前記データ線がオンされたか否かを検出するために、テスト信号を前記テスト回路に送信するように配置されている、請求項 1 ~ 5 の何れか 1 項に記載のアレイ基板。

【請求項 7】

前記ベース基板の第 1 側に配置されたゲート線、データ線、共通電圧信号線、クロック信号線、及びレベル信号線を備え、

前記少なくとも 1 本の第 1 信号線は、前記ゲート線、前記データ線、前記共通電圧信号線、前記クロック信号線、及び前記レベル信号線のうちの少なくとも 1 つを含み、

前記少なくとも 1 本の第 2 信号線は、前記ゲート線、前記データ線、前記共通電圧信号線、前記クロック信号線、及び前記レベル信号線のうちの少なくとも 1 つを含む、請求項 1 ~ 6 の何れか 1 項に記載のアレイ基板。

10

【請求項 8】

少なくとも 2 つの静電気放電保護素子のうちの各々の前記静電気放電保護素子の前記第 1 電極は、同じ前記第 1 信号線に結合され、

前記少なくとも 2 つの静電気放電保護素子において、一部の前記静電気放電保護素子の前記第 2 電極は、1 本の前記第 2 信号線に結合され、他の一部の前記静電気放電保護素子の前記第 2 電極は、他の 1 本の前記第 2 信号線に結合されている、請求項 2 ~ 7 の何れか 1 項に記載のアレイ基板。

【請求項 9】

前記少なくとも 2 つの静電気放電保護素子は、2 つの静電気放電保護素子を含む組に分けられ、前記 2 つの静電気放電保護素子は、それぞれ第 1 静電気放電保護素子と第 2 静電気放電保護素子であり、

20

前記アレイ基板が前記駆動トランジスタのソース・ドレイン電極層と、

前記ソース・ドレイン電極層の前記ベース基板から離れた側に配置されているパッシベーション層と、

前記パッシベーション層の前記ベース基板から離れた側に配置され、少なくとも 1 つの第 3 接続電極及び複数の画素電極を含む、画素電極層とをさらに備え、

前記第 1 静電気放電保護素子及び前記第 2 静電気放電保護素子の前記第 2 電極の前記ベース基板から離れた側には、少なくとも前記パッシベーション層を貫通する第 4 ピアが設けられており、

30

前記少なくとも 1 つの第 3 接続電極のうちの 1 つの第 3 接続電極の両端は、それぞれ前記第 1 静電気放電保護素子及び前記第 2 静電気放電保護素子の各々が対応する第 4 ピアを介して、前記第 1 静電気放電保護素子及び前記第 2 静電気放電保護素子の前記第 2 電極に結合されている、請求項 8 に記載のアレイ基板。

【請求項 10】

前記少なくとも 2 つの静電気放電保護素子は、2 つの静電気放電保護素子を含む組に分けられ、前記 2 つの静電気放電保護素子は、それぞれ前記第 1 静電気放電保護素子と前記第 2 静電気放電保護素子であり、

前記第 1 静電気放電保護素子の前記第 1 電極と前記第 2 静電気放電保護素子の前記第 1 電極とは、同じ第 1 ピアを介して同じ前記第 1 信号線に結合されている、請求項 9 に記載のアレイ基板。

40

【請求項 11】

前記第 1 静電気放電保護素子及び前記第 2 静電気放電保護素子の前記ベース基板における正投影は、両者に結合された前記第 1 信号線の前記ベース基板における正投影の両側に対称的に位置している、請求項 9 又は 10 に記載のアレイ基板。

【請求項 12】

前記第 1 電極は、1 つの第 1 サブ電極、及び並列配置された少なくとも 2 つの第 2 サブ電極を含み、前記第 1 サブ電極は、前記少なくとも 2 つの第 2 サブ電極の各々と交差して配置されている、請求項 1 ~ 11 の何れか 1 項に記載のアレイ基板。

【請求項 13】

50

前記アレイ基板は、表示領域と非表示領域を有し、前記非表示領域は、前記表示領域の周辺に位置し、前記少なくとも1つの静電気放電保護素子は、前記非表示領域に配置され、

前記アレイ基板は、前記非表示領域に配置された少なくとも1つのパッドをさらに備え、前記パッドは、前記少なくとも1本の第1信号線に結合され、且つ前記少なくとも1本の第1信号線に電気信号を送信するように配置されている、請求項1～12の何れか1項に記載のアレイ基板。

【請求項14】

請求項1～13の何れか1項に記載のアレイ基板を具備する、表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、表示技術の分野に関し、特にアレイ基板、静電気放電保護回路及び表示装置に関するものである。

【背景技術】

【0002】

表示装置の製造、輸送及び使用中において、静電気放電(ESD, Electro Static Discharge)は、比較的良く見られる現象である。表示装置の生産及び輸送過程において、静電気放電の影響を受けて、表示装置の良品率が大幅に低下する。表示装置の動作過程において、静電気放電の影響を受けて、表示装置における電子回路が正常に動作しなくなり、表示装置の表示効果を招くおそれがある。従来、表示装置の製造、輸送及び動作過程において静電気から表示装置を保護するように、表示装置内のアレイ基板の非表示領域(例えば、ベゼル領域)に静電気放電保護回路を配置する方式で、高電圧の静電気を放電させたり、均一化させることが行われている。

【発明の概要】

【課題を解決するための手段】

【0003】

一態様は、アレイ基板を提供する。前記アレイ基板は、ベース基板、少なくとも1本の第1信号線、少なくとも1本の第2信号線、及び少なくとも1つの静電気放電保護素子を備える。前記少なくとも1本の第1信号線と少なくとも1本の第2信号線は、前記ベース基板の第1側に配置されている。前記少なくとも1つの静電気放電保護素子は、前記ベース基板の第1側に配置され、前記少なくとも1つの静電気放電保護素子のうちの各々の静電気放電保護素子は、第1電極、第2電極、及び絶縁媒体を含む。前記第1電極は、前記少なくとも1本の第1信号線のうちの1本の第1信号線に結合され、前記第2電極は、前記少なくとも1本の第2信号線のうちの1本の第2信号線に結合され、絶縁媒体は、前記第1電極と前記第2電極との間に配置され、前記絶縁媒体は、前記第1電極と前記第2電極との間に静電気放電容量を形成するように構成されている。ここで、前記静電気放電保護素子は、結合された第1信号線及び第2信号線のうち的一方における静電荷を他方に放電するように配置されている。

【0004】

幾つかの実施例において、前記アレイ基板は、ゲート層、半導体層、及びゲート絶縁層を備える。ゲート層は、前記ベース基板の第1側に配置され、前記ゲート層は、前記静電気放電保護素子の第1電極及び駆動トランジスタのゲートを含む。半導体層は、前記ゲート層の前記ベース基板に近接する側又は前記ベース基板から離れる側に配置され、前記半導体層は、前記静電気放電保護素子の第2電極及び前記駆動トランジスタの活性層を含む。ゲート絶縁層は、前記ゲート層と前記半導体層との間に配置され、前記ゲート絶縁層の前記静電気放電保護素子の第1電極と第2電極との間に位置する部分は、前記絶縁媒体とされている。

【0005】

幾つかの実施例において、前記第2電極の材料は、 $10^{18} / \text{cm}^3 \sim 10^{22} / \text{cm}^3$ のドーピング濃度の高ドーピングされた半導体材料である。

10

20

30

40

50

【 0 0 0 6 】

幾つかの実施例において、前記ゲート層は、前記半導体層の前記ベース基板から離れた側に配置されている。前記アレイ基板は、層間絶縁層、及びソース・ドレイン電極層をさらに備える。層間絶縁層は、前記ゲート層の前記ベース基板から離れた側に配置されている。ソース・ドレイン電極層は、前記層間絶縁層の前記ベース基板から離れた側に配置され、前記ソース・ドレイン電極層は、前記少なくとも1本の第1信号線、前記少なくとも1本の第2信号線、及び前記駆動トランジスタのソースとドレインを含む。前記静電気放電保護素子の第1電極の前記ベース基板から離れた側には、前記層間絶縁層を貫通する第1ビアが設けられ、前記静電気放電保護素子の第1電極は、前記第1ビアを介して前記第1信号線に結合されている。前記静電気放電保護素子の第2電極の前記ベース基板から離れた側には、前記ゲート絶縁層及び前記層間絶縁層を貫通する第2ビアが設けられ、前記静電気放電保護素子の第2電極は、前記第2ビアを介して前記第2信号線に結合されている。

10

【 0 0 0 7 】

幾つかの実施例において、前記静電気放電保護素子の第2電極の前記ベース基板から離れた側には、1つの第2ビアが設けられている。前記静電気放電保護素子は、一端が前記第2信号線に結合され、他端が前記1つの第2ビアを介して前記第2電極の前記第2信号線に近接する一端に結合される第1接続電極をさらに有する。

【 0 0 0 8 】

幾つかの実施例において、前記静電気放電保護素子の第2電極の前記ベース基板から離れた側には、2つの第2ビアが設けられている。前記静電気放電保護素子は、一端が前記第2信号線に結合され、他端が前記2つの第2ビアのうちの1つの第2ビアを介して前記第2電極の前記第2信号線から離れた一端に結合され、両端以外の部分は、前記2つの第2ビアのうちの他の1つの第2ビアを介して前記第2電極の前記第2信号線に近接する一端に結合されている、第2接続電極をさらに有する。前記第2接続電極の両端以外の部分の前記ベース基板における正投影は、前記第1電極の前記ベース基板における正投影と、少なくとも部分的に重なる。

20

【 0 0 0 9 】

幾つかの実施例において、前記ゲート層は、前記半導体層の前記ベース基板から近接する側に位置されている。前記アレイ基板は、前記半導体層の前記ベース基板から離れた側に配置され、前記少なくとも1本の第1信号線、前記少なくとも1本の第2信号線、及び前記駆動トランジスタのソース及びドレインを含む、ソース・ドレイン電極層をさらに備える。前記静電気放電保護素子の第1電極の前記ベース基板から離れた側には、前記ゲート絶縁層を貫通する第3ビアが設けられ、前記静電気放電保護素子の第1電極は、前記第3ビアを介して前記第1信号線に結合されている。前記静電気放電保護素子の第2電極は、前記第2信号線に結合されている。

30

【 0 0 1 0 】

幾つかの実施例において、前記少なくとも1本の第1信号線は、少なくとも1本のテスト制御線を含み、前記少なくとも1本の第2信号線は、少なくとも1本のテスト信号線を含む。前記少なくとも1本のテスト制御線のうちの各々のテスト制御線は、テスト制御信号を前記アレイ基板に送信するように配置されている。前記少なくとも1本のテスト信号線のうちの各々のテスト信号線は、テスト信号を前記アレイ基板に送信するように配置されている。

40

【 0 0 1 1 】

幾つかの実施例において、前記アレイ基板は、前記ベース基板の第1側に配置されたゲート線、データ線、共通電圧信号線、クロック信号線、及びレベル信号線を備える。前記少なくとも1本の第1信号線は、前記ゲート線、前記データ線、前記共通電圧信号線、前記クロック信号線、及び前記レベル信号線のうちの少なくとも1つを含む。前記少なくとも1本の第2信号線は、前記ゲート線、前記データ線、前記共通電圧信号線、前記クロック信号線、及び前記レベル信号線のうちの少なくとも1つを含む。

50

【 0 0 1 2 】

幾つかの実施例において、少なくとも2つの静電気放電保護素子のうちの各々の静電気放電保護素子の第1電極は、同じ第1信号線に結合されている。前記少なくとも2つの静電気放電保護素子において、一部の静電気放電保護素子の第2電極は、1つの第2信号線に結合され、他の一部の静電気放電保護素子の第2電極は、他の1つの第2信号線に結合されている。

【 0 0 1 3 】

幾つかの実施例において、前記少なくとも2つの静電気放電保護素子は、少なくとも1組に分けられ、各々の組は、2つの静電気放電保護素子を含み、前記2つの静電気放電保護素子は、それぞれ第1静電気放電保護素子と第2静電気放電保護素子である。前記アレ
10
イ基板がソース・ドレイン電極層をさらに備える場合、前記アレイ基板は、パッシベーション層及び画素電極層をさらに備える。パッシベーション層は、前記ソース・ドレイン電極層の前記ベース基板から離れた側に配置されている。画素電極層は、前記パッシベーション層の前記ベース基板から離れた側に配置され、前記画素電極層は、少なくとも1つの第3接続電極、及び複数の画素電極を含む。

【 0 0 1 4 】

前記第1静電気放電保護素子及び第2静電気放電保護素子の第2電極の前記ベース基板から離れた側には、少なくとも前記パッシベーション層を貫通する第4ビアが設けられている。前記少なくとも1つの第3接続電極のうちの1つの第3接続電極の両端は、それぞれ前記第1静電気放電保護素子及び第2静電気放電保護素子の各々が対応する第4ビアを介して、前記第1静電気放電保護素子及び第2静電気放電保護素子の第2電極に結合され
20
ている。

【 0 0 1 5 】

幾つかの実施例において、前記少なくとも2つの静電気放電保護素子は、少なくとも1組に分けられ、各々の組は、2つの静電気放電保護素子を含み、前記2つの静電気放電保護素子は、それぞれ第1静電気放電保護素子と第2静電気放電保護素子である。前記第1静電気放電保護素子の第1電極及び前記第2静電気放電保護素子の第1電極は、同じ第1
20
ビアを介して同じ第1信号線に結合されている。

【 0 0 1 6 】

幾つかの実施例において、前記第1静電気放電保護素子及び前記第2静電気放電保護素子の前記ベース基板における正投影は、両者が結合された第1信号線の前記ベース基板における正投影の両側に対称的に位置している。
30

【 0 0 1 7 】

幾つかの実施例において、前記第1電極は、1つの第1サブ電極、及び並列配置された少なくとも2つの第2サブ電極を含み、前記第1サブ電極は前記少なくとも2つの第2サブ電極の各々と交差して配置されている。

【 0 0 1 8 】

幾つかの実施例において、前記アレイ基板は、表示領域と非表示領域を有し、前記非表示領域は、表示領域の周辺に位置し、前記少なくとも1つの静電気放電保護素子は、前記非表示領域に配置される。前記アレイ基板は、前記非表示領域に配置された少なくとも1
40
つのパッドをさらに備え、前記少なくとも1つのパッドのうちの各々のパッドは、前記少なくとも1本の第1信号線に結合されて、前記少なくとも1本の第1信号線に電気信号を送信するように配置されている。

【 0 0 1 9 】

別の態様は、上記のいずれかに記載のアレイ基板に設けられた静電気放電保護回路を提供する。前記静電気放電保護回路は、少なくとも1つの静電気放電保護素子を含み、前記少なくとも1つの静電気放電保護素子のうちの各々の前記静電気放電保護素子の第1端は、前記アレイ基板における少なくとも1本の第1信号線のうちの1本の第1信号線に結合され、第2端は前記アレイ基板における少なくとも1本の第2信号線のうちの1本の第2
50
信号線に結合される。前記静電気放電保護素子は、結合された第1信号線及び第2信号線

のうちの一方における静電荷を他方に放電するように配置されている。

【0020】

幾つかの実施例において、前記静電気放電保護素子は、コンデンサである。

【0021】

幾つかの実施例において、少なくとも2つの前記静電気放電保護素子の第1端は、同じ第1信号線に結合され、且つ2つの前記静電気放電保護素子の第2端は、同じ第2信号線又は異なる第2信号線に結合されている。

【0022】

さらに別の態様は、上記のいずれかに記載のアレイ基板を具備する表示装置を提供する。

【図面の簡単な説明】

10

【0023】

以下、本開示における技術案をより明確に説明するため、本開示の幾つかの実施例に用いる図面について簡単に説明する。以下の説明における図面は、本開示の幾つかの実施例の図面であり、当業者であれば、これらの図面から他の図面を取得できることは明らかである。さらに、以下の説明における図面は、概略図と見なされてもよく、本開示の実施例に係る製品の実際の寸法、方法の実際のプロセス、信号の実際のタイミングなどを限定するものではない。

【0024】

【図1】関連技術に係る静電気放電保護回路の構造図である。

【図2A】本開示の幾つかの実施例に係るアレイ基板の構造図である。

20

【図2B】図2Aの断面線AA'に沿ったアレイ基板の断面図である。

【図2C】図2Aにおける領域Mの拡大図である。

【図3A】本開示の幾つかの実施例に係るアレイ基板のもう1つの構造図である。

【図3B】図3Aの断面線BB'に沿ったアレイ基板の断面図である。

【図4A】本開示の幾つかの実施例に係るアレイ基板のいま1つの構造図である。

【図4B】図4Aの断面線CC'に沿ったアレイ基板の断面図である。

【図4C】図4Aの断面線DD'に沿ったアレイ基板の断面図である。

【図5A】本開示の幾つかの実施例に係るアレイ基板のさらに1つの構造図である。

【図5B】図5Aの断面線EE'に沿ったアレイ基板の断面図である。

【図6A】本開示の幾つかの実施例に係るアレイ基板のさらに1つの構造図である。

30

【図6B】図6Aの断面線FF'に沿ったアレイ基板の断面図である。

【図6C】図6Aの断面線GG'に沿ったアレイ基板の断面図である。

【図7】本開示の幾つかの実施例に係る静電気放電保護回路の構造図である。

【図8】本開示の幾つかの実施例に係る静電気放電保護回路のもう1つの構造図である。

【図9】本開示の幾つかの実施例に係る静電気放電保護回路のいま1つの構造図である。

【図10A】本開示の幾つかの実施例に係るアレイ基板のさらに1つの構造図である。

【図10B】本開示の幾つかの実施例に係るアレイ基板のさらに1つの構造図である。

【図11】本開示の幾つかの実施例に係る表示装置の構造図である。

【発明を実施するための形態】

【0025】

40

以下、図面を参照し、本開示の実施例における技術案を明確に、完全に説明する。無論、ここに記載した実施例は、あくまで本開示の実施例の一部のみであり、全ての実施例ではないと理解されるべきである。本開示における実施例に基づき、当業者が取得する他のすべての実施例は、本開示の権利範囲に含まれるものとする。

【0026】

文脈上別段の解釈を要しない限り、本明細書及び特許請求の範囲全体において、用語「含む (comprise)」及びその他の形式、例えば、第三人称の単数形である「含む (comprises)」及び現在分詞の形式である「含む (comprising)」は、開放、包括的な意味、即ち「含むが、これらに限定されない」と解釈されるべきである。明細書の説明において、用語「1つの実施例 (one embodiment)」

50

「幾つかの実施例 (some embodiments)」、「例示的な実施例 (exemplary embodiments)」、「例示 (example)」、「特定の例示 (specific example)」、又は「幾つかの例示 (some examples)」などは、この実施例又は実施例に関連する特定の特徵、構造、材料、又は特性が、本開示の少なくとも1つの実施例又は例示に含まれることを示すことが意図される。上記の用語の概略的な表現は、必ずしも同じ実施例又は例示を指すわけではない。さらに、説明された特定の特徵、構造、材料、又は特性は、任意の適切な態様で、任意の1つ又は複数の実施例又は例示に含まれ得る。

【0027】

以下、用語「第1」、「第2」は説明の目的だけに用いられ、相対的な重要性を明示又は暗示する、又は対象となる技術的特徴の数を明示又は暗示すると理解されるべきではない。従って、「第1」、「第2」で限定される特徴は、1つ又は複数の該特徴を明示的又は暗黙的に含むことができる。本開示の実施例の説明では、特に説明がない限り、「複数」は2つ又はそれ以上を意味する。

10

【0028】

幾つかの実施例を説明する時、「結合」及びそれに由来する表現を使用する場合がある。例えば、幾つかの実施例を説明する時、2つ又は2つ以上の構成要素が直接的な物理的又は電氣的接触を有することを示すように、「結合」という用語を使用する場合がある。しかしながら、「結合」又は「通信可能に結合された (communicatively coupled)」という用語は、2つ又はそれ以上の構成要素が互いに直接接触していないが、依然として互いに協働又は相互作用することも意味し得る。ここに開示された実施例は、必ずしも本明細書の内容に限定されない。

20

【0029】

関連技術において、静電気放電現象が表示装置の正常な動作に影響を与えることを防止するために、表示装置内のアレイ基板に静電気放電保護回路を設けて、表示装置内の電子回路を静電干渉から保護することが一般的である。

【0030】

アレイ基板は、ゲート線、データ線、クロック信号線、共通電圧信号線、及びレベル信号線など数本の信号線を備え、表示装置の製造、輸送及び使用過程において、前記数本の信号線には、静電気が蓄積された可能性がある。前記数本の信号線のうちの少なくとも1つを少なくとも1本の第1信号線とし、前記数本の信号線のうちの少なくとも他の1つを少なくとも1本の第2信号線とする。アレイ基板は、少なくとも1つの静電気放電保護回路をさらに備え、各々の静電気放電保護回路は、少なくとも1本の第1信号線のうちの1本の第1信号線、及び前記少なくとも1本の第2信号線のうちの1本の第2信号線に結合されて、第1信号線又は第2信号線における静電気を放電させるか、又は均一化させる。

30

【0031】

静電気放電保護回路は、少なくとも2つの薄膜トランジスタを含む。例示的には、図1に示すように、この少なくとも2つの薄膜トランジスタは、それぞれ第1薄膜トランジスタT1及び第2薄膜トランジスタT2である。第1薄膜トランジスタT1の第1極及び制御極は、いずれも1本の第1信号線1に結合され、第2薄膜トランジスタT2の第1極及び制御極は、いずれも1本の第2信号線2に結合され、同時に、第1薄膜トランジスタT1の第1極は、第2薄膜トランジスタT2の第2極に結合され、第1薄膜トランジスタT1の第2極は、第2薄膜トランジスタT2の第1極に結合されている。

40

【0032】

第1信号線1に瞬間的に大量の静電荷が蓄積された場合、第1薄膜トランジスタT1の制御極の電圧が上昇してオン電圧に達し、第1薄膜トランジスタT1がオンされ、静電荷が第1薄膜トランジスタT1の第1極を介してその第2極に転送して、第2信号線2に放電される。同様に、第2信号線2に瞬間的に大量の静電荷が蓄積された場合、第2薄膜トランジスタT2の制御極の電圧が上昇してオン電圧に達し、第2薄膜トランジスタT2がオンされ、静電荷が第2薄膜トランジスタT2の第1極を介してその第2極に転送して、第

50

1 信号線 1 に放電される。こうして、第 1 信号線 1 又は第 2 信号線 2 に蓄積された静電荷を放電可能とし、静電荷による表示装置の正常な動作への影響が防止されるようになる。

【0033】

しかしながら、薄膜トランジスタの制御極が瞬間的な大電流の衝撃に遭遇した場合、制御極（ゲート）と第 1 極、第 2 極（ソース/ドレイン電極）との間の絶縁媒体の破壊が発生する可能性があり、これにより薄膜トランジスタの閾値電圧のドリフト又はゲートとソース/ドレイン電極との間の短絡が引き起こされる。従って、上記の静電気放電保護回路を採用し、静電気が過剰に蓄積された場合、薄膜トランジスタが大電流、又は瞬間的に大きな電荷に遭遇すると、薄膜トランジスタのゲートが破壊され、薄膜トランジスタが焼損し、静電気放電保護回路が正常に動作しなくなり静電気の放電ができなくなる恐れがある。

10

【0034】

本開示の幾つかの実施例は、アレイ基板 100 を提供する。図 2 A ~ 図 6 C に示すように、アレイ基板 100 は、ベース基板 3、少なくとも 1 本の第 1 信号線 1、少なくとも 1 本の第 2 信号線 2、及び少なくとも 1 つの静電気放電保護素子 4 を備える。

【0035】

前記少なくとも 1 本の第 1 信号線 1 及び前記少なくとも 1 本の第 2 信号線 2 は、いずれもベース基板 3 の第 1 側即ち A 側に配置され、第 1 側即ち A 側とは反対側がベース基板 3 の第 2 側即ち B 側である。前記少なくとも 1 本の第 1 信号線は、ベース基板 3 の第 1 側即ち A 側に設けられた数本の信号線（例えばゲート線、データ線、レベル信号線）のうちの少なくとも 1 つであり、前記少なくとも 1 本の第 2 信号線は、ベース基板 3 の第 1 側即ち A 側に設けられた数本の信号線（例えばゲート線、データ線、レベル信号線）のうちの少なくとも他の 1 つである。前記少なくとも 1 本の第 1 信号線 1 及び少なくとも 1 本の第 2 信号線 2 には、いずれも静電気が蓄積された可能性がある。

20

【0036】

前記少なくとも 1 つの静電気放電保護素子 4 のうちの各々の静電気放電保護素子 4 は、第 1 電極 4 1、第 2 電極 4 2 及び絶縁媒体 4 3 を含む。

【0037】

ここで、第 1 電極 4 1 は、前記少なくとも 1 本の第 1 信号線 1 のうちの 1 本の第 1 信号線 1 に結合される。第 2 電極 4 2 は、前記少なくとも 1 本の第 2 信号線 2 のうちの 1 本の第 2 信号線 2 に結合される。絶縁媒体 4 3 は、第 1 電極 4 1 と第 2 電極 4 2 との間に配置される。絶縁媒体 4 3 は、第 1 電極 4 1 と第 2 電極 4 2 との間に静電気放電容量 C を形成するように配置される。静電気放電容量 C は、結合された第 1 信号線 1 及び第 2 信号線 2 のうちの一方における静電荷を他方に放電するように配置されている。

30

【0038】

本開示の幾つかの実施例に係るアレイ基板 100 は、少なくとも 1 つの静電気放電保護素子 4 を設け、且つ各々の静電気放電保護素子 4 に含まれた第 1 電極 4 1 が 1 本の第 1 信号線 1 に結合され、第 2 電極 4 2 が 1 本の第 2 信号線 2 に結合され、且つ第 1 電極 4 1 と第 2 電極 4 2 との間に静電気放電容量 C が形成される。こうして、第 1 信号線 1 に瞬間的に大量の静電荷が蓄積された時、静電気放電保護素子 4 に形成された静電気放電容量 C によって、静電荷が第 1 信号線 1 から第 2 信号線 2 に放電されて、静電気を分散させる機能を果たす。または、第 2 信号線 2 に瞬間的に大量の静電荷が蓄積された時、静電気放電保護素子 4 に形成された静電気放電容量 C によって、静電荷が第 2 信号線 2 から第 1 信号線 1 に放電され、静電気を分散させる機能を果たす。こうして、第 1 信号線 1 に瞬間的に大量の静電荷が蓄積された場合でも、第 2 信号線 2 に瞬間的に大量の静電荷が蓄積された場合でも、静電気放電保護素子 4 によって静電荷を放電可能とし、静電荷による電子回路（例えば画素駆動回路）の正常な動作への影響が回避されるようになる。

40

【0039】

上記の静電気の分散過程において、各々の静電気放電保護素子 4 の第 1 電極 4 1 と第 2 電極 4 2 との間には、静電気放電容量を形成し、静電気放電容量の特性を利用して静電気防護を実現する。一方では、コンデンサの両極間の電圧に急激な変化が生じないため、静

50

電気放電容量自体が静電気の抑制効果を有する。特に大容量のコンデンサを有した回路は、静電気の放電防護までも不要である。他の一方では、静電気放電による電子回路への干渉は、主に伝導干渉と放射干渉であり、静電気そのものは広帯域信号であるため、コンデンサを利用することにより、発生した静電気を敏感回路に結合させることなく、静電荷により良い放電経路を提供することができる。従って、静電気放電容量を用いる減結合は、第1信号線1と第2信号線2の減結合能力を良好に向上させることができ、第1信号線1と第2信号線2の耐干渉性を向上させる。

【0040】

本開示に係るアレイ基板において、薄膜トランジスタ等の素子を用いることなく、静電気放電保護素子4の第1電極41と第2電極42との間に形成された静電気放電容量Cを利用して静電荷の放電を図るため、関連技術の静電気放電保護回路において、薄膜トランジスタが大電流又は瞬間的な大電荷の衝撃に遭遇して、薄膜トランジスタのゲートが破壊されて、薄膜トランジスタが焼損するという問題を回避できる。

10

【0041】

幾つかの実施例において、図2A及び図2Bに示すように、アレイ基板100は、ゲート層5、半導体層6、及びゲート絶縁層7を備える。

【0042】

ゲート層5は、ベース基板3の第1側即ちA側に配置される。ゲート層5は、静電気放電保護素子4の第1電極41及び駆動トランジスタのゲートを含む。

【0043】

半導体層6は、ゲート層5のベース基板3に近接する側又はベース基板3から離れる側に配置される。半導体層6は、静電気放電保護素子4の第2電極42及び駆動トランジスタの活性層を含む。

20

【0044】

ゲート絶縁層7は、ゲート層5と半導体層6との間に配置され、ゲート絶縁層7の静電気放電保護素子4の第1電極41と第2電極42との間に位置する部分は、絶縁媒体43とされている。

【0045】

上記の実施例において、静電気放電保護素子4の第1電極41と駆動トランジスタのゲートとを同層に配置させ、こうして駆動トランジスタのゲートを形成する時に、静電気放電保護素子の第1電極41を同層に形成させることができる。静電気放電保護素子4の第2電極42と駆動トランジスタの活性層とを同層に配置させ、こうして駆動トランジスタの活性層を形成する時に、静電気放電保護素子の第2電極42を同層に形成させることができる。

30

【0046】

こうして、アレイ基板100を製造する時、静電気放電保護素子4における第1電極41と第2電極42は、それぞれ駆動トランジスタにおけるゲートと活性層に同層に配置するため、駆動トランジスタのゲートと静電気放電保護素子4の第1電極41は一回のパターニング工程で形成することができ、駆動トランジスタの活性層と静電気放電保護素子4の第2電極42も一回のパターニング工程で形成することができるので、アレイ基板100の製造工程のステップを減少させ、アレイ基板100の製造時間を低減させ、製造効率を向上させる。また、ゲート及び第1電極41を形成する時に同一のマスク板を共用することができ、活性層及び第2電極42を形成する時に同一のマスク板を共用することができるため、マスク板の数が減少してコストが節約される。

40

【0047】

幾つかの実施例において、第2電極42の材料は、 $10^{18} / \text{cm}^3 \sim 10^{22} / \text{cm}^3$ のドーピング濃度が高ドーピングされた半導体材料である。

【0048】

例示的には、第2電極42の材料は、高ドーピングされた低温ポリシリコン(LTPS, Low Temperature Poly-silicon)材料であってもよい。幾

50

つかの例示において、第2電極42の形成方法は以下の通りである。堆積手法によりベース基板3の第1側即ちA側にアモルファスシリコン薄膜を形成し、レーザーアニーリング(ELA、Excimer Laser Anneal)又は固相結晶化(SPC、Solid Phase Crystallization)手法によりアモルファスシリコン薄膜をポリシリコン薄膜に結晶化させる。そして、フォトリソグラフィ手法によりポリシリコン薄膜をエッチングし、第2電極42のパターンを有する複数の第1ポリシリコン構造と、駆動トランジスタの活性層のパターンを有する複数の第2ポリシリコン構造とを形成する。前記複数の第1ポリシリコン構造に対して高濃度のイオンを注入し、当該イオンは、キャリアを提供するドナー又はアクセプタとしてポリシリコン構造に埋め込まれる。当該イオンの濃度は、実際の必要に応じ、例えば $10^{18}/\text{cm}^3$ 、 $10^{19}/\text{cm}^3$ 、 $10^{20}/\text{cm}^3$ 、 $10^{21}/\text{cm}^3$ 、 $10^{22}/\text{cm}^3$ 等から選択して、複数の第1ポリシリコン構造を第2電極42としての複数の低抵抗の高ドーパされたポリシリコン構造に変換させる。

【0049】

第2電極42の材料は、高ドーパされた半導体材料とする。高ドーパされた半導体材料の抵抗は、絶縁材料の抵抗よりはるかに小さく、且つ金属材料の抵抗よりはるかに大きい。ため、第2電極42の抵抗は、絶縁媒体43の抵抗よりはるかに小さく、且つ第1信号線1及び第2信号線2(信号線は通常金属材料製である)の抵抗よりはるかに大きく、高ドーパされた半導体材料の抵抗値が絶縁材料と金属材料との間にあり、高電圧や、大電流が発生する時に、高ドーパされた半導体材料の抵抗値が低下する。こうして、第1信号線1又は第2信号線2に瞬間的に大量の静電荷が蓄積されていない、又は静電荷の蓄積が少ない場合、静電気放電保護素子4は作動しない。第1信号線1又は第2信号線2に瞬間的に大量の静電荷が蓄積された時、第2電極42に印加された電圧が比較的が高く、第2電極42の抵抗値が低下し、導電性が強くなり、これにより第1電極41と第2電極42との間に静電気放電容量Cが形成され、第1信号線1における静電荷が第2信号線2放電線に放電され、又は第2信号線2における静電荷が第1信号線1に放電され、静電気を分散させる機能を果たす。

【0050】

本開示の幾つかの実施例に係るアレイ基板100において、アレイ基板100が備える各機能膜層の配置方式によれば、静電気放電保護素子は、複数種類の異なる構造を有し、本開示は、静電気放電保護素子が上述した静電気保護の機能を発揮できる限り、これに限定されない。以下、アレイ基板100の各機能膜層の配置方式、及び対応する静電気放電保護素子4の構成について例示的に説明する。

【0051】

ゲート層5が半導体層6のベース基板3から離れた側に位置する場合、幾つかの実施例において、図2A~図4Cに示すように、アレイ基板100は、層間絶縁層8及びソース・ドレイン電極層9をさらに備える。

【0052】

層間絶縁層8は、ゲート層5の前記ベース基板3から離れた側に配置されている。ソース・ドレイン電極層9は、層間絶縁層8のベース基板3から離れた側に配置されている。ソース・ドレイン電極層9は、前記少なくとも1本の第1信号線1、前記少なくとも1本の第2信号線2、及び駆動トランジスタのソースとドレインを含む。

【0053】

静電気放電保護素子4の第1電極41のベース基板3から離れた側には、前記層間絶縁層8を貫通する第1ビアaが設けられ、静電気放電保護素子4の第1電極41は、第1ビアaを介して第1信号線1に結合されている。静電気放電保護素子4の第2電極42のベース基板3から離れた側には、ゲート絶縁層7及び層間絶縁層8を貫通する第2ビアbが設けられ、静電気放電保護素子4の第2電極42は、第2ビアbを介して第2信号線2に結合されている。

【0054】

10

20

30

40

50

上記の実施例において、前記少なくとも 1 本の第 1 信号線 1、前記少なくとも 1 本の第 2 信号線 2 及び駆動トランジスタのソースとドレインを同層に配置し、こうして駆動トランジスタのソースとドレインを形成する時、前記少なくとも 1 本の第 1 信号線 1 と前記少なくとも 1 本の第 2 信号線 2 とを同層に形成することができ、これによりアレイ基板 100 の製造工程のステップを減少し、アレイ基板 100 の製造時間を低減して、製造効率を向上する。

【0055】

幾つかの例示において、図 2 A 及び図 2 B に示すように、各々の静電気放電保護素子 4 の第 2 電極 4 2 のベース基板 3 から離れた側には、1 つの第 2 ピア b が配置されている。静電気放電保護素子 4 は、一端が第 2 信号線 2 に結合され、他端が 1 つの第 2 ピア b を介して第 2 電極 4 2 の当該第 2 信号線 2 に近接する一端に結合される第 1 接続電極 4 4 をさらに有する。

10

【0056】

上記の例示において、第 1 接続電極 4 4 は、第 2 信号線 2 と第 2 電極 4 2 とを接続する機能を果たし、静電気放電保護素子 4 が動作する時、第 1 信号線 1 における静電荷を第 1 電極 4 1、第 2 電極 4 2 及び第 1 接続電極 4 4 を介して第 2 信号線 2 に放電するか、又は第 2 信号線 2 の静電荷を第 1 接続電極 4 4、第 2 電極 4 2 及び第 1 電極 4 1 を介して第 1 信号線 1 に放電することができ、静電気を分散させる機能を果たす。

【0057】

他の幾つかの例示において、図 3 A 及び図 3 B に示すように、各静電気放電容量 C の第 2 電極 4 2 のベース基板 3 から離れた側には、2 つの第 2 ピア b が設けられている。静電気放電保護素子 4 は、一端が第 2 信号線 2 に結合され、他端が 2 つの第 2 ピア b のうちの 1 つの第 2 ピア b を介して第 2 電極 4 2 の第 2 信号線 2 から離れた一端に結合され、両端以外の部分は、2 つの第 2 ピア b のうちの他の 1 つの第 2 ピア b を介して第 2 電極 4 2 の第 2 信号線 2 に近接する一端に結合されている、第 2 接続電極 4 5 をさらに有する。

20

【0058】

第 2 接続電極 4 5 の両端以外の部分の前記ベース基板 3 における正投影は、第 1 電極 4 1 のベース基板 3 における正投影と少なくとも部分的に重なる。

【0059】

上記の例示において、第 2 接続電極 4 5 が第 2 信号線 2 と第 2 電極 4 2 とを接続する機能を果たし、さらに、第 2 接続電極 4 5 の両端以外の部分のベース基板 3 における正投影は、第 1 電極 4 1 のベース基板 3 における正投影と少なくとも部分的に重なる。このため、第 2 接続電極 4 5 の両端以外の部分と第 1 電極 4 1 との間には、容量を形成することができる。当該容量は静電気放電容量とすることができ、静電気放電保護素子 4 に形成された静電気放電容量を増加することに相当する。第 1 信号線 1 に瞬間的に大量の静電荷が蓄積された場合、第 1 電極 4 1 と第 2 電極 4 2 との間の静電気放電容量 C、及び第 2 接続電極 4 5 の両端以外の部分と第 1 電極 4 1 との間の静電気放電容量 C により、静電荷が第 1 電極 4 1 から第 2 電極 4 2 及び第 2 接続電極 4 5 に同時に転送され、これにより静電荷がより速く第 2 信号線 2 に放電されることになる。同様に、第 2 信号線 2 に瞬間的に大量の静電荷が蓄積された場合、静電荷がより速く第 1 信号線 1 に放電され、静電気放電保護素子 4 の静電気保護効果をさらに向上させる。

30

40

【0060】

ゲート層 5 が半導体層 6 のベース基板 3 から近接する側に位置する場合、幾つかの実施例において、図 5 A ~ 図 6 C に示すように、アレイ基板 100 は、ソース・ドレイン電極層 9 をさらに備える。

【0061】

ソース・ドレイン電極層 9 は、半導体層 6 の前記ベース基板 3 から離れた側に配置され、ソース・ドレイン電極層 9 は、前記少なくとも 1 本の第 1 信号線 1、前記少なくとも 1 本の第 2 信号線 2、及び駆動トランジスタのソースとドレインを含む。

【0062】

50

静電気放電保護素子の第1電極41のベース基板3から離れた側には、ゲート絶縁層7を貫通する第3ビアcが設けられ、静電気放電保護素子4の第1電極41は、第3ビアcを介して第1信号線1に結合されている。静電気放電保護素子4の第2電極は、第2信号線2に結合されている。

【0063】

上記の実施例において、前記少なくとも1本の第1信号線1、前記少なくとも1本の第2信号線2及び駆動トランジスタのソースとドレインを同層に配置する。こうして駆動トランジスタのソースとドレインを形成する時、前記少なくとも1本の第1信号線1と前記少なくとも1本の第2信号線2とを同層に形成することができる。これによりアレイ基板100の製造工程のステップを減少し、アレイ基板100の製造時間を低減し、製造効率を向上させる。

10

【0064】

ソース・ドレイン電極層9と半導体層6とが接触するため、第2電極42と第2信号線2とはビアを介して結合する必要がなく、直接結合することができるため、アレイ基板100の製造工程を簡略化することができる。

【0065】

幾つかの実施例において、図10A及び図10Bに示すように、当該アレイ基板100は、表示領域AAと、前記表示領域AAの周辺に配置される非表示領域BBとを有する。例示的には、非表示領域BBは、表示領域AAを囲むか、又は、表示領域AAが長方形である場合、非表示領域BBは、表示領域AAの一側、両側（対向する両側、又は隣接する両側）又は三側に配置される。

20

【0066】

幾つかの実施例において、アレイ基板が出荷する前に、アレイ基板における信号線に対するテスト、例えば、アレイ基板におけるゲート線又はデータ線に対するテストを行う必要がある。以下、アレイ基板のデータ線に対するテストを例として説明する。データ線に対するテストは、少なくとも1つのテスト回路、少なくとも1本のテスト制御線、及び少なくとも1本のテスト信号線をアレイ基板に配置する必要がある。

【0067】

図10Aに示すように、前記少なくとも1つのテスト回路12は、ベース基板の第1側に配置され、前記少なくとも1つのテスト回路12のうちの各々のテスト回路12は、アレイ基板備える各データ線にそれぞれ結合される。例示的には、各々のテスト回路12は、少なくとも1つの薄膜トランジスタを含み、前記少なくとも1つの薄膜トランジスタのうちの各々の薄膜トランジスタの第2極（ドレイン）は、1本のデータ線に結合される。

30

【0068】

前記少なくとも1本のテスト制御線1'は、ベース基板の第1側に配置され、前記少なくとも1本のテスト制御線1'のうちの各々のテスト制御線1'は、前記少なくとも1つのテスト回路12のうちの各々のテスト回路12にそれぞれ結合される。テスト制御線1'は、アレイ基板100にテスト制御信号を送信する、即ちアレイ基板100における前記少なくとも1つのテスト回路12にテスト制御信号を送信するように配置されている。例示的には、各々のテスト回路12が少なくとも1つの薄膜トランジスタを有する場合、各々のテスト制御線1'は、各々のテスト回路12の1つの薄膜トランジスタの制御極（ゲート）にそれぞれ結合されて、各々のテスト回路12をテスト制御線1'によって送信されたテスト制御信号の作用下でオン又はオフさせるようにする。幾つかの例示において、テスト制御信号は、アレイ基板100におけるパッドを介して前記少なくとも1本のテスト制御線に送信され、パッドは、テスト制御信号をパッドに提供する制御チップに結合される。

40

【0069】

前記少なくとも1本のテスト信号線2'は、ベース基板の第1側に配置され、前記少なくとも1本のテスト信号線2'のうちの各々のテスト信号線2'は、前記少なくとも1つのテスト回路12にそれぞれ結合される。テスト信号線2'は、アレイ基板100にテスト信号を送信する、即ちアレイ基板100における前記少なくとも1つのテスト回路12にテス

50

ト信号を送信するように配置されている。例示的には、各々のテスト回路 1 2 が少なくとも 1 つの薄膜トランジスタを有する場合、各々のテスト信号線 2 ' は、各々のテスト回路 1 2 の 1 つの薄膜トランジスタの第 1 極 (ソース) にそれぞれ結合されて、テスト回路 1 2 がオンされる時に、テスト信号をデータ線に送信する。幾つかの例示において、テスト信号は、アレイ基板 1 0 0 におけるパッドを介して前記少なくとも 1 本のテスト信号線に送信され、パッドは、テスト信号をパッドに提供する制御チップに結合される。

【 0 0 7 0 】

幾つかの例示において、前記少なくとも 1 本のテスト信号線 2 ' は、2 本のテスト信号線 2 ' を含み、そのうちの 1 本のテスト信号線 2 ' は、テスト回路 1 2 を介して奇数 (例えば、1、3、5、7) のデータ線にそれぞれ結合され、他の 1 本のテスト信号線 2 ' は、テスト回路 1 2 を介して偶数 (例えば、2、4、6、8) のデータ線にそれぞれ結合されている。

10

【 0 0 7 1 】

上述したアレイ基板 1 0 0 のテスト過程は、概略的に以下の通りである。前記少なくとも 1 本のテスト制御線 1 ' から送信されたテスト制御信号の制御下で、前記少なくとも 1 つのテスト回路がオンされ、前記少なくとも 1 本のテスト信号線 2 ' から送信されたテスト信号を対応するデータ線に送信して、対応するデータ線を検出する。例えば対応するデータ線がオンされたか否かを検出する。

【 0 0 7 2 】

幾つかの例示において、前記少なくとも 1 つのテスト回路 1 2、前記少なくとも 1 本のテスト制御線 1 '、及び前記少なくとも 1 本のテスト信号線 2 ' は、非表示領域 B B に配置される。

20

【 0 0 7 3 】

上述したアレイ基板 1 0 0 の製造過程、又はアレイ基板 1 0 0 に対するテストを行う過程において、前記少なくとも 1 本のテスト制御線 1 ' 及び前記少なくとも 1 本のテスト信号線 2 ' には、静電気が蓄積してアレイ基板 1 0 0 のテスト動作に影響を与える可能性がある。

【 0 0 7 4 】

幾つかの実施例において、図 1 0 A に示すように、前記少なくとも 1 本の第 1 信号線 1 は、テスト制御線 1 ' を含み、前記少なくとも 1 本の第 2 信号線 2 は、テスト信号線 2 ' を含む。前記少なくとも 1 つの静電気放電保護素子 4 は、非表示領域 B B に配置され、各々の静電気放電保護素子 4 は、1 本の テスト制御線 1 に結合され、且つ 1 本の テスト信号線 2 に結合されている。

30

【 0 0 7 5 】

こうして、上述したアレイ基板 1 0 0 のテスト過程において、テスト制御線 1 ' に瞬間的に大量の静電荷が蓄積された場合、静電気放電保護素子 4 によって静電荷をテスト信号線 2 ' に放電するか、又はテスト信号線 2 ' に瞬間的に大量の静電荷が蓄積された場合、静電気放電保護素子 4 によって静電荷をテスト制御線 1 ' に放電することができ、こうして、発生した静電気がテスト回路 1 2 等のような電子回路にカップリングすることを回避し、アレイ基板 1 0 0 のテスト動作の正常な進行が保証される。

40

【 0 0 7 6 】

他の幾つかの実施例において、アレイ基板 1 0 0 は、ベース基板 3 の第 1 側即ち A 側に配置されたゲート線、データ線、共通電圧信号線、クロック信号線、及びレベル信号線をさらに備える。例示的には、ハイレベル (V_{gh}) 信号線、ローレベル (V_{gl}) 信号線、第 1 電源 (V_{dd}) 信号線、第 2 電源 (V_{ss}) 信号線などを含む。

【 0 0 7 7 】

表示領域 A A は、複数の画素を有し、複数の画素のうちの各々の画素は、1 つの画素駆動回路に対応し、データ線によって送信されたデータ信号とゲート線によって送信されたゲート走査信号の作用下で、画素駆動回路が動作して表示領域 A A の表示を実現する。しかしながら、上記のゲート線、データ線、共通電圧信号線、クロック信号線、及びレベル

50

信号線には、静電気が蓄積され、アレイ基板における電子回路（例えば画素駆動回路）の正常な動作に影響を与える可能性がある。

【0078】

幾つかの実施例において、前記少なくとも1本の第1信号線1は、前記ゲート線、前記データ線、前記共通電圧信号線、前記クロック信号線、及び前記レベル信号線のうちの少なくとも1つを含む。前記少なくとも1本の第2信号線2は、前記ゲート線、前記データ線、前記共通電圧信号線、前記クロック信号線、及び前記レベル信号線のうちの少なくとも1つを含む。例示的には、図10Bに示すように、前記少なくとも1本の第1信号線1は、少なくとも1本のデータ線及び少なくとも1本のゲート線を含み、前記少なくとも1つの第2信号線2は、共通電圧信号線である。前記少なくとも1つの静電気放電保護素子4は、非表示領域BBに位置されており、各々の静電気放電保護素子4は、1本の第1信号線1に結合されると共に、1本の第2信号線2に結合されている。

10

【0079】

本開示の実施例に係るアレイ基板100において、前記少なくとも1本の第1信号線1及び前記少なくとも1本の第2信号線2は、それぞれアレイ基板100が備える複数種類の信号線のうちの少なくとも1つである。こうして、アレイ基板100が表示する過程において、静電気放電保護素子4によって、静電気放電保護素子4に結合された第1信号線1及び第2信号線2のうち的一方における静電荷を他方に放電することができ、例えば、ゲート線又はデータ線に蓄積された静電荷を共通電圧信号線に放電して静電気を分散させ、アレイ基板100の表示動作を静電気干渉から保護する。

20

【0080】

幾つかの実施例において、図10A及び図10Bに示すように、アレイ基板100は、非表示領域BBに配置された少なくとも1つのパッドをさらに備え、前記少なくとも1つのパッドのうちの各々のパッドは、少なくとも1本の第1信号線1に結合され、前記少なくとも1本の第1信号線1に電気信号を送信するように配置されている。例示的には、前記少なくとも1本の第1信号線1がテスト制御線1'を含む場合、パッドは、テスト制御信号をテスト制御線1'に送信するように配置されており、前記少なくとも1本の第1信号線1がゲート線を含む場合、パッドはゲート走査信号をゲート線に送信するように配置される。

【0081】

幾つかの実施例において、少なくとも2つの静電気放電保護素子4のうちの各々の静電気放電保護素子4の第1電極41は、同じ第1信号線1に結合されている。前記少なくとも2つの静電気放電保護素子4において、一部の静電気放電保護素子4の第2電極42は、1本の第2信号線2に結合され、他の一部の静電気放電保護素子4の第2電極42は、他の1本の第2信号線2に結合されている。

30

【0082】

図2A～図6Cに示すように、各々の2つの静電気放電保護素子4のうちの各々の静電気放電保護素子4の第1電極41は、同じ第1信号線1に結合されている。同じ第1信号線1に結合された2つの静電気放電保護素子4のうち、1つの静電気放電保護素子4は1本の第2信号線2に結合され、他の1つの静電気放電保護素子4は他の1本の第2信号線2に結合されている。

40

【0083】

このような配置により、第1信号線1に瞬間的に大量の静電荷が蓄積された場合、静電荷が少なくとも2つの静電気放電保護素子4を介して異なる第2信号線2に放電することができ、第1信号線1における静電荷の放電経路が増え、静電荷の放電がより速くなり、効率がより高くなり、静電気放電防護効果が向上される。

【0084】

1つの可能な設計として、前記少なくとも2つの静電気放電保護素子4は、少なくとも1組に分けられ、各々の組は、2つの静電気放電保護素子4を含む。前記2つの静電気放電保護素子4は、それぞれ第1静電気放電保護素子4と第2静電気放電保護素子4である。

50

【 0 0 8 5 】

アレ基板 1 0 0 がソース・ドレイン電極層 9 をさらに備える場合、図 4 A ~ 図 4 C 及び図 6 A ~ 図 6 C に示すように、アレ基板 1 0 0 は、パッシベーション層 1 0 及び画素電極層 1 1 をさらに備える。

【 0 0 8 6 】

パッシベーション層 1 0 は、ソース・ドレイン電極層 9 の前記ベース基板 3 から離れた側に配置されている。画素電極層 1 1 は、パッシベーション層 1 0 のベース基板 3 から離れた側に配置され、画素電極層 1 1 は、少なくとも 1 つの第 3 接続電極 1 1 a、及び複数の画素電極を含む。

【 0 0 8 7 】

前記第 1 静電気放電保護素子 4 及び前記第 2 静電気放電保護素子 4 の第 2 電極 4 2 の前記ベース基板 3 から離れた側には、少なくともパッシベーション層 1 0 を貫通する第 4 ピア d が設けられている。前記少なくとも 1 つの第 3 接続電極 1 1 a のうちの 1 つの第 3 接続電極 1 1 a の両端は、それぞれ前記第 1 静電気放電保護素子 4 及び第 2 静電気放電保護素子 4 の各々に対応する第 4 ピア d を介して、第 1 静電気放電保護素子 4 及び第 2 静電気放電保護素子 4 の第 2 電極 4 2 に結合されている。

【 0 0 8 8 】

図 4 A ~ 図 4 C に示すように、ゲート層 5 が半導体層 6 のベース基板 3 から離れた側に位置する場合、前記少なくとも 2 つの静電気放電保護素子 4 は、4 組に分けられ、各々の組は、2 つの静電気放電保護素子 4 を含む。例示的には、前記 2 つの静電気放電保護素子 4 は、それぞれ第 1 静電気放電保護素子 4 - 1 と第 2 静電気放電保護素子 4 - 2 である。

【 0 0 8 9 】

前記第 1 静電気放電保護素子 4 - 1 の第 2 電極 4 2 及び第 2 静電気放電保護素子 4 - 2 の第 2 電極 4 2 の前記ベース基板 3 から離れた側には、ゲート絶縁層 7、層間絶縁層 8 及びパッシベーション層 1 0 を貫通する第 4 ピア d が設けられている。前記少なくとも 1 つの第 3 接続電極 1 1 a のうちの 1 つの第 3 接続電極 1 1 a の両端は、それぞれ前記第 1 静電気放電保護素子 4 - 1 及び前記第 2 静電気放電保護素子 4 - 2 の各々に対応する第 4 ピア d を介して、第 1 静電気放電保護素子 4 - 1 の第 2 電極 4 2 及び第 2 静電気放電保護素子 4 - 2 の第 2 電極 4 2 に結合されている。

【 0 0 9 0 】

図 6 A ~ 図 6 C に示すように、ゲート層 5 が半導体層 6 のベース基板 3 に近接する側に位置する場合、前記少なくとも 2 つの静電気放電保護素子 4 は、少なくとも 4 組に分けられ、各々の組は、2 つの静電気放電保護素子 4 を含む。例示的には、前記 2 つの静電気放電保護素子 4 は、それぞれ第 1 静電気放電保護素子 4 - 1 と第 2 静電気放電保護素子 4 - 2 である。

【 0 0 9 1 】

前記第 1 静電気放電保護素子 4 - 1 及び前記第 2 静電気放電保護素子 4 - 2 の第 2 電極 4 2 の前記ベース基板 3 から離れた側には、パッシベーション層 1 0 を貫通する第 4 ピア d が設けられている。前記少なくとも 1 つの第 3 接続電極 1 1 a のうちの 1 つの第 3 接続電極 1 1 a の両端は、それぞれ前記第 1 静電気放電保護素子 4 - 1 及び前記第 2 静電気放電保護素子 4 - 2 の各々に対応する第 4 ピア d を介して、第 1 静電気放電保護素子 4 - 1 の第 2 電極 4 2 及び第 2 静電気放電保護素子 4 - 2 の第 2 電極 4 2 に結合されている。

【 0 0 9 2 】

上記の実施例において、第 1 静電気放電保護素子 4 - 1 の第 2 電極 4 2 と第 2 静電気放電保護素子 4 - 2 の第 2 電極 4 2 とが第 3 接続電極 1 1 a により結合される。こうして第 1 信号線 1 に瞬間的に大量の静電荷が蓄積された場合、静電荷は、第 1 静電気放電保護素子 4 - 1 及び第 2 静電気放電保護素子 4 - 2 を介して、当該 2 つの静電気放電保護素子 4 の各々に対応する第 2 信号線 2 に放電することができ、第 1 信号線 1 における静電荷の放電経路が増え、静電荷の放電がより速くなり、効率がより高くなり、静電気放電防護効果が向上される。

10

20

30

40

50

【0093】

同時に、第1信号線1に瞬間的に大量の静電荷が蓄積された場合、そのうちの1つの静電気放電保護素子4（例えば第1静電気放電保護素子4-1）の第2電極42と第2信号線2との結合箇所が破損すると、第3接続電極11aを介して静電荷を他の1つの静電気放電保護素子（第2静電気放電保護素子4-2）に分散させて、静電気を放電し、これにより静電気放電保護素子の安定性を向上させることができる。

【0094】

幾つかの実施例において、前記少なくとも2つの静電気放電保護素子4は、少なくとも1組に分けられ、各々の組は、2つの静電気放電保護素子4を含む。前記2つの静電気放電保護素子4は、それぞれ第1静電気放電保護素子4と第2静電気放電保護素子4である。第1静電気放電保護素子4の第1電極41と第2静電気放電保護素子4の第1電極41とは、同じビアを介して同じ第1信号線1に結合されている。

10

【0095】

例示的には、図4Aに示すように、前記少なくとも2つの静電気放電保護素子4は、4組に分けられ、各々の組は、2つの静電気放電保護素子4を含む。前記2つの静電気放電保護素子4は、それぞれ第1静電気放電保護素子4-1と第2静電気放電保護素子4-2である。第1静電気放電保護素子4-1の第1電極41と第2静電気放電保護素子4-2の第1電極41とは、それらの中間にある同じ第1ビアaを介して同じ第1信号線1に結合されている。

【0096】

こうして、各々の組における2つの静電気放電保護素子4は、同じ第1ビアaを介して同じ第1信号線1に結合されるため、設けられる第1ビアaの数を減らすことができ、これによりアレイ基板100の製造ステップを低減し、製造効率を向上させる。

20

【0097】

幾つかの例示において、図4A～図4Bに示すように、上記に分けられた少なくとも1組の静電気放電保護素子4において、各々の静電気放電保護素子4における第1静電気放電保護素子4-1及び第2静電気放電保護素子4-2のベース基板3における正投影は、両者に結合された第1信号線1の前記ベース基板3における正投影の両側に対称的に位置している。

【0098】

幾つかの実施例において、図2Cに示すように、本開示の幾つかの実施例に係るアレイ基板100において、静電気放電保護素子4に含まれた第1電極41は、1つの第1サブ電極41a、及び並列配置された少なくとも2つの第2サブ電極41bを含み、第1サブ電極41aは前記少なくとも2つの第2サブ電極41bの各々と交差して配置されている。第1サブ電極41aの一端は、第1ビア42aを介して第1信号線1に結合されている。

30

【0099】

図2A及び図2Bに示すように、各静電気放電保護素子4は、第1電極41、第2電極42、第1電極41と第2電極42との間に配置された絶縁媒体43、及び第1接続電極44を含む。第2電極42の材料が半導体材料（例えば、高ドーピングされた半導体材料）である場合、各々の静電気放電保護素子4は、薄膜トランジスタと見なすことができる。そして、第2電極42は、活性層と見なすことができ、第1電極41はゲートと見なすことができ、第1接続電極44はソース又はドレインの一方と見なすことができる。ソース又はドレインの他方が片持ちされ、静電気放電保護素子4に形成された静電気放電容量C（第1電極41と第2電極42との間に形成された静電気放電容量）によって静電荷の放電を実現する。

40

【0100】

図3A及び図3Bに示すように、各々の静電気放電保護素子4は、第1電極41、第2電極42、第1電極41と第2電極42との間に配置された絶縁媒体43、及び第2接続電極45を含む。第2電極42の材料が半導体材料（例えば、高ドーピングされた半導体材料）である場合、各々の静電気放電保護素子4は、薄膜トランジスタと見なすことができる

50

。そして、第2電極42は、活性層と見なすことができ、第1電極41はゲートと見なすことができる。第2接続電極45における2つの第2ビアbのうちの1つの第2ビアbにある部分、及び当該第2ビアbの上方に位置する部分は、ソース又はドレインの一方とみなすことができ、第2接続電極45における2つの第2ビアbのうちの他の1つの第2ビアbにある部分、及び当該第2ビアbの上方に位置する部分は、ソース又はドレインの他方とみなすことができ、且つソースとドレインとが連通され、薄膜トランジスタに形成された静電気放電容量C（第1電極41と第2電極42との間に形成された静電気放電容量）によって静電荷の放電を実現する。

【0101】

図4A及び図4Bに示すように、各々の静電気放電保護素子4は、第1電極41、第2電極42、第1電極41と第2電極42との間に配置された絶縁媒体43、及び第1接続電極44を含む。第2電極42の材料が半導体材料（例えば、高ドープされた半導体材料）である場合、各々の静電気放電保護素子4は、薄膜トランジスタと見なすことができる。そして、第2電極42は、活性層と見なすことができ、第1電極41はゲートと見なすことができ、第1接続電極44はソース又はドレインの一方と見なすことができる。第3接続電極11aのうち第4ビアd内及びその上方にある部分は、ソース又はドレインの他方とみなすことができ、薄膜トランジスタに形成された静電気放電容量C（第1電極41と第2電極42との間に形成された静電気放電容量）によって静電荷の放電を実現する。

【0102】

上記の静電気放電保護素子4において、第1電極41は、1つの第1サブ電極41a及び並列配置された少なくとも2つの第2サブ電極41bを含む。これは、各々の静電気放電保護素子4の見なされた薄膜トランジスタをダブルゲート薄膜トランジスタに形成させることに相当する。こうして静電気放電保護素子4（薄膜トランジスタと見なす）のリーク電流を低減することができ、各々の静電気放電保護素子の性能をより安定化させる。

【0103】

本開示の幾つかの実施例は、上述したようなアレイ基板100に配置された静電気放電保護回路200をさらに提供する。

【0104】

幾つかの実施例において、図10A及び図10Bに示すように、アレイ基板100は、表示領域AA及び非表示領域BBを含み、上記の静電気放電保護回路200は、非表示領域BB内に配置されている。

【0105】

図7～図9に示すように、静電気放電保護回路200は、少なくとも1つの静電気放電保護素子4を含み、前記少なくとも1つの静電気放電保護素子4のうちの各々の前記静電気放電保護素子4の第1端は、アレイ基板100における少なくとも1本の第1信号線1のうちの1本の第1信号線1に結合され、第2端はアレイ基板100における少なくとも1本の第2信号線2のうちの1本の第2信号線2に結合される。静電気放電保護素子4は、結合された第1信号線1及び第2信号線2のうちの一方における静電荷を他方に放電するように配置されている。

【0106】

幾つかの例示において、図10Aに示すように、アレイ基板100が少なくとも1本のテスト制御線と少なくとも1本のテスト信号線を含む場合、前記少なくとも1本の第1信号線1は、前記テスト制御線を含み、前記少なくとも1本の第2信号線2は、前記テスト信号線を含む。

【0107】

他の幾つかの例示において、図10Bに示すように、アレイ基板100は、ゲート線、データ線、共通電圧信号線、クロック信号線、及びレベル信号線を含む。前記少なくとも1本の第1信号線1は、前記ゲート線、前記データ線、前記共通電圧信号線、前記クロック信号線、及び前記レベル信号線のうちの少なくとも1つを含む。前記少なくとも1本の第2信号線2は、ゲート線、データ線、共通電圧信号線、クロック信号線、及び前記レベ

10

20

30

40

50

ル信号線のうちの少なくとも1つを含む。

【0108】

上記の静電気放電保護回路200では、第1信号線1及び第2信号線2にいずれも静電荷が蓄積されていない場合、静電気放電保護回路200は動作しない。第1信号線1に瞬間的に大量の静電荷が蓄積された時、静電荷は、静電気放電保護回路200内の静電気放電保護素子4を介して第2信号線2に速やかに放電される、又は第2信号線2に瞬間的に蓄積された大量の静電荷は、静電気放電保護回路200内の静電気放電保護素子4を介して第1信号線1に速やかに放電される。これにより静電荷による画素駆動回路等のような他の電子回路の正常な動作への影響を回避する。

【0109】

幾つかの実施例において、静電気放電保護素子4は、コンデンサである。

【0110】

コンデンサの両極間の電圧が急変することがないため、コンデンサ自体が静電気を抑制する効果を有する。さらに、コンデンサは減結合作用を有し、コンデンサを用いる減結合は第1信号線1及び第2信号線2の減結合作用を良好に向上させることができ、第1信号線1及び第2信号線2の耐干渉性を増強させ、静電気による電子回路の正常な動作への影響を回避できる。

【0111】

幾つかの実施例において、図8及び図9に示すように、少なくとも2つの静電気放電保護素子4の第1端は、同じ第1信号線1に結合され、且つこの2つの静電気放電保護素子4の第2端は、同じ第2信号線2又は異なる第2信号線2に結合されている。

【0112】

上述した実施例において、前記少なくとも2つの静電気放電保護素子4の第1端に結合された第1信号線1に瞬間的に大量の静電荷が蓄積された場合、静電荷が少なくとも2つの静電気放電保護素子4を介して異なる第2信号線2に放電され、又は同じ第2信号線2に放電されることができ、第1信号線1における静電荷の放電経路が増え、静電荷の放電がより速くなり、効率がより高くなり、静電気放電防護効果が向上される。

【0113】

幾つかの実施例において、上記の静電気放電保護回路200は他の配置方式を有し、本開示は、静電気放電保護の機能を果たすことができる限り、これに限定されない。

【0114】

図11に示すように、本開示の実施例は、上述したようなアレイ基板100を具備する表示装置300をさらに提供する。

【0115】

本開示の実施例に係る表示装置300は、液晶表示装置(Liquid Crystal Display, LCDと略称する)であってもよく、有機エレクトロルミネッセンス表示装置(Organic Light-Emitting Display, OLEDと略称する)であってもよく、又は量子ドットエレクトロルミネッセンス表示パネル(Quantum Dot Light-Emitting Display, QLEDと略称する)であってもよい。

【0116】

表示装置300が液晶表示装置である場合、表示装置300は、アレイ基板100の他に、対向基板、及び対向基板とアレイ基板100との間に配置された液晶層を具備する。

【0117】

表示パネル300が有機エレクトロルミネッセンス表示パネルである場合、表示装置300は、アレイ基板100を封止するための封止層をさらに具備する。アレイ基板100は、画素駆動回路及び発光素子をさらに備え、発光素子は、アノード、発光層、及びカソードを含む。封止層は、薄膜封止層であってもよく、基板封止層であってもよい。

【0118】

さらに、本開示の幾つかの実施例に係る表示装置は、電子ペーパー、スマートフォン、

10

20

30

40

50

タブレットコンピューター、テレビ、ディスプレイ、ノートブックコンピューター、デジタルフォトフレーム、ナビゲーター等のいかなる表示機能を有する製品又は部品であってもよい。

【 0 1 1 9 】

本開示の実施例に係る表示装置 3 0 0 によって実現し得る有益な効果は、上記に記載のアレイ基板 1 0 0 によって実現する有益な効果と同じであるため、ここでは説明を省略する。

【 0 1 2 0 】

以上に説明したのは、本開示の具体的な実施形態のみであり、本開示の保護範囲は、これらに限定されない。当業者が本開示の技術的範囲内に容易に想到できる変更や置換は、いずれも本開示の保護範囲内に含まれるものとする。従って、本開示の保護範囲は、前記特許請求の範囲に記載された権利範囲を準拠するものとする。

【 0 1 2 1 】

この出願は、2 0 1 8 年 1 1 月 2 2 日に中国特許局に出願された出願番号 2 0 1 8 2 1 9 3 4 9 7 4 . 7 である中国特許出願を基礎とする優先権を主張し、その内容の全てが参照によって本出願に取り込まれる。

10

20

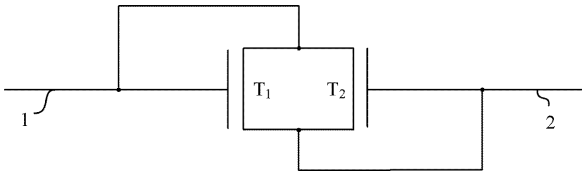
30

40

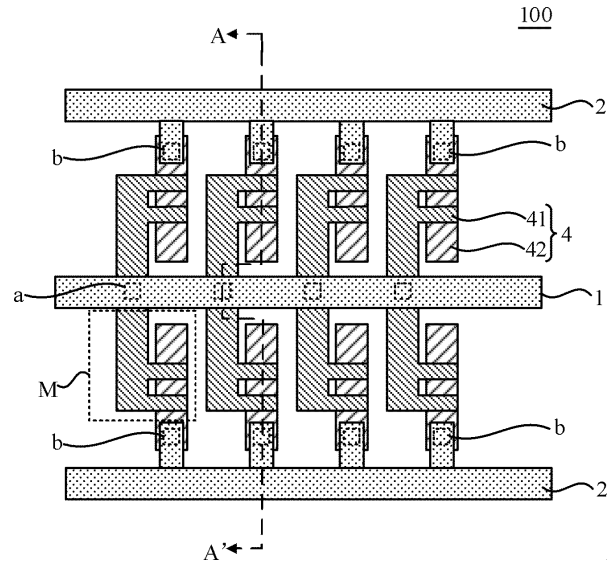
50

【図面】

【図 1】

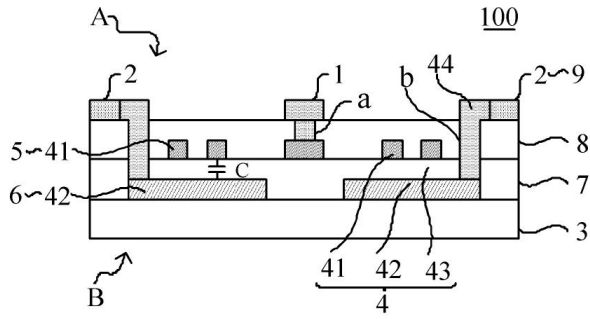


【図 2 A】

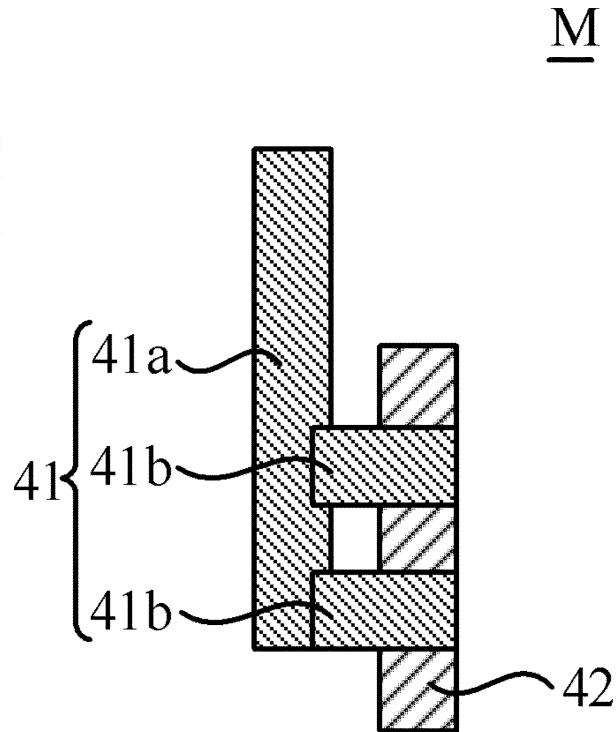


10

【図 2 B】



【図 2 C】



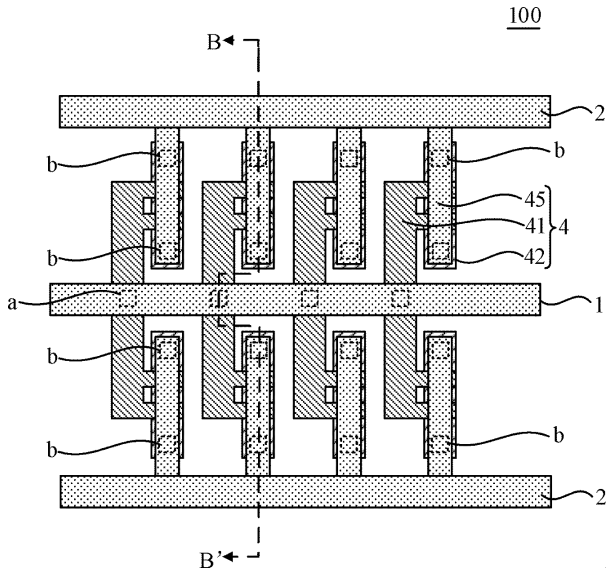
20

30

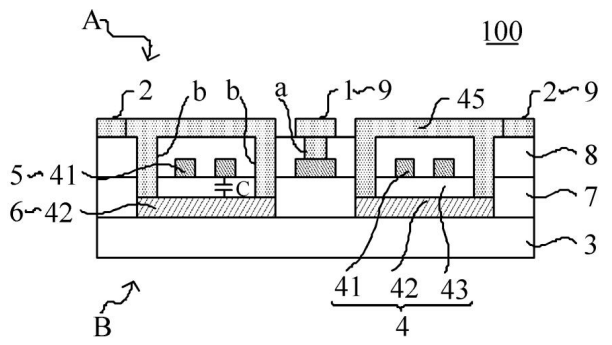
40

50

【図 3 A】

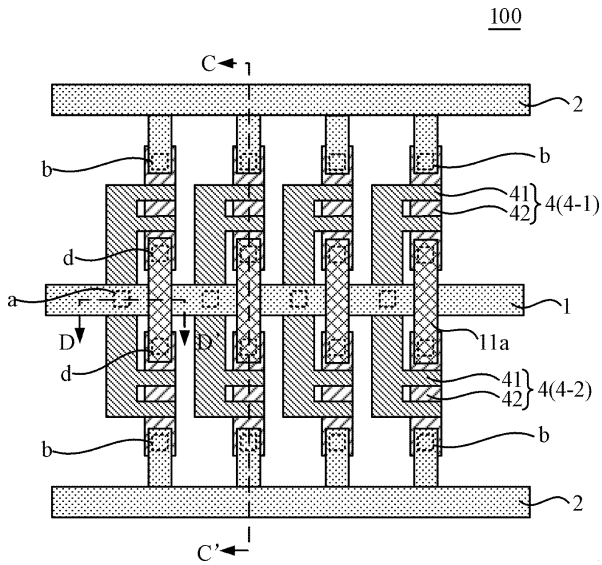


【図 3 B】

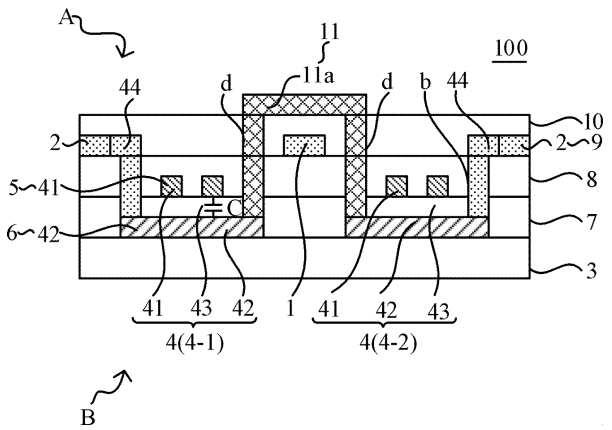


10

【図 4 A】



【図 4 B】



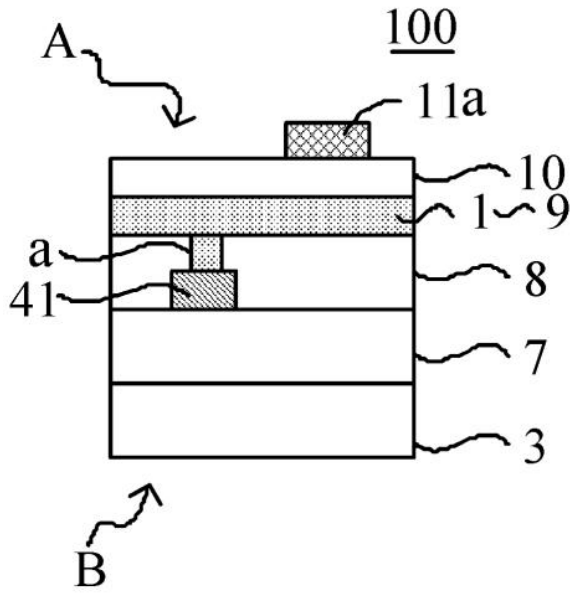
20

30

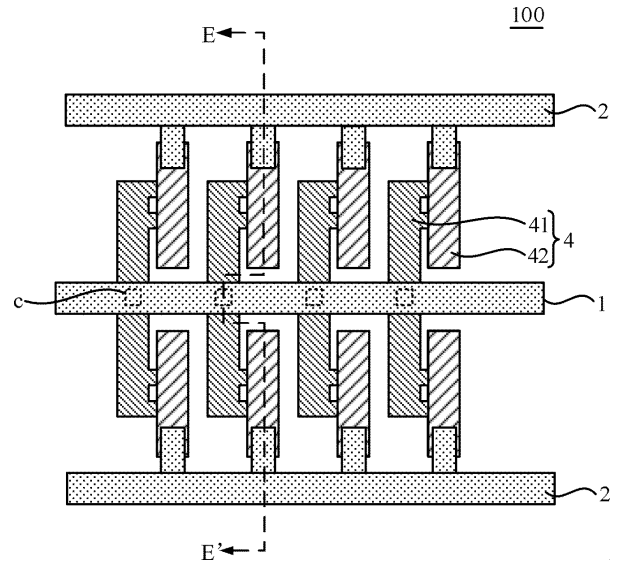
40

50

【図4C】

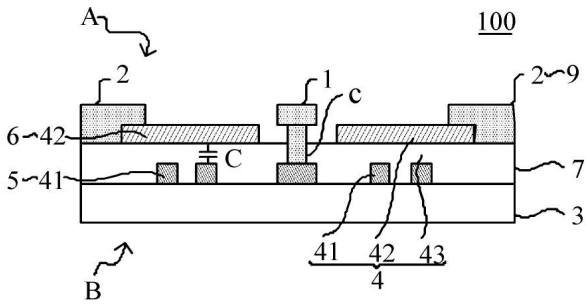


【図5A】

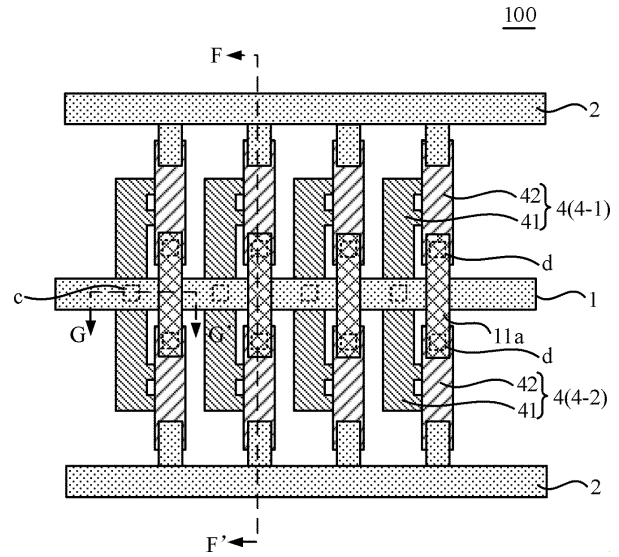


10

【図5B】



【図6A】



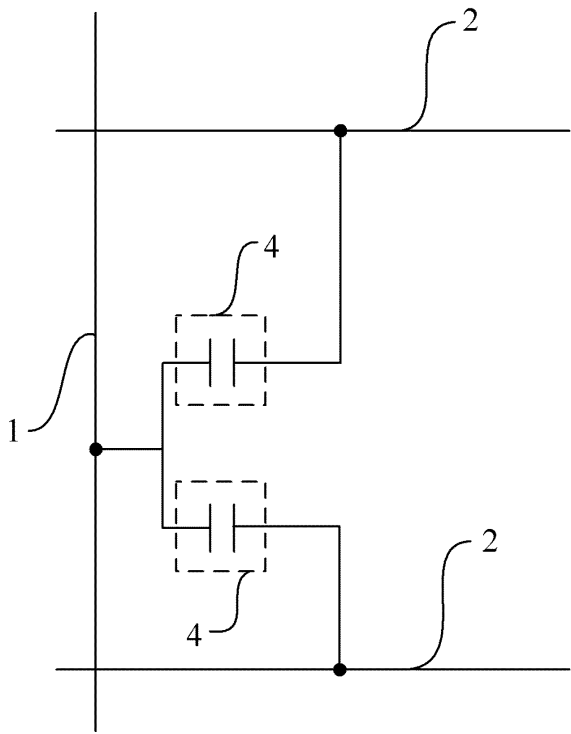
20

30

40

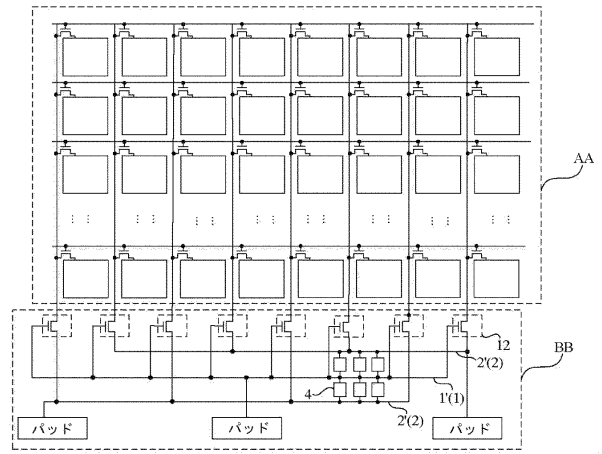
50

【図 9】



200

【図 10 A】

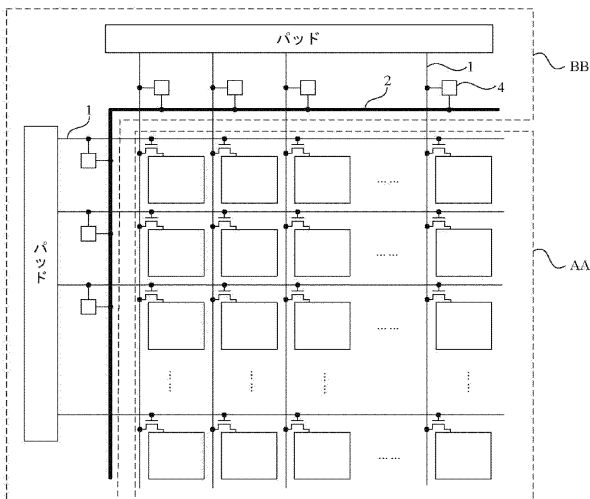


100

10

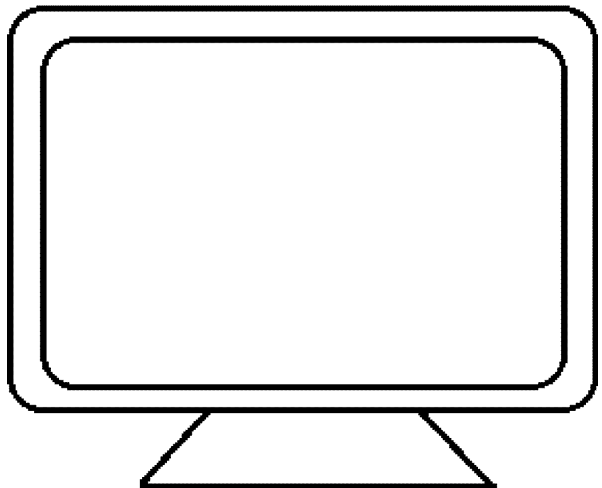
20

【図 10 B】



100

【図 11】



300

30

40

50

フロントページの続き

ナンバー 9

審査官 武田 悟

(56)参考文献 特開 2 0 0 6 - 2 6 7 5 4 5 (J P , A)

米国特許第 6 1 7 5 3 9 4 (U S , B 1)

(58)調査した分野 (Int.Cl. , D B 名)

G 0 9 F 9 / 0 0 - 9 / 4 6

G 0 2 F 1 / 1 3 6 8