

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁵
H01L 33/00

(11) 공개번호 특 1992-0001763
(43) 공개일자 1992년01월30일

(21) 출원번호	특 1991-0009192
(22) 출원일자	1991년06월04일
(30) 우선권주장	150151 1990년06월08일 일본(JP)
(71) 출원인	세이꼬 앱슨 가부시끼가이샤 야마무라 가쓰미
	일본국 도오꼬도 신쥬꾸꾸 니시신쥬꾸 2조메 4반 1고
(72) 발명자	이노우에 사또시
	일본국 나가노켄 스와시 오와 3조메 3반 5고 세이꼬 앱슨 가부시끼가이샤나
	이
(74) 대리인	이병호, 최달용

심사청구 : 없음

(54) 박막 트랜지스터 및 그의 제조방법

요약

내용 없음

대표도

도1

명세서

[발명의 명칭]

박막 트랜지스터 및 그의 제조방법

[도면의 간단한 설명]

제1도는 본 발명에 따른 박막 트랜지스터의 구성예를 도시하는 단면도.

제4A도 내지 40도는 오프 전류를 저감시키는 방법으로 알려진 구조를 가지는 박막 트랜지스터가 실현되는 실시예를 도시하는 단면도.

제5도는 본 발명에 따른 박막 트랜지스터의 특성을 도시하는 그래프도

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

도우너 또는 억셉터로서의 역할을 하는 불순물이 첨가되는 실리콘 박막으로 구성된 소스 영역 및 드레인 영역과, 상기 소스 영역 및 상기 드레인 영역과 접촉하여 상기 소스 영역 및 상기 드레인 영역 사이에 형성된 실리콘 박막으로 구성된 채널영역과, 상기 소스 영역, 상기 드레인 영역 및, 상기 채널 영역을 덮도록 형성된 게이트 절연막과, 상기 소스 영역 또는 드레인 영역을 겹치지 않는 상기 게이트 절연막 상에 배열된 게이트 전극으로 이루어진 박막 트랜지스터.

청구항 2

제1항에 있어서, 상기 게이트 전극이 상기 소스 영역 또는 상기 드레인 영역중 어느 하나를 겹치지 않는 박막 트랜지스터.

청구항 3

제1항에 있어서, 상기 게이트 전극이 상기 소스 드레인 영역을 겹치지 않는 박막 트랜지스터.

청구항 4

실리콘박막을 선택적으로, 에칭하여 소자 영역을 형성하는 단계, 상기 실리콘 박막상에 상기 게이트 전극으로서의 역할을 사는 전도막과 상기 게이트 절연막을 차례로 형성하는 단계, 상기 전도막을 선택적으로 에칭하여 상기 게이트 전극을 형성하는 단계 및, 절연막이 상기 게이트 전극상에 형성된 후 도우너 또는

억셉터로서의 역할을 하는 불순물을 첨가함으로써 상기 소스 영역 및 상기 드레인 영역을 자기 정합적으로 형성하는 단계로 이루어진 제1항에서 청구한 바와 같은 박막 트랜지스터 제조방법.

청구항 5

실리콘 박막을 선택적으로 에칭하여 소자 영역을 형성하는 단계. 상기 실리콘 박막에서 상기 게이트 전극으로서의 역할을 하는 전도막과 상기 게이트 전도막을 순차로 형성하는 단계, 상기 전도막을 선택적으로 에칭하여 상기 게이트 전극을 형성하는 단계, 상기 게이트 전극상에 절연막을 형성하는 단계, 최소한 상기 게이트 전극의 측벽에서 잔류토록 이방성 에칭에 의해 상기 게이트 전극상에 형성된 상기 절연막을 에칭하는 단계, 절연막이 상기 게이트 전극상에 형성된 후 도우너 또는 억셉터로서의 역할을 하는 불순물을 첨가하므로써 상기 소스 영역 및 상기 드레인 영역을 자기 정합적으로 형성하는 단계로 이루어진 제1항에서 청구한 바와 같은 박막 트랜지스터 제조방법.

청구항 6

실리콘 박막을 선택적으로 에칭하여 소자 영역을 형성하는 단계, 상기 게이트 전극으로서의 역할을 하는 전도막 및 상기 게이트 절연막을 상기 실리콘 박막에 순차로 형성하는 단계, 마스 재료로 구성된 패턴에 비례하여 상기 게이트 전극을 작게 만들어 마스크로서의 마스크 재료로 구성된 팬던으로 상기 전도막을 선택적으로 에칭함으로써 상기 게이트 전극을 형성하는 단계, 절연막이 상기 게이트 전극상에 형성된 후 도우너 또는 억셉터로서의 역할을 하는 불순물을 첨가함으로써 상기 소스 영역 및 드레인 영역을 자기 정합적으로 형성하는 단계로 이루어진 제1항에서 청구한 바와 같은 박막 트랜지스터 제조방법.

청구항 7

실리콘 박막을 선택적으로 에칭하여 소자 영역을 형성하는 단계, 상기 실리콘 박막에서 상기 게이트 전극으로서의 역할을 하는 전도막과 상기 게이트 전도막을 순차로 형성하는 단계, 마스크로서의 마스크 재료로 구성된 패턴으로 상기 전도막을 선택적으로 에칭함으로써 상기 게이트 전극을 형성하는 단계, 절연막이 형성된 후 도우너 또는 억셉터로서의 역할을 하는 불순물을 첨가함으로써 상기 소스 영역 및 상기 드레인 영역을 자기 정합적으로 형성하는 단계 및, 마스크 재료로 구성된 패턴에 비례하여 상기 게이트 전극을 작게 만드는 단계로 이루어진 제1항에서 청구한 바와 같은 박막 트랜지스터 제조방법.

청구항 8

실리콘 박막을 선택적으로 에칭하여 소자 영역을 형성하는 단계, 상기 실리콘 박막에서 상기 게이트 전극으로서의 역할을 하는 전도막과 상기 게이트 전도막을 순차로 형성하는 단계, 마스크로서의 마스크 재료로 구성된 패턴으로 상기 전도막을 선택적으로 에칭하여 상기 게이트 전극을 형성하는 단계, 마스크 재료로 구성된 패턴을 제거하는 단계, 절연막이 형성된 후 도우너 또는 억셉터로서의 역할을 하는 불순물을 첨가함으로써 상기 소스 영역 및 상기 드레인 영역을 자기 정합적으로 형성하는 단계 및, 마스크 재료로 구성된 패턴에 비례하여 상기 게이트 전극을 만드는 방법으로 이루어진 제1항에서 청구한 바와 같은 박막 트랜지스터 제조방법.

청구항 9

실리콘 박막을 선택적으로 에칭하여 한 소자 영역을 형성하는 단계, 상기 게이트 절연막, 상기 게이트 전극으로서 역할을 하는 전도막과, 상기 실리콘막상의 제1절연막을 순차로 형성하는 단계, 상기 절연막과 상기 전도막을 순차로 에칭함으로써 절연막이 게이트 전극 영역의 상측에만 남아있는 구조를 가지는 상기 게이트 전극을 형성하는 단계, 상기 게이트 전극상에 제2절연막을 에칭하는 단계, 최소한 상기 게이트 전극의 측벽에 남아있도록 이방성 에칭으로 상기 제2절연막을 에칭하는 단계로 이루어진 제1항에서 청구한 바와 같이 상기 게이트 전극이 상기 소스 영역 또는 상기 드레인 영역을 겹치지 않는 박막 트랜지스터 제조방법.

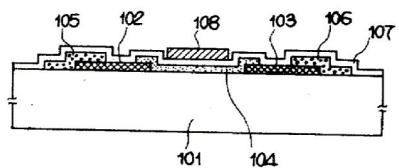
청구항 10

실리콘 박막을 선택적으로 에칭하여 소자 영역을 형성하는 단계, 상기 실리콘 박막상에 게이트 전극으로서의 역할을 하는 전도막과 상기 게이트 전도막을 순차로 형성하는 단계, 상기 전도막을 선택적으로 에칭하여 상기 게이트 전극을 형성하는 단계, 최소한 채널 영역을 겹치지 않는 상기 게이트 전극을 덮도록 마스크 패턴을 형성하는 단계, 마스크로서의 상기 마스크 패턴으로 도우너 또는 억셉터로서의 역할을 하는 불순물을 첨가함으로써 상기 소스 영역 및 상기 드레인 영역을 형성하는 단계로 이루어진 제1항에서 청구한 바와 같이 상기 게이트 전극이 상기 소스 영역 또는 상기 드레인 영역을 겹치지 않는 박막 트랜지스터 제조방법.

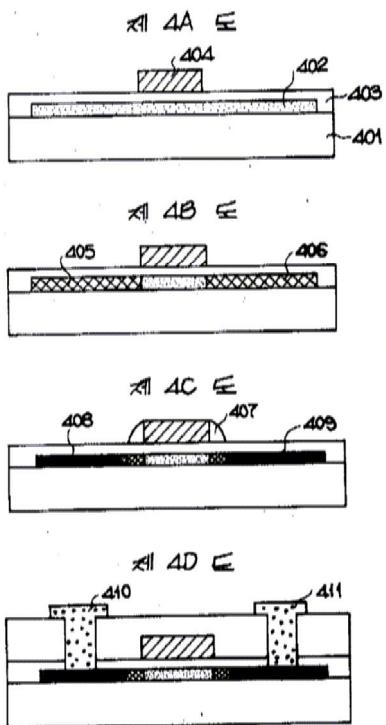
※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도면1



도면4



도면5

