(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G06F 9/38

(45) 공고일자 2001년05월02일
(11) 등록번호 10-0288449
(24) 등록일자 2001년02월07일

(21) 출원번호	10-1994-0700009	(65) 공개번호	특1994-0701971
(22) 출원일자	1994년01월04일	(43) 공개일자	1994년06월28일
번역문제출일자	1994년01월04일		
(86) 국제출원번호	PCT/GB 92/00959	(87) 국제공개번호	WO 93/01544
(86) 국제출원일자	1992년05월27일	(87) 국제공개일자	1993년01월21일
(81) 지정국	AP ARIPO특허 : 말라위 수단		
	EA 유라시아특허 : 러시아		
	EP 유럽특허 : 오스트리아 스위스 리히텐슈타인 독일 덴마크 스페인 핀랜드 영국 네덜란드 스웨덴		
	OA OAPI특허 : 부르키나파소 베넹 중앙아프리카 콩고 코트디브와르 카메룬 가봉 기네 말리 모리타니 니제르 세네갈 차드 토고		
	국내특허 : 오스트레일리아 바베이도스 불가리아 브라질 캐나다 헝가리 일본 북한 대한민국 스리랑카 마다가스카르 노르웨이 루마니아 미국 몽고 폴란드		
(30) 우선권주장	9114513.6 1991년07월04일 영국(GB)		

(73) 특허권자 더빅토리아유니버시티오브맨체스터
영국, 엠13 9 피엘 맨체스터, 옥스포드 로드
(72) 발명자 파버,니겔챨스
영국, 맨체스터 엠20 9유와이, 위딩톤, 30 수테펀즈 로드
(74) 대리인 목돈상, 목영동

심사관 : 오홍수

(54) 비동기식 파이프라인에서의 조건검출

요약

비동기식 파이프라인용 조건검출기가 개시되어 있다. 파이프라인내의 각각의 단은 검출될 조건이 상기 단에 세트되어 있는지의 여부를 나타내는 데이타의 단일비트를 저장하기 위한 저장요소를 포함한다. 한단의 저장요소내의 단일비트는, 상기 단사이에 데이타가 전달되는 경우 파이프라인내의 연속단의 저장요소에 전달된다. 검출기는, 파이프라인단의 저장요소중 어느 한 요소가 조건이 세트되어 있는지를 나타내는지의 여부를 검출하며, 파이프라인단의 저장요소 중 어느 한 요소가 조건이 세트되어 있는지를 나타내는 경우에 조건세트 출력이 발생된다.

대표도

도1

명세서

[발명의 명칭]

비동기식 파이프라인에서의 조건(condition) 검출

[기술분야]

본 발명은 비동기식 파이프라인에서의 조건 검출에 관한 것이다.

[배경기술]

파이프라인(pipeline)은 시스템 처리 속도의 증가를 위해 컴퓨터 구조에서 사용되는 메카니즘이다. 이는 생산라인과 유사한 것으로서, 제품(데이타)은 일련의 공정단계(회로)를 거치게 되고, 각 단계마다 제품(데이타)을 가공처리하기 위한 동작이 이루어진다. 파이프라인 메커니즘의 사용은, 데이타의 개별요소가 파이프라인을 횡단하는데 소요되는 시간(대기시간)에 대하여 속도를 증가시키는 것이 아니라 오히려 주어진 시간에 처리되는 데이타 요소의 수(처리량)를 증대시킨다. 이는, 파이프라인을 구성하는 동작이 간단하게 유지될 수 있으며, 현재의 요소가 그 단을 통과하자마자 다음 요소를 처리하기 위한 동작을 시작할 수 있기 때문에 달성된다. 동일 세트의 동작에 대하여 파이프라인되어 있지 않은 실시예는, 또다른 요소가 처리될 수 있기 전에 여러 요소 중 어느 한 요소 상에 모든 처리가 완료되는 것을 필요로 한다.

컴퓨터 파이프라인 시스템은 전형적으로 동기식이다. 그러한 시스템에서, 여러 단은 " 록스랩(lockstep) "으로 동작한다. 글로벌(global) 클록 신호는 모든 단이 동작을 완성했을 때 적용되고 다음 단으로 데이

타가 전달된다. 이는 모델화하고 분석하기에 용이한 간단한 구조를 제공한다. 물론, 파이프라인의 클록 주기는 그 처리단계(processing)를 완성하는데 있어서 가장 느린 파이프라인 단에서의 소요시간에 대한 최소값으로 제한된다. 그러한 방식으로 유도된 클록 주파수는 파이프라인의 처리량을 결정한다. 파이프라인 대기시간(latency)은 파이프라인 단의 수 곱하기 클록 주기이며, 이는 파이프라인 없는 동일한 논리부에 대한 처리시간보다 다소 긴 것이 일반적이다.

예를 들면, 독립적으로 동작이 이루어질 경우 각각의 클록 주파수가 50 ㎒, 10 ㎒ 및 30 ㎒ 인 3 개의 요소를 포함하는 동기식 파이프라인에서, 그러한 시스템의 최대 클록 주파수는, 모든 요소가 정확한 기능을 한다고 하면 10 ㎒ 로 제한된다. 이러한 주파수는 파이프 라인 처리량을 결정한다. 예컨대, 파이프라인이 비워졌으나(flush) 완전히 재충전(refill)되지 되지 않았기 때문에 가장 느린 요소가 사용되지 않는 경우 조차도, 상기 시스템은 글로벌 클록과 동기됨으로써 더 빠르게 동작할 수 없다.

비동기식 시스템에서, 기본적인 속도 제한이 여전히 적용된다. 즉, 상기에서 약술된 것인 경우에, 상기 시스템은 자연적으로 가장 느린 요소의 속도라고 가정한 10 ㎒ 의 처리속도를 채택한다. 그러나, 각각의 요소는 그 자체의 속도로 자유롭게 동작하며, 가장 느린 유니트가 사용되지 않는 동작에서의 처리량은 그 다음으로 느린 요소의 처리량, 즉, 위 인용예에서는 30 ㎒ 로 자동 증가된다. 비동기식 파이프라인에서 대기시간은 결과적으로 단당 개별시간의 합이다. 상기 파이프라인은 그의 처리량 및 길이가 제공하는 것보다 큰 속도로 충전하여도 무방하다. 더군다나, 모든 파이프라인 단이 일정한 처리 시간을 필요로 하는 것은 아니다. 예를 들면, 산술 논리 유니트(ALU)는 제산 동작보다 훨씬 빠르게 가산 동작을 이행할 수 있다. 비동기식 파이프라인에서, 각각은 가장 느린 속도까지 일반적인 처리량을 늦추지 않고서도 단일 동작으로서 취급될 수 있다.

Sutherland, I. E. 명의로 1989 년 6 월 발행본의 Communications of the ACM, Vol. 32, No. 6 의 제 720 - 738 면에 실린 "마이크로파이프라인(Micropipelines)" 이라는 제목의 논문에는 비동기식 회로를 설계하기 위한 프레임 작업이 기재되어 있다. " 마이크로 파이프라인 "으로 언급되며 이벤트(event) 제어되는, 즉 제어신호로서 전압레벨보다는 오히려 단일의 전기적 천이(electrical transition)를 사용하는 비동기식 파이프라인을 제어하는데 사용될 수 있는 회로 라이브러리가 기술되어 있다. 파이프라인 단 사이의 통신은 한 묶음의(bundled) 데이타 규칙을 사용한다. 전체의 데이타 워드는 단일 쌍의 이벤트 제어라인을 수반한다. 이들은 데이타가 유효할 때 및 파이프라인의 다음 단에 의해 데이타가 수신된 때를 나타낸다. 이벤트 제어는, 정보를 이동시키기 위하여 전기적 천이를 사용하기 때문에 종종 천이 신호방식이라고 불린다.

마이크로 파이프라인 방식은 마이크로 프로세서를 구성하는데 사용될 수 있다. 마이크로 프로세서의 데이타 경로에 대한 각각의 요소는 마이크로 파이프라인 단에 상응하도록 형성될 수 있다. 이는, 파이프라인의 요소가 자체적으로 임의 갯수의 파이프라인 단을 포함할 수 있기 때문에 마이크로 파이프라인의 본질적인 계층 구조에 의해 도움을 받는다.

마이크로 프로세서는 공통 세트의 "판독" 및 "기록" 버스와 여러 레지스터의 형태를 이루는 레지스터 뱅크를 합체하고 있다. 모든 레지스터는 동일한 폭인데, 예를 들면 32 비트의 마이크로 프로세서에서는 상기 레지스터가 32 비트의 폭이다. 레지스터 뱅크로부터 레지스터의 하나 또는 2 개의 레지스터의 내용을 판독하고, 판독된 내용에 따라 특정의 동작을 이행한 다음에, 레지스터 뱅크내의 제 3 레지스터내로 상기 동작의 결과를 다시 기록함으로써 상기 마이크로 프로세서는 명령을 실행한다. 어느 한 명령으로 판독되는 레지스터의 갯수는 레지스터 뱅크의 출력 포트의 갯수(이는 대개 2 개임)로 제한된다. 명령이 공급된 후에는, 명령 데코더는 판독되어야 하는 레지스터의 어드레스 및 상기 명령으로 식별되는 동작의 결과가 기록되어야 하는 레지스터를 추출한다. 이들 레지스터 어드레스가 레지스터 뱅크로 공급됨으로써 명령의 실행이 개시될 수 있다. 오퍼랜드들은 판독되어 ALU 와 같은 처리 유니트에 공급되는데, 이 경우 결과를 제공하기 위하여 특정의 동작이 이행된다. 어느 정도 지나서, 상기 결과는 레지스터 뱅크에 다시 도달되어 적절한 레지스터에 기록된다. 따라서, 완료시 데이타가 특정의 레지스터에 기록되게 하는 명령이 공급되고, 상기 특정의 레지스터를 판독하려고 시도하는 다음 명령이 공급되는 경우, 이미 진행된 명령이 완료되어질때까지 다음 명령이 지연되어야 한다.

상기한 판독 명령의 지연문제는 비동기식 파이프라인에서 조건 정보를 검출함에 있어서 생길 수 있는 난점 중 일례이다. 그러한 상황에서는, 파이프라인에서 항목(item) 의 존재를 검출하며 파이프라인 내에서 상기 항목의 위치를 결정하는 것이 대개는 필요하다.

[발명의 상세한 설명]

본 발명의 목적은 파이프라인의 점유 기간이 결정되지 않고서도 비동기식 파이프라인에서의 조건 정보가 검출될 수 있게 하는 수단을 제공함으로써 상기 문제가 극복될 수 있게 하는 것이다.

본 발명에 의하면, 비동기식 파이프라인용 조건 검출기가 제공되어 있는데, 이 경우에 파이프라인에 있는 각각의 단은 검출될 조건이 상기 단에서 세트되어 있는지의 여부를 나타내는 단일 비트의 데이타를 저장하기 위한 조건 저장수단을 포함하며, 한 단에 저장된 데이타가 파이프라인 동작시 그 다음 단에 전달될 때 그 단의 조건 저장수단에 있먼 상기 단일비트는 그 다음 단의 조건 저장수단에 전달되고, 파이프라인 단의 조건 저장수단중 어느 하나가 조건이 세트되어 있다는 것을 나타내는지의 여부를 검출하기 위한 수단이 제공되어 있으며, 파이프라인 단의 조건 저장수단중 어느 하나가 조건이 세트되어 있다는 것을 나타내는 경우 조건 세트출력을 발생시키기 위한 수단이 제공되어 있다.

상기 검출 수단은 각각의 단에 대하여 하나씩 존재하는 간단한 게이트 어레이일 수 있는데, 각각의 게이트는 각각의 단의 조건 저장수단에 접속된 제 1 입력, 그 이전 단의 게이트 출력에 접속된 제 2 입력, 및 그 다음 단 게이트의 제 2 입력에 접속된 출력을 지난다. 그러한 배치는, 하나의 단이 공백 상태로 되기 전에 상기 하나의 단 내의 조건 비트가 다음 단에 복사(copy)되고, 어떤 공백 단이 비설정 조건(un-set condition)을 제공하는 경우에 효과적이다. 이러한 두번째 요건은, 각각의 단에 부가적인 게이트를 제공함으로써 단 점유 비트와 조건 비트를 조합하는 경우에 달성될 수 있다. 변형적으로는, 그와 같은 부가적인 게이트는 각각의 단이 본질적으로 투명한(transparent) 경우, 즉 공백 상태일 때 각각의 단이 자동적

으로 비설정 조건을 제공하는 경우에 필요하지 않을 수 있다.

본 발명은 특히 한 레지스터가 앞서 이행된 명령에 의해 기록되는 경우 상기 레지스터가 판독되는 것을 방지하기 위한 록(lock) 회로를 구비하는 비동기식 파이프라인 시스템에 사용될 수 있다. 그러한 배치에 있어서, 비동기식 파이프라인 시스템은 복수개의 레지스터, 상기 시스템에 의해 실행될 일련의 명령을 생성시키는 수단, 한 명령으로 식별된 하나 또는 그 이상의 레지스터의 내용을 판독하는 수단, 결과를 산출하도록 상기 판독된 내용상의 명명으로 식별된 동작을 이행하는 수단, 상기 명령으로 식별된 한 레지스터에 상기 결과를 기록하는 수단, 진행 중에 있는 명령에 의해 기록될 레지스터의 신원(identity)을 저장하는 선입선출(first in first out) 록회로, 및 상기 록 회로에서 어느 한 레지스터가 식별되는 경우 한 명령에 의해 식별된 어느 한 레지스터 내용의 판독을 지연하는 수단을 포함하는데, 이 경우에, 상기 선입선출 회로는 2 차원의 메모리 요소 어레이를 포함하며, 각각의 메모리 요소는 상기 어레이의 열(column) 및 행(row) 에 대한 각각의 교점에 위치되어 있고, 상기 어레이 열의 갯수는 레지스터의 갯수와 동일하며 각각의 레지스터에 관련된 데이타는 각각의 열에 저장되어 있고, 상기 어레이 행의 갯수는 록 회로에 저장될 수 있는 레지스터 신원의 최대 갯수와 동일하며, 각각의 레지스터의 각각의 열 및 상기 행의 교점에 있는 각각의 행의 메모리 요소에 단일 비트의 데이타를 저장함으로써 진행중인 명령에 의해서 기록될 각각의 레지스터를 식별하기 위한 수단이 제공되어 있고, 상기 단일 비트의 데이타가 한 레지스터의 각각의 열에 저장되어져 있는지의 여부를 체크함으로써 상기 레지스터가 기록되는 지를 결정하기 위한 수단이 제공되어 있다.

따라서, 어레이를 이루는 모든 메모리 요소가 대개 논리 0 을 저장한다고 가정하면, 저장될 제 1 레지스터 신원이 수신되는 경우 논리 1 은 상기 레지스터가 관련되어 있는 열의 하부 요소에 기록된다. 제 2 레지스터 신원이 다음에 저장되는 경우, 논리 1 은 상기 제 2 레지스터와 관련된 열 및 하부 행 다음에 있는 메모리 요소에 기록된다. 일단 FIFO 의 하부 행에 논리 1 이 들어가게 하는 명령이 완료되어진 경우에, 하부행은 제거되어 하부행 다음에 미리 저장된 비트 패턴으로 대체된다. 따라서, 진행 중에 있는 명령에 의해서 어느 레지스터가 기록되는 경우, 이는 단순히 상기 레지스터와 관련된 열 FIFO 요소를 조사함으로써 검출될 수 있다. 상기 열 어느 부분에 논리 1 이 존재하는 경우, 상기 레지스터는 판독되어선 안된다. 이러한 조건은 간단한 직렬 게이트를 사용함으로써 용이하게 검출될 수 있다.

지금부터 본 발명의 실시예를 첨부된 도면을 참고로 하여 기술하고자 한다.

[도면의 간단한 설명]

제1도는 간단한 마이크로 파이프라인의 회로도이다.

제2도는 제1도에 예시된 형태의 간단한 마이크로 파이프라인에 사용할 경우의 본 발명의 회로도이다.

제3도는 제1도에 예시된 형태의 간단한 마이크로 파이프라인에 사용되는 본 발명의 일례를 간단하게 보여주는 도면이다.

제4도는 본 발명에 따른 조건 검출기를 사용함으로써 제어될 수 있는 동작을 지니는 레지스터 뱅크의 구조를 개략적으로 예시한 도면이다.

제5도는 제4도의 레지스터 뱅크에 대한 내부구조를 개략적으로 예시한 도면이다.

제6도는 판독 버스중 하나를 참조하여 제4도의 레지스터 뱅크에 적합한 데코더 장치를 개략적으로 예시한 도면이다.

제7도는 2 개의 판독버스 및 1 개의 기록버스를 참조하여 제4도에 도시된 형태의 레지스터 뱅크의 비동기식 동작을 달성하는데 사용될 수 있는 형태의 입/출력 인터페이스를 예시한 도면이다.

제8도는 비동기식으로 동작하는 레지스터 뱅크에서 사용하기 위한 종래의 록(lock) 회로를 예시한 도면이다.

제9도는 간략화된 본 발명의 실시예에서 생성되는 비트 패턴을 예시한 도면이다.

제10도는 본 발명의 록 FIFO 의 구현예를 개략적으로 예시한 도면이다.

제11도는 제10도의 록 FIFO 를 사용하여 판독 동작이 지연되는 방식을 예시한 도면이다.

제12도는 제10도의 록 FIFO 에의 제로(0) 입력을 보장하도록 제작된 장치를 개략적으로 예시한 도면이다.

제13도는 제10도에 예시된 형태의 록 FIFO 를 합체한 레지스터 뱅크에서의 레지스터 판독을 예시한 도면이다.

제14도는 제10도에 예시된 형태의 록 FIFO 를 합체한 레지스터 뱅크로의 기록 동작을 예시한 도면이다.

[실시예]

제 1 도는 선입선출(FIFO)이 버퍼의 형태를 이루는 마이크로 파이프라인의 간단한 일실시예를 예시한 것이다. 각각의 직사각형은 래치로서 동작하는 레지스터를 나타낸 것이다. 문자 (C) 를 포함하는 각각의 게이트는 상기에 참고가 된 Sutherland 명의의 논문에 기재된 형태의 뮬러(Muller) C -요소이다. 뮬러 C 회로는 2 개 또는 그 이상의 입력 및 단일 출력을 지닌다. 이것은, 모든 입력이 동일한 상태로 될 때까지 출력상태가 일정하게 유지되고, 모든 입력이 동일한 상태로 될 때, 출력이 그 입력상태가 되도록 강제되는 속성을 지닌다. 따라서, 회로 출력이 논리 저(low) 레벨에 있을 경우, 이는 모든 입력이 고(high) 레벨이 될 때까지, 저레벨로 유지하게 된다. 그 후, 이는 출력을 고레벨로 변화시키고, 모든 입력이 논리 저레벨로 복귀할 때까지 이 상태가 유지된다. 그러므로, 뮬러 C 요소는 천이를 위한 AND 게이트로서 작용하며 (즉, 모든 입력은 저레벨이었다가 현재에는 고레벨이므로, 각각은 천이를 겪음) 약간의 고려사항이 있다. 실제 전자 디바이스는 천이 그 자체가 아니라 입력의 논리 레벨에 민감하다는 점에 유념하는 것이 중요하다. 입력상에서의 제 2 천이는, 게이트가 아직도 출력을 변화시키지 않은 경우에 그 전의 천이를

취소시킨다.

제 3 도에서, 데이타 흐름은 인접한 레지스터단 사이에 있는 화살표로 나타나 있다. 데이타는 레지스터 체인을 통해 전달되는데, 그러한 회로는 데이타를 전달하라는 요구가 다음 레지스터단에 전송되어지고 그러한 수신의 인식이 복귀되어진 후에 한 레지스터로부터 데이타를 전달하도록 동작한다. 따라서, 상기 예시된 회로에 있어서, 입력 요구신호는 제 1 의 율러 C 요소를 트리거함으로써, 입력 데이타가 각각의 레지스터에 래치되게 한다. 이러한 래칭 프로세스가 완료될 때, 인식 신호가 표명되고, 이것은 그 다음 단에의 요구 신호로 된다. 상기 프로세스는 그후 데이타 입력이 FIFO 의 출력에 도달할 때까지 계속되는데, FIFO 의 출력에서 " 요구 "가 단정되고 데이타가 제거되었다는 것을 나타내는 외부 인식이 대기된다. 입력 데이타가 제 1 레지스터 단에 의해 수신되고 그와 동시에 FIFO 내에 어떠한 데이타도 존재하지 않는 경우에, 입력 데이타는 신속하게 상기 레지스터 체인을 통해 우측 레지스터로 전달된다. FIFO 장치에 대한 설명을 간략하게 하기 위하여, FIFO 레지스터 체인에서 마지막 레지스터인 제 3 도의 우측 레지스터는 이후 " 하부(bottom) " 레지스터로 언급하고자 한다.

마이크로 파이프라인 회로의 상태에 관해 말해주는 조건 정보가 검출되어야 하는 상황이 생길 수 있다. 예를 들면, 제 1 도의 간단한 경우에, 어떤 레지스터가 데이타를 저장하고 있는지의 여부를 결정하는 것이 필요할 수 있다. 변형적으로는, 어떤 레지스터가 특정의 데이타 가테고리를 저장하고 있는지의 여부를 검출하는 것이 필요할 수 있다. 이러한 조건 정보 검출 문제를 해결하기 위한 종래의 해결 수단은 상기 레지스터의 내용을 판독 및 비교할 수 있는 회로를 제공하는 것이지만, 이러한 해결 수단은 본질적으로 간단한 기본 빌딩 블록인 회로에 상당한 복잡성을 부가한다. 본 발명은, 단일 비트의 정보가 흐르는 데이타에 대하여 관심의 대상이 되는 조건 정보를 나타내는 단일 비트의 정보를 마이크로 파이프라인을 통해 흐르는 데이타에 합체시킴으로써 상기 조건 정보 검출 문제에 대한 개선된 해결수단을 제공한다. 제 2 도는 이러한 방안을 구현하는 한가지 방법을 개략적으로 예시한 것이다.

제 2 도는 제 1 도와 유사하지만, 도면에서의 불필요한 복잡성을 없애기 위하여 요구 및 인식 회로를 생략한 간단한 FIFO 장치를 도시한 것이다. 제 1 도의 경우에서와 같이, 한 비트는 연속 레지스터단 사이로 전달된다. 그러나, 그 이외에도 각각의 레지스터는 저장요소를 합체하고 있는데, 상기 저장요소에는 단일 비트의 조건 데이타가 저장되어 있다. 각각의 레지스터에 대하여 조건 데이타가 저장되어 있는 저장요소는 각각의 OR 게이트에 접속되어 있으며, 각각의 OR 게이트의 출력은 마이크로 파이프라인을 이루는 다음 단의 OR 게이트의 한 입력에 접속되어 있다. 따라서, 상기 OR 게이트중 어느 하나의 입력이 논리 " 1 " 인 경우, 조건 세트 출력 자체는 논리 " 1 " 로 된다. 따라서, 단순히 상기 조건 세트 출력을 모니터함으로써, 레지스터단 중 어느 하나에서의 특정 조건의 존재는 용이하게 검출될 수 있다.

제 2 도에 예시된 회로의 올바른 동작에 대하여, 어헌 제한이 유지되는 것이 필요하다. 첫째로, 조건 비트는, 제 1 단이 공백상태로 되기 전에 제 1 단으로부터 다음 단으로 복사되어야 한다. 이는, 파이프라인 내의 " 1 " 이 적어도 한 단에 있음으로써 검출될 수 있게 할 필요가 있다. 단 사이의 이러한 중첩이 보장되지 않는 경우에, 조건 비트가 한 단으로부터 다음 단으로의 이동 중에 있으며 위 어느 단에도 존재하지 않을 수 있는 가능성이 존재한다. 이러한 경우가 생긴다면, 이동 중인 비트가 검출되지 않음에 따라 조건 검출이 가능하지 않게 될 수 있다.

둘째로, 어느 공백단은, 모든 조건 비트의 조합에 영향을 받지 않도록 비설정(un-set) 조건을 제공하여야 한다. 따라서, 임의의 공백단에서, 조건 저장 요소는 논리 " 0 " 을 저장하여야 한다. 이는, 각각의 단이 " 투명 " 하고, 이러한 단의 제 1 레지스터에 접속된 OR 게이트의 제 2 입력이 논리 " 0 " 으로 유지되며, " 1 " 을 기록하는 경우를 제외하고 FIFO 에의 조건 입력이 디폴트(defau1t) 값 "0"을 지니는 경우에 달성될 수 있다.

또한, 파이프라인에서의 조건의 상태에 대하여 결정이 내려지는 동안에 어떠한 것도 파이프라인의 제 1 단에 들어가지 않게 하는 것이 필요하다. 이러한 것이 보장되지 않는다면, 준안정성(meta-stability)의 문제가 생길 수 있다. 그러나, 파이프라인의 어떤 부류에 대하여, 이는, 예를 들면 어떤 조건이 아직도 파이프라인에 존재하지 않는 경우에만 파이프라인 내로의 입력이 허용된다면(예컨대, ALU 조건 코드로 세트된다면) 문제가 아니다. 그러니까, 파이프라인의 하부로부터 조건이 제거될 때까지 파이프라인에는 어떠한 것도 입력되지 않는다. 그러한 시스템에서, 조건 비트가 파이프라인의 최종단에 도달할 경우, 이는 다음 유니트로부터 인식(acknow1edge)이 수신될 때까지 상기 최종단에 남아 있는다. 파이프라인의 최종단이 클리어될 경우, 이는 자동적으로 조건 비트를 제거한다. 조건 비트가 제거됨에 따라, 파이프라인에 입력할 어떤 것이 대기중인 경우 조건 논리는 이제는 더 이상 조건이 존재하지 않음을 나타내므로 상기 파이프라인 내로의 데이타 흐름이 진행될 수 있다.

투명하지 않은 레지스터의 경우에, 조건 정보는, 공백상태(empty)인 레지스터와 충전상태(full)인 레지스터를 구별하기 위해 제 3 도에 예시된 바와 같은 회로를 제공함으로써 여전히 검출될 수 있다. 제 3 도에 도시된 바와 같이, 각각의 레지스터는 검출될 조건에 관련된 한 비트와 상기 레지스터가 충전 상태인지의 여부에 관련된 한 비트를 저장한다. 이들 두 비트는, 각각의 레지스터가 충전 상태이고 조건 비트가 세트되는 경우에 OR 게이트가 단지 논리 1만을 수신하도록 각각의 레지스터에 대한 AND 게이트에 입력을 제공한다. 이는 조건 정보가 유효할 경우에만 사용되게 한다.

조건 정보를 검출하기 위해 상기에 기술한 해결 수단은 파이프라인을 따라 흐르는 모든 정보가 조건 정보인 상황에 사용될 수 있다. 그 때, 파이프라인은 탄력성있는 조건 저장 디바이스로 된다. 그러한 방식으로 사용되는 FIFO 의 일례는 하기에 어느 정도 상세하게 기술되어 있지만 상기한 파이프라인에서의 조건 정보의 검출에 대한 해결 수단은 폭넓은 범위의 상황에서 사용될 수 있다.

제 4 도는 마이크로 파이프라인 해결수단을 사용함으로써 구성된 마이크로 프로세서에 제공된 레지스터 뱅크의 동작을 예시한 것이다. 마이크로 프로세서의 데이타 경로의 각각의 요소는 마이크로 파이프라인 단에 해당하도록 제작될 수 있다. 이는 한 요소 자체가 임의 갯수의 파이프라인단을 포함할 수 있는 것과 같이 마이크로 파이프라인의 본질적인 계층 구조에 의해 지지받는다. 그러나, 상기 시스템이 비동기식인 경우에 "판독" 및 "기록" 동작 사이의 상호작용이 실현되어야 한다.

레지스터 뱅크는 공통 세트의 "판독" 및 "기록" 버스를 지닌 다수의 레지스터로 구성되어 있다. 모든 레

지스터는, 예를 들면 32 비트의 마이크로 프로세서의 모든 레지스터가 32비트의 폭인 경우와 같이 동일한 폭이다. 상기 마이크로 프로세서는 상기 뱅크로부터 하나 또는 두개의 레지스터의 내용을 판독하고, 그에 관한 어떤 동작을 이행한 다음에 그 해답이나 결과를 상기 뱅크의 제 3 레지스터 내로 다시 기록함으로써 명령을 실행한다. 제 4 도는 이러한 동작의 높은 수준의 개략도를 나타낸다. 어느 명령에 의해 판독되는 레지스터의 갯수는 대개 2개인 레지스터 뱅크상의 출력 포트의 갯수로 제한된다. 명령 데코더는 수신된 명령으로부터 판독되어야 할 레지스터(a, b) 의 어드레스 및 동작의 결과가 기록될 레지스터(W) 를 추출한다. 그러한 어드레스가 레지스터 뱅크로 전달됨으로써 상기 명령의 실행이 개시될 수 있다. 레지스터(a, b) 로부터 판독된 오퍼랜드(operand)들은 하나의 결과를 제공하도록 상기 명령에 따라 동작이 이행되는 ALU 로 전달된다. 그러한 동작이 완료된 후에는, 상기 결과가 다시 레지스터 뱅크로 전달되어 적절한 레지스터(W)에 기록된다. 따라서, 레지스터(a, b) 로부터의 판독 및 레지스터(W)에의 기록 사이에는 지연이 존재한다. 레지스터(W)에 결과가 기록될 때까지 다음 명령에 의하여 레지스터(W) 가 판독되지 않는 것이 중요하다.

제 5 도는 A 버스 제어논리를 참고로 한 전형적인 레지스터 뱅크의 내부구조를 예시한 것이다. 다른 버스들은 유사하다. 각각의 레지스터는 레지스터 뱅크의 수직 조각을 점유하는데, 한 레지스터가 암영으로 표시되어 있다. 각각의 레지스터는, 32 비트의 데이타가 저장될 수 있는 32 개의 각각의 메모리 셀 또는 요소를 포함한다. 이들 셀 각각은 저장한 값을 변화시키는데 사용되는 입력 및 상기 셀로부터 저장된 값을 판독하는데 사용되는 2 개의 출력을 지닌다. 2 개의 출력은, 별개의 a 오퍼랜드 및 b 오퍼랜드 버스들(A, B)로 판독되도록 값들을 인에이블(enable)하기 위하여 필요하다. 어느 한 레지스터에 대하여 이행되는 동작은 상기 레지스터의 모든 셀에 대하여 이행된다. 3 개의 인에이블 신호가 각각의 레지스터가 (a) 오퍼랜드 버스(A) 상으로의 판독, (b) 오퍼랜드 버스(B) 상으로의 판독, 및 결과 버스(W)로부터 셀 내로의 기록을 허용하도록 제공되어 있다.

제 5 도에 예시되어 있는 바와 같이, 제 4 도의 명령 데코더 일부를 형성하는 A 버스 데코더는 A 오퍼랜드 레지스터 번호 (a) 의 2 진수 표시를 취하고 이를 1 진수 표시(N 중 1)로 변환시킨다. 그 후, 이는 선택된 레지스터의 A 버스 출력 인에이블로서 사용된다. 제 5 도는 이러한 방식으로 선택된 N 중 1 레지스터를 도시한 것이다. 유사한 데코더는 B 버스 및 기록 버스(W) 에 대하여 제공되어 있지만 이들은 도면의 과도한 복잡성을 피하기 위하여 제 5 도에서는 생략되었다. A 오퍼랜드, B 오퍼랜드 및 기록 버스 모두는 제 5 도에 도시된 바와 같이 모든 레지스터를 통해 수평으로 동작하지만 다시 B 및 기록 버스는 생략되었다.

제 6 도는 조금 높은 레벨에 있는 데코더 및 레지스터를 예시한 것이다. 물리적으로는, 상기 데코더가 다른 데코더의 상부에 하나씩 적층되어 있으면서 데코더 선택 와이어가 레지스터 뱅크를 통해 수직으로 지나간다.

제 1 명령을 수신한 결과로서 레지스터 뱅크가 오퍼랜드를 판독하지만 여전히 그러한 오퍼랜드를 처리하고 있는 경우에 일반적으로는 레지스터 뱅크가 제 1 명령의 오퍼랜드 판독을 마무리한 즉시 제 2 명령을 진행하라고 레지스터 뱅크가 허용되지 않을 이유는 전혀 없다. 유일한 제한은, 이미 진행중인 명령에 의해 기록 버스로부터 내부로 기록될 결과를 대기하고 있는 어느 레지스터를 판독하도록 제 2 명령이 허용되지 않을 수 있다는 점이다. 따라서, 진행중인 명령에 의해 기록되어야 할 레지스터를 판독하고자하는 경우에 명령을 지연시키는 메카니즘을 제공하는 것이 필요하다.

제 4 도, 제 5 도 및 제 6 도에 기술된 구조는, 판독 및 기록 동작의 타이밍이 외부적으로 공급된 클록신호에 의해 제어되는 종래의 동기식 마이크로 프로세서에서 찾아볼 수 있는 구조중에서 대표적인 것이다. 그러한 시스템에서, 진행중인 명령에 의해 기록되어야 할 레지스터의 신원을 저장하는 것이 상당히 용이하다. 그러나, 마이크로 프로세서가 마이크로 파이프라인 프레임 작업을 지니는 비동기식 동작용으로 설계되는 경우, 몇가지 부가적인 인자가 상기 설계를 좌우할 것임이 틀림없다.

제 1 인자는 상기에 참고가 된 Suther1and 명의의 논문에서 기술된 한 묶음의 데이타 규칙에 따르도록 입/출력이 수정되어야 한다는 것이다. 제 7 도는 레지스터 뱅크의 경우에 어떠한 방식으로 이것이 적용되는지를 예시한 것이다. 비동기식 장치의 경우에, 명령 데코더는 3개의 레지스터 어드레스(a, b, w) 및 신호(D -요구)를 공급하여 3 개의 레지스터 어드레스가 유효하다는 것을 나타낸다. 레지스터 뱅크는 이들 값을 N 중 1 표시로 데코드한 다음에 선택된 레지스터 내용을 A 및 B 버스 상에 출력시킨다. 출력 버스상의 데이타가 유효한 경우, 해당 요구 라인 상에 출력(O - 요구)의 형태로 이벤트(event) 신호가 보내진다. 다음 단은 출력 데이타를 수신하고, 신호(O - 인식)의 형태로의 수신 인식 신호를 보낸다. 그 후, 레지스터 뱅크는 신호(D - 인식) 에 의해 명령 데코더를 인식할 수 있으며 상기 데코더는 그 후 다음 명령을 생성시키기 시작한다.

"판독" 오퍼랜드(a, b) 중 하나가 이전 명령 결과의 목적지일 수 있다는 것이 가능하다. 그러한 상황에서, 레지스터가 판독될 수 있기 전에 동작이 상기 레지스터 내로 기록될 때까지 동작은 대기하여야 한다. W 데코더에 의해 선택된 레지스터에 결과가 기록되는 경우, 신호(W - 요구) 는 버스(W) 상에 수신된다. 레지스터 뱅크는, "기록" 동작이 완료되었을 때 신호(W - 인식) 의 형태로 인식을 발행한다. 마이크로 파이프라인 프레임 작업 내에서, 이는 각각의 판독 동작에 대하여 완전히 비동기식으로 발생한다. 신호(W - 인식)가 발행될 때까지, 결과가 기록될 레지스터는 판독에 대하여 록(lock)되어야 한다.

레지스터 록킹의 목적은 "기록"동작이 완료될 때까지 이미 진행중인 명령에 의해 기록되어야 할 레지스터로부터의 어떠한 "판독"도 저지하는 것이다. 이는 진행중인 명령에 의해 기록되어야 할 레지스터의 리스트를 유지함으로써 달성될 수 있다. 레지스터 "판독"동작이 개시되기 전에 판독이 진행될 수 있는지를 확인하기 위하여 상기 리스트가 체크되어야 한다. 상기 체크가 실패하는 경우, 즉 판독되어야 할 레지스터가 리스트에서 식별되는 경우, 상기 레지스터가 기록되어지고 관련 엔트리(entry)가 상기 리스트에서 제거될 때까지 "판독"은 대기되어야 한다.

레지스터 록킹은 제 8 도에 도시된 바와 같은 FIFO 를 사용함으로써 구현될 수 있다. 이는, 일련의 3 가지 명령중 2 가지 명령이 공급되어진 후의 록 FIFO 를 도시한 것이다. 예를 들면, 이들 명령은,

명령 1 - R1 : = R2 + R3

명령 2 - R4 : = R5 - R6

명령 3 - R7 : = R9 - R4

와 같을 수 있다.

따라서, 제 1 명령은 레지스터 (R2 및 R3) 의 내용을 판독하여, 차후 R1 에 기록될 이들 2 개의 내용의 합을 계산하는 프로세스를 개시한다. 레지스터 (R2 및 R3) 가 판독되자마자, R1 의 신원은 록 FIFO 의 하부단에 입력된다. 그 후, 제 2 명령이 레지스터 (R5 및 R6) 을 판독하고 레지스터 (R4) 의 신원이, 제 2 명령의 결과가 기록될 레지스터 (R4) 로서 FIFO 의 하부 섹션 다음에 입력된다. 레지스터 (R5 및 R6) 의 내용이 판독되자마자, 제 3 명령이 레지스터 (R9 및 R4) 의 판독을 요구한다. R4 가 록 레지스터에서 식별되어 있기 때문에, 제 3 명령은, 레지스터 (R4) 내로 제 2 명령의 결과를 기록함으로써 제 2 명령이 완료될 때까지 지연되어야 한다. 따라서, 명령 3 에서 판독될 레지스터의 어드레스를 록 FIFO의 내용과 비교하는 문제가 생긴다. 이는 물론 록 FIFO 에서 식별되는 모든 레지스터의 신원을 판독하여 상기 신원을 제 3 명령에 따라 판독될 레지스터의 신원과 비교함으로써 달성될 수 있다. 이는 간단한 방법으로 달성하기에는 어렵다.

제 9 도는 록 레지스터에서 식별되는 각각의 레지스터가, 록 레지스터의 한 메모리 요소에 단일 비트가 존재함으로써 식별되도록 본 발명에 따라 배치된 제 8 도에 도시된 형태의 록 레지스터에서의 정보 표시를 예시하고 있다. 제 9 도에 예시된 경우에서, 각각의 수평행(row)은 레지스터 뱅크의 레지스터의 갯수와 동일한 수의 요소를 포함한다고 가정하기로 한다. 더군다나, 제 9 도에 표시된 록 레지스터는 기껏해야 3 개의 레지스터 신원을 저장할 수 있다. 제 9 도의 경우에, 레지스터의 하부 레벨은 레지스터 (R10) 에 해당하는 열(co1umn)내에 논리 1 비트를 저장한다. 상기 하부행 다음의 행은 레지스터 (R2) 에 해당하는 열 내에 논리 1 을 저장한다. 레지스터의 상부 레벨에서, 논리 1 은 레지스터 (R4) 에 해당하는 열 내에 저장된다. 따라서, 제 9 도에 나타난 록 레지스터는, 진행중인 3 개의 명령을 완료한 경우에 결과가 기록될 레지스터인 것으로 레지스터 (R2, R4, 및 R10) 를 식별하는 단일 비트 데이타를 포함한다. 그 후에 나타나는 또다른 명령은 레지스터 (R2, R4 또는 RI0) 로부터의 판독을 필요로 하지 않는 경우에만 실행할 수 있다.

제 9 도에서 알 수 있는 바와 같이, 검색될 조건은, 판독될 레지스터에 해당하는 열내의 어느 포인트에서 어느 비트가 세트(논리 1) 되는 지의 여부이다. 각각의 비트 열은 제 2 도에 예시된 바와 같이 적합한 게이트의 캐스케이드(cascade) 에 의해 결합됨으로써 어느 한 열내의 어느 메모리 요소가 논리 레벨 1 로 세트된 경우에, 상기 열과 관련된 레지스터가 아직도 완전하게 실행되어지지 않은 명령에 의해 기록될 수 있다라는 직접적인 표시를 제공하도록 상기 열에 대하여 조건 세트 출력이 발생된다.

관련된 명령의 완료까지 레지스터가 록되어야 하는 것과 관련된 정보를 제공하는 것 이외에도, FIFO 는 다음에 실행될 기록동작의 데코드된 레지스터 어드레스를 공급하는데 사용될 수 있다. 따라서, 제 9 도에 예시된 바와 같이, 다음의 "기록"동작은 레지스터(R10) 에의 데이타 기록과 관련되어야 한다. 기록요구가 생기는 경우에, 기록 동작은 단순히 록 FIFO로부터 레지스터 신원을 판독함으로써 레지스터(R10) 의 어드레스를 사용한다. 레지스터(RI0) 에의 기록이 완료되는 경우, 인식 신호는 록 FIFO에 공급되어 하부 엔트리를 제거한다. 이러한 엔트리의 제거는 검출기내에 세트된 조건을 클리어함으로써 R10에 대한 어느 정지된 "판독"동작이 진행될 수 있게 한다. 하부 엔트리가 제거되어진 경우, 록 레지스터의 내용은 하나 아래로 이동함으로써 하부 엔트리는 록된 것으로 레지스터(R2) 를 식별하고 상기 하부 엔트리 다음의 엔트리는 록된 것으로 레지스터(R4)를 식별한다.

따라서, 록 FIFO 는 2 가지 기능을 제공한다. 첫번째 기능으로는 레지스터가 룩되어 있는지의 여부를 나타내는 것이고 두번째 기능으로는 다음 기록동작에 대한 어드레스를 식별하는 것이다.

제 10 도를 참조하면, 이는 제 9 도를 참조하여 도시한 일반적인 형태의 록 FIFO에 관한 것으로서, 많아야 3 개의 레지스터에 대한 록조건을 나타내는 것, 및 어느 한 시점에 단지 2 개의 록된 레지스터의 신원을 저장하기 위해 제공된 회로도이다. 상기 3 개의 레지스터는 레지스터 0, 레지스터 1, 및 레지스터 2 로서 나타나 있다. 각각의 레지스터에 대하여, 2 개의 출력이 제공되어 있는데, 이는 조건 "록됨" 및 "기록선택" 이다. 레지스터 0 에의 기록을 요구하는 명령이 수신된 다음에 레지스터 2 에의 기록을 요구하는 명령이 수신되는 경우에, 좌측하부 레지스터는 논리 1 을 저장하고, 우측상부 레지스터는 논리 1 을 저장하며 다른 4 개의 레지스터는 논리 0 을 저장한다. 레지스터 0 및 레지스터 2 의 록된 출력은 그후 논리 1 에 있으며 레지스터 0 의 기록선택 출력은 논리 1 을 보여준다.

제 11 도는 록된 레지스터의 판독을 방지하는데 사용되는 보다 높은 레벨에서의 관련회로를 예시한 것이다. A 및 B 버스 데코더로부터의 판독선택은, 관련 레지스터가 록되지 않을 때까지 레지스터 뱅크에 도달하지 못하게 된다.

제 11 도 회로의 동작은 상기에 언급된 3 가지 요건을 만족시킨다고 가정한 것이다. 즉, 조건비트가 인접한 단 중 적어도 하나의 단에 항상 존재하도록 하나의 단으로부터 다른 하나의 단으로 복사되어야 하고, 공백단은 비설정 조건을 제공하여야 하며, FIFO 내의 조건상태에 대하여 결정이 내려지는 동안 어떠한 것도 FIFO 에 입력되어서는 안된다라고 가정한 것이다.

표준 마이크로 파이프라인은 제 1 조건을 만족시키는데 필요한 특징을 지닌다. 또한, 마이크로 파이프라인 FIFO는, 공백단이 "투명" 하다는 특징이 있으므로, 데이타가 FIFO 내로 삽입되지 않을 경우에 FIFO 의 입력을 제로(0) 로 유지함으로써 제 2 조건이 만족될 수 있다. 제 3 조건은 제 12 도를 참조하여 기술된 바와 같이 고레벨에서의 레지스터 뱅크 설계를 제한함으로써 만족될 수 있다. 제 12 도를 참조하면, 록 FIFO 는 실제로 W 데코더의 출력인데, 상기 W 데코더는 결과가 기록되어야 할 레지스터를 식별하는 데코더이다. 상기 W 데코더 상의 출력 인에이블은, 유효한 기록 어드레스가 존재하지 않을 경우에 출력이 디스에이블되어 모든 비트상에 제로(0) 를 제공하도록 설계될 수 있다. 이것은 록 FIFO에 직접 제공될 수 있다.

정확한 제어 시퀀스가 사용되는 경우 불편한 시간에 데이타가 FIFO 에 입력되지 않게 할 수 있다. 예를 들면, 명령결과의 목적지 레지스터가 록되기 전에 상기 명령에 의해 요구되는 오퍼랜드가 판독되어야 하도록 상기 데이타가 배치될 수 있다. 이는, 동일한 레지스터를 "판독" 및 "기록"하는 명령이 자체적으로 형성된 록상에서 정지하지 않게 하는 것이다. 이러한 결과는, "판독"이 진행중인 동안 레지스터 신원이 록 FIFO 에 부가될 수 없다는 것이다. 레지스터 신원은 비동기식으로 판독동작을 야기시키는 기록동작에 의해 록 FIFO 의 하부로부터 제거될 수 있다.

동적 논리(dynamic logic)는 레지스터 뱅크에서 레지스터 셀의 사이즈를 감소시키는데 사용될 수 있다. 동적 논리는 어떤 공지된 상태로의 예비충전(pre-charge)이 있은 다음에 결과 평가에 대한 논리의 인에이블이 수반되는 실행의 2 가지 위상을 필요로 한다.

그들 레지스터 뱅크로부터의 판독 및 상기 레지스터로의 기록은 별개의 비동기식 동작인 것으로 간주될 수 있다. 따라서, 이는 하기에 개별적으로 기술하고자 한다.

레지스터 뱅크로부터의 판독에 대하여, 동적 레지스터 뱅크에서의 동작시퀀스는 다음과 같다.

1. A 및 B 버스의 예비충전.

2. 요구(D - 요구) 의 수신.

3. A 및 B 데코더 출력의 인에이블.

4. 출력값이 유효할 경우 그에 대한 래치 및 명령 데코더로의 D-인식의 공급.

5. A 및 B 데코더의 디스에이블 및 명령이 기록될 레지스터가 록킹되어 있는 동안 예비충전의 개시.

6. 록킹이 완료될 경우에 완료하고 명령 데코더에 D - 인식을 공급하도록 록킹 및 예비충전의 대기.

7. 상기 단계 2 로의 복귀.

기록 대기 동안 레지스터가 록킹될 수 있기 때문에 단계 2 및 단계 3 사이에는 임의의 지연이 있을 수 있다. 예비충전 상태가 감쇠되는 것을 방지하기 위하여, 충전유지 구조는 버스상에 사용된다. 이들은 레지스터 셀에 의해 용이하게 과구동될 수 있다.

출력상의 데이타가 유효한지의 여부를 결정하기 위하여, 각각의 레지스터가 32 비트 프로세서에서 33 비트 폭이도록 여분의 비트가 각각의 레지스터에 부가된다. 여분의 비트는 각각의 셀내측에서 저(low) 레벨로 결속되고 버스는 고(high) 레벨로 예비충전된다. 레지스터 출력이 인에이블되는 경우, 비트번호(33)는 결과적으로 레벨 1 로부터 레벨 0 으로 천이하게 된다. 이러한 천이는 검출되어 데이타가 유효할 경우, 즉 레지스터 셀이 버스를 구동시킨 경우를 나타내는데 완료신호로서 사용될 수 있다. 마찬가지로, 예비충전시, 버스의 버트번호(33) 는 레벨 0 으로 부터 레벨 1 로 됨으로써 천이는 예비충전이 완료되어 있는지를 나타내는데 사용될 수 있다.

단계 5 에서 레지스터 록킹동작은 레지스터 뱅크 예비충전과 동시에 이행됨으로써, 록킹이 예비충전 시간보다 더이상 느리지 않은 경우 최소의 레지스터 판독 사이클 시간에 부가하는 것이 반드시 필요하지 않다는 점에 유념하여야 한다.

제 13 도는 상기에 언급한 모든 요소를 함께 모은 것이다. 또한, 제 13 도는 앞서 언급하지 않은 3 가지 특징의 윤곽을 드러낸다. 이들은 다음과 같다.

(1) 명령 모두가 2 개의 오퍼랜드를 사용하는 것은 아니다. 2 개의 오퍼랜드보다 적은 오퍼랜드가 필요한 경우, 명령완료 신호는 존재하지 않는 레지스터의 데코드 선택으로부터 유도된다. 제 13 도에 예시된 경우에서, 27 개의 레지스터를 포함하는 마이크로 프로세서가 고려되어 있다. 가상의 28 번째 레지스터(R28) 는 필요한 완료신호를 발생시키도록 제공되어 있다.

(2) W 데코더의 인에이블된 출력 상에는 토글(toggle) 이 제공되어 있다. 록 FIFO 상에서의 요구 입력 상에는 지연이 제공되어 있다. 이는 우측 데코더 및 록 FIFO 사이의 상호작용을 제공하는데 필요하다. 예를 들면, 인에이블 신호가 논리 고레벨로 되게 하여 W 데코더의 출력을 턴온시키도록 배타적-OR 게이트에 이벤트가 도달되는 경우, 상기 W 데코더의 출력값은 출력이 토글요소를 스위칭하는 "인에이블"된 신호에 의해 야기되는 신호(Re) 에 의해 록 FIFO 내로 스트로브(strobe) 되기전에 정착하여야 한다. FIFO 가 기록 어드레스로 래치한 경우에 인식신호가 생성된다. 이는 배타적-OR 게이트에 피드백되어 인에이블을 삭제함으로써 W 데코더의 출력이 논리 0 으로 복귀하여서 "인에이블"된 신호를 삭제하고 " 록킹완료 " 이벤트를 생성시킨다. 기록 동작 및 판독 동작 사이의 유일한 상호작용은 정지된 판독을 진행하도록 하는 록의 제거이다. 여기서, 기록동작은 록 FIFO 의 출력(인식) 을 스트로브하고, 판독은 더 이상의 상호작용없이 정확하게 진행하도록 허용된다.

(3) 판독동작의 완료는 신호(B 이행, A 이행) 를 발생시킨다. 이들 신호는 AND 게이트에 의해 결합되며, 인식 및 요구신호로 해석되는 신호를 발생하는 토글(플립플롭)을 트리거한다.

기록될 레지스터의 어드레스는, 기록요구가 수신되는 경우 록 FIFO 의 최종단에 존재한다. 기록동작을 완료하기 위하여, 이는 적합한 레지스터의 기록 인에이블상에 인에이블되어야 한다. 제 14 도는 레지스터 뱅크 기록 논리를 개략적으로 예시한 것이다. 제 14 도에 대한 동작의 시퀀스는 다음과 같다.

(1) 신호(W - 요구) 가 도달됨으로써, 기록 인에이블 버스가 고레벨로 되어 록 FIFO의 출력은 레지스터 뱅크 기록 인에이블 라인 상에 있게 한다.

(2) 기록은 레지스터 셀의 입력이 인에이블 되는 경우에 개시한다. 선택라인은 수직으로 레지스터 뱅크를 통해 하부로부터 OR 게이트로 지나간다. 이러한 게이트는 레지스터 선택중 단일 선택 상에서 논리 0 으로부터 논리 1 로의 천이를 검출하고 상기 게이트에 의해 "기록 이행" 신호가 발생되게 한다.

(3) "기록이행" 신호는 기록 인에이블을 삭제시키고 대형의 동적 OR 게이트가 예비충전되게 하는 배타적-

OR 에 피드백되어 논리 1 로 부터 논리 0 으로의 출력변화를 이룬다. 이러한 천이는 "예비충전이행" 신호로서 사용된다. "기록이행" 신호는 또한 록 FIFO 에 공급되어 최종의 기록 어드레스를 제거한다.

(4) FIFO로부터의 신호요구(록 제거됨)는 신호(W - 요구) 와 결합되어, 다음기록이 개시되기 전에 유효한 기록 어드레스가 존재하게 한다. "예비충전이행" 신호는 기록버스로 부터 신호(W - 인식)를 형성한다.

(57) 청구의 범위

청구항 1

비동기식 파이프라인용 조건검출기에 있어서, 파이프라인내의 각각의 단이, 검출될 조건이 상기 단에 세트되어 있는지의 여부를 지시하는 단일 비트의 데이타를 저장하는 조건 저장수단을 포함하며, 하나의 단의 조건 저장수단 내의 단일 비트는, 파이프라인 동작 중에 상기 하나의 단내에 저장된 데이타가 파이프라인 내의 후속하는 단에 전달되는 때에, 상기 후속하는 단의 조건 저장수단에 전달되고, 상기 파이프라인 단들의 조건 저장수단 중 어느 하나라도 조건이 세트되어 있다고 지시하는지 여부를 검출하는 수단이 제공되며, 파이프라인 단들의 조건 저장수단 중 어느 하나라도 조건이 세트됨을 지시하는 경우에 조건 세트 출력을 발생하는 수단이 제공되는 것을 특징으로 하는 비동기식 파이프라인용 조건검출기.

청구항 2

제1항에 있어서, 상기 검출하는 수단은, 각각의 단에 대하여 하나씩 존재하는 게이트들의 어레이이며, 각각의 게이트는 각각의 단의 조건 저장수단에 접속된 제 1 입력, 선행하는 단의 게이트의 출력에 접속된 제 2 입력, 및 후속하는 단의 게이트의 제 2 입력에 접속된 출력을 구비하는 것을 특징으로 하는 비동기식 파이프라인용 조건검출기.

청구항 3

제2항에 있어서, 각 단에, 단 점유 비트와 조건 비트를 결합시키도록 배치된 추가적인 게이트를 포함하는 것을 특징으로 하는 비동기식 파이프라인용 조건검출기.

청구항 4

레지스터가 선행 명령에 의해 기록되어야 하는 경우 상기 레지스터가 판독되는 것을 방지하는 록 회로를 구비하는 비동기식 파이프라인 시스템에 있어서, 각 레지스터가 내용을 가진, 복수의 레지스터들, 상기 시스템에 의해 실행될 일련의 명령을 발생시키는 수단, 명령에 의해 식별되는 하나 또는 그 이상 레지스터들의 내용을 판독하는 수단, 결과를 산출하기 위하여 판독된 내용 상에 상기 명령에 의해 식별된 연산을 수행하는 수단, 상기 명령에 의해 식별된 레지스터에 상기 결과를 기록하는 수단, 진행 중에 있는 명령에 의해 기록될 레지스터의 신원을 저장하는 선입선출록 회로, 및 명령에 의해 식별된 임의의 레지스터가 상기 록회로에서 식별되는 경우, 상기 레지스터의 내용의 판독을 지연시키는 수단을 포함하며, 상기 선입선출 록회로는, 2 차원의 메모리 요소의 어레이를 포함하되, 각각의 요소는 상기 어레이의 열 및 행의 각각의 교점에 위치되고, 상기 어레이의 열의 갯수는 레지스터의 갯수와 동일하고, 각각의 레지스터와 관련된 데이타는 각각의 열에 저장되어 있으며, 상기 어레이의 행의 갯수는 상기 록회로 내에 저장될 수 있는 레지스터 신원의 최대 갯수와 동일하고, 각각의 레지스터의 각각의 열과 그 행의 교점에 위치한 각 행의 메모리 요소 내에 단일 비트의 데이타를 저장함으로써, 진행 중에 있는 명령에 의해 기록될 각각의 레지스터를 식별하는 수단이 제공되며, 레지스터의 각각의 열 내에 상기 단일 비트의 데이타가 저장되었는지의 여부를 체크함으로써 상기 레지스터가 기록될지의 여부를 결정하는 수단이 제공되는 것을 특징으로 하는 비동기식 파이프라인 시스템.

청구항 5

검출되어야할 조건이 세트될 수 있는 복수의 연속적인 파이프라인 단들로 구성된 비동기식 파이프라인용 조건검출기에 있어서, 상기 파이프라인의 각 단은, 상기 검출되어야할 조건이 상기 각 단에 세트되어 있는 지의 여부를 지시하는 단일 비트의 데이타를 저장하는 조건 저장수단을 포함하며, 상기 각 단의 조건 저장수단 내의 상기 단일 비트는, 파이프라인 동작 중에 상기 각 단 내에 저장된 데이타가 파이프라인 내의 후속하는 단에 전달되는 때에, 상기 후속하는 단의 조건 저장수단에 전달되며, 상기 조건 검출기는, 상기 파이프라인 단들의 조건 저장수단이, 상기 각 단에 조건이 세트되어 있다고 지시하는지 여부를 검출하는 수단; 및 파이프라인 단들의 조건 저장수단 중 어느 하나라도 조건이 세트됨을 지시하는 경우에는, 조건 세트 출력을 발생하는 수단을 포함하는 것을 특징으로 하는 비동기식 파이프라인용 조건검출기.

청구항 6

제5항에 있어서, 상기 검출하는 수단은, 각각의 단과 하나씩 결합된 게이트들의 어레이를 포함하며, 각각의 게이트는 결합된 단의 조건 저장수단에 접속된 제 1 입력, 선행하는 단의 게이트의 출력에 접속된 제 2 입력, 및 후속하는 단의 게이트의 제 2 입력에 접속된 출력을 포함하는 것을 특징으로 하는 비동기식 파이프라인용 조건검출기.

청구항 7

제6항에 있어서, 각 단에, 단 점유 비트와 조건 비트를 결합시키기 위하여 배치된 추가적인 게이트를 포함하는 것을 특징으로 하는 비동기식 파이프라인용 조건검출기.

청구항 8

비동기식 파이프라인 장치에 있어서,

(i) 각 파이프라인 단이 파이프라인 데이타를 저장하는 복수의 파이프라인단들;

(ii) 각 조건 저장수단이 각 파이프라인 단과 결합되고, 각 조건 저장수단은 처리 조건이 그 파이프라인 단에 대하여 세트되었는지 여부를 지시하는 조건 데이타를 저장하는 복수의 조건 저장수단;

(iii) 각 파이프라인 단을 위한 상기 조건 저장수단에 결합되고, 상기 조건 저장수단 중 어느 하나라도 상기 조건의 세트를 지시하는 조건 데이타를 저장한 경우 이에 응답하여 조건 세트 출력을 발생시키는 검출기 수단을 포함하며, 각각의 파이프라인 단의 상기 파이프라인 데이타 및 상기 조건 데이타가, 상기 비동기식 파이프라인을 따라서 연속하는 파이프라인 단들 및 각각의 결합된 조건 저장수단들 사이로 함께 전달되는 것을 특징으로 하는 비동기식 파이프라인 장치.

청구항 9

비동기식 파이프라인 장치에 있어서,

(i) 각 파이프라인 단이 상기 비동기식 파이프라인에 의하여 처리될 명령을 저장하는 복수의 파이프라인 단들;

(ii) 데이타를 저장하는 복수의 레지스터들로서, 상기 비동기식 파이프라인에 의하여 처리되는 명령에 응답하여 판독 및 기록되는 레지스터들;

(iii) 상기 비동기식 파이프라인에 의하여 처리되는 명령에 의하여 기록되는 레지스터를 식별하는 록 데이타를 저장하는 선입선출 록 회로 수단으로서, 상기 록 회로 수단은 메모리 요소들의 열 및 행의 어레이를 포함하며, 상기 어레이의 각 행은 상기 복수의 레지스터의 각각을 위한 메모리 요소를 포함하고, 상기 명령이 상기 파이프라인 단들 사이로 전달되는 때에 록 데이타가 상기 행들 사이로 전달되는 선입선출 록 회로 수단; 및

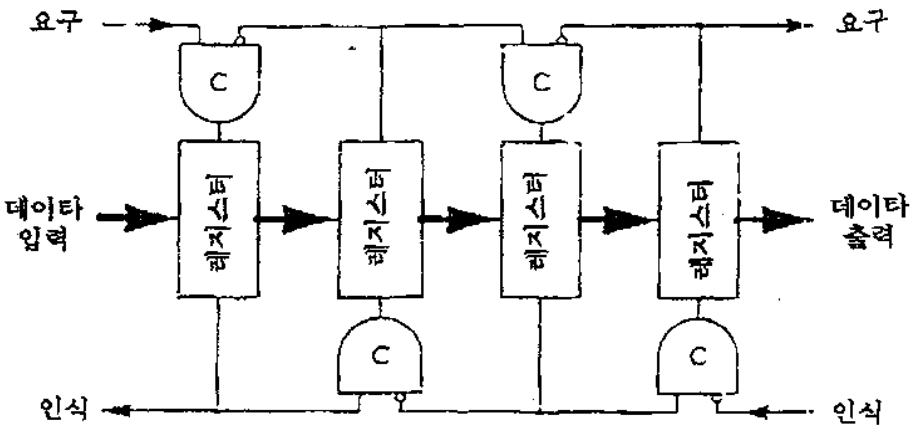
(iv) 상기 비동기식 파이프라인 내에서 선행하는 명령에 의하여 하나의 레지스터가 기록되고 있다고 식별하는 록 데이타를 저장하는 상기 선입선출 록 회로에 응답하여 상기 하나의 레지스터로부터의 데이터 판독을 지연시키는 수단을 포함하는 것을 특징으로 하는 비동기식 파이프라인 장치.

청구항 10

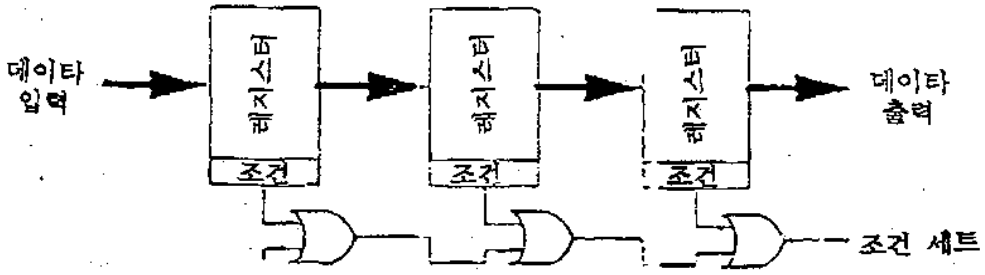
레지스터가 선행 명령에 의해 기록되어야 하는 경우 상기 레지스터가 판독되는 것을 방지하는 록 회로를 구비하는 비동기식 파이프라인 시스템에 있어서, 각 레지스터가 내용을 가진, 복수의 레지스터들; 상기 시스템에 의해 실행될 일련의 명령을 발생시키는 수단; 명령에 의해 식별되는 하나 또는 그 이상 레지스터들의 내용을 판독하는 수단; 결과를 산출하기 위하여 판독된 내용 상에 상기 명령에 의해 식별된 연산을 수행하는 수단; 상기 명령에 의해 식별된 레지스터에 상기 결과를 기록하는 수단; 진행 중에 있는 명령에 의해 기록될 레지스터의 신원을 저장하는 선입선출록 회로; 및 명령에 의해 식별된 임의의 레지스터가 상기 록회로에서 식별되는 경우, 상기 레지스터의 내용의 판독을 지연시키는 수단을 포함하며, 상기 선입선출 록회로는, 2 차원의 메모리 요소의 어레이로서, 각각의 요소는 상기 어레이의 열 및 행의 각각의 교점에 위치되고, 상기 어레이의 열의 갯수는 상기 복수의 레지스터의 갯수와 동일하고, 각각의 레지스터와 관련된 데이타는 각각의 열에 저장되어 있으며, 상기 어레이 내의 행의 갯수는 상기 록회로 내에 저장될 수 있는 레지스터 신원의 최대 갯수와 동일한 2 차원의 메모리 요소의 어레이, 각각의 레지스터의 각각의 열과 그 행의 교점에 위치한 각 행의 메모리 요소 내에 단일 비트의 데이타를 저장함으로써 진행 중에 있는 명령에 의해 기록될 각각의 레지스터를 식별하는 수단; 및 하나의 레지스터의 각각의 열 내에 상기 단일 비트의 데이타가 저장되었는지의 여부를 체크함으로써 상기 레지스터가 기록될지의 여부를 결정하는 수단을 포함하는 것을 특징으로 하는 비동기식 파이프라인 시스템.

도면

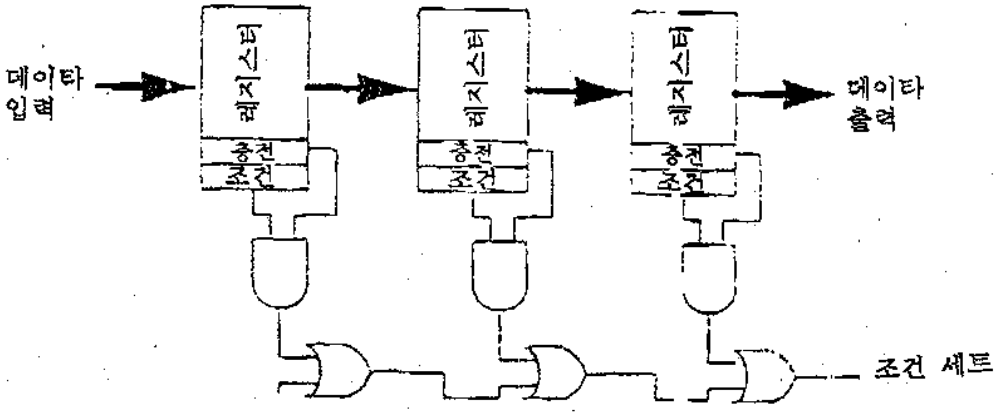
도면1



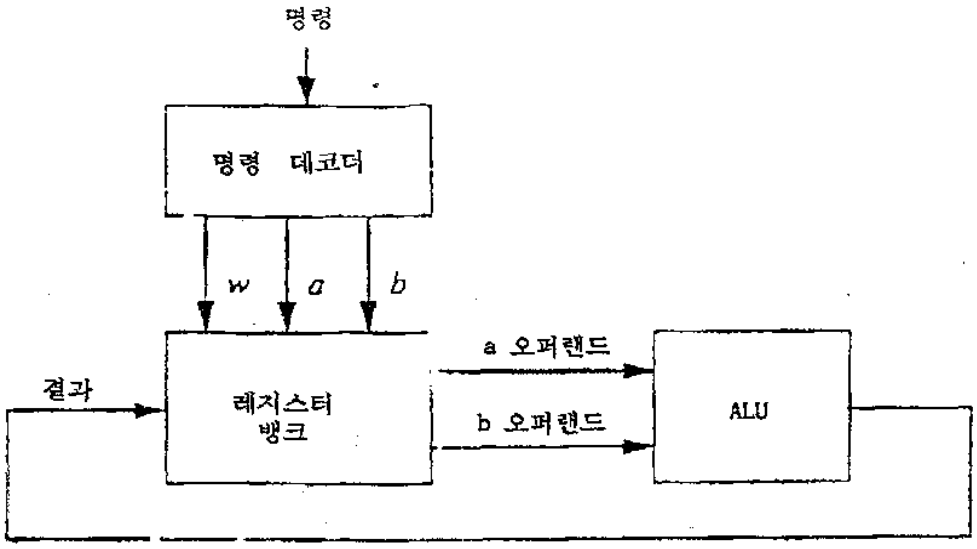
도면2


데이타
입력
레지스터
조건
레지스터
조건
레지스터
조건
데이타
출력
조건 세트

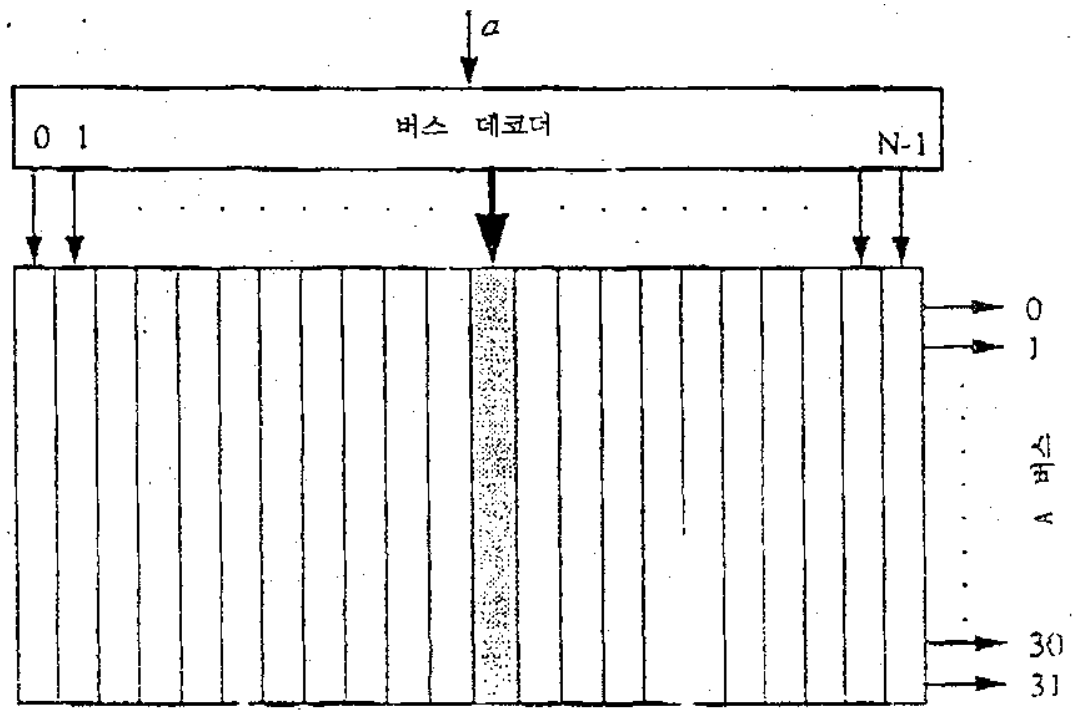
도면3


데이타
입력
레지스터
조건
레지스터
조건
레지스터
조건
데이타
출력
조건 세트

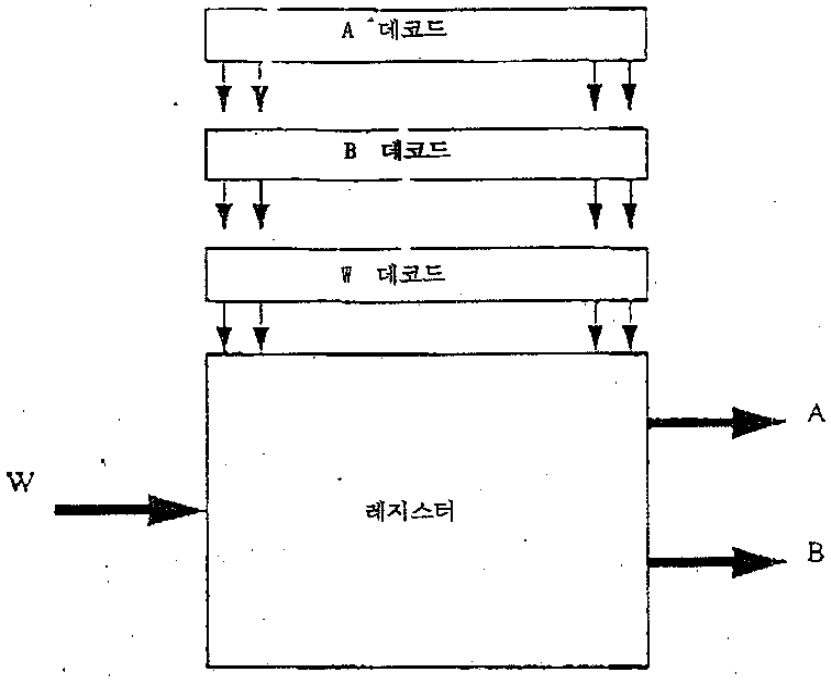
도면4


명령
명령 디코더
w
a
b
결과
레지스터
뱅크
a 오퍼랜드
b 오퍼랜드
ALU

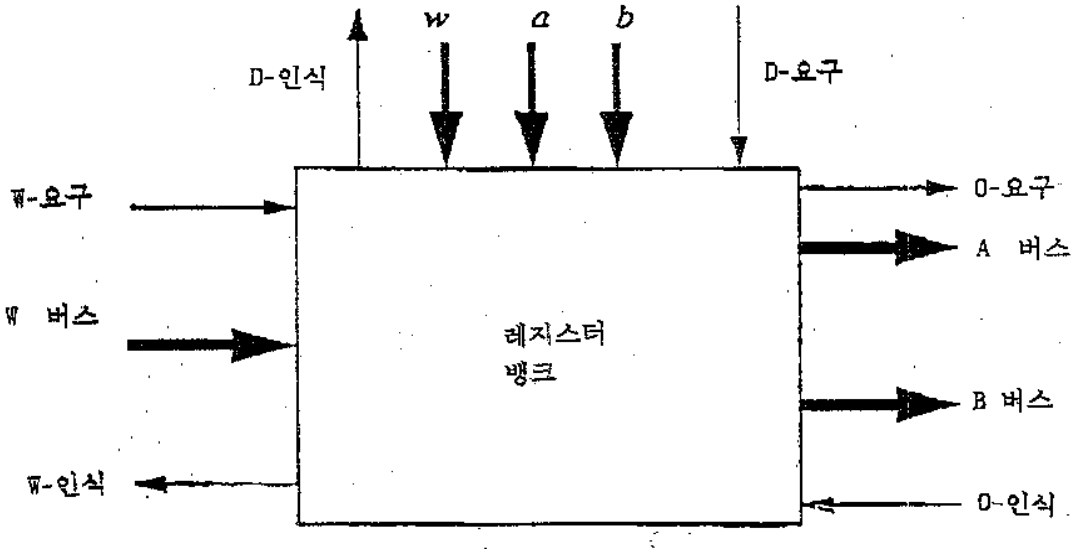
도면5



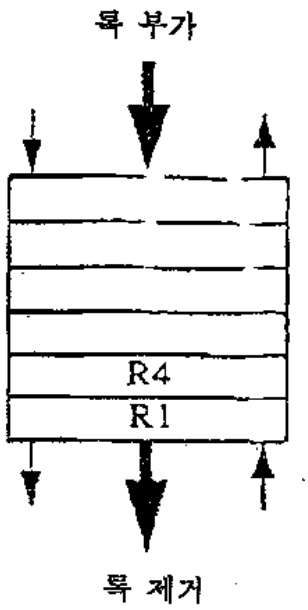
도면6



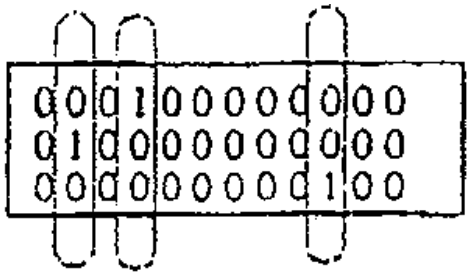
도면7


w
a
b
D-인식
D-요구
W-요구
W 버스
W-인식
레지스터
뱅크
O-요구
A 버스
B 버스
O-인식

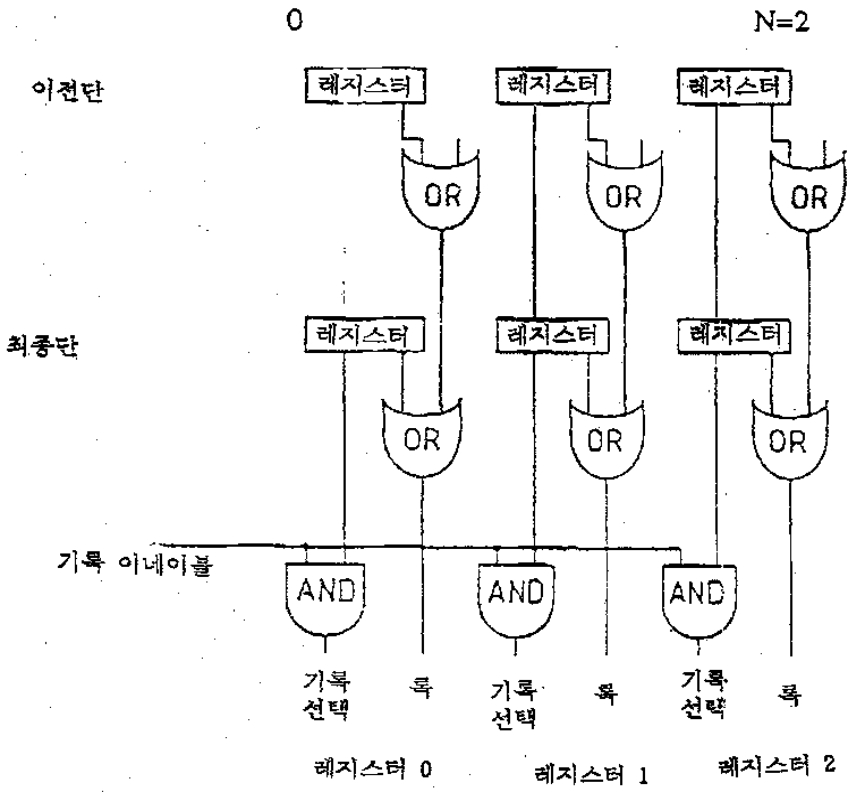
도면8


록 부가
R4
R1
록 제거

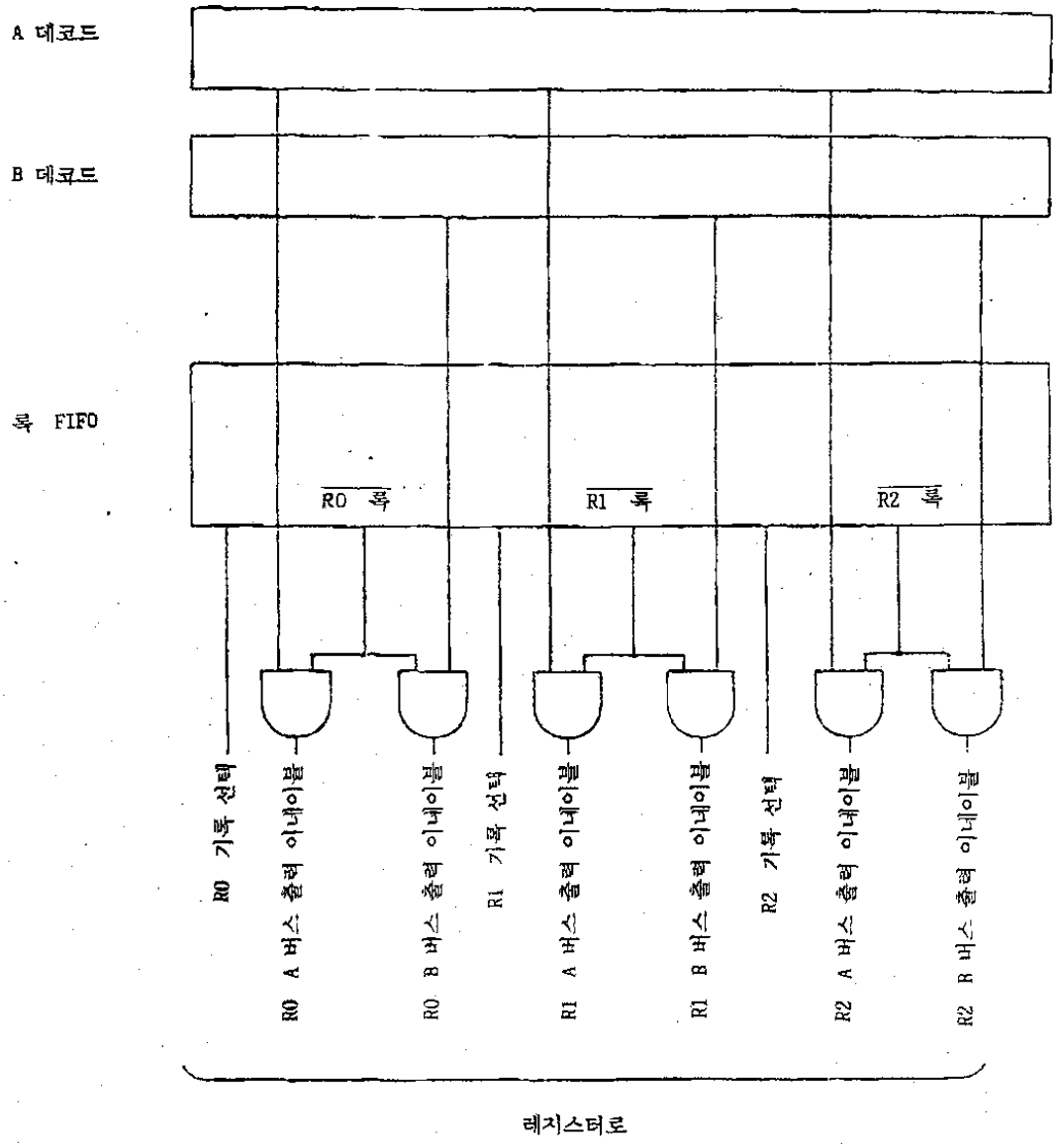
도면9


0 0 0 1 0 0 0 0 0 0 0 0
0 1 0 0 0 0 0 0 0 0 0 0
0 0 0 0 0 0 0 0 1 0 0

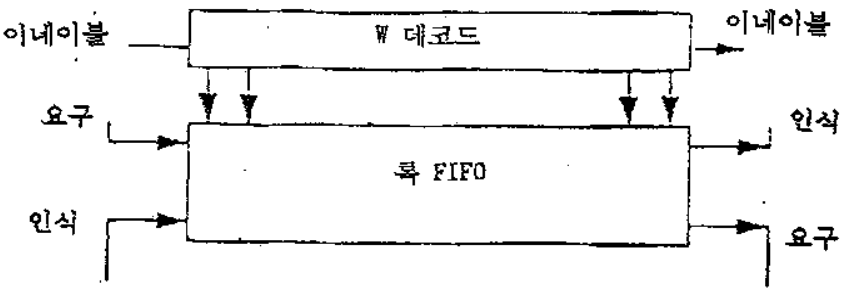
도면10



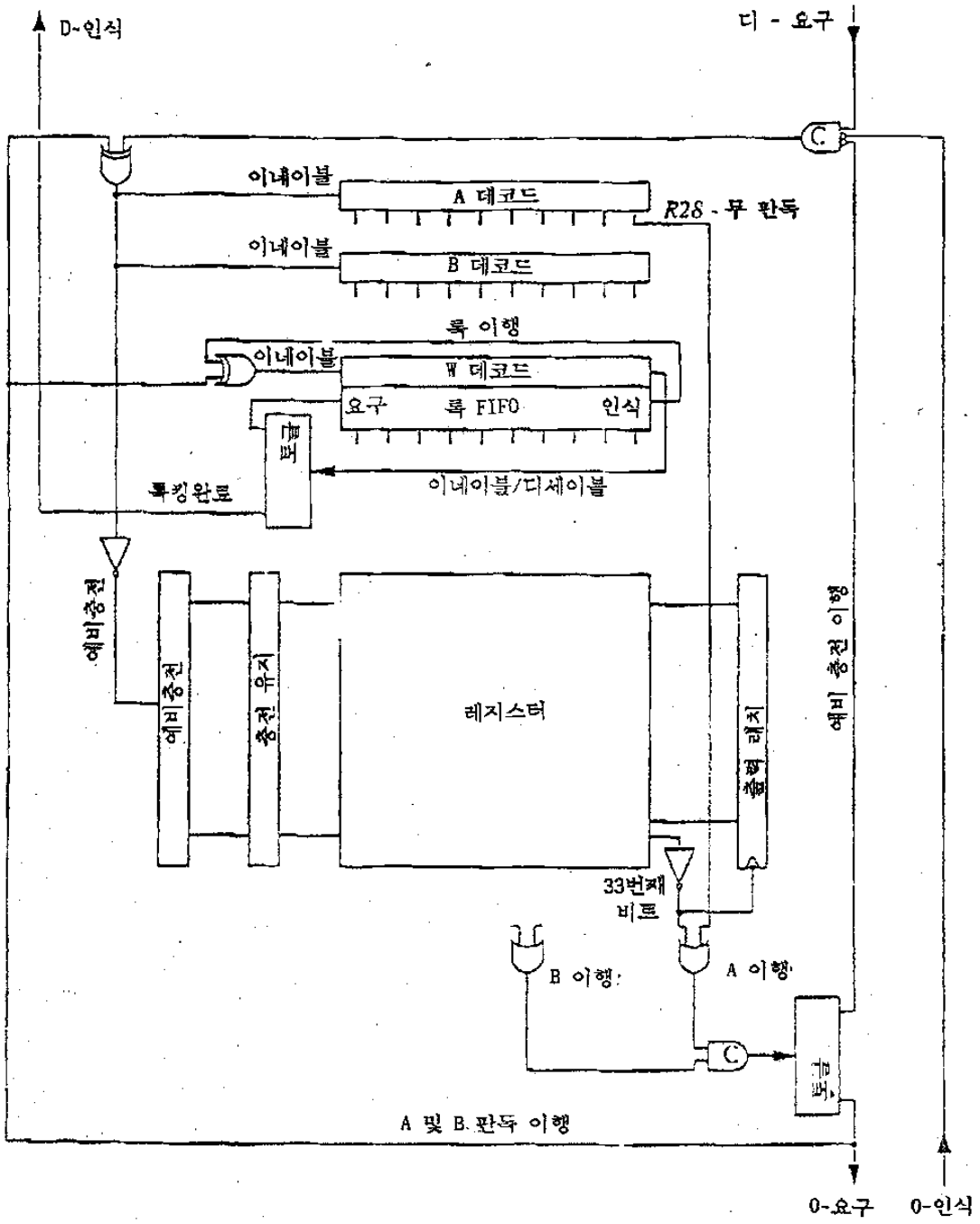
도면11


A 데코드
B 데코드
록 FIFO
R0 록
R1 록
R2 록
R0 기록 선택
R0 A 버스 출력 이네이블
R0 B 버스 출력 이네이블
R1 기록 선택
R1 A 버스 출력 이네이블
R1 B 버스 출력 이네이블
R2 기록 선택
R2 A 버스 출력 이네이블
R2 B 버스 출력 이네이블
레지스터로

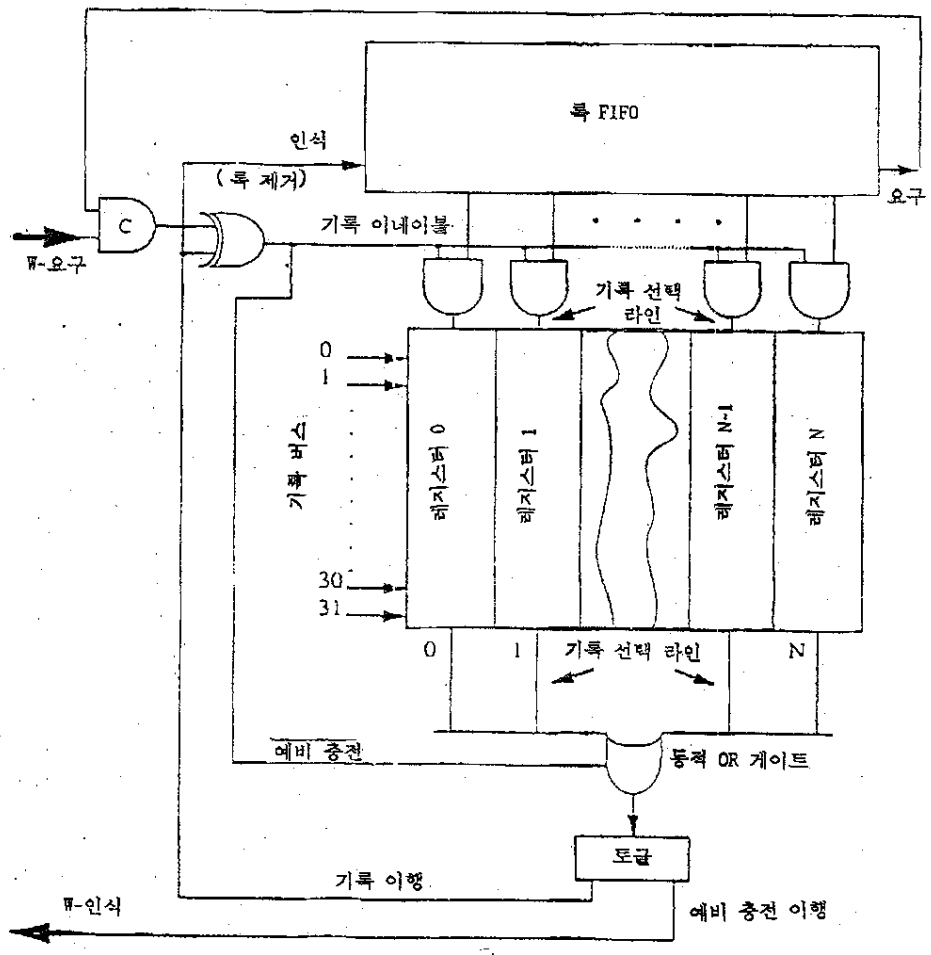
도면12


이네이블
W 데코드
이네이블
요구
인식
록 FIFO
인식
요구

도면13


D-인식
디 - 요구
이네이블
A 데코드
R26 - 무 판독
이네이블
B 데코드
록 이행
이네이블
W 데코드
요구
록 FIFO
인식
버퍼
이네이블/디세이블
록킹완료
예비충전
예비충전
충전 유지
레지스터
출력 래치
예비 충전 이행
33번째 비트
B 이행
A 이행
출력
A 및 B 판독 이행
0-요구
0-인식

도면14


록 FIFO
인식
(록 제거)
요구
C
기록 이네이블
W-요구
기록 선택
라인
0
1
30
31
기록 버스
레지스터 0
레지스터 1
레지스터 N-1
레지스터 N
0
1
기록 선택 라인
N
예비 충전
동적 OR 게이트
토글
기록 이행
W-인식
예비 충전 이행