

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5249132号
(P5249132)

(45) 発行日 平成25年7月31日(2013.7.31)

(24) 登録日 平成25年4月19日(2013.4.19)

(51) Int.Cl.

F 1

H05K 3/46 (2006.01)
H05K 1/11 (2006.01)H05K 3/46
H05K 3/46
H05K 1/11N
B
N

請求項の数 6 (全 14 頁)

(21) 出願番号

特願2009-134005 (P2009-134005)

(22) 出願日

平成21年6月3日(2009.6.3)

(65) 公開番号

特開2010-283056 (P2010-283056A)

(43) 公開日

平成22年12月16日(2010.12.16)

審査請求日

平成24年3月29日(2012.3.29)

(73) 特許権者 000190688

新光電気工業株式会社

長野県長野市小島田町80番地

(74) 代理人 100091672

弁理士 岡本 啓三

(72) 発明者 堀内 道夫

長野県長野市小島田町80番地 新光電氣
工業株式会社内

(72) 発明者 德武 安衛

長野県長野市小島田町80番地 新光電氣
工業株式会社内

(72) 発明者 松田 勇一

長野県長野市小島田町80番地 新光電氣
工業株式会社内

最終頁に続く

(54) 【発明の名称】配線基板

(57) 【特許請求の範囲】

【請求項 1】

無機誘電体からなる絶縁性基材にその厚さ方向に貫通する多数の線状導体が密に設けられた構造を有するコア基板と、

前記コア基板の一方の面に形成され、前記多数の線状導体のうちの第1の複数の線状導体の一端に電気的に接続された第1のパッドと、

前記コア基板の他方の面に形成され、前記第1のパッドに対向して配置され、前記第1の複数の線状導体の他端に電気的に接続された第2のパッドと、

前記コア基板の一方の面に形成され、前記多数の線状導体のうちの第2の複数の線状導体の一端に電気的に接続された第3のパッドと、

前記コア基板の他方の面に形成され、平面視において前記第3のパッドと隣り合い且つ前記第3のパッドと重ならず配置され、前記多数の線状導体のうちの第3の複数の線状導体の一端に電気的に接続された第4のパッドと

を有し、

前記第1及び前記第2のパッドを介して前記コア基板の一方の面側と他方の面側との配線接続が形成されているとともに、

前記第3のパッド及び前記第2の複数の線状導体と前記第4のパッド及び前記第3の複数の線状導体とは前記絶縁性基材を介して容量結合されていることを特徴とする配線基板。

【請求項 2】

10

20

前記コア基板の絶縁性基材における多数の線状導体は、隣り合う線状導体間の距離が当該線状導体の直径よりも小さくなるように配置されていることを特徴とする請求項1に記載の配線基板。

【請求項3】

前記コア基板の一方の面に形成され、前記第1及び前記第3のパッド間の領域を被覆する第1の絶縁層と、

前記第1の絶縁層上に前記第1のパッドと一体的に形成された第1の配線層と、

前記第1の絶縁層上に前記第3のパッドと一体的に形成された第2の配線層と、

前記コア基板の他方の面に形成され、前記第2及び前記第4のパッド間の領域を被覆する第2の絶縁層と、

10

前記第2の絶縁層上に前記第2のパッドと一体的に形成された第3の配線層と、

前記第2の絶縁層上に前記第4のパッドと一体的に形成された第4の配線層と

を有することを特徴とする請求項2に記載の配線基板。

【請求項4】

前記コア基板の絶縁性基材における多数の線状導体は、前記第1、前記第2、前記第3及び前記第4のパッドのいずれのパッドにも接続されていない孤立した線状導体を含むことを特徴とする請求項3に記載の配線基板。

【請求項5】

前記コア基板の絶縁性基材における多数の線状導体は、信号配線につながる前記第1及び前記第2のパッドに接続された前記第1の複数の線状導体の周囲に位置する線状導体であってグランド配線につながるパッドに接続された線状導体を含むことを特徴とする請求項4に記載の配線基板。

20

【請求項6】

前記線状導体は、直径が30nm以上で2μm以下の範囲内で形成されていることを特徴とする請求項2に記載の配線基板。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体素子（チップ）等の電子部品を実装するのに用いられる配線基板に関し、特に、ベース基材として用いられるコア基板を有し、このコア基板の両面に配線層が積層された構造を有する配線基板に関する。

30

【0002】

かかる配線基板は、半導体素子（チップ）等を実装する役割を果たすという点で、以下の記述では便宜上、「半導体パッケージ」もしくは単に「パッケージ」ともいう。

【背景技術】

【0003】

BGA (Ball Grid Array) や LGA (Land Grid Array) 、PGA (Pin Grid Array) 等の半導体パッケージを製造する場合、一般的には、当該パッケージのベース基材として供されるコア層（コア基板）を用意し、その両面もしくは片面に、例えばビルトアップ法により、絶縁層の形成、絶縁層におけるビアホールの形成、ビアホールの内部を含めた導体パターン（配線層）の形成を順次繰り返して多層配線構造とし、最終的に最表面を保護膜で被覆し、その保護膜の所要の箇所を開口して導体パターンの一部（パッド）を露出させている。さらに、BGAやPGAの場合、その露出しているパッドに外部接続端子としてのボルトやピンを接合している。

40

【0004】

このような半導体パッケージは、一方の面に半導体素子等のチップ部品が搭載され、他方の面に設けられた外部接続端子を介してマザーボード等の実装用基板に実装されるようになっている。つまり、半導体パッケージを介してチップ部品と実装用基板とが電気的に接続されるようになっている。このため、パッケージのベース基材として用いられるコア基板には、その両面間を電気的に導通させるための手段としてスルーホールが形成され、

50

このスルーホールに導電性材料が充填されている。そして、このスルーホールに充填された導体の両端（コア基板の面上）には、コア基板の両側の各配線層との層間接続を行い易くするための接続用パッド（「受けパッド」とも呼ばれる）が設けられている。

【0005】

従来の方法では、パッケージの種類や搭載されるチップ部品の機能等に応じて所定のサイズ及び厚さのベース基材（例えば、プラスチックパッケージであれば両面銅張積層板、セラミックパッケージであればアルミナや窒化アルミニウム等の粉末を有機樹脂で結合したグリーンシート）を用意し、このベース基材の所要の箇所に、機械ドリル等による穴明け加工によりスルーホール（現状の技術では、直径が300μm程度）を形成した後、セラミックパッケージであればその表面にメタライジング加工を施し、さらにその表面に、プラスチックパッケージであれば電解めっき等により、セラミックパッケージであれば導電性ペーストを用いたスクリーン印刷法等により、スルーホールを充填するようにして導体パターン（上記の受けパッドを含む）を形成している。

【0006】

つまり、要求されるパッケージ毎に1枚ずつ特定のコア基板を用意し、そのコア基板に対して穴明け加工（スルーホールの形成）、メタライジング加工（金属層の形成）、穴埋め処理（スルーホール内への導体の充填）等を行う必要があった。

【0007】

かかる従来技術に関連する技術の一例は、下記の特許文献1に記載されている。この文献に開示された配線基板の構造では、コア基板に貫通フィルドビアが300μm以下の同径でかつ2mm以下の等ピッチでマトリクス状に形成され、該コア基板の表面に、絶縁層を介して平面配線パターンが形成され、該配線パターンの各パッド部が絶縁層を貫通する連絡ビアを介してフィルドビアの対応する各ビアと1対1で電気的に接続されている。

【0008】

また、これに関連する他の技術として、下記の特許文献2に記載されているように、貫通孔が多数形成されている多孔質金属酸化膜からなる基板をベース基材として用いた配線基板がある。この基板に設けられた各貫通孔には、基板の電極が配置される位置に形成されている貫通孔についてはその内部に導電材料が埋め込まれ、他の貫通孔についてはその内部に絶縁材料が埋め込まれている。

【先行技術文献】

【特許文献】

【0009】

【特許文献1】特開平10-308565号公報

【特許文献2】特開2004-273480号公報

【発明の概要】

【発明が解決しようとする課題】

【0010】

上述したように従来の配線基板（パッケージ）においては、コア基板の両側の各配線層間を電気的に接続するための手段として、コア基板にスルーホールを形成し、さらにこのスルーホール（充填導体）の両面に受けパッドを形成する必要があった。そして、このスルーホール（受けパッドを含む）を形成するにあたり、当該パッケージの種類や搭載されるチップ部品の機能等に応じて、1枚ずつ特定のコア基板を用意し、そのコア基板に対して穴明け、メタライジング、穴埋め等の加工を行わなければならなかった。

【0011】

このため、当該パッケージに適したコア基板を製造するのに長時間を要し、目的とするコア基板を効率良く製造することができず、また、コア基板の製造に要する時間が長期化するため、コストが高くなるといった課題があった。

【0012】

一方、コア基板に対するスルーホールの加工精度やアライメント精度、配線層の積層精度などに依存して、受けパッドの径を大きくする必要があった。このため、配線設計の自

10

20

30

40

50

由度が阻害され、配線密度が制約されるといった課題もあった。特に、電子機器の更なる小型化等の要求に伴い、現状の技術ではスルーホールの直径及び配設ピッチも限界にきているため、配線基板全体の配線密度はより一層制約されることになる。

【0013】

本発明は、かかる従来技術における課題に鑑み創作されたもので、コア基板の共通化を図り、コストの低減化を図るとともに、配線密度を高め、配線設計の自由度を向上させることができる配線基板を提供することを目的とする。

【課題を解決するための手段】

【0014】

上記の従来技術の課題を解決するため、本発明の基本形態によれば、絶縁性基材にその厚さ方向に貫通する多数の線状導体が密に設けられた構造を有するコア基板を備え、該コア基板の両面に、複数の線状導体を共有する形でその両端に電気的に接続された配線層の一部からなるパッドが対向配置され、該パッドを介して前記コア基板の一方の面側と他方の面側との配線接続が形成されていることを特徴とする配線基板が提供される。10

【発明の効果】

【0015】

本発明に係る配線基板の構成によれば、コア基板の両面に、絶縁性基材の厚さ方向に貫通形成された複数の線状導体を共有する形でパッド（配線層の一部）が対向配置されているので、コア基板の一方の面側の配線と他方の面側の配線とは、この対向配置されたパッドを介して電気的に接続することができる。20

【0016】

つまり、従来のように配線基板の種類や搭載されるチップ部品の機能等に応じて1枚ずつ特定のコア基板を用意しなくても、コア基板の両面に配置される各パッドのサイズや位置を適宜変更するだけで、当該パッド及びこれにつながる複数の線状導体を介してコア基板の両面間を容易に接続することができる。

【0017】

このように本発明によれば、コア基板を共通化できるので、低コスト化を図ることができる。また、従来技術で行われていたような、コア基板に対するアライメント精度等に依存して受けパッドの径を大きくする必要がないため、配線設計の自由度を高めることができ、同時に配線密度の向上も図ることができる。30

【図面の簡単な説明】

【0018】

【図1】本発明の一実施形態に係る配線基板（半導体パッケージ）の構成を示す断面図である。

【図2】図1の配線基板における要部の構成（コア基板における線状導体とこれに接続されるパッドとの相対関係）を模式的に示す拡大斜視図である。

【図3】図1の配線基板の製造工程の一例を示す断面図である。

【図4】図3の製造工程に続く工程を示す断面図である。

【図5】図4の製造工程に続く工程を示す断面図である。

【図6】図1の配線基板に半導体素子（チップ）を実装した状態（半導体装置）を示す断面図である。40

【発明を実施するための形態】

【0019】

以下、本発明の好適な実施の形態について、添付の図面を参照しながら説明する。

【0020】

図1は、本発明の一実施形態に係る配線基板（半導体パッケージ）の構成を断面図の形態で示したものである。本実施形態の配線基板（パッケージ）30は、後述するように一方の面上に半導体素子（シリコンチップ）を実装し、他方の面上に設けられた外部接続端子を介してマザーボード等の実装用基板に実装されて用いられることを意図している。

【0021】

50

20

30

40

50

本実施形態に係る配線基板 30 は、図示のようにそのベース基材として用いられるコア基板 10 と、このコア基板 10 の両面にそれぞれ所要の層数分積層されたビルドアップ層 20 とを備えている。各ビルドアップ層 20 は、コア基板 10 上に形成された絶縁層 21 と、この絶縁層 21 の所要の箇所に形成されたビアホールを充填して絶縁層 21 上に所要の形状にパターニングされた導体層（1層目の配線層）22 と、この配線層 22 上に形成された絶縁層 23 と、この絶縁層 23 の所要の箇所に形成されたビアホールを充填して絶縁層 23 上に所要の形状にパターニングされた導体層（2層目の配線層）24 とを備えており、さらに、当該配線層 24 の所要の箇所に画定されたパッドの部分を露出させてその表面を覆うように形成された保護膜としての絶縁層（ソルダレジスト層）25 とを備えている。配線層 22, 24 の材料としては、典型的に銅（Cu）が用いられ、絶縁層 21, 23, 25 の材料としては、エポキシ系樹脂等に代表される樹脂が用いられる。10

【0022】

ベース基材として用いられるコア基板 10 は、本発明を特徴付ける部材であり、所要の厚さを有した絶縁性基材 11 に、その厚さ方向に貫通する微小径の線状導体 12 が所定の間隔で高密度に設けられた構造を有している。つまり、線状導体 12 は、その両端が絶縁性基材 11 の両面に露出するように形成されている。

【0023】

この絶縁性基材 11 には、後述するようにコア基板 10 の一部がキャパシタとして利用されることから、可能な限り誘電率の高い材料を使用するのが望ましい。例えば、アルミナ（酸化アルミニウム）等の無機誘電体を好適に使用することができる。また、アルミナ等の無機材料を使用することで、コア基板 10 全体としての熱膨張係数（CTE）、ひいてはパッケージ 30 全体としての CTE を、本パッケージ 30 に実装される半導体（シリコン）チップの CTE に近づけることができる。ちなみに、チップを構成するシリコンの CTE は 3 ppm / 度であるのに対し、絶縁性基材 11 を構成するアルミナの CTE は 6 ~ 7 ppm / 度である。20

【0024】

さらに、このコア基板 10 の両面には、それぞれ所要の箇所に、配線層 22 の一部から構成される（つまり、配線層 22 を形成したときに同時に形成される）パッドが配置されている。図 2 は、そのパッドの配置形態（コア基板 10 における線状導体 12 とこれに接続されるパッドとの相対関係）を模式的に示している。30

【0025】

すなわち、コア基板 10 の両面に形成されるパッドには、図 2 (a) に示すように複数の線状導体 12 を一群として各群毎に当該線状導体 12 を共有する形でその両端に対向配置（接続）された 1 対のパッド P1, P2 と、図 2 (b) に示すように複数の線状導体 12 を一群として各群毎に当該線状導体 12 の一端側にのみ接続されたパッド P3, P4 とが含まれている。図 2 (a) に示す配置形態では、対向配置されたパッド P1, P2 は、当該複数の線状導体 12 を介して電気的に接続されている。これに対し、図 2 (b) に示す配置形態では、一方の面に形成されたパッド P3 (P4) 及びこれに接続された複数の線状導体 12 と、他方の面に形成されたパッド P4 (P3) 及びこれに接続された複数の線状導体 12 とは、電気的には接続されておらず、誘電体（絶縁性基材 11）のみを介して容量結合されている。40

【0026】

このようにコア基板 10 に設けられた多数の線状導体 12 は、図 2 に例示したように複数の線状導体 12 を一群として各群毎にいずれかのパッド P1, P2, P3, P4 に電気的に接続されているが、図示のように、いずれのパッド P1 ~ P4 にも接続されていない孤立した線状導体 12 も含まれている。

【0027】

この線状導体 12 は、後述するように絶縁性基材 11 に形成された貫通孔に金属材料を充填することによって形成される。そして、この線状導体 12 の役割は、本実施形態では大きく分けて 2 つある。その一つは、図 2 (a) に例示したように、線状導体 12 の一端

50

側（対向配置されたパッド P 1 , P 2 の一方の側のパッド）で信号を受けて他端側（他方の側のパッド）に確実に伝えることである。つまり、コア基板 1 0 を介して一方の面側の配線層 2 2 , 2 4 と他方の面側の配線層 2 2 , 2 4 とを電気的に接続するための役割を果たす。これは、従来のコア基板に設けられたスルーホール（に充填された導体）の役割に相当する。

【 0 0 2 8 】

もう一つの役割は、図 2 (b) に例示したように、(a) とは異なり、直接的に接続されていないパッド P 3 , P 4 の一方を電源ラインに、他方をグランドラインにそれぞれ接続することにより、両者間のキャパシタとして機能させ、電源ラインを通じてひき起こされる回路から回路への不都合な信号結合（ノイズ）を防止することにある。また、この容量成分には、瞬時電流を供給する役割もある。

10

【 0 0 2 9 】

このようにコア基板 1 0 に設けた線状導体 1 2 は重要な役割を果たす必要があるため、設計の際にその信号の接続部分として絶縁性基材 1 1 上の任意の領域を選択したときに、その選択したいずれの領域においても平均的に多数の線状導体 1 2 が含まれていることが望ましい。従って、可能な限り絶縁性基材 1 1 における金属充填密度を高くする必要があり、このため、上述したように微小径の線状導体 1 2 を高密度に配置している。

【 0 0 3 0 】

本実施形態では、コア基板 1 0 に設けられる線状導体 1 2 は、隣り合う線状導体 1 2 間の距離 (D) が線状導体 1 2 の直径 (d) よりも小さくなるように (D < d) 、配置されている。さらに好適には、線状導体 1 2 の直径 (d) が 3 0 n m ~ 2 μ m 程度となるように選定している。各線状導体 1 2 の配置形態については、D < d を満たしていれば、特に限定されない。例えば、ヘキサゴナル状に配置されていてもよいし、グリッド状に配置されていてもよい。また、コア基板 1 0 の両面に形成される各パッド P 1 , P 2 , P 3 , P 4 は、上述したように複数の線状導体 1 2 を一群として各群毎に配置されているが、例えば、パッドの直径を 9 0 ~ 1 0 0 μ m 程度に選定すると、当該パッドには数千本の線状導体 1 2 が接続されることになる。

20

【 0 0 3 1 】

このように構成されたコア基板 1 0 の両面には、それぞれ各パッド P 1 , P 3 間の領域及び各パッド P 2 , P 4 の間の領域を被覆するように絶縁層 2 1 が形成されている。正確には、後述するようにコア基板 1 0 の両面に絶縁層 2 1 が形成された後、その絶縁層 2 1 の所要の箇所（パッドを形成すべき位置）に形成されたビアホールに導電性材料を充填することで、当該パッドが形成される。そして、その導電性材料の充填の際に 1 層目の配線層 2 2 も同時に形成される。つまり、各パッド P 1 ~ P 4 は、対応する配線層 2 2 と一緒に形成されている。さらに、各配線層 2 2 上に、それぞれ絶縁層 2 3 、2 層目の配線層 2 4 、最外層の絶縁層（ソルダレジスト層）2 5 が順次形成されている。

30

【 0 0 3 2 】

以下、本実施形態に係る配線基板（パッケージ）3 0 を製造する方法について、その製造工程の一例を示す図 3 ~ 図 5 を参照しながら説明する。

【 0 0 3 3 】

40

先ず最初の工程では（図 3 (a) 参照）、絶縁性基材 1 1 として、アルミナ（酸化アルミニウム）のグリーンシート（厚さは 7 0 ~ 1 0 0 μ m 程度で、大きさは 1 0 × 1 0 mm 程度を用意し、このシート全体に亘りその厚さ方向に、パンチャ等により多数の貫通孔 T H を形成する。すなわち、この貫通孔 T H には線状導体 1 2 が充填されるので、上述した所定の関係：D (線状導体 1 2 間の距離) < d (線状導体 1 2 の直径) を満たすように貫通孔 T H を高密度に形成する。

【 0 0 3 4 】

本実施形態では、上述したように可能な限り絶縁性基材 1 1 における金属充填密度を高くすることを意図している。このため、線状導体 1 2 の直径 (d) は可能な限り小さい方が望ましい（好適には、3 0 n m ~ 2 μ m 程度）。このような微小径の孔（貫通孔 T H ）

50

は、陽極酸化法を用いて形成することができる。

【0035】

例えば、アルミニウム(A1)基板の一方の面を絶縁被膜したものを用意し、このA1基板の表面を洗浄後、電解液(好適には硫酸水溶液)中に浸漬し、このA1基板を陽極とし、これに対向配置される白金(Pd)電極を陰極として通電(パルス電圧を印加)することで、A1基板の表面に多孔質金属酸化膜(微小径の孔が規則正しく形成された酸化アルミニウムの膜)を形成することができる。この後、陽極酸化とは逆電位の電圧を各電極に印加(A1基板を陰極とし、Pd電極を陽極として通電)することで、多孔質金属酸化膜をA1基板から分離する。これによって、所望の微小径(30nm~2μm程度)の貫通孔THが高密度に形成された絶縁性基材(アルミナ)11が得られる。

10

【0036】

なお、絶縁性基材11の材料としては、アルミナ(酸化アルミニウム)以外に、酸化チタニウム、窒化アルミニウム、ムライト、ガラスセラミックス(ガラスとセラミックスの複合材料)等の無機材料を使用することができる。また、ペロブスカイト型構造の金属酸化物、例えば、BTO(チタン酸バリウム)、STO(チタン酸ストロンチウム)、BST(チタン酸バリウムストロンチウム)、PZT(チタンジルコン酸鉛)等の無機材料を使用することも可能である。

【0037】

本実施形態では、コア基板10の一部をキャパシタとして機能させることを意図しているので、かかる無機材料は比較的高い誘電率を有している点で、絶縁性基材11の材料としては好適である。例えば、ムライトを使用した場合、誘電率の点ではアルミナよりも若干劣る(アルミナの誘電率が8~10程度であるのに対し、ムライトの誘電率は6.5である)が、信号伝播の高速化という点で有利であり、高速のスイッチング動作が要求されるチップ部品を搭載するパッケージのコア基板として使用する場合に特に有用である。

20

【0038】

次の工程では(図3(b)参照)、絶縁性基材11に形成された貫通孔THに金属材料を充填して線状導体12を形成する。例えば、銀(Ag)や銅(Cu)等の導電性ペーストを用いたスクリーン印刷法やインクジェット法等により、貫通孔THを当該金属材料で充填する。

【0039】

30

さらに、必要に応じて機械研磨、化学機械研磨(CMP)等により両面を研磨して平坦化し、線状導体12の両端を絶縁性基材11の両面に露出させる。これによって、図示のように絶縁性基材11にその厚さ方向に貫通する微小径の線状導体12が高密度に設けられた構造体、すなわち、コア基板10が作製されることになる。

【0040】

次の工程では(図3(c)参照)、そのコア基板10の両面に、それぞれ絶縁層21Aを形成する。この絶縁層21Aの材料としては、ビルドアップ多層配線板において一般に用いられているエポキシ系樹脂やポリイミド系樹脂等が用いられる。樹脂のタイプとしては、熱硬化性樹脂、感光性樹脂のいずれも使用可能であるが、本実施形態では熱硬化性のエポキシ系樹脂を使用している。また、樹脂の形態としては、液状のものに限らず、フィルム状に成形されたものも使用可能である。つまり、コア基板10上に熱硬化性のエポキシ系樹脂をコーティングし、又は熱硬化性のエポキシ系樹脂フィルムをラミネートし、熱硬化させて、所要の絶縁層21Aを形成している。

40

【0041】

次の工程では(図3(d)参照)、コア基板10の両面に形成された各絶縁層21Aに対し、炭酸ガスレーザ、エキシマレーザ等により、それぞれ所要の箇所を開口して、コア基板10に達するピアホールVH1,VH2を形成する(絶縁層21の形成)。各ピアホールVH1,VH2は、コア基板10の両面に形成すべき各パッドP1,P3,P2,P4の形状に従って形成される。

【0042】

50

次の工程では(図3(e)参照)、コア基板10の両面の各絶縁層21上に、それぞれ絶縁層21に形成されたビアホールVH1,VH2を充填するようにして導体層22Aを形成する。例えば、以下のようにして形成することができる。

【0043】

先ず、コア基板10の両面(絶縁層21上)に、スパッタリングや無電解めっき等により、シード層を形成する。例えば、両面にスパッタリングによりチタン(Ti)の導体層を0.1μm程度の厚さに形成し、更にその上にスパッタリングにより銅(Cu)の導体層を0.5μm程度の厚さに形成して、2層構造(Ti/Cu)のシード層を形成する。このシード層の下層のTi層は、その下層の絶縁層21及び絶縁性基材11と上層のCu層との密着性を高めるための金属層である。Tiの代わりに、クロム(Cr)を用いてもよい。次に、各シード層上に、それぞれ当該シード層を給電層として利用した電解Cuめっきにより、所要の厚さの導体(Cu)層22Aを形成する。

【0044】

このようにして形成された導体層22Aを構成する部分のうち、各ビアホールVH1,VH2に充填された導体部分は、それぞれパッドP1,P3,P2,P4を構成する。

【0045】

次の工程では(図4(a)参照)、コア基板10の両面(絶縁層21上)に形成された各導体層22A(図3(e))に対し、それぞれ所要の形状にパターニングして、1層目の配線層22を形成する。例えば、以下のようにして形成することができる。

【0046】

先ず、コア基板10の両面(絶縁層21上)に、パターニング材料を使用してエッチング用レジストを形成し、それぞれ所要の箇所を開口する(開口部を備えたレジスト層の形成)。各開口部は、形成すべき配線層22のパターン形状に従って当該パターン部分のみが残存するようにパターニングされる。パターニング材料としては、感光性のドライフィルム(レジスト材料をポリエステルのカバーシートとポリエチレンのセパレータシートの間に挟んだ構造のフィルム)、又は液状のフォトレジスト(例えば、ノボラック系樹脂、エポキシ系樹脂等の液状レジスト)を用いることができる。

【0047】

例えば、ドライフィルムを使用する場合、各導体層22Aの表面を洗浄した後、その表面にドライフィルム(セパレータシートを剥離したもの)を熱圧着によりラミネートし、このドライフィルムに対し、所要の形状にパターニングされたマスク(図示せず)を用いて紫外線(UV)照射による露光を施して硬化させ、さらにカバーシートを剥離した後、所定の現像液(ネガ型のレジストの場合には有機溶剤を含む現像液、ポジ型のレジストの場合にはアルカリ系の現像液)を用いて当該部分をエッチングし、所要のレジスト層(図示せず)を形成する。同様に液状のフォトレジストを用いた場合にも、表面洗浄 表面上にレジスト塗布 乾燥 露光 現像の工程を経て、所要の形状にパターニングされたレジスト層(図示せず)を形成することができる。

【0048】

次に、このレジスト層をマスクにして、露出している導体層(Cu)22Aの部分を除去し、さらに、その除去後に露出しているシード層(Ti/Cu)の部分を除去する。例えば、Cuに対してのみ可溶性の薬液を用いたウェットエッチングを施し、次に、Tiに対してのみ可溶性の薬液を用いたウェットエッチングを施す。

【0049】

この後、エッチング用レジストとして用いたレジスト層を除去する。エッチング用レジストとしてドライフィルムを使用した場合には、水酸化ナトリウムやモノエタノールアミン系等のアルカリ性の薬液を用いて除去することができ、ノボラック系樹脂、エポキシ系樹脂等の液状レジストを使用した場合には、アセトンやアルコール等を用いて除去することができる。そして、所定の表面洗浄を行う。

【0050】

これによって、図示のようにコア基板10の両面に複数の線状導体12を共有する形で

10

20

30

40

50

対向配置（接続）されたパッド P 1 , P 2 が露出するとともに、複数の線状導体 1 2 を一群としてその一端側にのみ接続されたパッド P 3 , P 4 がそれぞれ対応する配線層 2 2 と一体的に形成されてなる構造体が作製されることになる。

【 0 0 5 1 】

次の工程では（図 4 (b) 参照）、図 3 (c) の工程で行った処理と同様にして、各面側の配線層 2 2 及び露出している絶縁層 2 1（露出しているパッド P 1 , P 2 を含む）上に、熱硬化性のエポキシ系樹脂をコーティングし、又は熱硬化性のエポキシ系樹脂フィルムをラミネートし、熱硬化させて、所要の絶縁層 2 3 A を形成する。 10

【 0 0 5 2 】

次の工程では（図 4 (c) 参照）、図 3 (d) の工程で行った処理と同様にして、各絶縁層 2 3 A に対し、炭酸ガスレーザ、エキシマレーザ等により、それぞれ所要の箇所を開口して、ビアホール V H 3 , V H 4 を形成する（絶縁層 2 3 の形成）。各ビアホール V H 3 , V H 4 は、コア基板 1 0 の両面に対向配置された各パッド P 1 , P 2 、及び各配線層 2 2 に画定される各パッド（図示せず）の形状に従って形成される。

【 0 0 5 3 】

次の工程では（図 5 (a) 参照）、図 3 (e) の工程で行った処理と同様にして、各面側の各絶縁層 2 3 上に、それぞれ絶縁層 2 3 に形成されたビアホール V H 3 , V H 4（図 4 (c)）を充填するようにして導体（Cu）層 2 4 A を形成する。 10

【 0 0 5 4 】

次の工程では（図 5 (b) 参照）、図 4 (a) の工程で行った処理と同様にして、各面側の各導体層 2 4 A に対し、それぞれ所要の形状にパターニングして、2 層目の配線層 2 4 を形成する。 20

【 0 0 5 5 】

最後の工程では（図 5 (c) 参照）、各面側の配線層 2 4 及び露出している絶縁層 2 3 上に、各配線層 2 4 の所要の箇所にそれぞれ画定されたパッドの部分を露出させてその表面を覆うようにソルダレジスト層 2 5 を形成する。例えば、感光性のエポキシ系樹脂（ソルダレジスト）をその表面に塗布し、各樹脂層をそれぞれ所要の形状（当該パッドの部分を露出させた形状）にパターニングすることで、ソルダレジスト層 2 5 を形成することができる。 30

【 0 0 5 6 】

各ソルダレジスト層 2 5 の開口部からそれぞれ露出する各パッド（配線層 2 4 の一部）には、本パッケージ 3 0 に実装されるチップの電極端子、本パッケージ 3 0 をマザーボード等に実装する際に使用される外部接続端子（はんだボールや金属ピン等）が接合されるので、当該パッド（Cu）上に Ni めっき及び Au めっきをこの順に施しておくのが望ましい。ここで、Ni 層は、Cu 層と Au 層との密着性を高め、Cu が Au 層中へ拡散するのを防止するために設けられており、最外層の Au 層は、最終的にチップの電極端子等が接合されたときのコンタクト性を良くするために設けられている。 30

【 0 0 5 7 】

これによって、図示のように本実施形態の配線基板（パッケージ）3 0 が作製されたことになる。この配線基板（パッケージ）3 0 は、上述したように一方の面に半導体素子を実装し、他方の面に設けられた外部接続端子を介してマザーボード等の実装用基板に実装されて用いられることを意図している。 40

【 0 0 5 8 】

図 6 はその実装状態の一例を示したものであり、配線基板（パッケージ）3 0 に半導体素子（シリコンチップ 4 1）を実装した状態（半導体装置 4 0）を示している。この半導体装置 4 0 において、チップ 4 1 の電極端子 4 2 は、はんだバンプ等の導電性材料を介して配線基板 3 0 上の対応する配線層 2 4 のパッドに電気的に接続されている（フリップチップ実装）。さらに、その実装したチップ 4 1 と配線基板 3 0 の間の空隙には、熱硬化性のエポキシ系樹脂等のアンダーフィル樹脂 4 3 が充填され、熱硬化されて、チップ 4 1 と配線基板 3 0 との機械的な接合が確保されている。 50

【 0 0 5 9 】

一方、チップ実装面側と反対側のソルダレジスト層 25 から露出する配線層 24 のパッドには、外部接続端子として用いられるはんだボール 45 が接合されている。このはんだボール 45 を介して配線基板 30 はマザーボード等に実装される。

【 0 0 6 0 】

以上説明したように、本実施形態に係る配線基板（パッケージ）30 の構成によれば、コア基板 10 の絶縁性基材 11 に、その厚さ方向に貫通する微小径の線状導体 12 が高密度に設けられ、そのコア基板 10 の両面に、それぞれ所要の箇所において配線層 22 の一部から構成される 2 種類のパッド（図 2 参照）、すなわち、複数の線状導体 12 を一群として各群毎に当該線状導体 12 を共有する形でその両端に接続（対向配置）されたパッド P1, P2 と、複数の線状導体 12 を一群として各群毎に当該線状導体 12 の一端側にのみ接続されたパッド P3, P4 が形成されている。10

【 0 0 6 1 】

これにより、コア基板 10 の一方の面側に形成された配線層 22（及びこれにつながる配線層 24）と、他方の面側に形成された配線層 22（及びこれにつながる配線層 24）とは、コア基板 10 上で対向配置された 1 対のパッド P1, P2 及びこれにつながる複数の線状導体 12 を介して電気的に接続することができる。つまり、従来のようにパッケージの種類や搭載されるチップ部品の機能等に応じて 1 枚ずつ特定のコア基板を用意する必要がなく、コア基板 10 の両面に配置されるパッド P1, P2 のサイズや位置を適宜変更するだけで、コア基板 10 に形成された微小径の線状導体 12 を介してコア基板 10 の両面間を容易に接続することができる。20

【 0 0 6 2 】

このように本実施形態によれば、コア基板 10 の共通化を図ることができるので、製造にかかるコストを低減することが可能となる。また、従来技術で行われていたような、コア基板に対するアライメント精度等に依存して受けパッドの径を大きくする必要がないため、配線設計の自由度を高めることができるとともに、配線基板全体の配線密度を向上させることができるとなる。

【 0 0 6 3 】

また、コア基板 10 の両面に、図 2 (b) に例示したように特定の配置形態で各パッド P3, P4 を配置しているので、これらのパッド P3, P4 をキャパシタ電極として利用し、かつ、コア基板 10 における絶縁性基材 11 を誘電体として利用することで、コア基板 10 の一部（パッド P3, P4 が形成されている領域）をキャパシタとして機能させることができる。つまり、パッケージ 30 内にキャパシタ機能を容易に内蔵させることができます。30

【 0 0 6 4 】

最近のモバイル機器や携帯機器等の電子機器の小型化及び薄型化に伴い、基板（パッケージ）にキャパシタ機能を内蔵する技術が実用化されているが、従来の技術で実用化されているいすれの方法（典型的には、予めフィルム状に形成したキャパシタを基板内に埋め込み、配線層に接続する方法や、高誘電体層を基板内の電極層（導体層）上に形成する方法など）においても、設計上の制約により、所要のデカップリング効果を奏するのに十分な大容量を得るのが難しいといった問題が指摘されている。特に、大容量を得るための手段として誘電体を挟み込んでいる電極（導体層の一部分）の対向面積を大きくするために、当該導体層のほとんどの部分を電極専用として割り当てる必要があり、そのため、他の配線パターンの設計自由度が阻害されることになる。40

【 0 0 6 5 】

これに対し、本実施形態のパッケージ 30 の構成によれば、コア基板 10 の両面に配置されるキャパシタ電極（パッド P3, P4）のサイズや相対位置を適宜変更し設計することで、キャパシタ容量を容易に変更することができ、大容量化に対応することができる。また、キャパシタが内蔵されるのはコア基板 10 の部分であるため、ビルトアップ層 20 における配線パターンの設計自由度に影響を与えることもない。50

【0066】

例えば、このようなキャパシタ構造（コア基板10の一部）を、本パッケージ30に実装されるチップ41（図6）の電源端子につながる配線層に接続されたパッドと、チップ41のグランド端子につながる配線層に接続されたパッドとの間に介在するように設けた場合、当該キャパシタとチップ41とを接続する配線のインダクタンスを等価的に下げることができる。これにより、電源ライン等を効果的にデカップリングすることが可能となる。特に、実装されるチップ41がMPU等の高速スイッチング動作を必要とするデバイスである場合、このような「デカップリング」は有用である。

【0067】

また、本パッケージ30のベース基材としてのコア基板10（絶縁性基材11）を構成する材料には、実装されるシリコンチップ41（図6）の熱膨張係数（CTE：3 ppm / 度）に極力近づけたアルミナ（CTE：6～7 ppm / 度）を使用しているので、チップ実装の際及びその後の使用時（通電時）においてチップ41とパッケージ30のCTEの違いに起因して両者間に応力（熱ストレス）が発生した場合でも、その発生した熱ストレス（これは、パッケージの反りをひき起こす要因になり得る）をコア基板10において有効に吸収（緩和）することができる。これは、実装するチップ41とパッケージ30の接続信頼性の向上に寄与する。

10

【0068】

また、対向配置（接続）されたパッドP1，P2を信号端子として利用した場合、当該パッドP1，P2に接続された複数の線状導体12の周囲に、グランド配線につながるパッドに接続された線状導体12を配置することで、特有の効果をもたらせることができる。すなわち、この構成は一種の同軸線路と同等の構造を有しているので、シールド（遮蔽）効果を奏すことができる。また、各パッドP1，P2の周囲を囲むようにグランド層が配置された構成となっているので、当該パッドP1，P2（信号端子）とその隣りの信号端子（同様に対向配置されたパッドP1，P2）との間に生じる電気的結合（容量結合）を低減することができる。これにより、その信号端子自体がノイズ源となるのを防ぐことが可能となる。

20

【0069】

上述した実施形態では、コア基板10の絶縁性基材11を構成する材料としてアルミナ等の無機誘電体を使用した場合を例にとって説明したが、基板の材料がこれに限定されないことはもちろんである。すなわち、本発明の要旨（コア基板の共通化を図り、配線密度を高め、配線設計の自由度を高めること）からも明らかなように、コア基板をキャパシタとして機能させる必要がない場合には、基板の材料として必ずしも無機誘電体を使用する必要はない。例えば、エポキシ系樹脂やポリイミド系樹脂等に代表される有機系の樹脂を使用することも可能である。

30

【0070】

ただし、有機系の樹脂を絶縁性基材11の材料として用いる場合、シリカ等の無機フィラーを高密度に混合させたものを使用するのが望ましい。シリカの熱膨張係数（CTE）は0.5 ppm / 度小さいため、コア基板10全体のCTEを下げるのに寄与する。つまり、パッケージ30のベース基材であるコア基板10のCTEを下げることで、パッケージ30全体としてのCTEを、実装される半導体チップのCTEに近づけている。これにより、アルミナ等の無機誘電体を使用した場合と同様に、チップ実装状態においてチップとパッケージ30のCTEの違いに起因して両者間に発生し得る応力（熱ストレス）をコア基板10において有効に緩和することができる。なお、樹脂に添加される無機フィラーとしては、シリカ以外に、アルミナ、窒化シリコン、窒化アルミニウム等を使用することができる。

40

【0071】

また、絶縁性基材11として有機系の樹脂を使用した場合、図3(a)の工程において絶縁性基材11に設けられる貫通孔THは、炭酸ガスレーザ、エキシマレーザ等を用いた穴明け加工により形成される。さらに、図3(b)の工程において貫通孔THへの金属材

50

料の充填は、めっき法により行うことができる。金属材料としては、入手のし易さ、加工のし易さ等の点で、Cu、Ni等が好適に用いられる。例えば、金属材料としてCuを用いる場合、絶縁性基材11の表面（貫通孔THの内壁面を含む）に、無電解Cuめっきによりシード層を形成し、このシード層を給電層として利用した電解Cuめっきにより、貫通孔THに導体（Cu）を充填する。これに代えて、無電解Cuめっきのみで充填してもよい。

【符号の説明】

【0072】

10 ... コア基板（ベース基材）、

11 ... 絶縁性基材、

12 ... 線状導体、

20 ... ビルドアップ層、

21, 23 ... 樹脂層（絶縁層）、

22, 24 ... 導体層（配線層）、

25 ... ソルダレジスト層（保護膜／絶縁層）、

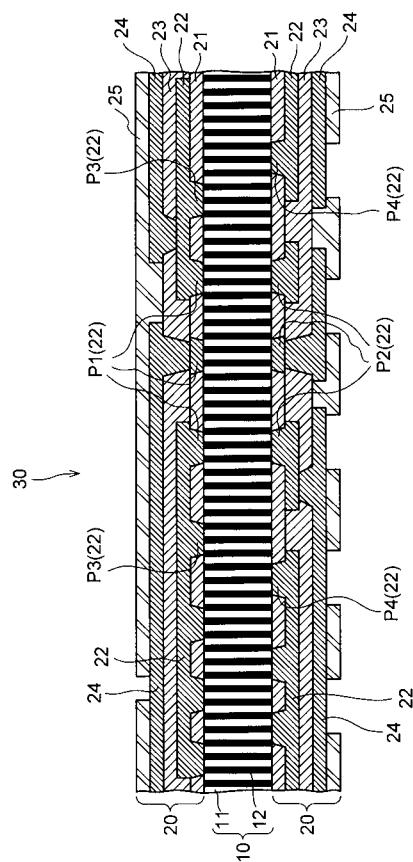
30 ... 配線基板（半導体パッケージ）、

40 ... 半導体装置（パッケージに半導体素子を実装した構造）、

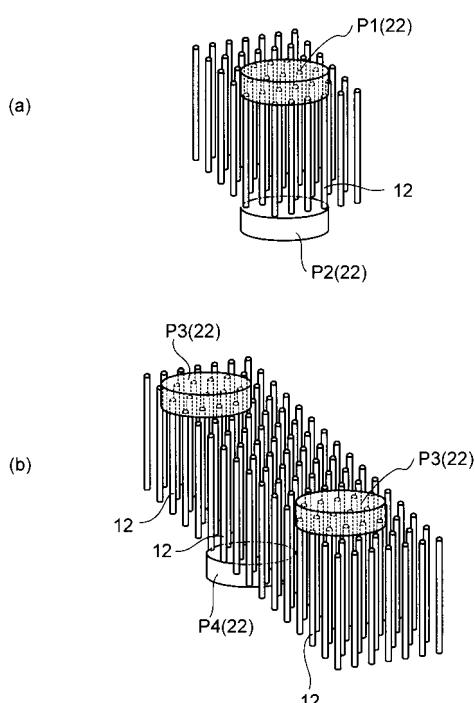
P1, P2, P3, P4 ... パッド（配線層の一部から構成される部分）。

10

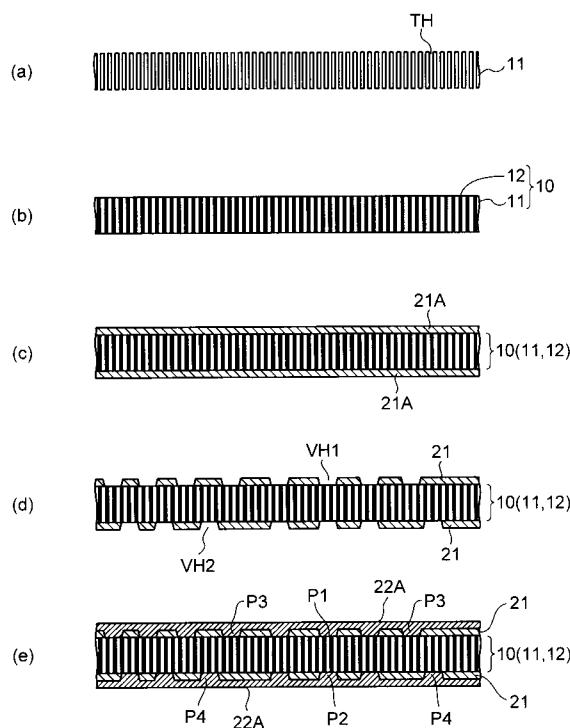
【図1】



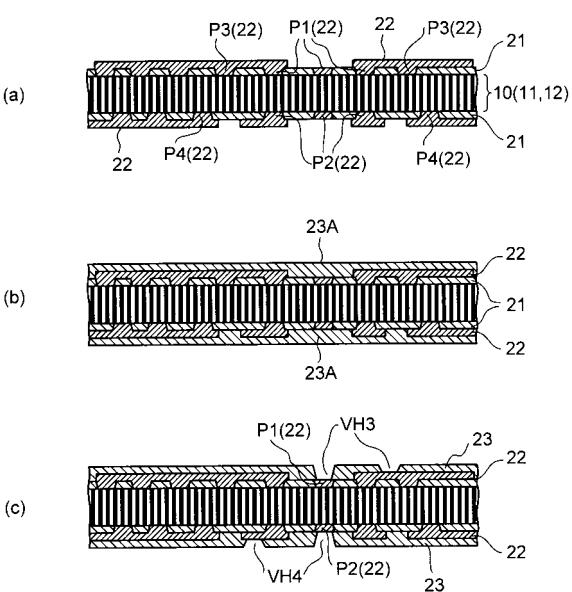
【図2】



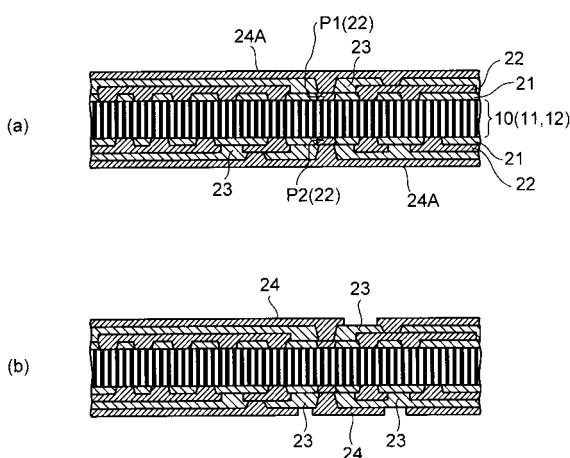
【図3】



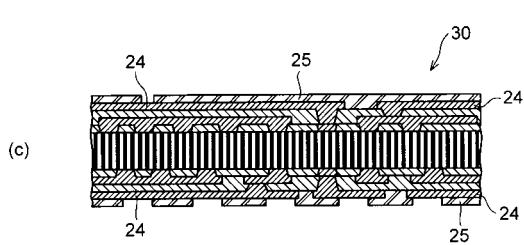
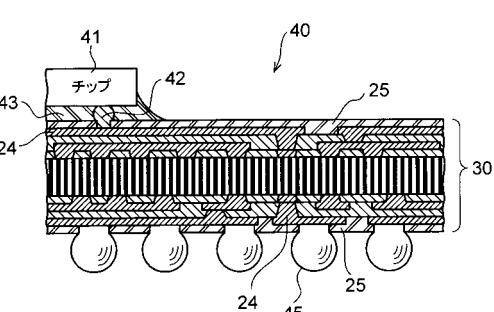
【図4】



【図5】



【図6】



フロントページの続き

(72)発明者 中沢 昌夫
長野県長野市小島田町80番地 新光電気工業株式会社内

審査官 吉澤 秀明

(56)参考文献 特開平11-68319(JP,A)
特開2009-147241(JP,A)
特開2011-23627(JP,A)
特開2001-102749(JP,A)
特開平1-124296(JP,A)
特開2001-207288(JP,A)
特開平7-207450(JP,A)

(58)調査した分野(Int.Cl., DB名)

H05K 3/46
H05K 1/11