

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 23/62 (2006.01)

H01L 27/02 (2006.01)



# [12] 发明专利申请公布说明书

[21] 申请号 200780052758.8

[43] 公开日 2010年3月31日

[11] 公开号 CN 101689543A

[22] 申请日 2007.4.27

[21] 申请号 200780052758.8

[86] 国际申请 PCT/IB2007/052684 2007.4.27

[87] 国际公布 WO2008/132561 英 2008.11.6

[85] 进入国家阶段日期 2009.10.27

[71] 申请人 飞思卡尔半导体公司

地址 美国得克萨斯

[72] 发明人 帕特里斯·贝塞 艾万·埃蒙

菲利普·兰斯

[74] 专利代理机构 中原信达知识产权代理有限责  
任公司

代理人 穆德骏 陆锦华

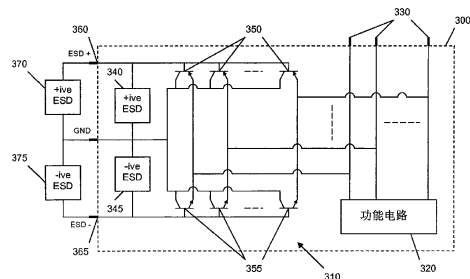
权利要求书 3 页 说明书 11 页 附图 3 页

## [54] 发明名称

集成电路、电子器件及其 ESD 保护

## [57] 摘要

集成电路(200)包括被布置成向集成电路(200)的一个或多个外部连接器(230)提供 ESD 保护的静电放电(ESD)保护电路(210)。ESD 保护电路(210)包括耦合至一个或多个外部连接器(230)用于向其提供 ESD 保护的至少一个 ESD 保护组件(240)。ESD 保护电路(210)进一步包括 ESD 连接器(260), ESD 连接器(260)耦合至一个或多个外部连接器(230), 被布置成将附加 ESD 保护耦合至一个或多个外部连接器(230)。



1. 一种集成电路(200)，包括静电放电(ESD)保护电路(210)，所述静电放电(ESD)保护电路(210)被布置成向所述集成电路(200)的一个或多个外部连接器(230)提供ESD保护；其中，所述ESD保护电路(210)包括至少一个ESD组件(240)，所述至少一个ESD组件(240)耦合到所述一个或多个外部连接器(230)用于向其提供ESD保护；其中，所述集成电路(200)的特征在于所述ESD保护电路(210)进一步包括ESD连接器(260)，所述ESD连接器(260)耦合到所述一个或多个外部连接器(230)，被布置成将附加ESD保护耦合至所述一个或多个外部连接器(230)。

2. 如权利要求1所述的集成电路(200)，进一步特征在于所述ESD连接器(260)经由隔离组件耦合到所述外部连接器(230)。

3. 如权利要求2所述的集成电路(200)，进一步特征在于所述隔离组件包括隔离二极管(250)。

4. 如权利要求2所述的集成电路(200)，进一步特征在于所述隔离组件包括晶体管(350, 355)。

5. 如任何前述权利要求所述的集成电路(200, 300)，进一步特征在于所述ESD保护电路(310)包括至少一个正向ESD保护组件(340)和至少一个负向ESD保护组件(345)，每一个都耦合至一个或多个外部连接器(330)用于向其提供ESD保护。

6. 如权利要求5所述的集成电路(200, 300)，进一步特征在于所述ESD保护电路(310)包括耦合至所述至少一个正向ESD保护组件(340)的正向ESD连接器(360)和耦合至至少一个负向ESD保护组件(345)的负向ESD连接器(365)，每一个都耦合至所述一个或

多个外部连接器（330），被布置成耦合至要分别提供至外部连接器（330）的附加正向和负向 ESD 保护。

7. 如权利要求 6 所述的集成电路（200，300），进一步特征在于所述正向 ESD 连接器（360）经由一个或多个 PNP 晶体管（350）耦合到所述外部连接器（330）并且所述负向 ESD 连接器（365）经由一个或多个 NPN 晶体管（355）耦合到所述一个或多个外部连接器（330）。

8. 如任何前述权利要求所述的集成电路（200，300），进一步特征在于所述至少一个 ESD 保护组件（240，340，345）包括与接地平面并联耦合的电容器和二极管。

9. 如任何前述权利要求所述的集成电路（200，300），进一步特征在于所述或每个 ESD 保护组件适于根据以下标准中的一个提供低电平的 ESD 保护：Jedec 标准 JESD 22-A11D ESD 灵敏测试人体模型（HBM）；用于微电子组件（CDM）的抗静电放电阈值的 Jedec 标准 JESD22\_C101C 场感应充电器件模型测试方法。

10. 如任何前述权利要求所述的集成电路（200，300），进一步特征在于所述 ESD 保护电路（210）适于根据以下标准 IEC6100042 或 ISO10605 中的至少一个提供高电平的附加 ESD 保护。

11. 一种电子器件（200，300），包括任何前述权利要求的所述集成电路。

12. 一种包括集成电路（200）的电子器件，所述集成电路包括静电放电（ESD）保护电路（210），所述静电放电（ESD）保护电路（210）被布置成向所述集成电路（200）的一个或多个外部连接器（230）提供 ESD 保护；其中，所述 ESD 保护电路（210）包括至少一个 ESD 保护组件（240），所述至少一个 ESD 保护组件（240）耦合至所述一个

或多个外部连接器（230），用于向其提供 ESD 保护；其中，所述电子器件的特征在于所述 ESD 保护电路（210）进一步包括 ESD 连接器（260），所述 ESD 连接器（260）耦合至所述一个或多个外部连接器（230），被布置成将附加 ESD 保护耦合到所述一个或多个外部连接器（230）。

13. 如权利要求 12 所述的电子器件，进一步特征在于所述电子器件被用于以下中的一个：

- （1）防锁死制动系统（ABS）；
- （2）气囊展开系统；
- （3）电子稳定程序（ESP）。

## 集成电路、电子器件及其 ESD 保护

### 技术领域

本发明的领域涉及集成电路、电子器件及其静电放电（ESD）保护。

### 背景技术

在集成电路（IC）设计和制造领域中公知的是为 IC 封装提供针对静电放电（ESD）事件的保护。ESD 事件是发生了可能造成 IC 组件损坏的有限能量的高电势。

图 1 图示了用于 IC 100 的已知集中 ESD 保护电路 110，并且它形成了 IC 封装的集成部分。

IC 100 包括功能电路 120，提供 IC 希望的并且需要 ESD 保护的功能。ESD 保护电路 110 包括内部 ESD 箝位电路 130，它经由隔离二极管 140 耦合到功能电路 120。以这种方式，由 ESD 事件引起的电流经过一个或多个隔离二极管 140 流入 ESD 箝位电路 130 中，箝位电路 130 吸收最初的 ESD 电涌以保护功能电路 120 不受电流尖峰的影响，并且然后安全地消散 ESD 事件能量。隔离二极管 140 使得能够在每个将被保护的管脚之间提供电隔离。

通常称作夹轨器（rail clamp）的这样的集中 ESD 保护电路 130 适合于数字应用，例如 CMOS 技术。对于这样的数字应用，通过测试标准来定义 ESD 要求，诸如：Jedec 标准 JESD 22-A11D ESD 敏感性测试人体模型（HBM）；和用于微电子组件（CDM）的抗静电放电阈值的 Jedec 标准 JESD22\_C101C 场感应电荷器件模型测试方法。

HBM 测试的目的是再现当人体接触 IC 时可能产生的 ESD 事件。通常，测试需要 ESD 保护电路以保护其不受 2.6 安培的尖峰电流的影响。

CDM 测试的目的是再现通过 IC 最初充电和然后通过一个管脚放电到地电势所体验的 ESD 事件。CDM ESD 尖峰电流在 3 安培左右。

然而，对于模拟应用，并且特别对于需要高可靠性标准的模拟应用，需要 ESD 保护电路来针对明显较高 ESD 尖峰电流提供保护。借助于示例，这样的应用的示例包括汽车系统，诸如防锁死制动系统(ABS)、气囊展开系统、电子稳定程序 (ESP) 系统等。

对于需要高可靠性标准这样的应用，已知对电路进行 ESD 枪测试，诸如在 IEC6100042、ISO10605 等中定义的。在这样的测试中，ESD 通过“枪”产生，并且被施加到被测试的 IC 的管脚。根据规范，在通过 330 欧姆或 2K 欧姆电阻器放电之前，将 ESD 枪充电至高达 25k 伏特。因此，电流尖峰可以达到 90 安培，这明显高于 HBM 和 CDM 测试的电流尖峰。

如本领域技术人员将理解的，为了使例如图 1 所示的已知 ESD 电路 120 的 ESD 保护电路防御这样的高电流尖峰，需要 ESD 箝位电路 130 包括有效电容以便能够吸收电流。此外，隔离二极管必须能够承受高达 90 安培。这固有地增加了 ESD 箝位电路 130 和隔离二极管 140 的尺寸和成本，并且因此增加了它们在 IC 100 中所占的空间量，并由此增加了 IC 100 的整体成本。

在这样的情况下，ESD 保护电路可能需要高达百分之十左右的 IC 面积。这对组件的尺寸和成本有直接影响，这进而影响了 IC 封装的成本和在印刷电路板等上 IC 封装所需的管脚。由于 ESD 保护电路不能随着 IC 的功能电路尺寸一起降低尺寸，因此随着技术的进步，这种影响

特别明显。

通过现有技术的 ESD 保护已经标识的另一问题在于，由于 IC 封装内电路的布局限制，通常的情况是集中 ESD 箝位电路不能接近隔离二极管放置。连接隔离二极管和 ESD 箝位电路的金属迹线的电阻较低，但是不可忽略（例如 0.2 欧姆至 1 欧姆），并且随着金属迹线的长度而增加。

如本领域技术人员将理解的，在 ESD 枪测试期间，测试中涉及的相对较高的尖峰电流即使在最小的电阻上也导致明显的压降。例如，在 ESD 枪测试包括 60 安培尖峰电流的情况下，如果金属迹线足够长以包括达到 1 欧姆的电阻，则金属迹线上的压降将是 60 伏特，这超出了例如仅为 45 伏特的 ESD 保护电路的电压能力。因此，在一侧上隔离二极管和 ESD 箝位电路之间的金属迹线和另一侧上 ESD 箝位电路和接地管脚之间的金属迹线的长度影响了 ESD 保护电路充分保护 IC 的能力。金属迹线的电阻取决于它的几何外形（长度/宽度）。通常情况是，为了达到足够低的电阻值，与在集成电路内可以实现的相比，需要迹线包括较短长度和较大宽度。

提供 ESD 保护的替代的已知方法包括经由二极管将被保护的那些管脚关联到电源轨。以这种方式，电源的解耦合电容器提供一些 ESD 保护。然而，管脚必须与电源额定值（例如 0.6V）相兼容并且电源的解耦合电容器通常不足以进行高水平 ESD 保护，诸如 ESD 枪测试中所需的那些。

为了提供充分的 ESD 保护而不引发对 IC 封装明显的尺寸和成本的增加，使用现有技术 ESD 保护方法，需要单独保护 IC 封装的连接管脚。以这种方式，外部 ESD 保护器件单独设置在灵敏管脚上。尽管这可以节省 IC 自身的尺寸和成本，但是就财务成本和空间需求这两方面而言，成本都简单地传递给了上面安装了 IC 的印刷电路板。实际上，

由于管脚被单独保护，因此需要多个 ESD 保护组件，由此明显增加了 ESD 保护的成分以及所需的面积。

特别是关于需要防御的尖峰电流，增加了对 ESD 枪测试的要求。在 2004 年，ESD 枪测试需要防御 30 安培尖峰电流。这在 2006 年增加到 60 安培的尖峰电流。在 2007 年，需要防御的尖峰电流已经增加到 90 安培。ESD 保护电路的所需保护中的这些明显增加与降低 IC 的尺寸和成本的日益增加的需求一起使已知 ESD 保护技术的缺点恶化。

因此，需要一种对集成电路的改进的 ESD 保护。

#### 发明内容

根据本发明的方面，如在权利要求中所限定的，提供了一种电子器件，以及一种集成电路。

#### 附图说明

现在将参考附图仅借助于示例描述本发明的示例性实施例，在附图中：

图 1 图示了已知的集中静电放电保护电路的示例。

图 2 图示了根据本发明的第一示例性实施例包括静电放电保护电路的集成电路。

图 3 图示了根据本发明的第二示例性实施例包括静电放电保护电路的集成电路。

图 4 图示了根据本发明的第三示例性实施例包括静电放电保护电路的集成电路。

#### 具体实施方式

在详细描述根据本发明的实施例之前，应当注意，在此描述的各个装置组件并且如附图所示，在附图中已经在适当位置通过常规符号进行了表示，仅示出了与理解本发明实施例有关的那些具体细节，以



便不因对受益于此处描述的本领域普通技术人员容易显而易见的细节而使本公开模糊。因此，将理解，为了简单清楚地说明，可以不图示商业上可行的实施例中有用的或者必需的常见和公知的要素，以便有利于较少阻碍这些各种实施例的看法。

现在参考图 2，图示了根据本发明第一示例性实施例的包括静电放电（ESD）保护电路 210 的集成电路（IC）200。IC 200 进一步包括功能电路 220，提供至少一些 IC 200 希望的并且需要 ESD 保护的功能。功能电路 220 耦合到多个外部连接器，例如管脚 230。

如本领域技术人员将理解的，在此处和权利要求中使用术语“管脚”不是限制性的，并且可以指的是任何替代形式的连接器。例如，在 IC 封装包括球栅阵列的情况下，连接器形式为焊料球等。为了简单起见，术语“一个管脚”和“多个管脚”在此用于表示由此 IC 能够建立外部电连接的连接器。这样的电连接形式可以是数据连接、电压电源连接、接地连接等。将理解，使用这样的术语不是限制性的，而可以指的是任何适当形式的连接。

返回参考图 2，ESD 保护电路 210 包括 ESD 保护组件，对于所图示的实施例，它的形式是内部 ESD 箝位电路 240。内部 ESD 箝位电路 240 适于向功能电路 220 特别是向管脚 230 提供 ESD 保护，并且因此经由隔离组件耦合到管脚 230，对于所图示的实施例，它的形式是隔离二极管 250。

ESD 保护电路 210 进一步耦合到 ESD 管脚 260，它进而耦合到外部 ESD 保护组件，对于所图示的实施例，它的形式是外部 ESD 箝位电路 270。以这种方式，将除了通过内部 ESD 箝位电路 240 所提供的之外的附加 ESD 保护提供到 IC 200，并且特别提供到功能电路 220 和管脚 230。如图所示，ESD 管脚 260 经由隔离二极管 250 耦合到管脚 230。以这种方式，ESD 管脚 260 以及由此的外部 ESD 保护组件与管脚 230

电隔离，并且管脚 230 通过串联且背对背的隔离二极管 250 相互隔离。

根据本发明的该实施例，内部 ESD 箝位电路 240 适于提供相对低电平的 ESD 保护，例如防御高达 3 安培左右的 ESD 事件。以这种方式，例如内部 ESD 箝位电路 240 的内部 ESD 组件能够根据诸如以下的标准提供 ESD 保护：Jedec 标准 JESD 22-A11D ESD 灵敏测试人体模型 (HBM)；和用于微电子组件 (CDM) 的抗静电放电阈值的 Jedec 标准 JESD22\_C101C 场感应充电器件模型测试方法。以这种方式，在制造和测试工艺期间提供 ESD 保护。

由于仅需内部 ESD 组件提供这样的相对低电位的保护，因此内部 ESD 组件的尺寸和成本都不会过高。因此，在 IC 200 内 ESD 电路 210 以及由此 IC 200 自身的尺寸和成本都保持较低。

如先前提及的，对于模拟应用，并且特别对于需要高可靠性标准的模拟应用，需要 ESD 保护电路针对明显较高的 ESD 尖峰电流提供保护。借助于示例，这样的应用的示例包括汽车系统，诸如防锁死制动系统 (ABS)、气囊展开系统、电子稳定程序 (ESP) 系统等。

对于需要高可靠性标准这样的应用，已知的是对电路进行 ESD 枪测试，诸如在 IEC6100042、ISO10605 等中定义的。在这样的测试中，ESD 通过“枪”产生并且被施加到被测试的 IC 的管脚。在通过 330 欧姆的电阻器放电之前，ESD 枪可充电到高达 25k 伏。因此，电流峰值可以达到 90 安培，这明显高于 HBM 和 CDM 测试的电流峰值。

因此，对于所图示的实施例，它的形式为外部 ESD 箝位电路 270 的附加 ESD 保护使得能够将足够的 ESD 保护提供给 IC 200，以便使 IC 200 抵抗这样的侵犯性 ESD 事件，而不会对 IC 200 的 ESD 保护电路 210 的尺寸和成本造成明显影响。

特别是，在内部 ESD 组件提供低电平 ESD 保护时，例如高达 3 安培左右，可以经由 ESD 管脚 260 提供附加 ESD 保护，如上所述，使得能够在 ESD 枪测试的情况下根据需要进行高电平 ESD 保护，例如高达 90 安培左右。

此外，通过提供例如 ESD 管脚 260 的专用 ESD 连接器，它耦合到例如管脚 230 的需要 ESD 保护的管脚，在单个管脚上仅需附加 ESD 保护。这与必须在需要保护的每个管脚上提供 ESD 保护的提供 ESD 保护的已知方法相反。

以这种方式，降低了外部 ESD 保护的成本和管脚需求，特别是在组件计数方面。此外，由于外部 ESD 保护仅需提供给单个的、专用的管脚，因此极大的简化了这样的外部 ESD 保护的提供。特别是，通过以这种方式利用外部 ESD 保护，电特性（例如箝位电压、电容等）可以适于匹配将使用这种集成电路的特定应用。以这种方式，ESD 保护的电特性可以适于不同的应用而不影响集成电路的内部组件。因此，可以改善这样的 ESD 保护的可靠性。

另外，通过利用外部 ESD 保护，将外部 ESD 箝位电路和地电势之间的金属迹线例如提供在印刷电路板（PCB）上，与集成电路封装内不同，使得迹线能够包括改善的几何外形（宽度/长度）。

如本领域技术人员将理解的，外部 ESD 箝位电路 270 所提供的保护电平取决于使用 IC 200 的特定应用。然而，预计可以对许多应用以及因此的许多 ESD 需求设计和制造 IC 200，基本上与特定应用的特定 ESD 要求无关。然后，可以通过选择合适的外部 ESD 组件来满足特定 ESD 需求，同时 IC 200 的内部 ESD 保护电路在制造和测试期间为 IC 提供了足够的 ESD 保护。

对于所图示的实施例，它的形式为 ESD 箝位电路 240、270 的内

部和外部 ESD 保护组件可以包括任何合适的 ESD 保护组件。借助于示例，这样的 ESD 组件可以包括与接地平面并联耦合的电容器和二极管。替代地，这样的 ESD 保护组件可以包括瞬态抑制器或者能够以电流保持在安全电区域中的方式吸收 ESD 电流的任何开关。

现在参考图 3，图示了根据本发明的第二示例性实施例的包括 ESD 保护电路 310 的 IC 300。IC 300 进一步包括功能电路 320，提供 IC 300 希望的以及需要 ESD 保护的至少一些功能。功能电路 320 耦合到多个外部连接器，例如管脚 330。

ESD 保护电路 310 包括内部正向 ESD 保护组件 340 和内部负向 ESD 保护组件 345。内部 ESD 保护组件 340、345 适于向功能电路 320、特别是向管脚 330 提供 ESD 保护，并且因此它们经由隔离组件耦合至管脚 330。以这种方式，对于正向和负向 ESD 事件都提供保护，并且特别是对于例如在制造和测试工序期间发生的低电平 ESD 事件。

对于图 3 所示的实施例，内部正向 ESD 保护组件 340 经由其耦合到管脚 330 的隔离组件的形式是 PNP 晶体管 350。相反，内部负向 ESD 保护组件 345 经由其耦合到管脚 330 的隔离组件的形式是 NPN 晶体管 355。通过 NPN 晶体管情况下的发射极/基极结确保了电隔离。在 PNP 晶体管的情况下，基极/发射极结形成了电隔离。

ESD 保护电路 310 进一步耦合到正向 ESD 管脚 360，它进而耦合到外部 ESD 保护组件 370。此外，ESD 保护电路 310 进一步耦合到负向 ESD 管脚 365，它进而耦合到外部负向 ESD 保护组件 375。以这种方式，将除了通过内部 ESD 组件 340、345 所提供的之外的附加 ESD 保护提供给 IC 300，并且特别提供给功能电路 320 和管脚 330。以与图 2 所示的实施例相似的方式，ESD 管脚 360、365 通过晶体管 350、355 与管脚 330 电隔离。

以这种方式，IC 300 包括专用正向 ESD 管脚 360 和专用负向 ESD 管脚 365。进一步地，图 3 所示的实施例与图 2 所示的实施例由于对于正向和负向 ESD 事件单独提供保护而不同。然而，如本领域技术人员将理解的，图 3 所示的实施例仍提供了与图 2 相同的优点。

对于以上描述的各种实施例并且如图 2 和 3 所示，ESD 保护电路包括信号内部 ESD 保护组件。然而，本领域技术人员将理解，内部 ESD 保护电路可以包括多个 ESD 保护组件，每一个都耦合至一个或多个管脚。

因此，并且参考图 4，图示了根据本发明的第三示例性实施例的包括 ESD 保护电路 410 的 IC 400。IC 400 进一步包括功能电路 420，提供 IC 400 希望的和需要 ESD 保护的至少一些功能。功能电路 420 耦合到多个外部连接器，例如管脚 430。

ESD 保护电路 410 包括多个内部 ESD 保护组件 440。内部 ESD 保护组件 440 适于向功能电路 420 特别是向管脚 430 提供 ESD 保护，并且因此耦合至管脚 430。

根据本发明的第三示例性实施例，管脚 430 经由隔离组件耦合到 ESD 管脚 460，对于所图示的实施例，它的形式是隔离二极管 450。ESD 管脚 460 耦合到外部 ESD 保护组件，对于所图示的实施例，它的形式是外部 ESD 箝位电路 470。

以这种方式，ESD 保护电路包括一个或多个 ESD 保护组件，它耦合至一个或多个外部连接器用于为其提供 ESD 保护。ESD 保护电路进一步包括 ESD 连接器，它耦合至一个或多个外部连接器并且被布置成将附加 ESD 保护耦合至一个或多个外部连接器。

特别是，将理解，如上所述的电子器件、集成电路和其中的静电

放电保护电路旨在提供至少一个或多个以下优点：

- (1) 在制造和测试期间提供了集成 ESD 保护；
- (2) 降低了 IC 的成本和尺寸；
- (3) 降低了 ESD 电路/组件所需的硅面积；
- (4) 降低了 ESD 组件的数目；
- (5) 能够根据应用需求改变 ESD 保护；
- (6) 提供了正向和负向的 ESD 保护；以及
- (7) 改善了可靠性。

在前述说明书中，已经描述了本发明的特定实施例。然而，本领域技术人员将理解，在不背离如权利要求所阐明的本发明的范围的情况下，可以作出各种修改和变化。因此，说明书和附图应当被认为是说明性的而非限制性的，并且所有这样的修改都意在包括在本发明的范围内。

益处、优点、对问题的解决方案以及可能导致任何益处、优点或解决方案产生或者变得更明显的任何要素都不应当被解释为任何或全部权利要求的关键的、必须的或必要的特征或要素。

特别地，预计前述创造性概念可以被半导体制造商应用于需要 ESD 保护的任何集成电路架构。

将理解，在不减损在此描述的创造性概念的情况下，可以使用在不同功能单元之间的任何合适的功能分布。因此，对特定功能器件或要素的参考仅应当被看作是对用于提供所描述功能性的合适装置的参考，而不是指示性的或严格逻辑性的或者物理结构或构造。

可以以任何合适的形式来实现本发明的方面，包括硬件、软件、固件、或这些的任何组合。本发明实施例的元件和组件可以以任何合适的形式在物理、功能和逻辑上实现。实际上，可以在单个单元或一

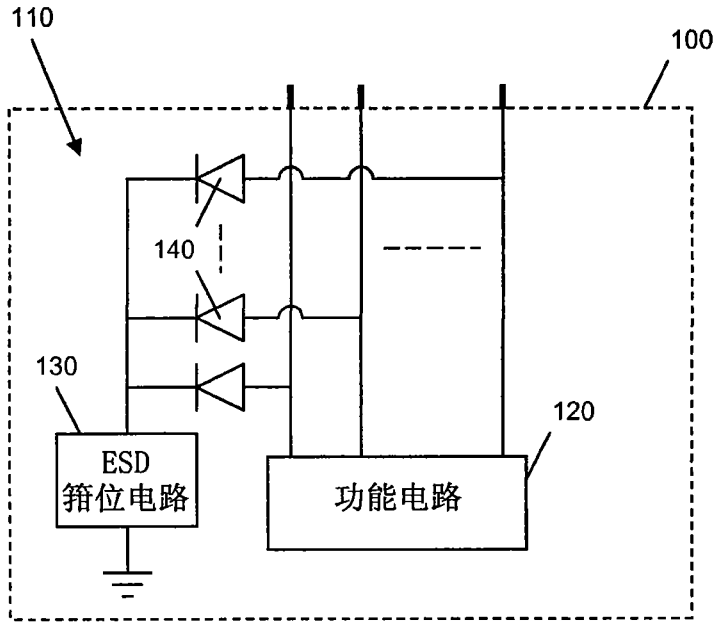
个 IC 中、多个单元或多个 IC 中或作为其他功能单元的一部分来实现功能。

尽管已经结合一些实施例描述了本发明，但是并非意在限于在此阐明的特定形式。相反，本发明的范围仅通过权利要求来限制。另外，尽管看起来结合特定实施例描述特征，但是本领域技术人员将意识到根据本发明可以组合所描述实施例的各种特征。在权利要求中，术语“包括”不排除存在其他元件或步骤。

此外，尽管单个特征可以被包括在不同的权利要求中，但是可以有利地将这些组合，并且在不同权利要求中包括并非暗示组合特征不可行和/或有利。而且，在权利要求的一个类别中的特征的包括并不暗示限于该类别，而是指示特征同样可以酌情应用于其他权利要求类别。

此外，在权利要求中特征的顺序并不暗示必须执行的特征的任何特定顺序，并且特别是方法权利要求中各个步骤的顺序并不暗示必须以该顺序来执行步骤。相反，可以以任何合适的顺序来执行步骤。另外，单数引用不排除多数。因此，对于“一”、“一个”、“第一”、“第二”等的引用不排除多个。

因此，已经描述了包括 ESD 保护电路的集成电路和电子器件，其中已经基本上消除了具有现有技术布置的前述缺点。



(现有技术)

图1

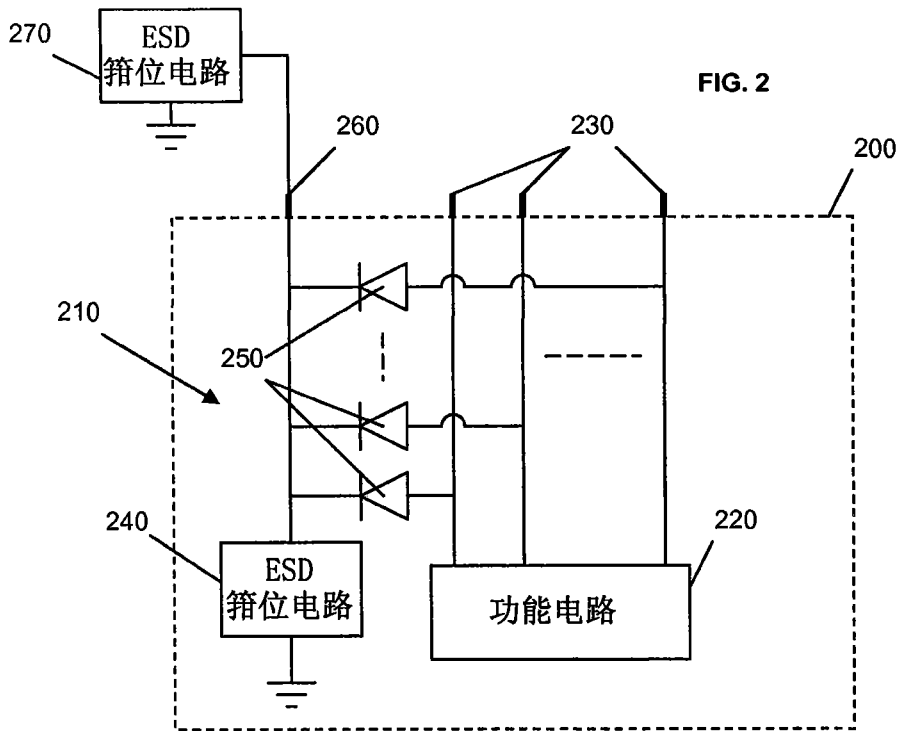


图2



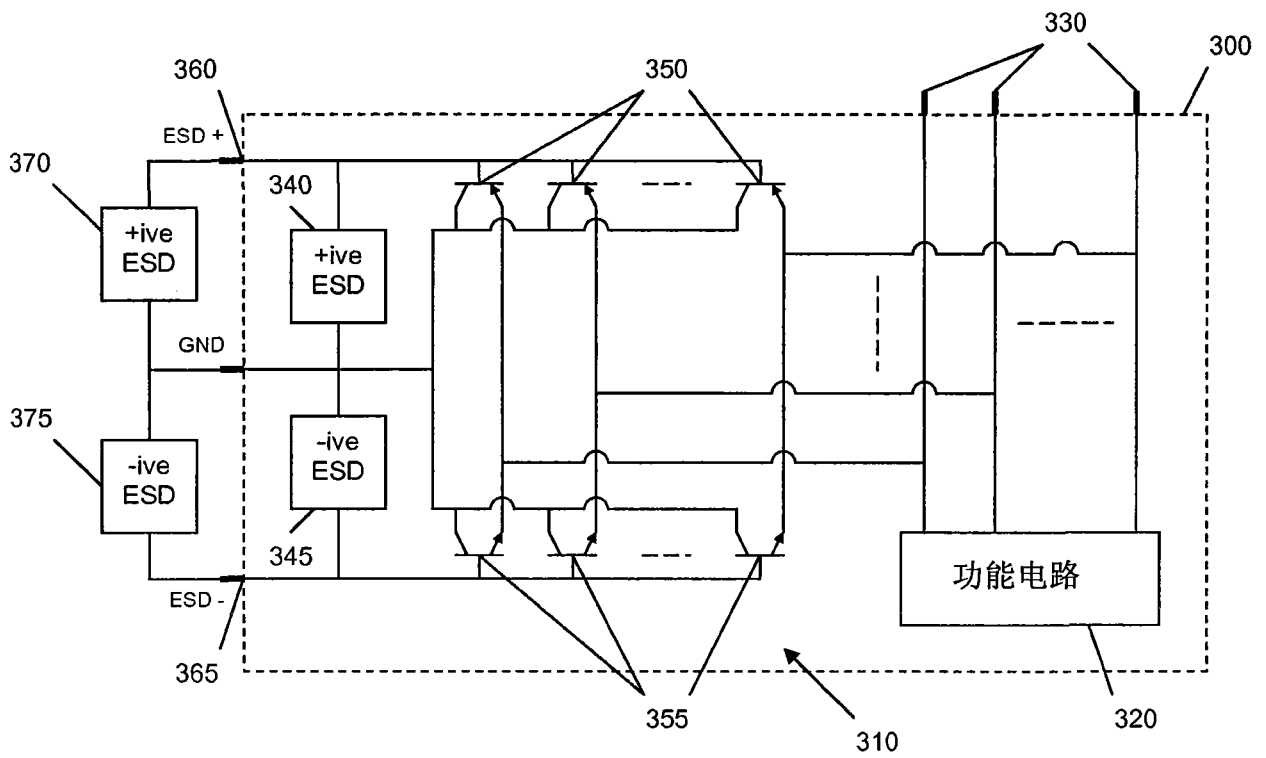


图3

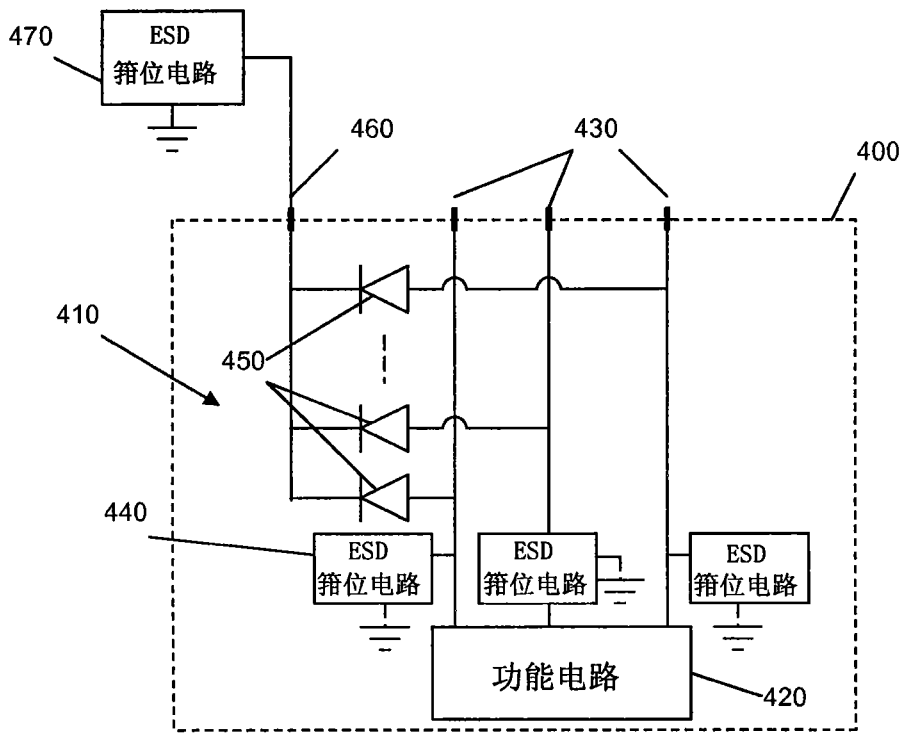


图4