

(72) 발명자

유병욱

경기도 성남시 분당구 새나리로 25

김지완

경기도 성남시 분당구 새나리로 25

이 발명을 지원한 국가연구개발사업

과제고유번호 10045145

부처명 지식경제부

연구관리전문기관 산업관련평가원

연구사업명 산업융합원천기술개발사업

연구과제명 고성능 (이동도 70cm²/Vs) 황 화합물계 반도체 백플레인 및 카드뮴이 없는 고효율 (발광효율 30cd/A) 유무기 하이브리드 EL 소재/소자 원천 기술개발

기 여 율 1/1

주관기관 전자부품연구원

연구기간 2013.09.04 ~ 2014.01.17

특허청구의 범위

청구항 1

복수 개의 전극;

상기 복수 개의 전극 중 적어도 일부 사이에 채널을 형성하는 채널 영역; 및

상기 복수 개의 전극 중 적어도 일부와 상기 채널 영역의 적어도 일부 사이에 형성되는 인터 레이어 막을 포함하되,

상기 인터 레이어 막은 메탈을 포함하며, 상기 인터 레이어 막에 포함된 상기 메탈의 일함수와 상기 채널 영역에 포함된 채널 영역 물질의 전자친화도의 차이가 $\pm 0.5\text{eV}$ 이내인 반도체 장치.

청구항 2

제 1항에 있어서,

상기 복수 개의 전극은, 투명 전도성 물질로 이루어진 반도체 장치.

청구항 3

제 2항에 있어서,

상기 투명 전도성 물질은, 산화물 또는 그래핀(Graphene) 물질을 포함하는 반도체 장치.

청구항 4

제 1항에 있어서,

상기 채널 영역은, 전이금속 칼코겐 화합물(Transition Metal Dichalcogenide)을 포함하는 반도체 장치.

청구항 5

제 1항에 있어서,

상기 인터 레이어 막의 두께는, 30nm 이하인 반도체 장치.

청구항 6

제 5항에 있어서,

상기 인터 레이어 막은, Ti 또는 Al을 포함하는 반도체 장치.

청구항 7

제 1항에 있어서,

상기 복수 개의 전극은 소오스/드레인 전극을 포함하고,

상기 소오스/드레인 전극 사이에 상기 채널 영역이 배치되고,

상기 채널 영역은 외부로 노출된 반도체 장치.

청구항 8

제 1항에 있어서,

상기 복수 개의 전극은 게이트 전극과 소오스/드레인 전극을 포함하고,

상기 게이트 전극과 상기 채널 영역 사이에 형성된 게이트 절연막을 더 포함하는 반도체 장치.

청구항 9

제 8항에 있어서,

상기 게이트 전극, 상기 게이트 절연막, 상기 채널 영역, 상기 인터 레이어 막, 및 상기 소오스/드레인 전극이 순차적으로 형성된 반도체 장치.

청구항 10

제 9항에 있어서,

상기 채널 영역은 상기 소오스/드레인 전극 사이에 배치되고, 외부로 노출된 반도체 장치.

청구항 11

게이트 전극;

상기 게이트 전극 상에 컨포말하게 형성된 게이트 절연막;

상기 게이트 절연막 상에 컨포말하게 형성된 채널 영역;

상기 채널 영역이 외부로 노출되도록 상기 채널 영역의 일부를 덮어 형성된 소오스/드레인 전극; 및

상기 채널 영역과 상기 소오스/드레인 전극 사이에 형성된 인터 레이어 막을 포함하되,

상기 인터 레이어 막은 메탈을 포함하며, 상기 인터 레이어 막에 포함된 상기 메탈의 일함수와 상기 채널 영역에 포함된 채널 영역 물질의 전자친화도의 차이가 $\pm 0.5\text{eV}$ 이내인 반도체 장치.

청구항 12

제 11항에 있어서,

상기 게이트 전극과 상기 소오스/드레인 전극은, 투명 전도성 물질로 이루어진 반도체 장치.

청구항 13

제 12항에 있어서,

상기 투명 전도성 물질은, 산화물 또는 그래핀 물질을 포함하는 반도체 장치.

청구항 14

제 11항에 있어서,

상기 채널 영역은, 전이금속 칼코겐 화합물을 포함하는 반도체 장치.

청구항 15

제 11항에 있어서,

상기 인터 레이어 막의 두께는, 30nm 이하인 반도체 장치.

청구항 16

제 15항에 있어서,

상기 인터 레이어 막은, Ti 또는 Al을 포함하는 반도체 장치.

청구항 17

게이트 전극을 형성하고,

상기 게이트 전극 상에 게이트 절연막을 컨포말하게 형성하고,

상기 게이트 절연막 상에 채널 영역을 컨포말하게 형성하고,

상기 채널 영역의 일부 상에 인터 레이어 막을 형성하고,

상기 인터 레이어 막 상에 소오스/드레인 전극을 형성하는 것을 포함하되,

상기 인터 레이어 막은 메탈을 포함하며, 상기 인터 레이어 막에 포함된 상기 메탈의 일함수와 상기 채널 영역에 포함된 채널 영역 물질의 전자친화도의 차이가 $\pm 0.5\text{eV}$ 이내인 반도체 장치의 제조 방법.

청구항 18

제 17항에 있어서,

상기 게이트 전극과 상기 소오스/드레인 전극은 투명 전도성 물질을 포함하고,

상기 채널 영역은 전이금속 칼코겐 화합물을 포함하는 반도체 장치의 제조 방법.

청구항 19

제 18항에 있어서,

상기 투명 전도성 물질은, 산화물 또는 그래핀 물질을 포함하는 반도체 장치의 제조 방법.

청구항 20

제 17항에 있어서,

상기 인터 레이어 막은 Ti 또는 Al을 포함하고, 두께가 30nm 이하인 반도체 장치의 제조 방법.

명세서

기술 분야

[0001] 본 발명은 투명 전극을 포함한 반도체 장치 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 투명 박막 트랜지스터(Transparent Thin Film Transistor, TTFT)는 최근에 활발하게 연구가 되는 박막 트랜지스터(TFT)의 한 종류로 가시광선(파장 360 ~ 830nm)을 투과시키는 것이 특징이다.

[0003] 일반적인 반도체 소자는 밴드 갭 에너지가 작기 때문에 광자(photon)가 원자 격자 사이에 들어왔을 경우에, 광자의 에너지를 전자가 흡수하여 전자가 전도대(conduction band)로 여기된다. 그러나, ZnO(Zinc oxide)로 이루어진 반도체 소자는 밴드 갭 에너지가 넓고, Si에서 흡수되는 파장의 광자도 흡수하지 않고 투과시킬 수 있다. 이러한 원리에 따라, 투명한 트랜지스터를 구현하는 것이 가능해졌다.

[0004] 투명 박막 트랜지스터는 디스플레이 장치 등에서 이용되고 있으며, 산업 전반에 걸쳐 수요가 증가하고 있는 실정이다.

[0005] 한국공개특허 제2012-0067056호에는 불소 계열 물질이 도핑된 투명 전극층을 구비하는 반도체 발광 소자 및 그 제조 방법에 관하여 개시되어 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명이 해결하고자 하는 과제는, 투명 전극과 전이금속 칼코겐 화합물(Transition Metal Dichalcogenide; TMDC) 사이에 형성된 인터 레이어 막을 이용하여, 쇼트키 배리어(Schottky barrier)를 낮추고, 고투명성과 고이동도의 특성을 함께 구현할 수 있는 투명 전극을 포함한 반도체 장치를 제공하는 것이다.

[0007] 본 발명이 해결하고자 하는 다른 과제는, 상기 반도체 장치의 제조 방법을 제공하는 것이다.

[0008] 본 발명이 해결하려는 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0009] 상기 과제를 해결하기 위한 본 발명의 반도체 장치의 일 실시예는, 복수 개의 전극, 상기 복수 개의 전극 중 적어도 일부 사이에 채널을 형성하는 채널 영역, 및 상기 복수 개의 전극 중 적어도 일부와 상기 채널 영역의 적

어도 일부 사이에 형성되는 인터 레이어 막을 포함하되, 상기 인터 레이어 막은 메탈을 포함하며, 상기 인터 레이어 막에 포함된 상기 메탈의 일함수와 상기 채널 영역에 포함된 채널 영역 물질의 전자친화도의 차이가 $\pm 0.5\text{eV}$ 이내이다.

- [0010] 본 발명에 따른 몇몇 실시예에서, 상기 복수 개의 전극은, 투명 전도성 물질로 이루어질 수 있다.
- [0011] 본 발명에 따른 몇몇 실시예에서, 상기 투명 전도성 물질은, 산화물 또는 그래핀(Graphene) 물질을 포함할 수 있다.
- [0012] 본 발명에 따른 몇몇 실시예에서, 상기 채널 영역은, 전이금속 칼코겐 화합물(Transition Metal Dichalcogenide)을 포함할 수 있다.
- [0013] 본 발명에 따른 몇몇 실시예에서, 상기 인터 레이어 막의 두께는, 30nm 이하일 수 있다.
- [0014] 본 발명에 따른 몇몇 실시예에서, 상기 인터 레이어 막은, Ti 또는 Al을 포함할 수 있다.
- [0015] 본 발명에 따른 몇몇 실시예에서, 상기 복수 개의 전극은 소오스/드레인 전극을 포함하고, 상기 소오스/드레인 전극 사이에 상기 채널 영역이 배치되고, 상기 채널 영역은 외부로 노출될 수 있다.
- [0016] 본 발명에 따른 몇몇 실시예에서, 상기 복수 개의 전극은 게이트 전극과 소오스/드레인 전극을 포함하고, 상기 게이트 전극과 상기 채널 영역 사이에 형성된 게이트 절연막을 더 포함할 수 있다.
- [0017] 본 발명에 따른 몇몇 실시예에서, 상기 게이트 전극, 상기 게이트 절연막, 상기 채널 영역, 상기 인터 레이어 막, 및 상기 소오스/드레인 전극이 순차적으로 형성될 수 있다.
- [0018] 본 발명에 따른 몇몇 실시예에서, 상기 채널 영역은 상기 소오스/드레인 전극 사이에 배치되고, 외부로 노출될 수 있다.
- [0019] 상기 과제를 해결하기 위한 본 발명의 반도체 장치의 다른 실시예는, 게이트 전극, 상기 게이트 전극 상에 컨포말하게 형성된 게이트 절연막, 상기 게이트 절연막 상에 컨포말하게 형성된 채널 영역, 상기 채널 영역이 외부로 노출되도록 상기 채널 영역의 일부를 덮어 형성된 소오스/드레인 전극, 및 상기 채널 영역과 상기 소오스/드레인 전극 사이에 형성된 인터 레이어 막을 포함하되, 상기 인터 레이어 막은 메탈을 포함하며, 상기 인터 레이어 막에 포함된 상기 메탈의 일함수와 상기 채널 영역에 포함된 채널 영역 물질의 전자친화도의 차이가 $\pm 0.5\text{eV}$ 이내이다.
- [0020] 본 발명에 따른 몇몇 실시예에서, 상기 게이트 전극과 상기 소오스/드레인 전극은, 투명 전도성 물질로 이루어질 수 있다.
- [0021] 본 발명에 따른 몇몇 실시예에서, 상기 투명 전도성 물질은, 산화물 또는 그래핀 물질을 포함할 수 있다.
- [0022] 본 발명에 따른 몇몇 실시예에서, 상기 채널 영역은, 전이금속 칼코겐 화합물을 포함할 수 있다.
- [0023] 본 발명에 따른 몇몇 실시예에서, 상기 인터 레이어 막의 두께는, 30nm 이하일 수 있다.
- [0024] 본 발명에 따른 몇몇 실시예에서, 상기 인터 레이어 막은, Ti 또는 Al을 포함할 수 있다.
- [0025] 상기 과제를 해결하기 위한 본 발명의 반도체 장치의 제조 방법의 일 실시예는, 게이트 전극을 형성하고, 상기 게이트 전극 상에 게이트 절연막을 컨포말하게 형성하고, 상기 게이트 절연막 상에 채널 영역을 컨포말하게 형성하고, 상기 채널 영역의 일부 상에 인터 레이어 막을 형성하고, 상기 인터 레이어 막 상에 소오스/드레인 전극을 형성하는 것을 포함하되, 상기 인터 레이어 막은 메탈을 포함하며, 상기 인터 레이어 막에 포함된 상기 메탈의 일함수와 상기 채널 영역에 포함된 채널 영역 물질의 전자친화도의 차이가 $\pm 0.5\text{eV}$ 이내이다.
- [0026] 본 발명에 따른 몇몇 실시예에서, 상기 게이트 전극과 상기 소오스/드레인 전극은 투명 전도성 물질을 포함하고, 상기 채널 영역은 전이금속 칼코겐 화합물을 포함할 수 있다.
- [0027] 본 발명에 따른 몇몇 실시예에서, 상기 투명 전도성 물질은, 산화물 또는 그래핀 물질을 포함할 수 있다.
- [0028] 본 발명에 따른 몇몇 실시예에서, 상기 인터 레이어 막은 Ti 또는 Al을 포함하고, 두께가 30nm 이하일 수 있다.
- [0029] 본 발명의 기타 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

[0030] 본 발명에 따른 투명 전극을 포함한 반도체 장치 및 그 제조 방법을 이용하면, 투명 전극과, 전이금속 칼코겐 화합물(TMDC)에 의해 형성된 채널 영역과, 그 사이에 형성된 인터 레이어 막으로 인하여, 물질의 투명성, 고이동도, 고신뢰성이 확보될 수 있다.

[0031] 이에 따라, 투명 전자 시스템에서 구동부로 작동하는 투명 트랜지스터와 투명 전극의 고투명성을 이용하여 투명 디스플레이에 활용 가능한 효과가 있다.

[0032] 본 발명에 따르면, 인터 레이어 막을 이용한 투명 전극은 전이금속 칼코겐 화합물(TMDC)의 우수한 전기적 성질을 보존할 수 있어, 고이동도, 고투명성, 낮은 소비 전력을 구현하는 투명 전자 소자로 활용될 수 있다.

도면의 간단한 설명

[0033] 도 1은 본 발명의 일 실시예에 따른 반도체 장치의 사시도이다.

도 2는 메탈의 일함수와 반도체 물질의 전자친화도를 설명하기 위한 도면이다.

도 3은 인터 레이어 막에 포함된 메탈의 일함수와 채널 영역에 포함된 반도체 물질의 전자친화도를 나타낸 도면이다.

도 4는 본 발명에 따른 반도체 장치에서 쇼트키 배리어의 변화를 나타낸 도면이다.

도 5는 메탈의 일함수를 나타낸 표이다.

도 6은 반도체 물질의 전자친화도를 나타낸 표이다.

도 7은 채널 영역 물질의 3차원적 구조를 나타낸 도면이다.

도 8은 게이트 전압에 따른 드레인 전류를 나타낸 그래프이다.

도 9는 드레인 전압에 따른 드레인 전류를 나타낸 그래프이다.

도 10은 본 발명의 일 실시예에 따른 반도체 장치의 제조 방법을 순차적으로 나타낸 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0034] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

[0035] 하나의 구성 요소가 다른 구성 요소와 "연결된(connected to)" 또는 "커플링된(coupled to)" 이라고 지칭되는 것은, 다른 구성 요소와 직접 연결 또는 커플링된 경우 또는 중간에 다른 구성 요소를 개재한 경우를 모두 포함한다. 반면, 하나의 구성 요소가 다른 구성 요소와 "직접 연결된(directly connected to)" 또는 "직접 커플링된(directly coupled to)"으로 지칭되는 것은 중간에 다른 구성 요소를 개재하지 않은 것을 나타낸다. "및/또는"은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.

[0036] 구성 요소가 다른 구성 요소의 "위(on)" 또는 "상(on)"으로 지칭되는 것은 다른 구성 요소의 바로 위뿐만 아니라 중간에 다른 구성 요소를 개재한 경우를 모두 포함한다. 반면, 구성 요소가 다른 구성 요소의 "직접 위(directly on)" 또는 "바로 위"로 지칭되는 것은 중간에 다른 구성 요소를 개재하지 않은 것을 나타낸다.

[0037] 공간적으로 상대적인 용어인 "아래(below)", "아래(beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 구성 요소들과 다른 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 예를 들면, 도면에 도시되어 있는 소자를 뒤집을 경우, 다른 소자의 "아래(below)" 또는 "아래(beneath)"로 기술된 구성 요소는 다른 구성 요소의 "위(above)"에 놓여질 수 있다. 따라서, 예시적인 용어인 "아래"는 아래와 위의 방향을 모두 포함할 수 있다. 구성 요소는 다른 방향으로도 배향될 수 있고, 이에 따라 공간적으로 상대적인 용어들은 배향에 따라 해석될 수 있다.

[0038] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다

(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성 요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성 요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.

- [0039] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다.
- [0040] 도 1은 본 발명의 일 실시예에 따른 반도체 장치의 사시도이다. 도 2는 메탈의 일함수와 반도체 물질의 전자친화도를 설명하기 위한 도면이다. 도 3은 인터 레이어 막에 포함된 메탈의 일함수와 채널 영역에 포함된 반도체 물질의 전자친화도를 나타낸 도면이다. 도 4는 본 발명에 따른 반도체 장치에서 쇼트키 배리어의 변화를 나타낸 도면이다. 도 5는 메탈의 일함수를 나타낸 표이다. 도 6은 반도체 물질의 전자친화도를 나타낸 표이다. 도 7은 채널 영역 물질의 3차원적 구조를 나타낸 도면이다. 도 8은 게이트 전압에 따른 드레인 전류를 나타낸 그래프이다. 도 9는 드레인 전압에 따른 드레인 전류를 나타낸 그래프이다.
- [0041] 도 1을 참조하면, 본 발명의 일 실시예에 따른 반도체 장치는, 기판(100), 층간 절연막(200), 게이트 전극(300), 게이트 절연막(310), 채널 영역(320), 소오스/드레인 전극(330, 340), 인터 레이어 막(400)을 포함한다.
- [0042] 기판(100)은 Si, Ge, SiGe, GaP, GaAs, SiC, SiGeC, InAs 및 InP로 이루어지는 군에서 선택되는 하나 이상의 반도체 재료로 이루어질 수 있다.
- [0043] 또한, 기판(100)은 디스플레이용 유리 기판 등의 강성 기판이거나 폴리이미드 (polyimide), 폴리에스테르 (polyester), 폴리카보네이트 (polycarbonate), 폴리에테르술폰 (polyethersulfone), 폴리메틸메타크릴레이트 (polymethylmethacrylate), 폴리에틸렌나프탈레이트 (polyethylenenaphthalate), 폴리에틸렌테레프탈레이트 (polyethyleneterephthalate) 등의 가요성 플라스틱 기판일 수도 있다.
- [0044] 층간 절연막(200)은 기판(100) 상에 형성된다. 층간 절연막(200)은 화학 기상 증착(Chemical Vapor Deposition: CVD) 공정, 플라즈마 화학 기상 증착(Plasma Enhanced Chemical Vapor Deposition: PECVD) 공정, 원자층 증착(Atomic Layer Deposition: ALD) 공정 등을 통해 형성할 수 있다. 또한, 층간 절연막(110)은 실리콘 산화물을 사용하여 형성될 수 있다.
- [0045] 게이트 전극(300)은 투명 전도성 물질로 이루어질 수 있다. 예를 들어, 게이트 전극(300)은 산화물(예를 들어, ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ZnO(Zinc Oxide) 등), 그래핀(Graphene) 물질, 탄소나노튜브(CNT) 물질, 은나노와이어 물질 등과 같은 투명 전도성 물질을 포함할 수 있다.
- [0046] 또한, 게이트 전극(300)은 전기 전도성이 높은 금속 재질, 예를 들어, Pt, Ru, Au, Ag, Mo, Al, W 또는 Cu 등의 물질을 포함할 수도 있다.
- [0047] 게이트 전극(300)은 화학 기상 증착(CVD) 공정, 플라즈마 화학 기상 증착(PECVD) 공정, 원자층 증착(ALD) 공정, 또는 스퍼터(sputter) 공정 등을 통해 형성할 수 있다.
- [0048] 게이트 절연막(310)은 게이트 전극(300) 상에 형성된다. 특히, 게이트 절연막(310)은 게이트 전극(300) 상에 컨포멀하게 형성될 수 있으나, 이에 한정되는 것은 아니다.
- [0049] 게이트 절연막(310)은 실리콘 산화막, 실리콘 질화막, SiON, GexOyNz, GexSiyOz, 고유전율 물질, 이들의 조합물 또는 이들이 차례로 적층된 적층막 등이 사용될 수 있다. 여기에서, 고유전율 물질은 HfO2, ZrO2, Al2O3, Ta2O5, 하프늄 실리케이트, 지르코늄 실리케이트 또는 이들의 조합막 등이 사용될 수 있으나, 이에 한정되는 것은 아니다.
- [0050] 또한, 게이트 절연막(310)은 광투과성을 확보할 수 있는 두께로 형성되어, 본 발명에서의 반도체 장치가 투명 디스플레이 장치에 활용될 수 있도록 한다.
- [0051] 채널 영역(320)은 게이트 절연막(310) 상에 형성된다. 특히, 채널 영역(320)은 게이트 절연막(310) 상에 컨포멀하게 형성될 수 있으나, 이에 한정되는 것은 아니다.
- [0052] 채널 영역(320)은 소오스/드레인 전극(330, 340) 사이에 형성되어, 소오스/드레인 전극(330, 340)에 의하여 덮이지 않은 부분은 외부로 노출된다.

- [0053] 채널 영역(320)은, 예를 들어, 전이금속 칼코겐 화합물(Transition Metal Dichalcogenide; TMDC)을 포함할 수 있으나, 이에 한정되는 것은 아니다. 채널 영역(320)을 전이금속 칼코겐 화합물(TMDC)로 형성함으로써, 투명성 및 광신뢰성을 개선할 수 있다.
- [0054] 즉, 2D 나노 판상 구조를 갖는 물질을 이용하여 채널 영역(320)을 형성함으로써, 나노 물질에서 기인하는 고투명성과 고이동도의 특성을 갖는 투명 트랜지스터를 제조할 수 있다.
- [0055] 여기에서, TMDC 물질을 이용하는 경우의 효과에 대하여 설명한다.
- [0056] 이차원 물질은 일차원 물질과 비교했을 때, 소자의 복잡한 구조를 제조하기가 상대적으로 용이하기 때문에 차세대 나노전자소자의 물질로 이용하기에 적합하다. 이러한 이차원 물질 중 이차원 전이금속 칼코겐 화합물(2D Transition Metal Dichalcogenide)은 MoS₂, MoSe₂, WSe₂, MoTe₂, 또는 SnSe₂의 화합물로 이루어지며, 이 중에서 단층 MoS₂의 구조는 도 7에 도시된 것과 같다.
- [0057] 도 7에 도시된 바와 같이, 단층 MoS₂ 결정은 수직적으로 쌓여있는 구조이고, 단층(single layer)의 두께는 6.5 Å으로서, 반데르발스(van der Waals) 상호 작용으로부터 층을 형성하고 있다. 만약, 채널 영역(320)을 다층의 TMDC 물질로 형성한다면, 다층에서 기인하는 전도도의 증가를 통해 이동을 50cm²/(V·s)로 향상시킬 수 있다.
- [0058] 위에서 설명한 TMDC 물질을 채널 영역(320) 물질로 이용하여 빛에 반응하여 동작되는 반도체 소자를 구현할 수 있다. 예를 들면, 솔라 셀(solar cell), 포토디텍터(photodetector), 광전자 소자, 또는 박막 트랜지스터(Thin Film Transistors) 구조, 또는 하이브리드 디바이스(일례로, P-type organic과 N-type 다층 전이금속 칼코겐 화합물)를 통한 포토 트랜지스터 소자 등이 있다.
- [0059] 투명 디스플레이에서 실리콘 같은 경우에는 약 20 ~ 30%의 광투과성을 보이거나 본 발명에 따른 투명 전극 및 전이금속 칼코겐 화합물(TMDC)을 이용한 반도체 장치는 약 80%의 광투과성을 보이므로 투명 디스플레이 제작시 소비 전력을 대폭 낮출 수 있다.
- [0060] 채널 영역(320)은 화학 기상 증착(CVD) 공정, 플라즈마 화학 기상 증착(PECVD) 공정, 원자층 증착(ALD) 공정, 또는 스퍼터(sputter) 공정 등을 통해 형성할 수 있다.
- [0061] 소오스/드레인 전극(330, 340)은 채널 영역(320)의 적어도 일부를 덮도록 채널 영역(320) 상에 형성된다. 소오스/드레인 전극(330, 340)은 투명 전도성 물질로 이루어질 수 있다.
- [0062] 예를 들어, 소오스/드레인 전극(330, 340)은 산화물(예를 들어, ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ZnO(Zinc Oxide) 등), 그래핀(Graphene) 물질, 탄소나노튜브(CNT) 물질, 은나노와이어 물질 등과 같은 투명 전도성 물질을 포함할 수 있다.
- [0063] 또한, 소오스/드레인 전극(330, 340)은 전기 전도성이 높은 금속 재질, 예를 들어, Pt, Ru, Au, Ag, Mo, Al, W 또는 Cu등의 물질을 포함할 수도 있다.
- [0064] 소오스/드레인 전극(330, 340)은 화학 기상 증착(CVD) 공정, 플라즈마 화학 기상 증착(PECVD) 공정, 원자층 증착(ALD) 공정, 또는 스퍼터(sputter) 공정 등을 통해 형성할 수 있다.
- [0065] 본 발명에서의 반도체 장치는, 게이트 전극(300), 채널 영역(320), 소오스/드레인 전극(330, 340)이 투명성을 갖는 물질로 이루어지기 때문에 투명 디스플레이 장치에 활용될 수 있다. 이하에서 설명하는 인터 레이어 막(400)의 두께도 광투과성을 확보할 수 있는 두께로 형성되기 때문에, 투명 디스플레이 장치에 활용될 수 있다.
- [0066] 인터 레이어 막(400)은 채널 영역(320)과 소오스/드레인 전극(330, 340) 사이에 형성된다. 특히, 인터 레이어 막(400)은 채널 영역(320)의 적어도 일부와 소오스/드레인 전극(330, 340)의 적어도 일부 사이에 형성될 수 있다.
- [0067] 인터 레이어 막(400)은 메탈을 포함하며, 인터 레이어 막(400)에 포함된 상기 메탈의 일함수와 채널 영역(320)에 포함된 채널 영역 물질의 전자친화도의 차이는 $\pm 0.5\text{eV}$ 이내일 수 있다. 예를 들어, 인터 레이어 막(400)은 Ti 또는 Al을 포함할 수 있다. 그리고, 인터 레이어 막(400)은 광투과성 확보를 위해 30nm 이하로 형성될 수 있다.
- [0068] 인터 레이어 막(400)은 화학 기상 증착(CVD) 공정, 플라즈마 화학 기상 증착(PECVD) 공정, 원자층 증착(ALD) 공정, 또는 스퍼터(sputter) 공정 등을 통해 형성할 수 있다.
- [0069] 일반적으로, 게이트 전극(300)과 소오스/드레인 전극(330, 340)을 투명 전극 물질(예를 들어, ITO, IZO, ZnO,

그래핀 물질, 탄소나노튜브(CNT) 물질, 은나노와이어 물질 등)로 형성하고, 채널 영역(320)을 전이금속 칼코겐 화합물(TMDC)로 형성하는 경우에, 투명 전극 물질과 전이금속 칼코겐 화합물(TMDC)이 바로 접촉하여 양 자 간의 일함수와 전자친화도의 차이로 인해 높은 쇼트키 배리어(Schottky barrier)가 형성되고, 콘택 저항이 커지게 된다.

[0070] 따라서, 인터 레이어 막(400)을 채널 영역(320)과 소오스/드레인 전극(330, 340) 사이에 형성함으로써, 쇼트키 배리어를 낮추고 상대적으로 낮은 콘택 저항을 갖도록 함으로써, 반도체 장치의 성능을 향상시킬 수 있다.

[0071] 그러므로, 인터 레이어 막(400)을 형성하는 물질은, 일함수가 작은 메탈을 포함하여야 하며, 특히, 본 발명에 따르면, 상기 메탈의 일함수와 채널 영역(320)에 포함된 채널 영역 물질(예를 들어, 반도체 물질)의 전자친화도의 차이는 $\pm 0.5\text{eV}$ 이내일 수 있다. 이러한 물질로서, Ti 또는 Al을 이용할 수 있다.

[0072] 이에 관하여, 도 2 내지 도 6을 참조하여, 구체적으로 설명한다.

[0073] 도 2 내지 도 4를 참조하면, 메탈(M)과 반도체 물질(S)이 접촉하는 경우에, 쇼트키 배리어(Φ_B)가 형성되는 이유를 알 수 있다. 메탈(M)의 일함수(Φ_M)보다 반도체 물질(S)의 전자친화도(χ)가 큰 경우에 페르미 레벨(EF)이 일치하도록 에너지 준위가 배치되고, 쇼트키 배리어(Φ_B)가 형성된다. 쇼트키 배리어(Φ_B)는 메탈(M)과 반도체 물질(S)이 접합하여 형성되는 전위 장벽을 의미한다.

[0074] 종래의 투명 트랜지스터 구조에서, 투명 전극 물질(예를 들어, IZO)과 채널 영역 물질(예를 들어, TMDC)을 접합시킨 경우에, IZO 물질의 일함수는 5eV 이고, TMDC 물질의 전자친화도는 4.3eV 이므로, 0.7eV 의 전위 장벽이 쇼트키 배리어(Φ_B)로 형성된다.

[0075] 다만, 본 발명에서는 인터 레이어 막(400)을 형성하여, 종래의 투명 트랜지스터 구조에 비하여 쇼트키 배리어(Φ_B)를 낮출 수 있는 구성을 갖는다. 즉, 인터 레이어 막(400)에 포함된 메탈의 일함수가 채널 영역(320)에 포함된 반도체 물질의 전자친화도와 차이가 0.5eV 이내가 되도록 인터 레이어 막(400)을 형성하여, 쇼트키 배리어(Φ_B)를 0.5eV 이내로 낮출 수 있다.

[0076] 도 3에 나타난 것과 같이, 본 발명에서의 인터 레이어 막(400)을 Al으로 형성하는 경우에, Al의 일함수가 4.28eV 이기 때문에, 채널 영역(320)을 TMDC 물질을 이용하여 형성한다면, 쇼트키 배리어(Φ_B)는 0.02eV 가 된다.

[0077] 또한, 인터 레이어 막(400)을 Ti로 형성하는 경우에, Ti의 일함수가 4.33eV 이기 때문에, 채널 영역(320)을 TMDC 물질을 이용하여 형성한다면, 쇼트키 배리어(Φ_B)는 0.03eV 가 된다.

[0078] 도 5 및 도 6을 참조하여, 메탈의 일함수와 반도체 물질의 전자친화도의 차이가 0.5eV 이내가 되도록 본 발명의 인터 레이어 막(400)과 채널 영역(320)을 형성할 수 있다.

[0079] 도 8 및 도 9에 도시된 그래프를 통하여, Al을 인터 레이어 막(400) 물질로 이용하는 경우에 높은 전기적 효과를 달성할 수 있음을 알 수 있다.

[0080] 이하에서는, 본 발명의 일 실시예에 따른 반도체 장치의 제조 방법에 대하여 설명하기로 한다.

[0081] 도 10은 본 발명의 일 실시예에 따른 반도체 장치의 제조 방법을 순차적으로 나타낸 흐름도이다.

[0082] 도 10을 참조하면, 본 발명의 일 실시예에 따른 반도체 장치의 제조 방법은 우선, 게이트 전극(300)을 형성한다(S100).

[0083] 게이트 전극(300)은 투명 전도성 물질로 이루어질 수 있다. 예를 들어, 게이트 전극(300)은 산화물(예를 들어, ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ZnO(Zinc Oxide) 등), 그래핀(Graphene) 물질, 탄소나노튜브(CNT) 물질, 은나노와이어 물질 등과 같은 투명 전도성 물질을 포함할 수 있다.

[0084] 이어서, 게이트 전극(300) 상에 게이트 절연막(310)을 컨포말하게 형성한다(S110).

[0085] 게이트 절연막(310)은 실리콘 산화막, 실리콘 질화막, SiON , GexOyNz , GexSiyOz , 고유전율 물질, 이들의 조합물 또는 이들이 차례로 적층된 적층막 등이 사용될 수 있다.

[0086] 이어서, 게이트 절연막(310) 상에 채널 영역(320)을 컨포말하게 형성한다(S120).

[0087] 채널 영역(320)은, 예를 들어, 전이금속 칼코겐 화합물(Transition Metal Dichalcogenide; TMDC)을 포함할 수 있다.

[0088] 이어서, 채널 영역(320)의 일부 상에 인터 레이어 막(400)을 형성한다(S130).

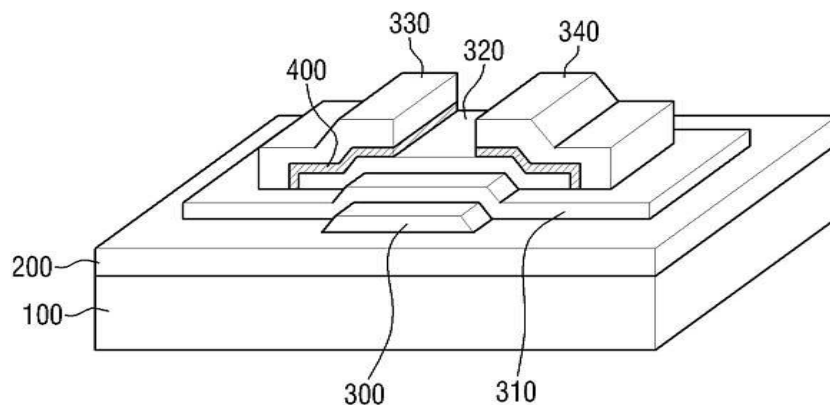
- [0089] 인터 레이어 막(400)은 메탈을 포함하며, 인터 레이어 막(400)에 포함된 상기 메탈의 일함수와 채널 영역(320)에 포함된 채널 영역 물질의 전자친화도의 차이는 $\pm 0.5\text{eV}$ 이내일 수 있다.
- [0090] 예를 들어, 인터 레이어 막(400)은 Ti 또는 Al을 포함하고, 채널 영역(320)은 전이금속 칼코겐 화합물(TMDC)을 포함할 수 있다. 그리고, 인터 레이어 막(400)은 광투과성 확보를 위해 30nm 이하로 형성될 수 있다.
- [0091] 이어서, 인터 레이어 막(400) 상에 소오스/드레인 전극(330, 340)을 형성한다(S140).
- [0092] 소오스/드레인 전극(330, 340)은 투명 전도성 물질로 이루어질 수 있다. 예를 들어, 소오스/드레인 전극(330, 340)은 산화물(예를 들어, ITO, IZO, ZnO 등), 그래핀 물질, 탄소나노튜브 물질, 은나노와이어 물질 등과 같은 투명 전도성 물질을 포함할 수 있다.
- [0093] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

부호의 설명

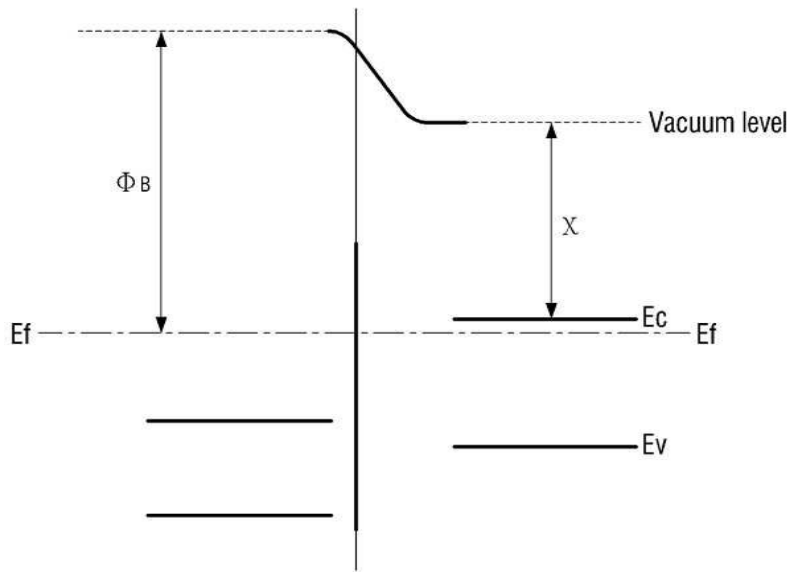
- [0094] 100: 기판 200: 층간 절연막
300: 게이트 전극 310: 게이트 절연막
320: 채널 영역 330, 340: 소오스/드레인 전극
400: 인터 레이어 막

도면

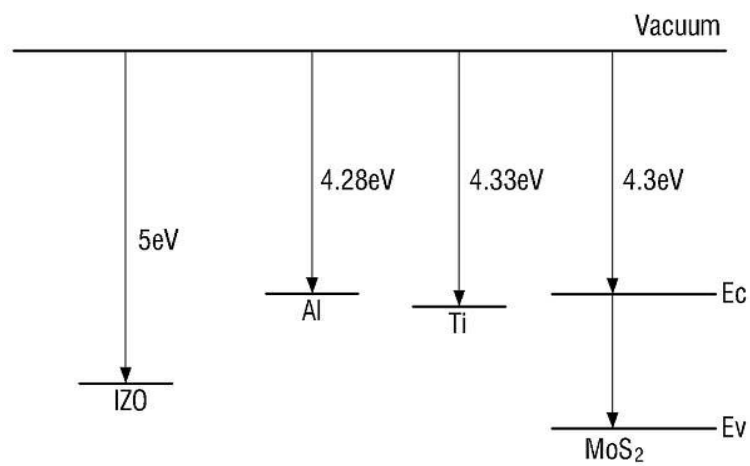
도면1



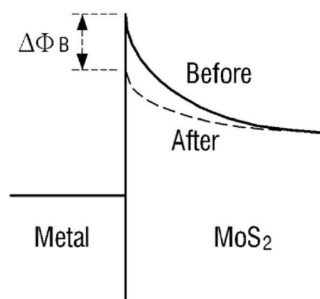
도면2



도면3



도면4



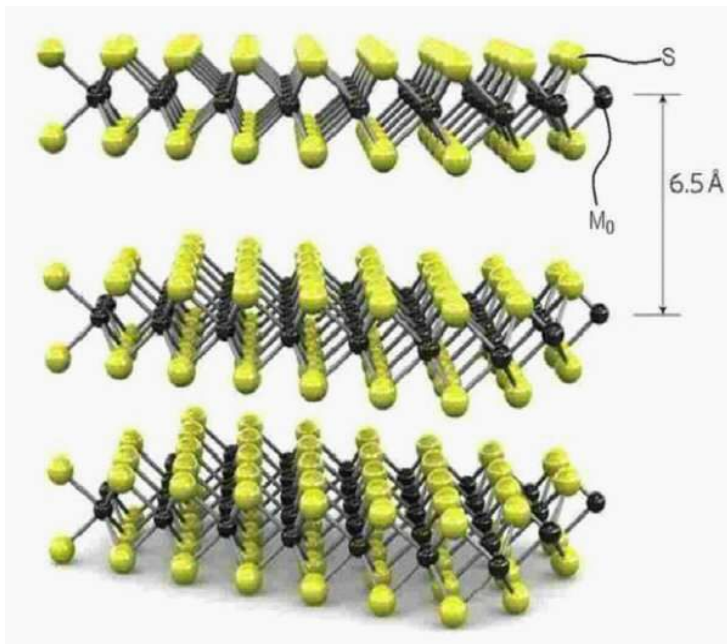
도면5

Element	Work function, ϕ_m
Ag, silver	4.26
Al, aluminum	4.28
Au, gold	5.1
Cr, chromium	4.5
Mo, molybdenum	4.6
Ni, nickel	5.15
Pd, palladium	5.12
Pt, platinum	5.65
Ti, titanium	4.33
W, tungsten	4.55

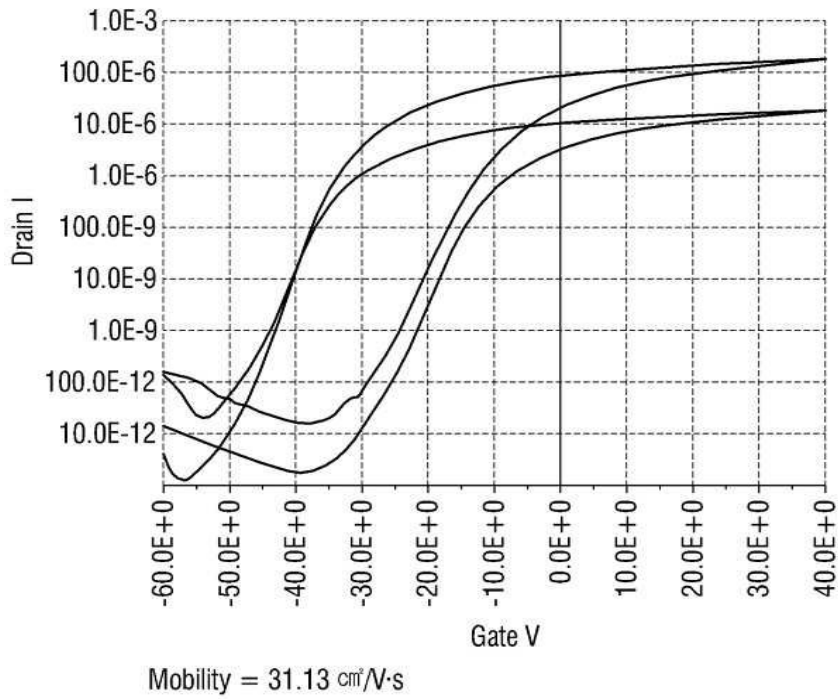
도면6

Element	Electron affinity, χ
Ge, germanium	4.13
Si, silicon	4.01
GaAs, gallium arsenide	4.07
AlAs, aluminum arsenide	3.5

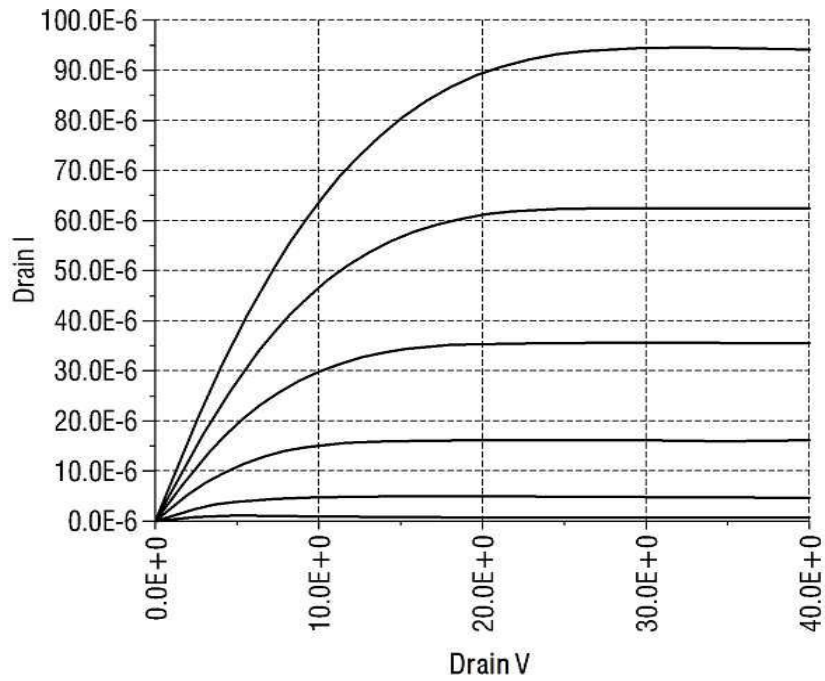
도면7



도면8



도면9



도면10

