

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成24年7月12日(2012.7.12)

【公表番号】特表2011-524063(P2011-524063A)

【公表日】平成23年8月25日(2011.8.25)

【年通号数】公開・登録公報2011-034

【出願番号】特願2011-513544(P2011-513544)

【国際特許分類】

G 11 C 16/06 (2006.01)

G 11 C 16/02 (2006.01)

G 11 C 16/04 (2006.01)

【F I】

G 11 C 17/00 6 3 3 A

G 11 C 17/00 6 0 1 Q

G 11 C 17/00 6 2 2 E

【手続補正書】

【提出日】平成24年5月18日(2012.5.18)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

フラッシュメモリデバイスのブロック内にデータを配列する方法であって、前記ブロックは複数のワード線および前記複数のワード線の複数のメモリセルを含み、前記複数のワード線は一つ以上の下端ワード線、一つ以上の上端ワード線、および前記複数の下端ワード線と上端ワード線の間の複数の中間ワード線を含み、前記方法は、

前記ブロックの一つ以上の下端ワード線もしくは一つ以上の上端ワード線に格納する前に、前記ブロックの前記複数の中間ワード線上の複数のメモリセルのうちの少なくとも一つにブロックの初期データが格納されるように、格納されるべきデータをマッピングするステップと、

前記一つ以上の下端ワード線および／もしくは前記一つ以上の上端ワード線上の複数のメモリセルに格納されるべき連續的データの少なくとも一部をマッピングするステップと

、
を含む、

ことを特徴とする方法。

【請求項2】

前記一つ以上の上端ワード線は1本から5本のワード線を含み、前記一つ以上の下端ワード線は1本から5本のワード線を含む、

ことを特徴とする請求項1に記載の方法。

【請求項3】

前記一つ以上の上端ワード線の数は前記一つ以上の下端ワード線の数と同一である、
ことを特徴とする請求項2に記載の方法。

【請求項4】

前記一つ以上の上端ワード線の数は、前記一つ以上の下端ワード線の数とは異なる、
ことを特徴とする請求項2に記載の方法。

【請求項5】

連続的データの前記少なくとも一部をマッピングするステップは、
前記複数の下端ワード線上の前記複数のメモリセルに格納されるべき連続的データの前記少なくとも一部のうちの一部をマッピングするステップと、

前記複数の上端ワード線上の前記複数のメモリセルに格納されるべき連続的データの前記少なくとも一部のうちの別の一一部をマッピングするステップと、
を含む、

ことを特徴とする請求項1に記載の方法。

【請求項6】

前記一部をマッピングするステップは、前記複数の中間ワード線に最も近接する下端ワード線上の複数のメモリセルにまず格納されるべき前記一部をマッピングするステップを含む、

ことを特徴とする請求項5に記載の方法。

【請求項7】

前記他の一部をマッピングするステップは、前記複数の中間ワード線に最も近接する上端ワード線上の複数のメモリセルにまず格納されるべき前記他の一部をマッピングするステップを含む、

ことを特徴とする請求項5に記載の方法。

【請求項8】

連続的データの前記少なくとも一部をマッピングするステップは、

前記複数の下端ワード線上の前記複数のメモリセルに格納されるべき前記少なくとも一部のうちの一部をマッピングするステップと、

前記複数の上端ワード線上の前記複数のメモリセルに格納されるべき前記少なくとも一部のうちの別の一一部をマッピングするステップと、

を交互に含む、

ことを特徴とする請求項5に記載の方法。

【請求項9】

前記複数の下端ワード線もしくは上端ワード線上の前記複数のメモリセルにまず前記データを格納するために、第一の書き込み順序を示す第一組のワード線アドレスを前記フラッシュメモリデバイスによって受信するステップと、

前記複数の中間ワード線上の前記複数のメモリセルにまず前記データを格納するために、第二の書き込み順序を示す第二組のワード線アドレスへと、前記第一組のワード線アドレスを前記フラッシュメモリデバイスによって変換するステップと、
をさらに含む、

ことを特徴とする請求項1に記載の方法。

【請求項10】

前記複数の中間ワード線上の前記複数のメモリセルに前記データをまず格納するために、書き込み順序を示す複数のワード線アドレスを前記フラッシュメモリデバイスによって受信するステップをさらに含む、

ことを特徴とする請求項1に記載の方法。

【請求項11】

フラッシュメモリデバイスであって、
一つ以上のメモリブロックであって、前記複数のメモリブロックのうちの各々は複数のメモリセルを有する複数のワード線を含み、前記複数のワード線は互いに対して平行な方向に伸長し、前記複数のワード線は一つ以上の下端ワード線、一つ以上の上端ワード線、および前記複数の下端ワード線と上端ワード線との間に介在する複数の中間ワード線を含む、一つ以上のメモリブロックと、

ブロックの初期データが前記ブロックの前記一つ以上の下端ワード線もしくは前記一つ以上の上端ワード線に格納される前に、前記ブロックの前記複数の中間ワード線上の複数のメモリセルのうちの少なくとも一つに格納されるように、格納されるべきデータをマッピングするように構成されたアドレスデコーダと、

を含み、

前記アドレスデコーダは前記ブロックの前記一つ以上の下端ワード線および／もしくは前記一つ以上の上端ワード線上に格納されるべき連続的データのうちの少なくとも一部をマッピングするようにさらに構成される、
ことを特徴とするデバイス。

【請求項 1 2】

前記一つ以上の上端ワード線は1本から5本のワード線を含み、前記一つ以上の下端ワード線は1本から5本のワード線を含む、
ことを特徴とする請求項1 1に記載のデバイス。

【請求項 1 3】

前記アドレスデコーダは、前記複数の下端ワード線もしくは上端ワード線上の複数のメモリセルにデータをまず格納するために第一の書き込み順序を示す第一組のワード線アドレスを受信し、前記複数の中間ワード線上の複数のメモリセルに前記データをまず格納するために第二の書き込み順序を示す第二組のワード線アドレスへと前記第一組のワード線アドレスを変換するように構成される、
ことを特徴とする請求項1 1に記載のデバイス。

【請求項 1 4】

前記フラッシュメモリはNANDフラッシュメモリを含む、
ことを特徴とする請求項1 1に記載のデバイス。

【請求項 1 5】

コンピュータシステムであって、
コントローラと、
そこにデータを格納するために複数のアドレスを受信するように構成されたフラッシュメモリデバイスと、
を含み、

前記フラッシュメモリデバイスは一つ以上のメモリブロックを含み、前記複数のメモリブロックの各々は複数のワード線および前記複数のワード線の複数のメモリセルを含み、前記複数のワード線は互いにに対して平行な方向へと伸長し、前記複数のワード線は一つ以上の下端ワード線、一つ以上の上端ワード線、および前記複数の下端ワード線と上端ワード線との間に介在する複数の中間ワード線を含み、

前記コントローラは、前記複数のアドレスが前記複数のブロックのうちの一つの前記複数の中間ワード線上の複数のメモリセルに前記データの初期部分を格納するために、ならびに、前記複数のブロックのうちの前記一つの前記複数の下端ワード線および／もしくは上端ワード線上の複数のメモリセルに前記データの連続的部分を格納するために、書き込み順序を示すように、前記複数のアドレスを生成するように構成される、
ことを特徴とするシステム。

【請求項 1 6】

前記一つ以上の上端ワード線は1本から5本のワード線を含み、前記一つ以上の下端ワード線は1本から5本のワード線を含む、
ことを特徴とする請求項1 5に記載のシステム。

【請求項 1 7】

前記フラッシュメモリデバイスは、前記複数の上端ワード線および下端ワード線の前記数のうちの少なくとも一つに情報を有する前記コントローラを提供するようにさらに構成される、

ことを特徴とする請求項1 6に記載のシステム。

【請求項 1 8】

前記コントローラは中央処理装置(CPU)を含む、
ことを特徴とする請求項1 5に記載のシステム。

【請求項 1 9】

前記フラッシュメモリデバイスはソリッドステートディスクとして機能する、

ことを特徴とする請求項 1 5 に記載のシステム。

【請求項 2 0】

前記フラッシュメモリデバイスは N A N D フラッシュメモリデバイスを含む、
ことを特徴とする請求項 1 5 に記載のシステム。

【請求項 2 1】

フラッシュメモリデバイス内にデータを格納するための一組のワード線アドレスを生成するように構成されたコントローラであって、前記フラッシュメモリデバイスは一つ以上のメモリブロックを含み、前記複数のメモリブロックのうちの各々は複数のワード線および前記複数のワード線の複数のメモリセルを含み、前記複数のワード線は互いに対し平行な方向に伸長し、前記複数のワード線は一つ以上の下端ワード線、一つ以上の上端ワード線および前記複数の下端ワード線と上端ワード線との間に介在する複数の中間ワード線を含む、コントローラと、

を含み、

前記一組のワード線アドレスは、前記複数のブロックのうちの一つの前記複数の中間ワード線上の複数のメモリセルに前記データの初期部分を格納するために、ならびに、前記複数のブロックのうちの前記一つの前記複数の下端ワード線および／もしくは上端ワード線上の複数のメモリセル上に前記データの連続的部分を格納するために、書き込み順序を示す、

ことを特徴とする装置。

【請求項 2 2】

前記一つ以上の上端ワード線は 1 本から 5 本のワード線を含み、前記一つ以上の下端ワード線は 1 本から 5 本のワード線を含む、

ことを特徴とする請求項 2 1 に記載の装置。

【請求項 2 3】

前記コントローラは前記複数の上端ワード線および下端ワード線の前記数のうちの少なくとも一つで情報を受信し、前記情報の少なくとも一部に基づいて前記一組のワード線アドレスを生成するようにさらに構成される、

ことを特徴とする請求項 2 2 に記載の装置。

【請求項 2 4】

前記コントローラは中央処理装置 (C P U) を含む、

ことを特徴とする請求項 2 1 に記載の装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 6

【補正方法】変更

【補正の内容】

【0 0 2 6】

上端ワード線 T E W L 上のメモリセルは、上端ワード線の最下におけるメモリセルから開始して、ボトムアップ方式でプログラムすることができる。例えば、間にあるワード線上のメモリセルが、ボトムアップ方式で連続的にプログラムされる間に、上端ワード線 T E W L の最下におけるメモリセルがまずプログラムされ、上端ワード線 T E W L の最上におけるメモリセルが最後にプログラムされる。図 3 に示された実施例においては、第 (n - 2) のワード線 W L n - 2 がまずプログラムされ、その後、第 (n - 1) および第 n のワード線 W L n - 1 、 W L n がプログラムされるために連続的に選択されてもよい。別の実施形態においては、上端ワード線 T E W L 上のメモリセルはトップダウン方式でプログラムすることができる。上端ワード線中のプログラミング順序は様々に変化する可能性があることを当業者には理解されたい。