

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成21年10月1日(2009.10.1)

【公表番号】特表2008-541452(P2008-541452A)

【公表日】平成20年11月20日(2008.11.20)

【年通号数】公開・登録公報2008-046

【出願番号】特願2008-511196(P2008-511196)

【国際特許分類】

H 01 L 27/10 (2006.01)

H 01 L 45/00 (2006.01)

H 01 L 49/00 (2006.01)

【F I】

H 01 L 27/10 4 5 1

H 01 L 27/10 4 3 1

H 01 L 45/00 Z

H 01 L 49/00 Z

【手続補正書】

【提出日】平成21年8月14日(2009.8.14)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

不揮発性メモリセルであって、

ダイオードと、

1つの金属のみを含む抵抗率切り換え金属酸化物または窒化物の化合物の層を備える抵抗切り換え要素と、を備え、

ダイオードおよび抵抗切り換え要素は、メモリセルの一部である不揮発性メモリセル。

【請求項2】

請求項1記載の不揮発性メモリセルにおいて、

金属酸化物または窒化物の化合物は、 $Ni_x O_y$, $Nb_x O_y$, $Ti_x O_y$, $Hf_x O_y$, $Al_x O_y$, $Mg_x O_y$, $Co_x O_y$, $Cr_x O_y$, $V_x O_y$, $Zn_x O_y$, $Zr_x O_y$, $B_x N_y$ および $Al_x N_y$ からなる群から選ばれる不揮発性メモリセル。

【請求項3】

請求項1記載の不揮発性メモリセルにおいて、

ダイオードおよび抵抗切り換え要素は、直列に接続される不揮発性メモリセル。

【請求項4】

請求項3記載の不揮発性メモリセルにおいて、

ダイオードおよび抵抗切り換え要素は、第1の導体と第2の導体との間に配置される不揮発性メモリセル。

【請求項5】

請求項4記載の不揮発性メモリセルにおいて、

第2の導体は、第1の導体の上にあり、ダイオードおよび抵抗切り換え要素は、それらの間に垂直に配置される不揮発性メモリセル。

【請求項6】

請求項5記載の不揮発性メモリセルにおいて、

ダイオードは、抵抗切り換え要素の上にある不揮発性メモリセル。

【請求項 7】

請求項 5 記載の不揮発性メモリセルにおいて、

抵抗切り換え要素は、ダイオードの上にある不揮発性メモリセル。

【請求項 8】

請求項 5 記載の不揮発性メモリセルにおいて、

柱をさらに備え、ダイオードは、柱内にあり、垂直に向けられている不揮発性メモリセル。

【請求項 9】

請求項 8 記載の不揮発性メモリセルにおいて、

第 1 の導体および第 2 の導体は、レール状である不揮発性メモリセル。

【請求項 10】

請求項 9 記載の不揮発性メモリセルにおいて、

第 1 の導体は、第 1 の方向に延在し、第 2 の導体は、第 1 の方向とは異なる第 2 の方向に延在する不揮発性メモリセル。

【請求項 11】

請求項 10 記載の不揮発性メモリセルにおいて、

抵抗切り換え要素は、柱内に配置される不揮発性メモリセル。

【請求項 12】

請求項 10 記載の不揮発性メモリセルにおいて、

抵抗切り換え要素は、レール状であり、第 2 の導体とダイオードとの間に配置され、第 2 の方向に延在する不揮発性メモリセル。

【請求項 13】

請求項 10 記載の不揮発性メモリセルにおいて、

抵抗切り換え要素は、レール状であり、第 1 の導体とダイオードとの間に配置され、第 1 の方向に延在する不揮発性メモリセル。

【請求項 14】

請求項 8 記載の不揮発性メモリセルにおいて、

第 1 の導体または第 2 の導体は、アルミニウムを備える不揮発性メモリセル。

【請求項 15】

請求項 8 記載の不揮発性メモリセルにおいて、

第 1 の導体または第 2 の導体は、タンゲステンを備える不揮発性メモリセル。

【請求項 16】

請求項 3 記載の不揮発性メモリセルにおいて、

ダイオードは、半導体接合ダイオードである不揮発性メモリセル。

【請求項 17】

請求項 16 記載の不揮発性メモリセルにおいて、

半導体接合ダイオードは、シリコン、ゲルマニウム、もしくはシリコンまたはゲルマニウムの合金を備える不揮発性メモリセル。

【請求項 18】

請求項 17 記載の不揮発性メモリセルにおいて、

シリコン、ゲルマニウム、もしくはシリコンまたはゲルマニウムの合金は、単結晶ではない不揮発性メモリセル。

【請求項 19】

請求項 18 記載の不揮発性メモリセルにおいて、

シリコン、ゲルマニウム、もしくはシリコンまたはゲルマニウムの合金は、多結晶である不揮発性メモリセル。

【請求項 20】

請求項 17 記載の不揮発性メモリセルにおいて、

半導体接合ダイオードは、垂直に向けられ、第 1 の導電形を有する底部濃ドープ領域と

、中間部真性または軽ドープ領域と、第2の導電形を有する上部濃ドープ領域とを備える不揮発性メモリセル。

【請求項21】

請求項17記載の不揮発性メモリセルにおいて、

半導体接合ダイオードは、ツェナーダイオードである不揮発性メモリセル。

【請求項22】

請求項21記載の不揮発性メモリセルにおいて、

ツェナーダイオードは、垂直に向けられ、第1の導電形を有する底部濃ドープ領域と、第2の導電形を有する上部濃ドープ領域とを備える不揮発性メモリセル。

【請求項23】

請求項3記載の不揮発性メモリセルにおいて、

メモリセルは、第1のメモリレベルの一部である不揮発性メモリセル。

【請求項24】

請求項23記載の不揮発性メモリセルにおいて、

第1のメモリレベルは、単結晶シリコン基板の上に形成される不揮発性メモリセル。

【請求項25】

請求項23記載の不揮発性メモリセルにおいて、

少なくとも第2のメモリレベルは、モノリシックな三次元メモリアレイ内の第1の上にモノリシック的に形成される不揮発性メモリセル。

【請求項26】

請求項1記載の不揮発性メモリセルにおいて、

抵抗切り換え要素は、貴金属の近傍にある不揮発性メモリセル。

【請求項27】

請求項26記載の不揮発性メモリセルにおいて、

貴金属は、Pt, Pd, Ir, およびAuからなる群から選ばれる不揮発性メモリセル。

【請求項28】

請求項3記載の不揮発性メモリセルにおいて、

抵抗率切り換え金属酸化物または窒化物の化合物の層は、複数の抵抗率状態のうちの1つの状態であり得る不揮発性メモリセル。

【請求項29】

請求項28記載の不揮発性メモリセルにおいて、

抵抗率切り換え金属酸化物または窒化物の化合物の層は、セットパルスが抵抗切り換え要素に対して印加されると、高抵抗率状態から低抵抗率状態へ変換される不揮発性メモリセル。

【請求項30】

請求項28記載の不揮発性メモリセルにおいて、

抵抗率切り換え金属酸化物または窒化物の化合物の層は、リセットパルスが抵抗切り換え要素に対して印加されると、低抵抗率状態から高抵抗率状態へ変換される不揮発性メモリセル。

【請求項31】

請求項1記載の不揮発性メモリセルにおいて、

メモリセルは、再書き込み可能である不揮発性メモリセル。

【請求項32】

請求項1記載の不揮発性メモリセルにおいて、

抵抗率切り換え金属酸化物または窒化物の化合物の層は、複数の抵抗率状態のうちの1つの状態であり得る不揮発性メモリセル。

【請求項33】

請求項32記載の不揮発性メモリセルにおいて、

抵抗率切り換え金属酸化物または窒化物の化合物の層は、セットパルスが抵抗切り換え

要素に対して印加されると、高抵抗率状態から低抵抗率状態へ変換される不揮発性メモリセル。

【請求項 3 4】

請求項 3 2 記載の不揮発性メモリセルにおいて、

抵抗率切り換え金属酸化物または窒化物の化合物の層は、リセットパルスが抵抗切り換え要素に対して印加されると、低抵抗率状態から高抵抗率状態へ変換される不揮発性メモリセル。

【請求項 3 5】

請求項 1 記載の不揮発性メモリセルにおいて、

抵抗率切り換え金属酸化物または窒化物の化合物の層は、金属添加物を含み、金属添加物は、金属酸化物または窒素酸化物の層内の金属分子の 0.01% と 5%との間である不揮発性メモリセル。

【請求項 3 6】

請求項 3 5 記載の不揮発性メモリセルにおいて、

金属添加物は、コバルト、アルミニウム、ガリウム、インジウム、マンガン、ニッケル、ニオブ、ジルコニウム、チタン、ハフニウム、タンタル、マグネシウム、クロム、バナジウム、ボロン、イットリウム、およびランタンからなる群から選ばれる不揮発性メモリセル。

【請求項 3 7】

複数の不揮発性メモリセルであって、

第 1 の方向に延在する、実質的に平行で実質的に同一平面の第 1 の複数の導体と、
第 1 の複数のダイオードと、

第 1 の複数の抵抗切り換え要素と、

第 1 の方向とは異なる第 2 の方向に延在する、実質的に平行で実質的に同一平面の第 2 の複数の導体と、を備え、

各メモリセルにおいて、第 1 のダイオードのうちの 1 つおよび第 1 の抵抗切り換え要素のうちの 1 つは直列に配列され、第 1 の導体のうちの 1 つと第 2 の導体のうちの 1 つとの間に配置され、

第 1 の複数の抵抗切り換え要素は、 $Ni_x O_y$, $Nb_x O_y$, $Ti_x O_y$, $Hf_x O_y$, $Al_x O_y$, $Mg_x O_y$, $Co_x O_y$, $Cr_x O_y$, $V_x O_y$, $Zn_x O_y$, $Zr_x O_y$, $B_x N_y$ および $Al_x N_y$ からなる群から選ばれた材料の層を備える複数の不揮発性メモリセル。

【請求項 3 8】

請求項 3 7 記載の複数の不揮発性メモリセルにおいて、

第 1 の導体は第 1 の高さに形成され、第 2 の導体は第 2 の高さに形成され、第 2 の高さは第 1 の高さより高い複数の不揮発性メモリセル。

【請求項 3 9】

請求項 3 8 記載の複数の不揮発性メモリセルにおいて、

第 1 のダイオードは、垂直に向けられた半導体接合ダイオードである複数の不揮発性メモリセル。

【請求項 4 0】

請求項 3 9 記載の複数の不揮発性メモリセルにおいて、

第 1 のダイオードは、p - i - n ダイオードである複数の不揮発性メモリセル。

【請求項 4 1】

請求項 3 9 記載の複数の不揮発性メモリセルにおいて、

第 1 のダイオードは、ツエナーダイオードである複数の不揮発性メモリセル。

【請求項 4 2】

請求項 3 9 記載の複数の不揮発性メモリセルにおいて、

第 1 の複数の柱をさらに備え、各柱は、第 1 の導体のうちの 1 つと第 2 の導体のうちの 1 つとの間に配置される複数の不揮発性メモリセル。

【請求項 4 3】

請求項 4 2 記載の複数の不揮発性メモリセルにおいて、

第 1 のダイオードの各々は、第 1 の柱のうちの 1 つ内に配置される複数の不揮発性メモリセル。

【請求項 4 4】

請求項 4 3 記載の複数の不揮発性メモリセルにおいて、

第 1 の抵抗切り換え要素の各々は、第 1 の柱のうちの 1 つ内に配置される複数の不揮発性メモリセル。

【請求項 4 5】

請求項 4 3 記載の複数の不揮発性メモリセルにおいて、

第 1 の抵抗切り換え要素の各々は、第 1 の柱のうちの 1 つ内に配置されない複数の不揮発性メモリセル。

【請求項 4 6】

請求項 3 7 記載の複数の不揮発性メモリセルにおいて、

第 1 の複数のダイオードは、シリコン、ゲルマニウム、もしくはシリコンまたはゲルマニウムの合金を備える複数の不揮発性メモリセル。

【請求項 4 7】

モノリシックな三次元メモリアレイであって、

a) 基板の上に形成された第 1 のメモリレベルであって、第 1 の複数のメモリセルを備え、第 1 のメモリレベルの各メモリセルは、1 つの金属のみを有する抵抗率切り換え金属酸化物または窒化物の化合物の層を備える抵抗切り換え要素を備える、第 1 のメモリレベルと、

b) 第 1 のメモリレベルの上にモノリシック的に形成された、少なくとも第 2 のメモリレベルと、

を備えるモノリシックな三次元メモリアレイ。

【請求項 4 8】

請求項 4 7 記載のモノリシックな三次元メモリアレイにおいて、

金属酸化物または窒化物の化合物は、 $Ni_x O_y$, $Nb_x O_y$, $Ti_x O_y$, $Hf_x O_y$, $Al_x O_y$, $Mg_x O_y$, $Co_x O_y$, $Cr_x O_y$, $V_x O_y$, $Zn_x O_y$, $Zr_x O_y$, $B_x N_y$ および $Al_x N_y$ からなる群から選ばれるモノリシックな三次元メモリアレイ。

【請求項 4 9】

請求項 4 7 記載のモノリシックな三次元メモリアレイにおいて、

第 1 のメモリセルは、再書き込み可能なメモリセルであるモノリシックな三次元メモリアレイ。

【請求項 5 0】

請求項 4 7 記載のモノリシックな三次元メモリアレイにおいて、

第 1 のメモリセルは、1 回プログラム可能なメモリセルであるモノリシックな三次元メモリアレイ。

【請求項 5 1】

請求項 4 7 記載のモノリシックな三次元メモリアレイにおいて、

第 1 のメモリセルは、複数の検出可能なデータ状態のうちの 1 つを記憶可能であるモノリシックな三次元メモリアレイ。

【請求項 5 2】

請求項 5 1 記載のモノリシックな三次元メモリアレイにおいて、

複数の検出可能なデータ状態は、2 つのデータ状態を含むモノリシックな三次元メモリアレイ。

【請求項 5 3】

請求項 5 1 記載のモノリシックな三次元メモリアレイにおいて、

複数の検出可能なデータ状態は、少なくとも 3 つのデータ状態を含むモノリシックな三

次元メモリアレイ。

【請求項 5 4】

請求項 5 1 記載のモノリシックな三次元メモリアレイにおいて、複数の検出可能なデータ状態は、少なくとも 4 つのデータ状態を含むモノリシックな三次元メモリアレイ。

【請求項 5 5】

請求項 4 7 記載のモノリシックな三次元メモリアレイにおいて、基板は、単結晶シリコンを備えるモノリシックな三次元メモリアレイ。

【請求項 5 6】

請求項 4 7 記載のモノリシックな三次元メモリアレイにおいて、第 1 のメモリレベルは、第 1 の複数のダイオードをさらに備え、第 1 のメモリレベルの各メモリセルは、第 1 のダイオードのうちの 1 つを備えるモノリシックな三次元メモリアレイ。

【請求項 5 7】

請求項 5 6 記載のモノリシックな三次元メモリアレイにおいて、第 1 のメモリレベルの各メモリセルにおいて、ダイオードおよび抵抗切り換え要素は、直列に配列されるモノリシックな三次元メモリアレイ。

【請求項 5 8】

請求項 5 7 記載のモノリシックな三次元メモリアレイにおいて、第 1 のメモリレベルは、第 1 の方向に延在する、実質的に平行で実質的に同一平面の第 1 の複数の導体と、第 1 の方向とは異なる第 2 の方向に延在する、実質的に平行で実質的に同一平面の、第 1 の導体の上にある第 2 の複数の導体と、をさらに備え、第 1 のメモリレベルの各メモリセルにおいて、第 1 のダイオードおよび抵抗切り換え要素は、第 1 の導体のうちの 1 つと第 2 の導体のうちの 1 との間に配置されるモノリシックな三次元メモリアレイ。

【請求項 5 9】

請求項 5 8 記載のモノリシックな三次元メモリアレイにおいて、第 1 のメモリレベルは、第 1 の複数の柱をさらに備え、第 1 の柱の各々は、第 1 の導体のうちの 1 つと第 2 の導体のうちの 1 との間に垂直に配置されるモノリシックな三次元メモリアレイ。

【請求項 6 0】

請求項 5 8 記載のモノリシックな三次元メモリアレイにおいて、第 1 の導体または第 2 の導体は、タンゲステンを備えるモノリシックな三次元メモリアレイ。

【請求項 6 1】

請求項 5 8 記載のモノリシックな三次元メモリアレイにおいて、第 1 の導体または第 2 の導体は、アルミニウムを備えるモノリシックな三次元メモリアレイ。

【請求項 6 2】

請求項 5 8 記載のモノリシックな三次元メモリアレイにおいて、第 1 のダイオードは、半導体接合ダイオードであるモノリシックな三次元メモリアレイ。

【請求項 6 3】

請求項 6 2 記載のモノリシックな三次元メモリアレイにおいて、第 1 のダイオードは、ゲルマニウム、シリコン、もしくはゲルマニウムおよび / またはシリコンの合金を備えるモノリシックな三次元メモリアレイ。

【請求項 6 4】

請求項 6 3 記載のモノリシックな三次元メモリアレイにおいて、第 1 のダイオードは、ゲルマニウムまたは少なくとも 80 原子パーセントのゲルマニウ

ムである半導体合金を実質的に含むモノリシックな三次元メモリアレイ。

【請求項 6 5】

請求項 6 4 記載のモノリシックな三次元メモリアレイにおいて、

半導体合金は、少なくとも 90 原子パーセントのゲルマニウムであるモノリシックな三次元メモリアレイ。

【請求項 6 6】

請求項 5 7 記載のモノリシックな三次元メモリアレイにおいて、

第 1 のメモリレベルは、抵抗率切り換え材料の連続層をさらに備え、各抵抗切り換え要素は、抵抗率切り換え材料の連続層内に配置されるモノリシックな三次元メモリアレイ。

【請求項 6 7】

請求項 6 6 記載のモノリシックな三次元メモリアレイにおいて、

抵抗率切り換え材料の連続層は、第 1 のダイオードの上にあるモノリシックな三次元メモリアレイ。

【請求項 6 8】

請求項 6 6 記載のモノリシックな三次元メモリアレイにおいて、

抵抗率切り換え材料の連続層は、第 1 のダイオードの下にあるモノリシックな三次元メモリアレイ。

【請求項 6 9】

請求項 4 7 記載のモノリシックな三次元メモリアレイにおいて、

第 2 のメモリレベルは、第 2 の複数のメモリセルを備え、第 2 のメモリレベルの各メモリセルは、 $Ni_x O_y$, $Nb_x O_y$, $Ti_x O_y$, $Hf_x O_y$, $Al_x O_y$, $Mg_x O_y$, $Co_x O_y$, $Cr_x O_y$, $V_x O_y$, $Zn_x O_y$, $Zr_x O_y$, $B_x N_y$ および $Al_x N_y$ からなる群から選ばれた材料の層を備える抵抗切り換え要素を備えるモノリシックな三次元メモリアレイ。

【請求項 7 0】

複数の不揮発性メモリセルを形成するための方法であって、

実質的に平行で実質的に同一平面の第 1 の複数の導体を形成するステップと、

第 1 の複数の導体の上に第 1 の複数のダイオードを形成するステップと、

第 1 の複数の抵抗切り換え要素を形成するステップと、

第 1 のダイオードの上に実質的に平行で実質的に同一平面の第 2 の複数の導体を形成するステップと、を含み、

第 1 の抵抗切り換え要素は、 $Ni_x O_y$, $Nb_x O_y$, $Ti_x O_y$, $Hf_x O_y$, $Al_x O_y$, $Mg_x O_y$, $Co_x O_y$, $Cr_x O_y$, $V_x O_y$, $Zn_x O_y$, $Zr_x O_y$, $B_x N_y$ および $Al_x N_y$ からなる群から選ばれた材料を備える方法。

【請求項 7 1】

請求項 7 0 記載の方法において、

第 1 の導体は、基板の上に形成される方法。

【請求項 7 2】

請求項 7 1 記載の方法において、

基板は、単結晶シリコンを備える方法。

【請求項 7 3】

請求項 7 0 記載の方法において、

第 1 のダイオードの各々は、第 1 の抵抗切り換え要素のうちの 1 つと直列に配列される方法。

【請求項 7 4】

請求項 7 3 記載の方法において、

第 1 の導体を形成するステップは、

導電性材料の第 1 の層または積み重ねを堆積させるステップと、

導電性材料の第 1 の層または積み重ねをパターン形成およびエッチングして第 1 の導体を形成するステップと、

第1の導体間に誘電充填物を堆積させるステップと、
を含む方法。

【請求項 7 5】

請求項 7 3 記載の方法において、
第1のダイオードを形成するステップは、
半導体層の積み重ねを第1の導体の上に堆積させるステップと、
半導体層の積み重ねをパターン形成およびエッチングして第1のダイオードを形成する
ステップと、
を含む方法。

【請求項 7 6】

請求項 7 5 記載の方法において、
半導体層の積み重ねは、シリコン、ゲルマニウム、またはそれらの合金を備える方法。

【請求項 7 7】

請求項 7 3 記載の方法において、
第1の抵抗切り換え要素を形成するステップは、第1の導体の上に、 Ni_xO_y 、 Nb_xO_y 、 Ti_xO_y 、 Hf_xO_y 、 Al_xO_y 、 Mg_xO_y 、 Co_xO_y 、 Cr_xO_y 、 V_xO_y 、 Zn_xO_y 、 Zr_xO_y 、 B_xN_y および Al_xN_y からなる群から選ばれた
材料を備える抵抗率切り換え材料の層を堆積させるステップを含む方法。

【請求項 7 8】

請求項 7 7 記載の方法において、
第1の抵抗切り換え要素を形成するステップは、第1のダイオードをパターン形成およびエッチングするために使用されるのと同一のパターン形成するステップにおいて、抵抗率切り換え材料の層をパターン形成およびエッチングするステップをさらに含む方法。

【請求項 7 9】

請求項 7 3 記載の方法において、
第1の導体は、アルミニウムを備える方法。

【請求項 8 0】

請求項 7 3 記載の方法において、
第1の導体は、タンクステンを備える方法。

【請求項 8 1】

請求項 7 3 記載の方法において、
第1のダイオードは、垂直に向けられた柱の形式を取る方法。

【請求項 8 2】

請求項 7 3 記載の方法において、
第2の導体を形成するステップは、
導電性材料の第2の層または積み重ねを堆積させるステップと、
導電性材料の第2の層または積み重ねをパターン形成およびエッチングして第2の導体
を形成するステップと、
を含む方法。

【請求項 8 3】

請求項 8 2 記載の方法において、
第1の抵抗切り換え要素を形成するステップは、第1のダイオードの上に、 Ni_xO_y 、 Nb_xO_y 、 Ti_xO_y 、 Hf_xO_y 、 Al_xO_y 、 Mg_xO_y 、 Co_xO_y 、 Cr_xO_y 、 V_xO_y 、 Zn_xO_y 、 Zr_xO_y 、 B_xN_y および Al_xN_y からなる群から選
ばれた材料を備える抵抗率切り換え材料の層を堆積させるステップを含む方法。

【請求項 8 4】

請求項 8 3 記載の方法において、
第1の抵抗切り換え要素を形成するステップは、第2の導体をパターン形成およびエッ
チングするために使用されるのと同一のパターン形成するステップにおいて、抵抗率切り
換え材料の層をパターン形成およびエッチングするステップをさらに含む方法。

【請求項 8 5】

モノリシックな三次元メモリアレイを形成するための方法であって、

a) 第 1 のメモリレベルを基板の上に形成するステップであって、第 1 のメモリレベルは、

i) 第 1 の複数のダイオードを形成するステップと、

i i) $Ni_x O_y$, $Nb_x O_y$, $Ti_x O_y$, $Hf_x O_y$, $Al_x O_y$, $Mg_x O_y$, $Co_x O_y$, $Cr_x O_y$, $V_x O_y$, $Zn_x O_y$, $Zr_x O_y$, $B_x N_y$ および $Al_x N_y$ からなる群から選ばれた材料を備える第 1 の複数の抵抗切り換え要素を形成するステップと、を含む方法によって形成される、ステップと、

b) 少なくとも第 2 のメモリレベルを第 1 のメモリレベルと基板との上にモノリシック的に形成するステップと、

を含む方法。

【請求項 8 6】

請求項 8 5 記載の方法において、

基板は、単結晶シリコンを備える方法。

【請求項 8 7】

請求項 8 5 記載の方法において、

第 1 のメモリレベルを形成するステップは、

実質的に平行で実質的に同一平面の第 1 の複数の導体を形成するステップと、

実質的に平行で実質的に同一平面の第 2 の複数の導体を形成するステップと、をさらに備え、

第 2 の導体は、第 1 の導体の上にある方法。

【請求項 8 8】

請求項 8 7 記載の方法において、

第 1 のメモリレベルは、第 1 の複数のメモリセルを備え、各メモリセルは、第 1 の導体のうちの一部と、第 1 のダイオードのうちの 1 つと、抵抗切り換え要素の 1 つと、第 2 の導体のうちの 1 つの一部とを備える方法。

【請求項 8 9】

請求項 8 7 記載の方法において、

第 1 のダイオードを形成するステップは、

第 1 の半導体層の積み重ねを第 1 の導体の上に堆積させて、誘電空隙充填物を介在させるステップと、

第 1 の半導体層の積み重ねをパターン形成およびエッチングして第 1 のダイオードを形成するステップと、

を含む方法。

【請求項 9 0】

請求項 8 9 記載の方法において、

第 1 の半導体層の積み重ねをパターン形成およびエッチングして第 1 のダイオードを形成するステップは、半導体層の積み重ねをパターン形成およびエッチングして第 1 の複数の柱を形成するステップを含む方法。

【請求項 9 1】

請求項 8 5 記載の方法において、

第 1 の複数の抵抗切り換え要素を形成するステップは、抵抗率切り換え材料の第 1 の層を堆積させるステップを含む方法。

【請求項 9 2】

請求項 8 5 記載の方法において、

少なくとも第 2 のメモリレベルを第 1 のメモリレベルの上にモノリシック的に形成するステップは、抵抗率切り換え材料の第 2 の層を基板の上に堆積させるステップを含む方法。

【請求項 9 3】

請求項 8 5 記載の方法において、

第 1 のダイオードは、ゲルマニウム、シリコン、もしくはそれらの合金を備える方法。

【請求項 9 4】

モノリシックな三次元メモリアレイを形成するための方法であって、

実質的に平行で実質的に同一平面の第 1 の複数の導体を、基板の上に第 1 の高さで、第 1 の方向に延在するように形成するステップと、

実質的に平行で実質的に同一平面の第 2 の複数の導体を、第 1 の高さより高い第 2 の高さで、第 1 の方向とは異なる第 2 の方向に延在するように形成するステップと、

$Ni_x O_y$, $Nb_x O_y$, $Ti_x O_y$, $Hf_x O_y$, $Al_x O_y$, $Mg_x O_y$, $Co_x O_y$, $Cr_x O_y$, $V_x O_y$, $Zn_x O_y$, $Zr_x O_y$, $B_x N_y$ および $Al_x N_y$ からなる群から選ばれた材料を備える第 1 の複数の抵抗切り換え要素を形成するステップと、

第 1 の複数のダイオードを形成するステップであって、第 1 のダイオードおよび第 1 の抵抗切り換え要素は、第 1 の高さより高く、第 2 の高さより低い、ステップと、

第 2 のダイオードを第 2 の導体の上に形成するステップと、

第 3 の導体を第 2 の導体の上に形成するステップと、

を含む方法。

【請求項 9 5】

請求項 9 4 記載の方法において、

モノリシックな三次元メモリアレイは、第 1 の複数のメモリセルを備え、第 1 のメモリセルの各々は、第 1 の導体のうちの 1 つと第 2 の導体のうちの 1 との間に直列に配列された、第 1 のダイオードのうちの 1 つと抵抗切り換え要素のうちの 1 つとを備える方法。

【請求項 9 6】

請求項 9 4 記載の方法において、

$Ni_x O_y$, $Nb_x O_y$, $Ti_x O_y$, $Hf_x O_y$, $Al_x O_y$, $Mg_x O_y$, $Co_x O_y$, $Cr_x O_y$, $V_x O_y$, $Zn_x O_y$, $Zr_x O_y$, $B_x N_y$ および $Al_x N_y$ からなる群から選ばれた材料を備える、第 2 の導体の上に形成された第 2 の複数の抵抗切り換え要素をさらに備える方法。

【請求項 9 7】

請求項 9 4 記載の方法において、

第 3 の導体は、第 2 のダイオードの上にある方法。

【請求項 9 8】

請求項 9 4 記載の方法において、

第 2 のダイオードの上に、実質的に平行で実質的に同一平面の第 4 の複数の導体をさらに備える方法。

【請求項 9 9】

請求項 9 8 記載の方法において、

第 2 のダイオードは、第 3 の導体の上にある方法。

【請求項 1 0 0】

請求項 9 4 記載の方法において、

第 1 のダイオードは、シリコン、ゲルマニウム、もしくはシリコンまたはゲルマニウムの合金を備える方法。

【請求項 1 0 1】

不揮発性メモリセルを形成するための方法であって、

第 1 の導体を形成するステップと、

第 2 の導体を形成するステップと、

抵抗切り換え要素を形成するステップと、

ダイオードを形成するステップであって、ダイオードおよび抵抗切り換え要素は、第 1 の導体と第 2 の導体との間に電気的に直列に配置される、ステップと、を含み、

第 1 および第 2 の導体、ダイオード、ならびに抵抗切り換え要素の形成中ならびにダイオードの結晶化中に、温度は摂氏約 500 度を超えない方法。

【請求項 102】

請求項101記載の方法において、

抵抗切り換え要素は、 Ni_xO_y ， $NbxO_y$ ， $TixO_y$ ， $HfxO_y$ ， Al_xO_y ， $MgxO_y$ ， Co_xO_y ， Cr_xO_y ， V_xO_y ， $ZnxO_y$ ， $ZrxO_y$ ， B_xNy および Al_xNy からなる群から選ばれた材料を備える方法。

【請求項 103】

請求項101記載の方法において、

温度は、摂氏約475度を超えない方法。

【請求項 104】

請求項101記載の方法において、

温度は、摂氏約400度を超えない方法。

【請求項 105】

請求項101記載の方法において、

温度は、摂氏約350度を超えない方法。

【請求項 106】

請求項101記載の方法において、

ダイオードは、ゲルマニウムまたはゲルマニウム合金からなる半導体材料を備える方法。

【請求項 107】

請求項106記載の方法において、

ゲルマニウム合金は、少なくとも80原子パーセントのゲルマニウムである方法。

【請求項 108】

請求項107記載の方法において、

ゲルマニウム合金は、少なくとも90原子パーセントのゲルマニウムである方法。

【請求項 109】

請求項107記載の方法において、

ダイオードは、半導体接合ダイオードである方法。

【請求項 110】

請求項106記載の方法において、

半導体材料は、実質的に多結晶である方法。

【請求項 111】

請求項101記載の方法において、

第1の導体または第2の導体は、アルミニウム層を備える方法。

【請求項 112】

請求項101記載の方法において、

第1の導体または第2の導体は、銅層を備える方法。

【請求項 113】

請求項101記載の方法において、

基板は、単結晶シリコンを備える方法。

【請求項 114】

モノリシックな三次元メモリアレイを形成するための方法であって、

i) 第1のメモリレベルを基板の上に形成するステップであって、第1のメモリレベルは、複数の第1のメモリセルを備え、第1のメモリセルの各々は、

a) 抵抗切り換え要素と、

b) ダイオードとを備え、第1のメモリレベルの形成中の温度は、摂氏約475度を超えない、ステップと、

i i) 少なくとも第2のメモリレベルを第1のメモリレベルの上にモノリシック的に形成するステップと、

を含む方法。

【請求項 115】

請求項 114 記載の方法において、

第1のメモリセルの各々の抵抗切り換え要素は、 Ni_xO_y ， Nb_xO_y ， Ti_xO_y ， Hf_xO_y ， Al_xO_y ， Mg_xO_y ， Co_xO_y ， Cr_xO_y ， V_xO_y ， Zn_xO_y ， Zr_xO_y ， B_xN_y および Al_xN_y からなる群から選ばれた材料を備える方法。

【請求項 116】

請求項 114 記載の方法において、

ダイオードは、ゲルマニウムまたはゲルマニウム合金である半導体材料を備える方法。

【請求項 117】

請求項 116 記載の方法において、

半導体材料は、少なくとも 80 原子パーセントのゲルマニウムである方法。

【請求項 118】

請求項 117 記載の方法において、

半導体材料は、少なくとも 90 原子パーセントのゲルマニウムである方法。

【請求項 119】

請求項 116 記載の方法において、

半導体材料は、実質的に多結晶である方法。

【請求項 120】

請求項 116 記載の方法において、

第1のメモリレベルは、複数の第1の導体と、複数の第2の導体とをさらに備え、第2の導体は、第1の導体の上に形成され、

第1のメモリセルの各々は、第1の導体のうちの1つの一部と、第2の導体のうちの1つの一部とを備え、

第1の導体または第2の導体は、アルミニウム層または銅層を備える方法。

【請求項 121】

不揮発性メモリセルであって、

ゲルマニウムまたはゲルマニウム合金である半導体材料を備えるダイオードと、

抵抗切り換え要素と、

を備える不揮発性メモリセル。

【請求項 122】

請求項 121 記載の不揮発性メモリセルにおいて、

抵抗切り換え要素は、 Ni_xO_y ， Nb_xO_y ， Ti_xO_y ， Hf_xO_y ， Al_xO_y ， Mg_xO_y ， Co_xO_y ， Cr_xO_y ， V_xO_y ， Zn_xO_y ， Zr_xO_y ， B_xN_y および Al_xN_y からなる群から選ばれた材料を備える不揮発性メモリセル。

【請求項 123】

請求項 121 記載の不揮発性メモリセルにおいて、

ゲルマニウム合金は、少なくとも 20 原子パーセントのゲルマニウムである不揮発性メモリセル。

【請求項 124】

請求項 123 記載の不揮発性メモリセルにおいて、

ゲルマニウム合金は、少なくとも 50 原子パーセントのゲルマニウムである不揮発性メモリセル。

【請求項 125】

請求項 124 記載の不揮発性メモリセルにおいて、

ゲルマニウム合金は、少なくとも 80 原子パーセントのゲルマニウムである不揮発性メモリセル。

【請求項 126】

請求項 121 記載の不揮発性メモリセルにおいて、

半導体材料は、ゲルマニウムである不揮発性メモリセル。

【請求項 127】

請求項 121 記載の不揮発性メモリセルにおいて、

底部導体と上部導体とをさらに備え、ダイオードおよび抵抗切り換え要素は、底部導体と上部導体との間に直列に配列され、上部導体は、底部導体の上にある不揮発性メモリセル。

【請求項 1 2 8】

請求項 1 2 7 記載の不揮発性メモリセルにおいて、

上部導体または底部導体は、銅層またはアルミニウム層を備える不揮発性メモリセル。

【請求項 1 2 9】

モノリシックな三次元メモリアレイであって、

i) 基板の上に形成された第 1 のメモリレベルであって、第 1 のメモリレベルは、複数の第 1 のメモリセルを備え、第 1 のメモリセルの各々は、

a) 抵抗切り換え要素と、

b) ゲルマニウムまたはゲルマニウム合金である半導体材料を備えるダイオードと、を備える、第 1 のメモリレベルと、

i i) 第 1 のメモリレベルの上に形成された、少なくとも第 2 のメモリレベルと、

を備えるモノリシックな三次元メモリアレイ。

【請求項 1 3 0】

請求項 1 2 9 記載のモノリシックな三次元メモリアレイにおいて、

抵抗切り換え要素は、 $Ni_x O_y$, $Nb_x O_y$, $Ti_x O_y$, $Hf_x O_y$, $Al_x O_y$, $Mg_x O_y$, $Co_x O_y$, $Cr_x O_y$, $V_x O_y$, $Zn_x O_y$, $Zr_x O_y$, $B_x N_y$ および $Al_x N_y$ からなる群から選ばれた材料を備えるモノリシックな三次元メモリアレイ。

【請求項 1 3 1】

請求項 1 2 9 記載のモノリシックな三次元メモリアレイにおいて、

ゲルマニウム合金は、少なくとも 20 原子パーセントのゲルマニウムであるモノリシックな三次元メモリアレイ。

【請求項 1 3 2】

請求項 1 3 1 記載のモノリシックな三次元メモリアレイにおいて、

ゲルマニウム合金は、少なくとも 50 原子パーセントのゲルマニウムであるモノリシックな三次元メモリアレイ。

【請求項 1 3 3】

請求項 1 3 1 記載のモノリシックな三次元メモリアレイにおいて、

ゲルマニウム合金は、少なくとも 80 原子パーセントのゲルマニウムであるモノリシックな三次元メモリアレイ。

【請求項 1 3 4】

請求項 1 2 9 記載のモノリシックな三次元メモリアレイにおいて、

ダイオードは、半導体接合ダイオードであるモノリシックな三次元メモリアレイ。

【請求項 1 3 5】

請求項 1 3 4 記載のモノリシックな三次元メモリアレイにおいて、

ダイオードは、p - i - n ダイオードであるモノリシックな三次元メモリアレイ。

【請求項 1 3 6】

請求項 1 3 4 記載のモノリシックな三次元メモリアレイにおいて、

ダイオードは、ツェナーダイオードであるモノリシックな三次元メモリアレイ。

【請求項 1 3 7】

請求項 1 2 9 記載のモノリシックな三次元メモリアレイにおいて、

第 1 のメモリレベルは、

第 1 の方向に延在し、基板の上に形成される、実質的に平行で実質的に同一平面の第 1 の複数の導体と、

第 2 の方向に延在し、第 1 の導体の上に形成される、実質的に平行で実質的に同一平面の第 2 の複数の導体と、をさらに備え、

第 1 のメモリセルの各々は、第 1 の導体のうちの 1 つの一部と、第 2 の導体のうちの 1

つの一部とをさらに備え、

各メモリセルにおいて、ダイオードおよび抵抗切り換え要素は、第1の導体のうちの1つと第2の導体のうちの1つとの間に配置されるモノリシックな三次元メモリアレイ。

【請求項138】

請求項137記載のモノリシックな三次元メモリアレイにおいて、

第1の導体または第2の導体は、アルミニウム層または銅層を備えるモノリシックな三次元メモリアレイ。

【請求項139】

モノリシックな三次元メモリアレイであって、

i) 基板の上に形成された第1のメモリレベルであって、第1のメモリレベルは、複数の第1のメモリセルを備え、第1のメモリセルの各々は、

a) アルミニウム、アルミニウム合金、または銅の層を備える、基板の上に形成された第1の底部導体と、

b) 抵抗切り換え要素と、

c) 第1の底部導体の上に形成されたダイオードと、を備える、第1のメモリレベルと、

i i) 第1のメモリレベルの上にモノリシック的に形成された、少なくとも第2のメモリレベルと、

を備えるモノリシックな三次元メモリアレイ。

【請求項140】

請求項139記載のモノリシックな三次元メモリアレイにおいて、

抵抗切り換え要素は、 Ni_xO_y 、 Nb_xO_y 、 Ti_xO_y 、 Hf_xO_y 、 Al_xO_y 、 Mg_xO_y 、 Co_xO_y 、 Cr_xO_y 、 V_xO_y 、 Zn_xO_y 、 Zr_xO_y 、 B_xN_y および Al_xN_y からなる群から選ばれた材料を備えるモノリシックな三次元メモリアレイ。

【請求項141】

請求項139記載のモノリシックな三次元メモリアレイにおいて、

ダイオードは、ゲルマニウムまたはゲルマニウム合金から形成されるモノリシックな三次元メモリアレイ。

【請求項142】

請求項141記載のモノリシックな三次元メモリアレイにおいて、

ダイオードは、多結晶であるモノリシックな三次元メモリアレイ。

【請求項143】

正確に1つの金属を含む金属酸化物または窒化物の化合物の抵抗率切り換え層を備えるメモリセルをメモリアレイにプログラムするための方法であって、

抵抗率切り換え層を第1の抵抗率状態から第2のプログラムされた抵抗率状態へ変化させることによって、メモリセルをプログラムするステップを含み、

第2のプログラムされた抵抗率状態は、メモリセルのデータ状態を記憶する方法。

【請求項144】

請求項143記載の方法において、

メモリアレイは、メモリセルをプログラムおよび読み出すための回路を備え、回路は、メモリセルをたった1回だけプログラムするように適合され、メモリアレイは、1回プログラム可能なアレイである方法。

【請求項145】

請求項144記載の方法において、

回路は、メモリセルを2つの予想データ状態のうちの1つにプログラムするように適合されている方法。

【請求項146】

請求項144記載の方法において、

回路は、メモリセルを2つ以上の予想データ状態のうちの1つにプログラムするように

適合されている方法。

【請求項 147】

請求項 146 記載の方法において、

回路は、メモリセルを3つまたは4つの予想データ状態のうちの1つにプログラムするように適合されている方法。

【請求項 148】

請求項 144 記載の方法において、

メモリセルをプログラムするステップは、第1のプログラミングパルスを印加するステップを含む方法。

【請求項 149】

請求項 148 記載の方法において、

第1のプログラミングパルスを印加した後にメモリセルを読み出すステップをさらに含む方法。

【請求項 150】

請求項 149 記載の方法において、

第2のプログラムされた抵抗率状態が達成できていない場合に、第2のプログラミングパルスを印加するステップをさらに含む方法。

【請求項 151】

請求項 143 記載の方法において、

金属酸化物または窒化物の化合物は、 $Ni_x O_y$, $Nb_x O_y$, $Ti_x O_y$, $Hf_x O_y$, $Al_x O_y$, $Mg_x O_y$, $Co_x O_y$, $Cr_x O_y$, $V_x O_y$, $Zn_x O_y$, $Zr_x O_y$, $B_x N_y$ および $Al_x N_y$ からなる群から選ばれる方法。

【請求項 152】

請求項 143 記載の方法において、

メモリセルは、抵抗率切り換え層と直列のダイオードをさらに備える方法。

【請求項 153】

請求項 152 記載の方法において、

ダイオードは、シリコン、ゲルマニウム、もしくはシリコンまたはゲルマニウムの合金を備える方法。

【請求項 154】

請求項 153 記載の方法において、

シリコン、ゲルマニウム、もしくはシリコンまたはゲルマニウムの合金は、多結晶である方法。

【請求項 155】

請求項 143 記載の方法において、

回路は、メモリセルを2つ以上の予想データ状態のうちの1つにプログラムするように適合されている方法。

【請求項 156】

請求項 155 記載の方法において、

回路は、メモリセルを3つまたは4つの予想データ状態のうちの1つにプログラムするように適合されている方法。

【請求項 157】

請求項 156 記載の方法において、

メモリアレイは、再書き込み可能なメモリアレイである方法。

【請求項 158】

メモリセルをメモリアレイにおいてプログラムおよび検知するための方法であって、メモリセルは、正確に1つの金属を含む金属酸化物または窒化物の化合物の抵抗率切り換え層と、多結晶半導体材料を備えるダイオードとを備え、抵抗率切り換え層およびダイオードは、電気的に直列に配列される方法において、

i) 第1のプログラミングパルスをメモリセルに印加するステップであって、第1のブ

ログラミングパルスは、

- a) 抵抗率切り換え層の第 1 の抵抗率状態を検出可能に変化させるか、または
- b) 多結晶半導体材料の第 2 の抵抗率状態を検出可能に変化させるか、または
- c) 抵抗率切り換え層の第 1 の抵抗率状態を検出可能に変化させ、かつ、多結晶半導体材料の第 2 の抵抗率状態を検出可能に変化させる、ステップと、

i i) メモリセルを読み出すステップであって、抵抗率切り換え層の第 1 の抵抗率状態は、データを記憶するように働き、多結晶半導体材料の第 2 の抵抗率状態は、データを記憶するように働く、ステップと、

を含む方法。

【請求項 159】

請求項 158 記載の方法において、

メモリセルは、3つまたは4つのデータ状態のうちの1つを記憶するように適合されている方法。

【請求項 160】

請求項 158 記載の方法において、

多結晶半導体材料は、ポリシリコンである方法。

【請求項 161】

請求項 158 記載の方法において、

ダイオードは、接合ダイオードである方法。

【請求項 162】

請求項 158 記載の方法において、

金属酸化物または窒化物の化合物は、 $Ni_x O_y$, $Nb_x O_y$, $Ti_x O_y$, $Hf_x O_y$, $Al_x O_y$, $Mg_x O_y$, $Co_x O_y$, $Cr_x O_y$, $V_x O_y$, $Zn_x O_y$, $Zr_x O_y$, $B_x N_y$ および $Al_x N_y$ からなる群から選ばれる方法。

【請求項 163】

請求項 162 記載の方法において、

金属酸化物または窒化物の化合物は、 NiO , Nb_2O_5 , TiO_2 , HfO_2 , Al_2O_3 , MgO , CoO , CrO_2 , VO , ZnO , ZrO , BN および AlN からなる群から選ばれる方法。

【請求項 164】

不揮発性メモリセルであって、

ダイオードと、

1つの金属のみを含む抵抗率切り換え金属酸化物または窒化物の化合物の層を備える抵抗切り換え要素と、を備え、

ダイオードおよび抵抗切り換え要素は、メモリセルの一部であり、

ダイオードおよび抵抗切り換え要素は、直列に接続され、

ダイオードおよび抵抗切り換え要素は、第1の導体と第2の導体との間に配置される不揮発性メモリセル。

【請求項 165】

不揮発性メモリセルであって、

ダイオードと、

1つの金属のみを含む抵抗率切り換え金属酸化物または窒化物の化合物の層を備える抵抗切り換え要素と、を備え、

ダイオードおよび抵抗切り換え要素は、メモリセルの一部であり、

ダイオードおよび抵抗切り換え要素は、直列に接続され、

ダイオードは、半導体接合ダイオードである不揮発性メモリセル。

【請求項 166】

不揮発性メモリセルであって、

ダイオードと、

1つの金属のみを含む抵抗率切り換え金属酸化物または窒化物の化合物の層を備える抵抗

抗切り換え要素と、を備え、

ダイオードおよび抵抗切り換え要素は、メモリセルの一部であり、

ダイオードおよび抵抗切り換え要素は、直列に接続され、

メモリセルは、第1のメモリレベルの一部である不揮発性メモリセル。

【請求項 1 6 7】

不揮発性メモリセルであって、

ダイオードと、

1つの金属のみを含む抵抗率切り換え金属酸化物または窒化物の化合物の層を備える抵抗切り換え要素と、を備え、

ダイオードおよび抵抗切り換え要素は、メモリセルの一部であり、

抵抗切り換え要素は、貴金属の近傍にある不揮発性メモリセル。

【請求項 1 6 8】

不揮発性メモリセルであって、

ダイオードと、

1つの金属のみを含む抵抗率切り換え金属酸化物または窒化物の化合物の層を備える抵抗切り換え要素と、を備え、

ダイオードおよび抵抗切り換え要素は、メモリセルの一部であり、

抵抗率切り換え金属酸化物または窒化物の化合物の層は、金属添加物を含み、

金属添加物は、金属酸化物または窒素酸化物の層内の金属分子の0.01%と5%との間である不揮発性メモリセル。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 0 8

【補正方法】変更

【補正の内容】

【0 0 0 8】

本発明の他の態様は、複数の不揮発性メモリセルを形成するための方法を提供するものであって、この方法は、実質的に平行で実質的に同一平面の第1の複数の導体を形成するステップと、第1の複数の導体の上に第1の複数のダイオードを形成するステップと、第1の複数の抵抗切り換え要素を形成するステップと、第1のダイオードの上に実質的に平行で実質的に同一平面の第2の複数の導体を形成するステップとを含み、第1の抵抗切り換え要素は、 $Ni_x O_y$ 、 $Nb_x O_y$ 、 $Ti_x O_y$ 、 $Hf_x O_y$ 、 $Al_x O_y$ 、 $Mg_x O_y$ 、 $Co_x O_y$ 、 $Cr_x O_y$ 、 $V_x O_y$ 、 $Zn_x O_y$ 、 $Zr_x O_y$ 、 $B_x N_y$ および $Al_x N_y$ からなる群から選ばれた材料を備える。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 1

【補正方法】変更

【補正の内容】

【0 0 1 1】

さらに他の実施形態は、不揮発性メモリセルを形成するための方法を提供するものであって、この方法は、第1の導体を形成するステップと、第2の導体を形成するステップと、抵抗切り換え要素を形成するステップと、ダイオードを形成するステップであって、ダイオードおよび抵抗切り換え要素は、第1の導体と第2の導体との間に電気的に直列に配置される、ステップと、を含み、第1および第2の導体、ダイオード、ならびに抵抗切り換え要素の形成中ならびにダイオードの結晶化中に、温度は摂氏約500度を超えない。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0 0 9 9

【補正方法】変更

【補正の内容】

【0099】

柱300は、任意の適切なマスキングおよびエッチング処理を使用して形成することができる。例えば、フォトレジストを堆積させて、標準的なフォトリソグラフィ手法を使用してパターン形成して、エッチングすることができ、その後、フォトレジストは除去される。代わりに、例えば二酸化シリコンなどのいくつかの他の材料のハードマスクを半導体層の積み重ねの上に形成することができ、底部はその上に反射防止コーティング（B A R C）がなされ、その後、パターン形成およびエッチングされる。同様に、誘電反射防止コーティング（D A R C）をハードマスクとして使用することもできる。