

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成22年9月16日(2010.9.16)

【公表番号】特表2010-527140(P2010-527140A)

【公表日】平成22年8月5日(2010.8.5)

【年通号数】公開・登録公報2010-031

【出願番号】特願2009-549213(P2009-549213)

【国際特許分類】

H 0 1 L 29/786 (2006.01)

H 0 1 L 27/08 (2006.01)

H 0 1 L 21/8238 (2006.01)

H 0 1 L 27/092 (2006.01)

H 0 1 L 21/762 (2006.01)

【F I】

H 0 1 L 29/78 6 2 6 C

H 0 1 L 29/78 6 1 8 E

H 0 1 L 29/78 6 1 8 B

H 0 1 L 29/78 6 2 1

H 0 1 L 29/78 6 1 3 A

H 0 1 L 27/08 3 3 1 E

H 0 1 L 27/08 3 2 1 N

H 0 1 L 27/08 3 2 1 C

H 0 1 L 21/76 D

【手続補正書】

【提出日】平成21年9月3日(2009.9.3)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

バルク半導体層(102)から流動性誘電体材料(206)を含む埋込み酸化物誘電体(BOX)層(104)によって分離された単結晶シリコンのSOI層(106)を含む半導体オン・インシュレータ(「SOI」)基板(100)内にチャネル領域(122)を有する電界効果トランジスタ(「FET」)を製造する方法であって、前記方法は、

a) 活性半導体領域の第1の部分(109a)の上に重なる犠牲応力層を形成するステップであって、前記犠牲応力層は、前記第1の部分と共通の境界を有する前記活性半導体領域の第2の部分(109b)の上には重ならない、ステップと、

b) 前記犠牲応力層を通して前記SOI層内に延びるトレンチ(220)を形成するステップであって、前記トレンチの壁は前記活性半導体領域の周縁部(112)を画定する、ステップと、

c) 前記犠牲応力層(108)を上には有する前記SOI基板を十分に加熱して、前記犠牲応力層を緩和させ、これにより、前記犠牲応力層が、第1の応力を前記第1の部分(109a)に加え、かつ、第2の応力を前記第2の部分(109b)に加えるステップであって、前記第1の応力は、引張応力又は圧縮応力のうち的一方であり、前記第2の応力は、前記第1の応力以外の引張応力又は圧縮応力のうちのもう一方である、ステップと、

d) 前記トレンチ内に誘電体材料を堆積させて、前記応力がかかった活性半導体領域の

前記周縁部に接触する分離領域(110b)を形成するステップであって、前記分離領域は、前記応力がかかった前記活性半導体領域の主面から前記BOX層(104)に向けて延びる、ステップと、

e) 前記犠牲応力層を除去して、前記活性半導体領域の前記第1の部分及び前記第2の部分を露出させるステップと、

f) (i) 前記第1の部分内にソース領域(123)と、(ii) 前記第1の部分内にドレイン領域(125)と、(iii) 前記第2の部分内にチャンネル領域(122)と含む、電界効果トランジスタ(「FET」)を形成するステップと、を含む方法。

【請求項2】

前記流動性誘電体材料は、ドーブされたシリケート・ガラスを含む、請求項1に記載の方法。

【請求項3】

前記ドーブされたシリケート・ガラスは、ポロホスホシリケート・ガラスを含む、請求項1に記載の方法。

【請求項4】

前記犠牲応力層は、前記活性半導体領域の上に応力層を堆積させ、前記第2の部分と整合する前記応力層の一部を除去することによって形成される、請求項1に記載の方法。

【請求項5】

前記FETはp型導電チャンネルを有し、前記加熱するステップ(c)によって前記第1の部分に加えられた前記第1の応力は引張応力を含み、前記加熱するステップ(c)によって前記第2の部分に加えられた前記第2の応力は圧縮応力を含む、請求項1に記載の方法。

【請求項6】

前記犠牲応力層は、シリコン・ゲルマニウム、または圧縮応力がかかった窒化シリコンを含む、請求項5に記載の方法。

【請求項7】

前記活性半導体領域は第1の活性半導体領域であり、前記犠牲応力層は、第2の活性半導体領域の上に重なるように形成され、前記犠牲応力層を上には有する前記SOI基板を加熱する前記ステップ(c)により、前記犠牲応力層が、前記第1の応力を前記第2の活性半導体領域に加え、前記犠牲応力層を除去する前記ステップは、前記第2の活性半導体領域の上に重なる前記犠牲応力層を除去するステップを含み、前記方法は、前記第2の活性半導体領域内にソース領域、ドレイン領域及びチャンネル領域を有するn型FET(「NFET」)を形成するステップをさらに含み、前記第2の活性半導体領域は内部引張応力を有する、請求項5に記載の方法。

【請求項8】

前記FETは、n型導電チャンネルを有し、前記加熱するステップ(c)によって前記第1の部分に加えられた前記第1の応力は圧縮応力を含み、前記加熱するステップ(c)によって前記第2の部分に加えられた前記第2の応力は引張応力を含む、請求項1に記載の方法。

【請求項9】

前記応力層は、炭化シリコン、または引張応力がかかった窒化シリコンを含む、請求項8に記載の方法。

【請求項10】

前記活性半導体領域が第1の活性半導体領域であり、前記犠牲応力層は、第2の活性半導体領域の上に重なるように形成され、前記犠牲応力層を上には有する前記SOI基板を加熱する前記ステップ(c)により、前記犠牲応力層が、前記第1の応力を前記第2の活性半導体領域に加え、前記犠牲応力層を除去する前記ステップは、前記第2の活性半導体領域の上に重なる前記犠牲応力層を除去するステップを含み、前記方法は、前記第2の活性半導体領域内にソース領域、ドレイン領域及びチャンネル領域を有するp型FET(「PF

「FET」)を形成するステップをさらに含み、前記第2の活性半導体領域は内部圧縮応力を有する、請求項8に記載の方法。

【請求項11】

前記FETの上に重なるように応力がかかった誘電体ライナを堆積させるステップをさらに含み、前記応力がかかった誘電体ライナは、前記FETの前記チャンネル領域に加えられた応力の大きさを増大させる、または減少させる、請求項1に記載の方法。

【請求項12】

バルク半導体層から流動性誘電体材料を含む埋込み酸化物誘電体(BOX)層によって分離されたSOI層を含むSOI基板の単結晶シリコン・オン・インシュレータ(「SOI」)層内に配置されたチャンネル領域を有する、異なる導電型を有する電界効果トランジスタ(「FET」)を製造する方法であって、前記方法は、

a)活性半導体領域の第1の部分及び第3の部分の上に重なる犠牲応力層を形成するステップであって、前記犠牲応力層は前記活性半導体領域の第2の部分の上には重ならず、前記第2の部分は前記第1の部分と共通の境界を有する、ステップと、

b)前記犠牲応力層を通して前記SOI層内に延びるトレンチを形成するステップであって、前記トレンチの壁は前記活性半導体領域の周縁部を画定する、ステップと、

c)前記犠牲応力層を上を有する前記SOI基板を十分に加熱して、前記犠牲応力層を緩和させ、これにより、前記犠牲応力層が、引張応力又は圧縮応力のうちの一方の第1の応力を前記第1の部分に加え、引張応力又は圧縮応力のうちの前記第1の応力を前記第3の部分に加え、かつ、第2の応力を前記第2の部分に加え、前記第2の応力は、前記第1の応力以外の引張応力又は圧縮応力のもう一方である、ステップと、

d)前記トレンチ内に誘電体材料を堆積させて、前記応力がかかった活性半導体領域の前記縁部に接触する分離領域を形成するステップであって、前記分離領域は、前記応力がかかった活性半導体領域の主面から前記BOX層に向けて延びる、ステップと、

e)前記犠牲応力層を除去して、前記活性半導体領域の前記第1、第2及び第3の部分を露出させるステップと、

f)第1の電界効果トランジスタ(「FET」)及び第2のFETを形成するステップであって、前記第1のFETは、(i)前記第1の部分内に配置されたソース領域、(ii)前記第1の部分内に配置されたドレイン領域、及び(iii)前記第2の部分内に配置されたチャンネル領域を含み、前記第2のFETは、前記第3の部分内に配置された第2のソース領域、前記第3の部分内に配置された第2のドレイン領域、及び前記第3の部分内に配置された第2のチャンネル領域を含む、ステップと、を含む方法。

【請求項13】

前記第1のFETはp型導電チャンネルを有し、前記第2のFETはn型導電チャンネルを有し、前記加熱するステップ(c)によって前記第1の部分及び前記第3の部分に加えられた前記第1の応力は引張応力を含み、前記加熱するステップ(c)によって前記第2の部分に加えられた前記第2の応力は圧縮応力を含む、請求項12に記載の方法。

【請求項14】

前記第1及び第2のFETの少なくとも1つの上に重なるように応力がかかった誘電体ライナを堆積させるステップをさらに含み、前記応力がかかった誘電体ライナは、前記少なくとも1つのFETの前記チャンネル領域に加えられる応力の大きさを増大させる、または減少させる、請求項12に記載の方法。

【請求項15】

バルク半導体層から流動性誘電体材料を含む埋込み酸化物誘電体(BOX)層によって分離されたSOI層を含むSOI基板の単結晶シリコン・オン・インシュレータ(「SOI」)層内に配置された導電チャンネル領域を有する、n型導電チャンネル電界効果トランジスタ(「NFET」)であって、

前記SOI層の圧縮応力部分内に配置されたソース領域及びドレイン領域と、

前記SOI層の引張応力部分内に配置され、前記圧縮応力部分と共通の境界を有するチ

ャネル領域と、
を備える N F E T。

【請求項 16】

前記圧縮応力部分の周縁部に接触するトレンチ分離領域をさらに備える、請求項 15 に記載の N F E T。

【請求項 17】

前記 N F E T の前記チャネル領域内の引張応力を増大させる、前記 N F E T の上に重なる引張応力がかかった誘電体ライナ、または、前記 N F E T の前記チャネル領域内の引張応力を減少させる、前記 N F E T の上に重なる圧縮応力がかかった誘電体ライナをさらに備える、請求項 15 に記載の N F E T。

【請求項 18】

前記 S O I 層の前記圧縮応力部分内に配置されたソース領域、ドレイン領域、及びチャネル領域を有する p 型導電チャネル領域電界効果トランジスタ（「P F E T」）をさらに備える、請求項 15 に記載の前記 N F E T を含む構造体。

【請求項 19】

バルク半導体層から流動性誘電体材料を含む埋込み酸化物誘電体（B O X）層によって分離された S O I 層を含む S O I 基板の単結晶シリコン・オン・インシュレータ（「S O I」）層内に配置された導電チャネル領域を有する、p 型導電チャネル電界効果トランジスタ（「P F E T」）であって、

前記 S O I 層の引張応力部分内に配置されたソース領域及びドレイン領域と、

前記 S O I 層の圧縮応力部分内に配置され、前記引張応力部分と共通の境界を有するチャネル領域と、
を備える P F E T。

【請求項 20】

前記引張応力部分の周縁部に接触するトレンチ分離領域をさらに備える、請求項 19 に記載の P F E T。

【請求項 21】

前記 P F E T の前記チャネル領域内の圧縮応力を減少させる、前記 P F E T の上に重なる引張応力がかかった誘電体ライナ、または、前記 P F E T の前記チャネル領域内の圧縮応力を増大させる、前記 P F E T の上に重なる圧縮応力がかかった誘電体ライナをさらに備える、請求項 19 に記載の P F E T。

【請求項 22】

前記 S O I 層の前記引張応力部分内に配置されたソース領域、ドレイン領域、及びチャネル領域を有する n 型導電チャネル領域電界効果トランジスタ（「N F E T」）をさらに備える、請求項 19 に記載の前記 P F E T を含む構造体。