



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2007년10월15일
(11) 등록번호 10-0766632
(24) 등록일자 2007년10월05일

(51) Int. Cl.
G09G 3/36 (2006.01) G09G 3/20 (2006.01)
G02F 1/133 (2006.01)
(21) 출원번호 10-2005-7024677
(22) 출원일자 2005년12월23일
심사청구일자 2005년12월23일
번역문제출일자 2005년12월23일
(65) 공개번호 10-2006-0039872
공개일자 2006년05월09일
(86) 국제출원번호 PCT/JP2005/002932
국제출원일자 2005년02월23일
(87) 국제공개번호 WO 2005/081218
국제공개일자 2005년09월01일
(30) 우선권주장
JP-P-2004-00046898 2004년02월23일 일본(JP)
(56) 선행기술조사문헌
JP 6-4046 A
JP 2003-295842 A

(73) 특허권자
도시바 마쯔시타 디스플레이 테크놀로지 컴퍼니, 리미티드
일본 도쿄도 미나토구 4쵸메 고난 1-8
(72) 발명자
가네다, 하루또시
일본 108-0075 도쿄도 미나토구 고난 4쵸메 1-8
도시바 마쯔시타디스플레이 테크놀로지 컴퍼니, 리미티드 지적재산부 내
시게히로, 고지
일본 108-0075 도쿄도 미나토구 고난 4쵸메 1-8
도시바 마쯔시타디스플레이 테크놀로지 컴퍼니, 리미티드 지적재산부 내
(74) 대리인
구영창, 이중희, 장수길

전체 청구항 수 : 총 21 항

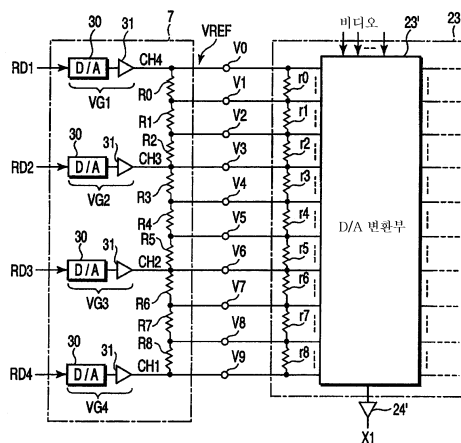
심사관 : 이병우

(54) 표시 신호 처리 장치 및 표시 장치

(57) 요약

표시 신호 처리 장치는 10개의 계조 기준 전압을 발생하는 계조 기준 전압 발생 회로(7)와, 계조 기준 전압 발생 회로(7)로부터 얻어지는 10개의 계조 기준 전압을 선택적으로 이용하여 표시 신호를 화소 전압으로 변환하는 D/A 변환 회로(23)를 구비한다. 특히, 계조 기준 전압 발생 회로(7)는 각각 감마 보정용으로 가변되는 출력 전압을 발생하는 4개의 가변 전압 발생부 VG1 ~ VG4, 및 4개의 가변 전압 발생부 VG1 ~ VG4의 출력단 CH1 ~ CH4 사이에 얻어지는 차전압을 분압하여 10개의 계조 기준 전압을 얻도록 접속되는 복수의 저항 R0 ~ R8을 갖는다.

대표도 - 도3



특허청구의 범위

청구항 1

표시 신호 처리 장치로서,

제1 소정수의 계조 기준 전압을 발생하는 계조 기준 전압 발생 회로와,

상기 계조 기준 전압 발생 회로로부터 얻어지는 제1 소정수의 계조 기준 전압을 선택적으로 이용하여 표시 신호를 화소 전압으로 변환하는 신호 변환 회로와,

상기 계조 기준 전압 발생 회로를 제어하는 제어부

를 구비하고,

상기 계조 기준 전압 발생 회로는

각각 감마 보정용으로 가변되는 출력 전압을 발생하는 상기 제1 소정수보다도 적은 제2 소정수의 가변 전압 발생부, 및

상기 제2 소정수의 가변 전압 발생부의 출력단 사이에 각각 접속되어, 각각의 상기 출력단 사이의 출력 전압을 분압하여 상기 제1 소정수의 계조 기준 전압을 얻는 복수의 저항

을 갖는 것을 특징으로 하는 표시 신호 처리 장치.

청구항 2

제1항에 있어서,

상기 계조 기준 전압 발생 회로의 최고 기준 전압측 및 최저 기준 전압측에 배치되는 상기 가변 전압 발생부는 2개 이상의 전원 전압을 상기 제어부의 제어에 의해 절환하는 절환 스위치 회로에 의해 구성되는 것을 특징으로 하는 표시 신호 처리 장치.

청구항 3

제1항에 있어서,

상기 계조 기준 전압 발생 회로는 상기 제2 소정수의 가변 전압 발생부 중 어느 하나에서 발생한 출력 전압의 이상(異常)을 검출하여 모든 상기 가변 전압 발생부의 출력 전압을 특정 전압으로 절환함으로써 상기 신호 변환 회로를 보호하는 보호 회로를 갖는 것을 특징으로 하는 표시 신호 처리 장치.

청구항 4

제1항에 있어서,

상기 제2 소정수의 가변 전압 발생 회로는 각각 수치 데이터를 출력 전압으로 변환하는 복수의 디지털/아날로그 변환기를 포함하는 것을 특징으로 하는 표시 신호 처리 장치.

청구항 5

삭제

청구항 6

제4항에 있어서,

상기 제어부는 상기 복수의 디지털/아날로그 변환기에 의해 각각 변환되는 수치 데이터를 변환 시간이 긴 순으로 직렬로 출력하는 출력부를 구비하는 것을 특징으로 하는 표시 신호 처리 장치.

청구항 7

제4항에 있어서,

상기 제어부는 상기 복수의 디지털/아날로그 변환기에 의해 각각 변환되는 수치 데이터를 병렬 또한 동시에 출

력하는 출력부를 구비하는 것을 특징으로 하는 표시 신호 처리 장치.

청구항 8

제1항에 있어서,

최대 휘도 부근 또는 최소 휘도 부근에서 계조값의 변화에 대한 휘도차를 없애도록 상기 제1 소정수의 계조 기준 전압을 선택적으로 보정하여 상기 신호 변환 회로에 공급하는 보정 회로를 더 구비하는 것을 특징으로 하는 표시 신호 처리 장치.

청구항 9

제4항에 있어서,

상기 제어부는 최대 휘도 부근 또는 최소 휘도 부근에서 계조값의 변화에 대한 휘도차를 없애도록 상기 표시 신호를 보정하여 상기 신호 변환 회로에 공급하는 보정 회로를 구비하는 것을 특징으로 하는 표시 신호 처리 장치.

청구항 10

표시 장치로서,

대략 매트릭스 형상으로 배치되고 각각 제1 및 제2 전극 사이에 액정 재료를 보유하는 복수의 화소와,

상기 제1 소정수의 계조 기준 전압을 발생하는 계조 기준 전압 발생 회로와,

상기 계조 기준 전압 발생 회로로부터 얻어지는 제1 소정수의 계조 기준 전압을 선택적으로 이용하여 표시 신호를 상기 제1 전극에 인가되는 화소 전압으로 변환하는 신호 변환 회로와,

상기 제2 전극에 인가되는 공통 전압을 발생하는 공통 전압 발생 회로와,

상기 화소 전압 및 공통 전압을 주기적으로 레벨 반전시키도록 상기 신호 변환 회로 및 상기 공통 전압 발생 회로를 제어하는 제어부

를 구비하고,

상기 계조 기준 전압 발생 회로는

각각 감마 보정용으로 가변되는 출력 전압을 발생하는 상기 제1 소정수보다도 적은 제2 소정수의 가변 전압 발생부, 및

상기 제2 소정수의 가변 전압 발생부의 출력단 사이에 각각 접속되어, 각각의 상기 출력단 사이의 출력 전압을 분압하여 상기 제1 소정수의 계조 기준 전압을 얻는 복수의 저항

을 갖는 것을 특징으로 하는 표시 장치.

청구항 11

제10항에 있어서,

상기 제어부는 특정 행의 화소에 대한 제어 정보를 더 보유하고, 이 제어 정보에 기초하여 특정 행의 화소에 대한 상기 공통 전압의 진폭을 변경하는 제어를 행하도록 구성되는 것을 특징으로 하는 표시 장치.

청구항 12

제11항에 있어서,

상기 제어부는 또한 상기 공통 전압의 변경에 수반하여 상기 특정 행의 화소에 대한 상기 화소 전압을 변경하는 제어를 행하도록 구성되는 것을 특징으로 하는 표시 장치.

청구항 13

제10항에 있어서,

상기 제어부는 특정 행의 화소에 대한 제어 정보를 더 보유하고, 이 제어 정보에 기초하여 상기 특정 행의 화소

에 대한 상기 공통 전압의 중심 레벨을 변경하는 제어를 행하도록 구성되는 것을 특징으로 하는 표시 장치.

청구항 14

제13항에 있어서,

상기 제어부는 또한 상기 공통 전압의 중심 레벨의 변경에 수반하여 상기 특정 행의 화소에 대한 화소 전압을 변경하는 제어를 행하도록 구성되는 것을 특징으로 하는 표시 장치.

청구항 15

제10항에 있어서,

상기 제어부는 상기 복수의 화소간에서 변동되는 투과율 특성을 보상하는 제어 정보를 보유하고, 이 제어 정보에 기초하여 특정 화소에 대한 화소 전압 및 공통 전압의 진폭을 변경하는 제어를 행하도록 구성되는 것을 특징으로 하는 표시 장치.

청구항 16

제10항에 있어서,

상기 제어부는 상기 복수의 화소를 배치한 표시 패널이 관찰자에 대하여 기울어진 상태에서 행마다의 화소에 인가되는 전압을 행 상호간에 각각 다르게 하는 제어를 행하도록 구성되는 것을 특징으로 하는 표시 장치.

청구항 17

제10항에 있어서,

상기 제어부는 전원 오프에 앞서 상기 제1 소정수의 계조 기준 전압을 동일 전압으로 설정하는 제어를 행하도록 구성되는 것을 특징으로 하는 표시 장치.

청구항 18

제1항에 있어서,

상기 계조 기준 전압 발생 회로는

적, 녹, 청의 각 색에 대하여 흑 레벨부터 백 레벨까지 일정수의 단계에서 나타내는 표시 신호를 계조 전압으로 변환하기 위해 이용되는 기준 전압을 분압하는 래더 저항과,

표시 신호의 색에 따라 상기 래더 저항에서의 흑 레벨에 상당하는 부분의 저항값을 절환하는 절환 수단을

을 갖는 것을 특징으로 하는 표시 신호 처리 장치.

청구항 19

제18항에 있어서,

상기 래더 저항은, 흑 레벨에 상당하는 부분에 적, 녹, 청의 각 색에 대응한 3개의 저항을 구비하고,

상기 절환 수단은 표시 신호의 색에 따라 상기 3개의 저항을 절환하는 것을 특징으로 하는 표시 신호 처리 장치.

청구항 20

제18항에 있어서,

상기 계조 기준 전압 발생 회로는

표시 신호에 대한 계조 전압의 특성을 나타내는 특성 곡선의 기울기를 조정하기 위해 상기 래더 저항에 설치된 가변 저항과,

상기 가변 저항의 값이 설정되는 기울기 조정 레지스터

를 갖는 것을 특징으로 하는 표시 신호 처리 장치.

청구항 21

제18항에 있어서,
 상기 계조 기준 전압 발생 회로는,
 계조 전압의 진폭을 조정하기 위해 상기 래더 저항에 설치된 가변 저항과,
 상기 가변 저항의 값이 설정되는 진폭 조정 레지스터
 를 갖는 것을 특징으로 하는 표시 신호 처리 장치.

청구항 22

제18항에 있어서,
 상기 계조 기준 전압 발생 회로는,
 계조 전압의 크기를 조정하기 위해 래더 저항으로부터 출력되는 분압 전압을 선택하는 셀렉터와,
 상기 셀렉터에 의한 선택이 설정되는 미세 조정 레지스터
 를 갖는 것을 특징으로 하는 표시 신호 처리 장치.

명세서

기술분야

<1> 본 발명은, 표시 신호를 화소 전압으로 변환하는 표시 신호 처리 장치 및 표시 장치에 관한 것으로, 특히 감마 보정을 겸하여 표시 신호를 화소 전압으로 변환하는 표시 신호 처리 장치 및 표시 장치에 관한 것이다.

배경기술

- <2> 액정 표시 장치로 대표되는 평면 표시 장치는, 퍼스널 컴퓨터, 정보 휴대 단말기, 텔레비전, 혹은 카 내비게이션 시스템 등의 표시 장치로서 널리 이용되고 있다.
- <3> 액정 표시 장치는, 일반적으로 복수의 액정 화소의 매트릭스 어레이를 포함하는 표시 패널과, 이 표시 패널을 구동하는 구동 회로를 구비한다. 전형적인 표시 패널은 어레이 기관 및 대향 기관 사이에 액정층을 협지한 구조를 갖는다. 어레이 기관은 매트릭스 형상으로 배치되는 복수의 화소 전극을 갖고, 대향 기관은 이들 화소 전극에 대향하는 공통 전극을 갖는다. 화소 전극 및 공통 전극은 이들 전극 사이에 배치되는 액정층의 화소 영역과 함께 액정 화소를 구성하고, 화소 영역 내의 액정 분자의 배열 상태를 화소 전극 및 공통 전극 사이의 전계에 의해 제어한다. 구동 회로에서는, 각 화소에 대한 디지털 표시 신호를 소정수의 계조 기준 전압을 선택적으로 이용하여 화소 전압으로 변환하여, 표시 패널에 출력한다. 화소 전압은 공통 전극의 전위를 기준으로 하여 화소 전극에 인가되는 전압이다.
- <4> 종래의 계조 기준 전압 발생 회로는, 예를 들면 한 쌍의 전원 단자 사이에 복수의 저항을 직렬로 접속한 래더 저항기로 이루어지고, 전원 단자 사이의 전압을 분압하여 소정수의 계조 기준 전압을 출력한다(예를 들면, 일본 특개2003-228332호 공보를 참조).
- <5> 그런데, 경치나 인물 등의 피사체 자체가 갖는 휘도의 대수값을 횡축으로, 액정 표시 장치에 의해 표시된 재생 화상의 휘도의 대수값을 종축으로 취하여 재생 특성을 표현했을 때의 재생 특성 곡선의 경사각을 θ 로 한 경우, $\tan \theta$ 를 감마라고 한다. 피사체의 휘도가 충실히 표시되는 경우에는, 재생 특성 곡선은, 경사각 θ 가 45° 의 직선으로 되고, $\tan 45^\circ = 1$ 이므로, 감마는 1로 된다. 즉, 피사체의 휘도를 충실히 표시하는 경우에는, 감마를 1로 보정할 필요가 있다. 전술한 계조 기준 전압 발생 회로는 래더 저항기의 저항값을 조정하여 감마 보정을 행하여도, 액정 화소의 휘도를 표시 신호의 계조값에 비례시키는 것은 곤란하다.
- <6> 또한, 계조 기준 전압 발생 회로로부터의 계조 기준 전압을 이용하여 감마 보정을 행하는 기술로서는, 예를 들면 일본 특개2001-134242호 공보에 기재된 것이 알려져 있다.
- <7> 그러나, 종래는, 적(R), 녹(G), 청(B)의 3원색의 모두에 대하여 동일한 감마 보정을 행하고 있기 때문에, 각 색을 흑 레벨부터 백 레벨까지 일정한 계조수로 표현했을 때의 휘도가, 적색, 녹색, 청색에서 어긋나 있다. 특히

청색의 감마 보정 후의 휘도는, 다른 색의 것과 비교하면 흑 레벨측에서 크게 어긋나 있었다.

<8> <발명의 개사>

<9> 본 발명은 이러한 문제점을 감안하여 이루어진 것으로, 그 목적은 제조 비용을 현저히 증대시키지 않고 감마 보정을 겸하여 표시 신호를 화소 전압으로 변환할 수 있는 표시 신호 처리 장치를 제공하는 것에 있다.

<10> 본 발명에 따르면, 제1 소정수의 계조 기준 전압을 발생하는 계조 기준 전압 발생 회로와, 계조 기준 전압 발생 회로로부터 얻어지는 제1 소정수의 계조 기준 전압을 선택적으로 이용하여 표시 신호를 화소 전압으로 변환하는 신호 변환 회로와, 계조 기준 전압 발생 회로를 제어하는 제어부를 구비하고, 계조 기준 전압 발생 회로는 각각 감마 보정용으로 가변되는 출력 전압을 발생하는 제1 소정수보다도 적은 제2 소정수의 가변 전압 발생부, 및 이들 제2 소정수의 가변 전압 발생부의 출력단 사이에 각각 접속되어, 각 출력단 사이의 출력 전압을 분압하여 제1 소정수의 계조 기준 전압을 얻도록 접속되는 복수의 저항을 갖는 표시 신호 처리 장치가 제공된다.

<11> 또한 본 발명에 따르면, 대략 매트릭스 형상으로 배치되고 각각 제1 및 제2 전극 사이에 액정 재료를 유지하는 복수의 화소와, 제1 소정수의 계조 기준 전압을 발생하는 계조 기준 전압 발생 회로와, 계조 기준 전압 발생 회로로부터 얻어지는 제1 소정수의 계조 기준 전압을 선택적으로 이용하여 표시 신호를 제1 전극에 인가되는 화소 전압으로 변환하는 신호 변환 회로와, 제2 전극에 인가되는 공통 전압을 발생하는 공통 전압 발생 회로와, 화소 전압 및 공통 전압을 주기적으로 레벨 반전시키도록 신호 변환 회로 및 공통 전압 발생 회로를 제어하는 제어부를 구비하고, 계조 기준 전압 발생 회로는 각각 감마 보정용으로 가변되는 출력 전압을 발생하는 제1 소정수보다도 적은 제2 소정수의 가변 전압 발생부, 및 제2 소정수의 가변 전압 발생부의 출력단 사이에 각각 접속되어 각 출력단 사이의 출력 전압을 분압하여 제1 소정수의 계조 기준 전압을 얻도록 접속되는 복수의 저항을 갖는 표시 장치가 제공된다.

<12> 이 표시 신호 처리 장치 및 표시 장치에서는, 복수의 저항이 제2 소정수의 가변 전압 발생부의 출력단 사이에 각각 접속되어 각 출력단 사이의 출력 전압을 분압하여 제1 소정수의 계조 기준 전압을 얻도록 접속된다. 즉, 제1 소정수의 계조 기준 전압이 제1 소정수보다도 적은 제2 소정수의 가변 전압 발생부를 이용하여 얻어지기 때문에, 제조 비용을 현저히 증대시키지 않고 감마 보정을 겸하여 표시 신호를 화소 전압으로 변환할 수 있다.

산업상 이용 가능성

<105> 본 발명은, 감마 보정을 겸하여 표시 신호를 화소 전압으로 변환하는 표시 신호 처리 장치 및 표시 장치에 이용할 수 있다.

도면의 간단한 설명

<13> 도 1은 본 발명의 제1 실시예에 따른 액정 표시 장치의 회로 구성을 개략적으로 도시하는 도면.

<14> 도 2는 도 1에 도시하는 소스 드라이버의 구성을 개략적으로 도시하는 도면.

<15> 도 3은 도 2에 도시하는 계조 기준 전압 발생 회로의 구성을 도시하는 도면.

<16> 도 4는 도 1에 도시하는 표시 패널에서 액정 인가 전압에 대한 화소의 투과율 특성을 도시하는 그래프.

<17> 도 5는 도 1에 도시하는 표시 패널에서 표시 신호의 계조값에 대한 화소의 투과율 특성을 도시하는 그래프.

<18> 도 6은 도 3에 도시하는 계조 기준 전압 발생 회로의 제1 변형예를 도시하는 도면.

<19> 도 7은 도 3에 도시하는 계조 기준 전압 발생 회로의 제2 변형예를 도시하는 도면.

<20> 도 8은 도 1에 도시하는 컨트롤러의 제1 변형예의 동작을 도시하는 도면.

<21> 도 9는 도 8에 도시하는 제1 변형예의 동작에 대한 비교예를 도시하는 도면.

<22> 도 10은 도 1에 도시하는 컨트롤러의 제2 변형예를 도시하는 도면.

<23> 도 11은 도 10에 도시하는 제2 변형예의 동작을 도시하는 도면.

<24> 도 12는 도 3에 도시하는 D/A 변환 회로의 변형예를 도시하는 도면.

<25> 도 13은 도 12에 도시하는 변형예를 설명하기 위한 제1 비교예를 도시하는 그래프.

- <26> 도 14는 도 12에 도시하는 변형예를 설명하기 위한 제2 비교예를 도시하는 그래프.
- <27> 도 15는 도 12에 도시하는 변형예의 특성을 도시하는 그래프.
- <28> 도 16은 도 1에 도시하는 제어 유닛의 제1 변형예를 도시하는 도면.
- <29> 도 17은 도 16에 도시하는 EPROM에 유지되는 계조 테이블을 도시하는 도면.
- <30> 도 18은 도 1에 도시하는 제어 유닛의 제2 변형예의 동작을 도시하는 도면.
- <31> 도 19는 도 1에 도시하는 제어 유닛의 제3 변형예의 동작을 도시하는 도면.
- <32> 도 20은 도 1에 도시하는 표시 패널에 발생하는 투과율 특성의 변동을 도시하는 그래프.
- <33> 도 21은 도 1에 도시하는 제어 유닛의 제4 변형예를 도시하는 도면.
- <34> 도 22는 본 발명의 제2 실시예에 따른 액정 표시 장치의 회로 구성을 도시하는 블록도.
- <35> 도 23은 도 22에 도시하는 감마 보정 회로의 구성을 도시하는 회로도.
- <36> 도 24는 도 23에 도시하는 각 레지스터에 대한 신호명과 설정 내용의 일람을 도시하는 도면.
- <37> 도 25는 도 23에 도시하는 감마 보정 회로에서 행해지는 기울기 조정에 의해 얻어지는 계조값 - 계조 전압 특성을 도시하는 그래프.
- <38> 도 26은 도 23에 도시하는 감마 보정 회로에서 행해지는 계조 전압의 진폭 조정에 의해 얻어지는 계조값 - 계조 전압 특성을 도시하는 그래프.
- <39> 도 27은 도 23에 도시하는 감마 보정 회로에서 행해지는 계조 전압의 미세 조정에 의해 얻어지는 계조값 - 계조 전압 특성을 도시하는 그래프.
- <40> 도 28은 비교예의 감마 보정 회로의 구성을 도시하는 회로도.
- <41> 도 29는 감마 보정 전에서의 계조값과 휘도의 관계를 도시하는 그래프.
- <42> 도 30은 도 23에 도시하는 감마 보정 회로에 의해 감마 보정을 한 후의 계조값과 휘도의 관계를 도시하는 그래프.
- <43> 도 31은 도 28에 도시하는 비교예의 감마 보정 회로에 의해 감마 보정을 한 후의 계조값과 휘도의 관계를 도시하는 그래프.
- <44> <발명을 실시하기 위한 최량의 형태>
- <45> 이하, 본 발명의 제1 실시예에 관하여 H / 공통 반전을 행하는 액정 표시 장치에 대하여 첨부 도면을 참조하여 설명한다. 도 1은 이 액정 표시 장치(1)의 회로 구성을 개략적으로 도시한다. 액정 표시 장치(1)는, 복수의 액정 화소 PX를 갖는 표시 패널 DP, 및 표시 패널 DP를 제어하는 제어 유닛 CNT를 구비한다. 표시 패널 DP는 어레이 기관(2) 및 대향 기관(3) 사이에 액정층(4)을 협지한 구조이다.
- <46> 어레이 기관(2)은, 예를 들면 글래스 등의 투명 절연 기관 상에 매트릭스 형상으로 배치되는 복수의 화소 전극 PE, 복수의 화소 전극 PE의 행을 따라 배치되는 복수의 게이트선 Y(Y₁ ~ Y_m), 복수의 화소 전극 PE의 열을 따라 배치되는 복수의 소스선 X(X₁ ~ X_n), 이들 게이트선 Y 및 소스선 X의 교차 위치 근방에 배치되는 화소 스위칭 소자 W, 및 복수의 게이트선 Y를 1 수평 주사 기간에 하나의 비율로 순차적으로 구동하는 게이트 드라이버(10), 및 각 게이트선 Y가 구동되는 동안에 복수의 소스선 X를 구동하는 소스 드라이버(20)를 갖는다. 각 화소 스위칭 소자 W는, 예를 들면 폴리실리콘 박막 트랜지스터로 이루어진다. 이 경우, 박막 트랜지스터의 게이트가 1 게이트선 Y에 접속되고, 소스 및 드레인인 1 소스선 X 및 1 화소 전극 PE 사이에 각각 접속되어 이들 소스선 X 및 화소 전극 PE 사이에 소스 - 드레인 패스를 형성한다. 또한, 게이트 드라이버(10)는 화소 스위칭 소자 W와 동일 공정에서 동시에 형성되는 폴리실리콘 박막 트랜지스터를 이용하여 구성된다. 또한, 소스 드라이버(20)는 COG(Chip On Glass) 기술에 의해 어레이 기관(2)에 설치된 집적 회로(IC) 칩이다.
- <47> 대향 기관(3)은, 예를 들면 글래스 등의 투명 절연 기관 상에 배치되는 컬러 필터(도시 생략), 및 복수의 화소 전극 PE에 대향하여 컬러 필터 상에 배치되는 공통 전극 CE 등을 포함한다. 각 화소 전극 PE 및 공통 전극 CE는, 예를 들면 ITO 등의 투명 전극 재료로 이루어지고, 화소 전극 PE 및 공통 전극 CE 사이에 배치되고 이들 전극 PE, CE로부터의 전계에 대응한 액정 분자 배열 상태로 제어되는 액정층(4)의 화소 영역과 함께 액정 화소 PX

를 구성한다. 또한, 모든 화소 PX는 보조 용량 Cs를 갖는다. 이들 보조 용량 Cs는 어레이 기관(2)측에서 복수행의 화소 전극 PE에 각각 용량 결합한 복수의 보조 용량선을 공통 전극 CE에 전기적으로 접속함으로써 얻어진다.

- <48> 제어 유닛 CNT는 컨트롤러(5), 공통 전압 발생 회로(6), 계조 기준 전압 발생 회로(7)를 포함한다. 컨트롤러(5)는 외부로부터 공급되는 디지털 영상 신호 VIDEO를 화상으로서 표시 패널 DP에 표시시키기 위해 공통 전압 발생 회로(6), 계조 기준 전압 발생 회로(7), 게이트 드라이버(10), 소스 드라이버(20)를 제어한다. 공통 전압 발생 회로(6)는 대향 기관(3) 상의 공통 전극 CE에 대하여 공통 전압 Vcom을 발생한다. 계조 기준 전압 발생 회로(7)는 영상 신호로부터 각 화소 PX에 대하여 얻어지는, 예를 들면 6 비트의 표시 신호를 화소 전압으로 변환하기 위해 이용되는 제1 소정수의 계조 기준 전압 VREF를 발생한다. 화소 전압은 공통 전극 CE의 전위를 기준으로 하여 화소 전극 PE에 인가되는 전압이다. 이 실시예에서, 제1 소정수의 계조 기준 전압 VREF는 10개의 계조 기준 전압 V0 ~ V9이다. 이들 계조 기준 전압 V0 ~ V9는, 계조 기준 전압 V0에 대하여 상대적으로 높은 레벨로 되고, 계조 기준 전압 V9측에 대하여 상대적으로 낮은 레벨로 되도록 설정되어 있다.
- <49> 컨트롤러(5)는, 1 수직 주사 기간마다 순차적으로 복수의 게이트선 Y를 선택하기 위한 제어 신호 CTY 및, 1 수평 주사 기간(1H)마다 영상 신호에 포함되는 1행분의 화소 PX에 대한 표시 신호를 복수의 소스선 X에 각각 할당하기 위한 제어 신호 CTX 등을 발생시킨다. 여기서, 제어 신호 CTX는 1 수평 주사 기간(1H)마다 발생하는 펄스인 수평 스타트 신호 STH, 각 수평 주사 기간에서 소스선 수개분 발생하는 펄스인 수평 클럭 신호 CKH를 포함한다. 제어 신호 CTY는 컨트롤러(5)로부터 게이트 드라이버(10)에 공급되고, 제어 신호 CTX는 디지털 영상 신호 VIDEO와 함께 컨트롤러(5)로부터 소스 드라이버(20)에 공급된다.
- <50> 게이트 드라이버(10)는 제어 신호 CTY의 제어에 의해 복수의 게이트선 Y를 순차적으로 선택하고, 화소 스위칭 소자 W를 도통시키는 주사 신호를 선택 게이트선 Y에 공급한다. 본 실시예에서는, 복수의 화소 PX가 1 수평 주사 기간에 1행씩 순차적으로 선택 상태로 된다.
- <51> 도 2는 도 1에 도시하는 소스 드라이버(20)의 구성을 개략적으로 도시한다. 소스 드라이버(20)는, 수평 스타트 신호 STH를 수평 클럭 신호 CKH에 동기하여 시프트하고, 디지털 영상 신호 VIDEO를 순차적으로 직병렬 변환하는 타이밍을 제어하는 시프트 레지스터(21), 시프트 레지스터(21)의 제어에 의해 디지털 영상 신호 VIDEO를 순차적으로 래치하여 1행분의 화소 PX에 대한 표시 신호로서 병렬적으로 출력하는 샘플링 & 로드 래치(22), 이들 표시 신호를 아날로그 형식의 화소 전압으로 변환하는 디지털/아날로그(D/A) 변환 회로(23), 및 D/A 변환 회로(23)로부터 얻어지는 아날로그 화소 전압을 증폭하는 출력 버퍼 회로(24)를 포함한다. D/A 변환 회로(23)는, 계조 기준 전압 발생 회로(7)로부터 발생하는 제1 소정수의 계조 기준 전압 VREF(구체적으로는 계조 기준 전압 V0 ~ V9)를 참조하도록 구성된다.
- <52> D/A 변환 회로(23)는, 예를 들면 각각 저항 DAC으로서 알려지는 것 같은 복수의 D/A 변환부(23') 및 계조 기준 전압에 기초하여 소정수의 계조 전압을 출력하는 복수의 입력 저항군으로 구성된다. 각 D/A 변환부(23')는 샘플링 & 로드 래치(22)로부터 출력되는 디지털 표시 신호에 기초하여 소정수의 계조 전압 중 어느 하나를 선택함으로써 아날로그 화소 전압으로 변환한다. 출력 버퍼 회로(24)는 복수의 D/A 변환부(23')로부터의 아날로그 화소 전압을 증폭하고, 화소 전압으로서 각각 소스선 X1, X2, X3, ...에 출력하는 복수의 버퍼 앰프(24')로 구성된다.
- <53> 이 액정 표시 장치(1)에서는, 게이트 드라이버(10)가 하나의 게이트선 Y에 주사 신호를 출력하는 1 수평 주사 기간에, 소스 드라이버(20)가 디지털 영상 신호에 포함되는 1행분의 화소 PX에 대한 표시 신호를 화소 전압으로 변환하여 소스선 X1 ~ Xn에 출력한다. 이들 소스선 X1 ~ Xn 상의 화소 전압은 주사 신호에 의해 구동된 1행분의 화소 스위칭 소자 W를 통하여 대응하는 화소 전극 PE에 각각 공급된다. 공통 전압 Vcom은 화소 전압의 출력 타이밍에 동기하여 공통 전압 발생 회로(6)로부터 공통 전극 CE에 출력된다. 이 공통 전압 발생 회로(6)는 컨트롤러(5)에 의해 설정되는, 예를 들면 8 ~ 10 비트 정도의 수치 데이터에 대응한 출력 전압을 발생하는 D/A 변환기 등을 이용하여 구성되고, 예를 들면 0 V 및 5.8 V의 전압을 1 수평 주사 기간씩 교대로 출력한다. 그 때문에, 소스 드라이버(20)측에서는, 각 D/A 변환부(23')가 공통 전압 Vcom의 중심 레벨을 기준으로 하여 화소 전압의 레벨을 반전시킨다. 액정 인가 전압을 최대로 하는 경우, 화소 전압은 0 V의 공통 전압 Vcom에 대하여 5.8 V로 설정되고, 5.8 V의 공통 전압 Vcom에 대하여 0 V로 설정된다. 덧붙여서 말하면, 화소 전압이 소스 드라이버(20)로부터 5.8 V로 출력되어도, 화소 스위칭 소자 W의 기생 용량에 기인하는 필드 스루(field through) 전압 등에 의해, 예를 들면 4.8 V 정도로 저하하여 화소 전극 PE에 유지된다. 그 때문에, 공통 전압 발생 회로(6)로부터 출력되는 공통 전압 Vcom의 진폭 및 중심 레벨은 실제로 화소 전극 PE에 유지되는 화소 전압에 맞게

미리 조정된다.

<54> 도 3은 도 2에 도시하는 제조 기준 전압 발생 회로(7)의 구성을 도시한다. 제조 기준 전압 발생 회로(7)는 제조 기준 전압 V0 ~ V9의 수보다도 적은, 예를 들면 4개인 제2 소정수의 가변 전압 발생부 VG1 ~ VG4와, 이들 가변 전압 발생부 VG1 ~ VG4의 출력단(출력 채널) CH4 ~ CH1 사이에 직렬로 접속되는 복수의 저항 R0 ~ R8을 갖는다. 복수의 저항 R0 ~ R8은 가변 전압 발생부 VG1 ~ VG4의 출력단 CH4 ~ CH1 사이에 얻어지는 차전압을 분압하여 제조 기준 전압 V0 ~ V9를 얻는다. 가변 전압 발생부 VG1 ~ VG4 각각은, D/A 변환기(30) 및 출력 버퍼(31)를 포함한다. 가변 전압 발생부 VG1에서는, D/A 변환기(30)가 감마 보정을 겸하여 설정되는 수치 데이터 RD1에 대응한 출력 전압을 발생하고, 출력 버퍼(31)가 이 출력 전압을 출력단 CH4로부터 출력한다. 가변 전압 발생부 VG2에서는, D/A 변환기(30)가 감마 보정을 겸하여 설정되는 수치 데이터 RD2에 대응한 출력 전압을 발생시키고, 출력 버퍼(31)가 이 출력 전압을 출력단 CH3으로부터 출력한다. 가변 전압 발생부 VG3에서는, D/A 변환기(30)가 감마 보정을 겸하여 설정되는 수치 데이터 RD3에 대응한 출력 전압을 발생시키고, 출력 버퍼(31)가 이 출력 전압을 출력단 CH2로부터 출력한다. 가변 전압 발생부 VG4에서는, D/A 변환기(30)가 감마 보정을 겸하여 설정되는 수치 데이터 RD4에 대응한 출력 전압을 발생시키고, 출력 버퍼(31)가 이 출력 전압을 출력단 CH1로부터 출력한다. 수치 데이터 RD1 ~ RD4는, 예를 들면 컨트롤러(5)로부터 직렬로 제조 기준 전압 발생 회로(7)에 출력된다. 이 구성은, 컨트롤러(5) 및 제조 기준 전압 발생 회로(7) 사이의 배선 접속수를 적게 하고, 또한 제조 후에 있어서 언제나 수치 데이터 RD1 ~ RD4를 변경 가능하게 하기 위해서이다. 만약 제조 단계에서 수치 데이터 RD1 ~ RD4를 설정하고, 그 이후 변경하지 않는 경우에는, 수치 데이터 RD1 ~ RD4를 설정하는 점퍼 핀 등을 가변 전압 발생부 VG1 ~ VG4에 설정하도록 하여도 된다. 이것은, 공통 전압 발생 회로(6)에 설정되는 수치 데이터에 대해서도 마찬가지이다. 가변 전압 발생부 VG1 ~ VG4의 D/A 변환기(30)는 8 ~ 10 비트 정도의 수치 데이터 RD1 ~ RD4를 출력 전압으로 변환하는 구조로서, 6 비트의 표시 신호에 대하여 충분히 높은 분해능을 갖는다.

<55> 또한, D/A 변환 회로(23)는, 제조 기준 전압 V0, V1의 출력단 사이, 제조 기준 전압 V1, V2의 출력단 사이, 제조 기준 전압 V2, V3의 출력단 사이, 제조 기준 전압 V3, V4의 출력단 사이, 제조 기준 전압 V4, V5의 출력단 사이, 제조 기준 전압 V5, V6의 출력단 사이, 제조 기준 전압 V6, V7의 출력단 사이, 제조 기준 전압 V7, V8의 출력단 사이, 및 제조 기준 전압 V8, V9의 출력단 사이에 각각 접속되는 입력 저항군 r0, r1, r2, r3, r4, r5, r6, r7, r8을 갖는다. 입력 저항군 r0 ~ r8 각각은 복수의 저항에 의해 구성되고, 대응하는 제조 기준 전압을 분압하여 제조 전압으로서 D/A 변환부(23)에 출력한다.

<56> 도 4는 액정 인가 전압에 대한 화소 PX의 투과율 특성을 도시하고, 도 5는 표시 신호의 제조값에 대한 화소 PX의 투과율 특성을 도시한다. 화소 PX가 도 4에 도시한 바와 같은 투과율 특성을 갖는 경우, 화소 PX의 투과율 특성은 표시 신호의 제조값에 대하여 도 5에서 파선으로 도시한 곡선으로 된다. 이 때문에, 가변 전압 발생부 VG1 ~ VG4의 출력 전압 및 저항 R0 ~ R8의 저항비가 도 4에 도시하는 특성 곡선의 변곡점을 고려하여 설정되고, 이에 따라 도 5에 일점쇄선으로 도시한 곡선의 감마 보정을 표시 신호의 D/A 변환부에서 행하도록 한다. 그 결과, 화소 PX의 투과율 특성이 표시 신호의 제조값에 비례하는 직선으로 된다. 또한, 가변 전압 발생부 VG1 ~ VG4의 출력 전압을 수치 데이터 RD1 ~ RD4에 의해 임의로 변경할 수 있기 때문에, 화소 PX의 투과율 특성을 원하는 곡선으로 할 수도 있다. 또한, 본 실시예와 같이 액정층(4) 내의 전계의 방향을 주기적으로 반전시킬 필요가 있는 액정 화소 PX를 이용하는 경우에는, 가변 전압 발생부 VG1 ~ VG4가 화소 전압의 중심 레벨에 상당하는 저항 분압점에 대하여 대칭적인 것이 중요하다.

<57> 본 실시예의 액정 표시 장치(1)에서는, 복수의 저항 R0 ~ R8이 4개의 가변 전압 발생부 VG1 ~ VG4의 출력단 사이에 얻어지는 차전압을 분압하여 10개의 제조 기준 전압 V0 ~ V9를 얻도록 접속된다. 즉, 감마 보정을 위해 높은 분해능을 필요로 하는 가변 전압 발생부 VG1 ~ VG4의 수를 제조 기준 전압 V0 ~ V9의 수에 대하여 저감할 수 있다. 따라서, 제조 비용을 현저히 증대시키지 않고 감마 보정을 겸하여 표시 신호를 화소 전압으로 변환할 수 있다.

<58> 도 6은 도 3에 도시하는 제조 기준 전압 발생 회로(7)의 제1 변형예를 도시한다. 이 변형예에서는, 제조 기준 전압 발생 회로(7)가 직렬의 저항 R0 ~ R8의 최외곽에 배치되는 가변 전압 발생부 VG1 및 VG4로서 각각 2개의 절환 스위치를 갖는다. 즉, 가변 전압 발생부 VG1은 전원 전압 VAH 및 VBL의 한 쪽을 출력하는 절환 스위치이며, 가변 전압 발생부 VG4는 전원 전압 VAL 및 VBH의 한 쪽을 출력하는 절환 스위치이다. 이들 가변 전압 발생부 VG1 및 VG4의 절환 스위치는 컨트롤러(5)로부터의 수치 데이터 RD1 및 RD4에 의해 각각 제어되고, 1 수평 주사 기간(1H)마다 전압 VAH 및 VAL의 조 및 전압 VBH 및 VBL의 조를 교대로 절환하여 선택한다. 수치 데이터 RD1 및 RD4는 이들 절환 스위치로 간단한 D/A 변환을 받는 결과로 된다. 전압 VAH 및 VAL은 각각 액정 인가 전

압이 정극성 시의 최대 계조 기준 전압 및 최소 계조 기준 전압이며, 전압 VBH 및 VBL은 각각 역정 인가 전압이 부극성 시의 최대 계조 기준 전압 및 최소 계조 기준 전압이다. 또한, 가변 전압 발생부 VG2 및 VG3은 화소 전압의 중심 레벨에 상당하는 저항 분압 위치에 대한 대칭성을 유지하며 이들 가변 전압 발생부 VG1 및 VG4보다도 내측에 배치된다.

- <59> 이 제1 변형예에서는, 절환 스위치가 가변 전압 발생부 VG1 및 VG4로서 이용되기 때문에, 가변 출력 전압의 출력단(채널) 수를 4개로 유지한 상태에서 제조 비용을 현저하게 증대시키는 요인인 D/A 변환기(30)의 총 수를 2개로 저감할 수 있다. 즉, 제조 비용을 낮게 억제하여 정밀한 감마 보정을 행하는 것이 가능하다.
- <60> 도 7은 도 3에 도시하는 계조 기준 전압 발생 회로(7)의 제2 변형예를 도시한다. 이 변형예에서는, 계조 기준 전압 발생 회로(7)가 가변 전압 발생부 VG1 ~ VG4의 출력 버퍼(31)에 접속되는 4개의 이상 전압 검출기(32), 및 이들 이상 전압 검출기(32) 중 어느 하나로부터 발생하는 검출 신호에 응답하여 출력단 CH1 ~ CH4를 각각의 출력 버퍼(31)로부터 분리하여 특정한 전압 VX를 공급하는 전원 단자에 접속하는 4개의 절환 스위치(33)로 이루어지는 소스 드라이버(20)용의 보호 회로를 더 갖는다.
- <61> 이 제2 변형예에서는, 가변 전압 발생부 VG1 ~ VG4 중 어느 하나에서 이상 전압이 발생한 경우에, 이 이상 전압이 4개인 이상 검출기(32)가 대응하는 하나에 의해 검출되고, 그 결과로서 특정한 전압 VX가 모든 출력단 CH1 ~ CH4로부터 출력된다. 따라서, 소스 드라이버(20)가 계조 기준 전압 발생 회로(7)측으로부터 출력되는 이상 전압에 의해 파괴되는 사태를 회피할 수 있다.
- <62> 도 8은 도 1에 도시하는 컨트롤러(5)의 제1 변형예의 동작을 도시한다. 이 변형예에서는, 컨트롤러(5)가 수치 데이터 RD1 ~ RD4를 특정한 순서로 계조 기준 전압 발생 회로(7)에 출력하도록 구성된다. 수치 데이터 RD1 ~ RD4의 D/A 변환 시간은 도 8에 도시한 바와 같이 서로 다르다. 임의의 프레임에서는, 가변 전압 발생부 VG1의 출력단 CH4의 전위가 수치 데이터 RD1의 D/A 변환에 의해 가장 크게 천이하게 되고, 가변 전압 발생부 VG4의 출력단 CH1의 전위가 수치 데이터 RD4의 D/A 변환에 의해 가장 작게 천이하게 된다. 따라서, 컨트롤러(5)는 수치 데이터 RD1, RD2, RD3, RD4라는 D/A 변환 시간이 긴 것 등을 먼저, 즉 출력 전위 변화량이 큰 것부터 순서대로 계조 기준 전압 발생 회로(7)에 출력한다. 예를 들면 도 3에 도시하는 계조 기준 전압 발생 회로(7)에는, 수치 데이터 RD1 ~ RD4가 있는 프레임에서 RD1 → RD2 → RD3 → RD4라는 순서로 출력되고, 다음 프레임에서 RD4 → RD3 → RD2 → RD1이라는 역의 순서로 출력된다(이것에 대하여, 도 6에 도시하는 계조 기준 전압 발생 회로(7)의 경우에는, 임의의 프레임에서 RD1 → RD2, RD4 → RD3라는 순서로 출력하고, 다음 프레임에서도 마찬가지로 순서로 출력시키면 된다). 만약 컨트롤러(5)가 전술한 임의의 프레임에서 도 9에 도시한 바와 같이 수치 데이터 RD4, RD3, RD2, RD1이라는 D/A 변환 시간이 짧은 것부터 먼저 계조 기준 전압 발생 회로(7)에 출력하면, 합계의 D/A 변환 시간이 도 8에 도시하는 순서를 채용한 경우보다도 길어져 버린다.
- <63> 컨트롤러(5)의 제1 변형예는, 전술한 바와 같은 이유로부터, 계조 기준 전압 발생 회로(7)측에서 행해지는 D/A 변환에 의해 생기는 시간 손실을 저감할 수 있다.
- <64> 도 10은 도 1에 도시하는 컨트롤러(5)의 제2 변형예를 도시한다. 이 변형예에서는, 컨트롤러(5)가 내부에서 발생하는 동시 출력 신호에 응답하여 수치 데이터 RD1 ~ RD4를 병렬이면서, 또한 동시에 계조 기준 전압 발생 회로(7)에 출력하는 출력부(51)를 갖는다.
- <65> 이 컨트롤러(5)의 변형예의 경우에는, 도 11에 도시한 바와 같이 직렬인 수치 데이터 RD1 ~ RD4를 출력하는 경우보다도 합계 D/A 변환 시간을 대폭으로 저감할 수 있다. 또한, 수치 데이터 RD1 ~ RD4의 D/A 변환 중에 소비되는 전력도 이것에 수반하여 저감된다. 또한, 동시 출력 신호를 발생시키는 타이밍 설정이 용이하고, 시간적인 여유를 충분히 확보하여 수치 데이터 RD1 ~ RD4를 가변 전압 발생부 VG1 ~ VG4에 설정할 수 있다.
- <66> 도 12는 도 3에 도시하는 D/A 변환 회로(23)의 변형예를 도시한다. 이 변형예에서는, 복수의 저항 RA1, RA2, RA3, RB1, RB2, RB3이 소스 드라이버(20)의 외측에 설정된다. 저항 RA1, RA2, RA3은 각각 D/A 변환 회로(23) 내의 입력 저항군 r0, r1, r2와 각각 병렬로 접속되고, 저항 RB1, RB2, RB3은 D/A 변환 회로(23) 내의 입력 저항군 r6, r7, r8과 각각 병렬로 접속된다. 이 경우, 저항 RA1 ~ RA3, 저항 RB1 ~ RB3, 및 입력 저항군 r0 ~ r8의 합성 저항비에 의해 전압 V1 ~ V2, V7 ~ V8의 전압비를 전체 전압으로부터 내릴 수 있다.
- <67> 이 변형예는, 계조 오차가 생기기 쉬운 최대 휘도(백 표시) 부근 및 최소 휘도(흑 표시) 부근에서 계조값의 변화에 대한 휘도차를 없애고, 이들 사이에서 계조값의 변화에 대한 휘도차를 증대시킴으로써 중간 계조의 표시를 더욱 개선할 수 있다. 예를 들면 출력단 CH4 및 CH1만으로 전압 V0 및 V9를 인가한 경우에는, 표시 신호의 계조값에 대한 화소 PX의 투과율 특성이 도 13에 도시한 바와 같다. 이러한 경우에는, 감마 보정은 곤란하다.

또한, 예를 들면 출력단 CH4, CH3, CH2, 및 CH1로부터 전압 V0, V3, V6, 및 V9를 인가한 경우에는, 표시 신호의 계조값에 대한 화소 PX의 투과율 특성이 도 14에 도시한 바와 같다. 이러한 경우에는, 감마 보정이 가능하게 된다. 이것에 대하여, 도 12에 도시하는 구조에서는, 출력단 CH4, CH3, CH2, 및 CH1로부터 전압 V0, V3, V6, 및 V9가 인가되지만, 저항 RA1 ~ RA3 및 저항 RB1 ~ RB3이 최대 휘도(백 표시) 부근 및 최소 휘도(흑 표시) 부근 중 적어도 한 쪽에서 계조값의 변화에 대한 휘도차를 없애도록 계조 기준 전압 V0 ~ V1, V8 ~ V9를 선택적으로 보정하는 보정 회로를 구성하기 때문에, 표시 신호의 계조값에 대한 화소 PX의 투과율 특성이 도 15에 도시한 바와 같이 된다.

- <68> 도 16은 도 1에 도시한 제어 유닛 CNT의 제1 변형예를 도시한다. 이 변형예에서는, 제어 유닛 CNT이 EPROM(8)을 더 갖는다. 이 EPROM(8)은, 예를 들면 도 17에 도시한 바와 같이 최대 휘도(백 표시) 부근 및 최소 휘도(흑 표시) 부근에서 계조값의 변화에 대한 휘도차를 없애기 위한 계조 테이블을 보유한다. 이 계조 테이블은 외부의 ROM 라이터(9)를 이용하여 EPROM(8)에 미리 기입된다. 컨트롤러(5)는 각 화소 PX에 대한 표시 신호의 계조값을, 이 계조 테이블을 참조하여 디지털 형식대로 변환한다.
- <69> 제어 유닛 CNT의 제1 변형예에서는, EPROM(8) 및 컨트롤러(5)가 최대 휘도 부근 및 최소 휘도 부근 중 적어도 한 쪽에서 계조값의 변화에 대한 휘도차를 없애도록 표시 신호를 보정하는 보정 회로를 구성하기 때문에, 표시 신호의 계조값에 대한 화소 PX의 투과율 특성이 도 15에 도시한 바와 같이 된다. 즉, 도 12에 도시하는 변형예와 마찬가지로의 효과를 얻을 수 있다.
- <70> 도 18은 도 1에 도시하는 제어 유닛 CNT의 제2 변형예의 동작을 도시한다. 이 변형예는 도 16에 도시하는 하드웨어 구성과 동등하지만, EPROM(8)이 표시 패널 DP 내의 특정 라인, 즉 특정 행의 화소 PX에 대하여 공통 전압 Vcom의 진폭을 변경시키기 위한 제어 정보를 보유하는 것에 있어서 상위하다. 이 특정 라인은, 예를 들면 표시 패널 DP에 발생하는 휘도 얼룩에 대응한 부분이다. 단, 이 제어 정보는 휘도 얼룩에 관계없이 임의로 휘도를 가변할 목적으로 EPROM(8)에 저장되어도 된다. 컨트롤러(5)는 이 EPROM(8)에 저장된 제어 정보에 기초하여 적절한 타이밍에서 공통 전압 발생 회로(6)에 수치 데이터를 설정하여, 예를 들면 도 18에 도시한 바와 같이 공통 전압 Vcom의 진폭을 일시적으로 변화시킨다. 여기서, 공통 전압 발생 회로(6)의 제어 타이밍은 영상 신호와 함께 외부로부터 공급되는 수직 동기 신호 VSYNC 및 수평 동기 신호 HSYNC에 기초하여 결정된다.
- <71> 이 제어에 의해, 휘도 얼룩에 의한 화질의 저하를 개선하는 것이 가능하게 된다. 또한, 이 공통 전압 Vcom의 진폭 제어에 맞게 화소 전압도 제어하면, 개선 효과가 더 촉진된다.
- <72> 도 19는 도 1에 도시하는 제어 유닛 CNT의 제3 변형예의 동작을 도시한다. 이 변형예는 도 16에 도시하는 하드웨어 구성과 동등하지만, EPROM(8)이 표시 패널 DP 내의 특정 라인, 즉 특정 행의 화소 PX에 대하여 공통 전압 Vcom의 중심 레벨을 변경시키기 위한 제어 정보를 보유하는 것에 있어서 상위하다. 이 특정 라인은, 예를 들면 표시 패널 DP에 발생하는 플리커에 대응한 부분이다. 컨트롤러(5)는 이 EPROM(8)에 저장된 제어 정보에 기초하여 적절한 타이밍에서 공통 전압 발생 회로(6)에 수치 데이터를 설정하여, 예를 들면 도 19에 도시한 바와 같이 공통 전압 Vcom의 중심 레벨을 일시적으로 변화시킨다. 여기서, 공통 전압 발생 회로(6)의 제어 타이밍은 영상 신호와 함께 외부로부터 공급되는 수직 동기 신호 VSYNC 및 수평 동기 신호 HSYNC에 기초하여 결정된다.
- <73> 이 제어에 의해, 플리커에 의한 화질의 저하를 개선하는 것이 가능하게 된다. 또한, 이 공통 전압 Vcom의 중심 레벨 제어에 맞게 화소 전압도 제어하면, 개선 효과가 더 촉진된다.
- <74> 액정 인가 전압에 대한 화소 PX의 투과율 특성은, 예를 들면 백 라이트 등의 영향으로 도 20에 도시한 바와 같이 화소 PX 마다 변동된다.
- <75> 도 21은 도 1에 도시하는 제어 유닛 CNT의 제4 변형예를 도시한다. 이 변형예는 도 16에 도시하는 하드웨어 구성과 동등하지만, 표시 패널 DP를 촬영하는 카메라(51) 및 카메라(51)로부터 얻어진 화상 정보를 해석하는 컴퓨터(50)가 더 설치된다. 이들은, 제조 단계에서 ROM 라이터(9)를 제어하기 위해 이용되고, EPROM(8)은 ROM 라이터(9)에 의해 기입된 도 20에 도시한 바와 같이 화소 PX 마다 변동되는 투과율 특성을 보상하는 제어 정보를 보유한다. 컨트롤러(5)는 이 제어 정보에 기초하여 표시 패널 DP 내의 특정 위치, 즉 특정 화소 PX에 대하여 화소 전압, 공통 전압 Vcom의 진폭을 제어한다.
- <76> 이 변형예는, 화소 PX의 투과율 특성의 변동을 저감할 수 있다.
- <77> 또한, 표시 패널 DP는 경사 방향으로부터 관찰하면, 화상이 반전 표시되고, 반전 얼룩이 생긴다. 이 때문에, 화소 PX의 행마다 액정 인가 전압을 서서히 상이하게 하도록 하는 계조 테이블을 EPROM(8)에 설정하고, 컨트롤러

러(5)가 이 계조 테이블을 참조하여 표시 신호를 계조 변환하도록 하여도 된다.

- <78> 또한, 액정 표시 장치(1)의 전원을 오프하는 경우, 컨트롤러(5)는 사전에, 예를 들면 도 6에 도시하는 절환 스위치(33) 등을 이용하여 계조 기준 전압 발생 회로(7)로부터 출력되는 계조 기준 전압 V0 ~ V9를 모두 동일한 임의의 전압으로 설정하도록 구성되어도 된다. 이 경우, 공통 전압 Vcom에 대해서도 이 임의의 전압으로 하는 것이 바람직하다. 이 구성에서는, 전원 오프에 수반하여 발생하는 잔상이 거의 완전하면서 빠르게 소거된다.
- <79> 이하, 본 발명의 제2 실시예에 따른 액정 표시 장치에 대하여 설명한다. 이 액정 표시 장치는 도 2에 도시하는 D/A 변환 회로(23) 및 계조 기준 전압 발생 회로(7)에 대응하는 부분을 제외하고 제1 실시예와 마찬가지로이다. 이 때문에, 마찬가지로의 부분을 동일 참조 부호에 부가하여, 그 상세한 설명을 생략한다.
- <80> 도 22는 이 액정 표시 장치의 회로 구성을 도시하고, 도 23은 도 22에 도시하는 감마 보정 회로의 구성을 도시한다.
- <81> 여기서는, 샘플링 & 로드 래치(22)가 262, 144색의 컬러 표시를 행하기 위해, 광의 3원색인 적색, 녹색, 청색의 3 화소분의 표시 신호인 6 bit × 3(= 18 bit)의 디지털 데이터를 저장하는 복수의 메모리(22A)로 이루어진다. 각 6 bit 데이터는 대응색의 계조값을 64(= 26) 단계로 나타낸다. 도 22에 도시한 바와 같이 6 bit 데이터 R0 ~ R5는 적색의 계조값을 나타내고, 6 bit 데이터 G0 ~ G5는 녹색의 계조값을 나타내고, 6 bit 데이터 B0 ~ B5는 청색의 계조값을 나타낸다.
- <82> 디코드 회로(25)는, 각각 대응 메모리(22A)로부터 판독된 6 bit 데이터로 표시되는 64 단계의 계조값을 감마 보정 회로(70)로부터 출력된 64 단계의 전압에 일대일로 대응시키는 복수의 D/A 변환부(23')로 이루어진다. 이들 D/A 변환부(23')는 각각의 계조값을 계조 전압으로 변환하여 화소 전압으로서 액정 표시 회로측의 소스선 X에 출력한다.
- <83> 이 액정 표시 장치에서는, 계조 앰프(70A) 및 계조 조정 레지스터(70B)가 감마 보정 회로(70)로서 설정된다. 계조 앰프(70A)는 계조 기준 전압 발생 회로(7) 및 계조 전압 발생 회로(7A)를 포함한다.
- <84> 도 23의 회로도에 도시한 바와 같이, 계조 앰프(70A)는 래더 저항부(71), 셀렉터(75A ~ 75F)를 구비한 구성이고, 계조 전압 발생 회로(7A)는 앰프부(76) 및 래더 저항부(78)를 구비한 구성이며, 계조 조정 레지스터(70B)는, 기울기 조정 레지스터(72), 미세 조정 레지스터(73), 진폭 조정 레지스터(74)를 구비한 구성이다.
- <85> 래더 저항부(71)에는, 상한 전압 VDH, 하한 전압 VGS에 의해 기준 전압이 공급된다. 래더 저항부(71)는, 이 기준 전압을 복수의 전압으로 분압함과 함께 감마 보정을 행하기 위한 복수의 저항을 구비한다. 구체적으로는, 가변 저항 VR0, 저항 PKH, 가변 저항 VRH, 저항 PKM, 가변 저항 VRL, 저항 PKL, 저항 R1, 가변 저항 VR1이 이 순서로 직렬로 접속되고, 또한 가변 저항 VR0과 저항 PKH 사이에 저항 RR, RG, RB가 스위치 SW1에 의해 절환 가능하게 병렬로 접속된다.
- <86> 가변 저항 VR0과 VR1은, 계조 전압의 진폭 조정을 위한 것이다. 저항 RR, RG, RB의 절환 제어는, 컨트롤러(5)에 의해 행해진다. 저항 RR은, 적색의 감마 보정일 때에 사용되고, 저항 RG는 녹색의 감마 보정일 때에 사용되고, RB는 청색의 감마 보정일 때에 사용된다. 저항 RR, RG, RB의 저항값에 대해서는, 각각의 색의 감마 보정에 적합한 값으로 미리 설정해 두는 것으로 한다.
- <87> 저항 PKH, PKM, PKL은, 계조값에 대한 계조 전압의 크기를 미세 조정하기 위한 것이다. 가변 저항 VRH, VRL은, 계조값에 대한 계조 전압의 특성을 나타내는 특성 곡선의 기울기를 조정하기 위한 것이다.
- <88> 기울기 조정 레지스터(72)는 가변 저항 VRH, VRL의 저항값을 정하기 위한 값을 각각 3 bit분 저장한다. 또한, 계조값이 정극성용과 부극성용의 경우의 레지스터를 각각 구비하고, 극성에 따른 독립 설정이 가능하게 되어 있다. 도 24의 일람표에 도시한 바와 같이 가변 저항 VRH의 저항값을 정하는 신호명은 정극성용이 PRP0, 부극성용이 PRN0이며, 가변 저항 VRL의 저항값을 정하는 신호명은 정극성용이 PRP1, 부극성용이 PRN1이다. 이 기울기 조정 레지스터(72)의 값을 설정함으로써, 도 25에 도시한 바와 같이, 계조값에 대한 계조 전압의 특성을 나타내는 특성 곡선의 기울기를 조정하는 것이 가능하게 된다.
- <89> 진폭 조정 레지스터(74)는, 가변 저항 VR0, VR1의 저항값을 정하기 위한 값을 각각 3 bit분 저장한다. 도 24의 일람표에 도시한 바와 같이 가변 저항 VR0의 저항값을 정하는 신호명은 정극성용이 VRP0, 부극성용이 VRN0이며, 가변 저항 VR1의 저항값을 정하는 신호명은 정극성용이 VRP1, 부극성용이 VRN1이다. 이 진폭 조정 레지스터

(74)의 값을 설정함으로써, 도 26에 도시한 바와 같이 계조 전압의 진폭을 조정하는 것이 가능하게 된다.

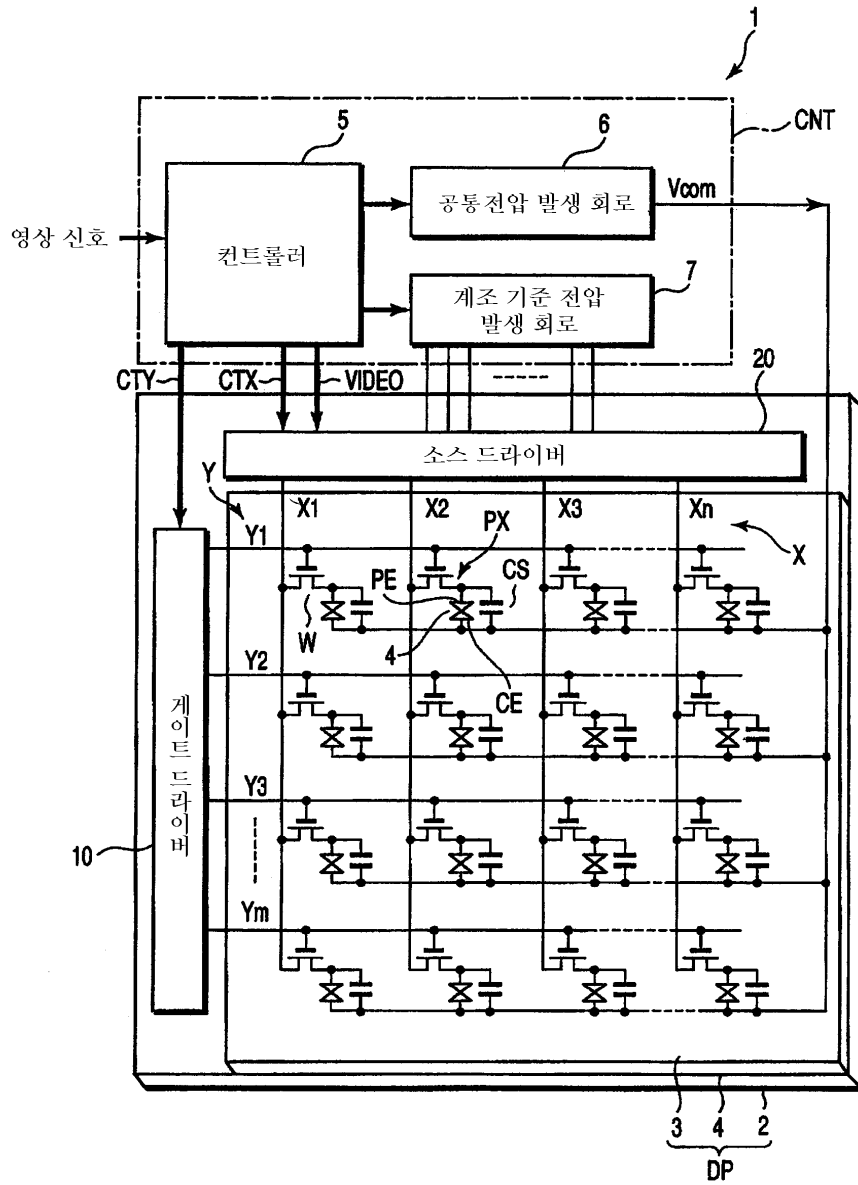
- <90> 미세 조정 레지스터(73)는, 8 입력 1 출력형의 셀렉터(75A ~ 75F)를 제어하는 값을 각각 3 bit분 저장한다. 셀렉터(75A)는, 그 8개의 입력 단자가 저항 PKH에 접속되어 있고, 미세 조정 레지스터(73)의 설정값에 기초하여 저항 PKH에서의 8 개수분의 분압 전압 중 하나를 선택한다. 셀렉터(75B ~ 75E)는, 각각의 입력 단자가 저항 PKM에 순차적으로 접속되어 있고, 각각이 미세 조정 레지스터(73)의 설정값에 기초하여 저항 PKM에서의 8 개수분의 분압 전압 중 하나를 선택한다. 셀렉터(75F)는, 그 8개의 입력 단자가 저항 PKL에 접속되어 있고, 미세 조정 레지스터(73)의 설정값에 기초하여 저항 PKL에서의 8 개수분의 분압 전압 중 하나를 선택한다. 도 24의 일람표에 도시한 바와 같이 셀렉터(75A)에 의한 선택을 설정하는 신호명은 정극성용이 PKP0, 부극성용이 PKN0이다. 셀렉터(75B)에 의한 선택을 설정하는 신호명은 정극성용이 PKP1, 부극성용이 PKN1이며, 셀렉터(75C)에 의한 선택을 설정하는 신호명은 정극성용이 PKP2, 부극성용이 PKN2이다. 셀렉터(75D)에 의한 선택을 설정하는 신호명은 정극성용이 PKP3, 부극성용이 PKN3이며, 셀렉터(75E)에 의한 선택을 설정하는 신호명은 정극성용이 PKP4, 부극성용이 PKN4이며, 셀렉터(75F)에 의한 선택을 설정하는 신호명은 정극성용이 PKP5, 부극성용이 PKN5이다. 이 미세 조정 레지스터(73)의 값을 설정함으로써, 도 27에 도시한 바와 같이 계조값에 대한 계조 전압의 크기를 미세 조정하는 것이 가능하게 된다.
- <91> 도 23에서는, 가변 저항 VR0의 출력단의 전압을 VIN0, 셀렉터(75A)의 출력 전압을 VIN1, 셀렉터(75B)의 출력 전압을 VIN2, 셀렉터(75C)의 출력 전압을 VIN3, 셀렉터(75D)의 출력 전압을 VIN4, 셀렉터(75E)의 출력 전압을 VIN5, 셀렉터(75F)의 출력 전압을 VIN6, 가변 저항 VR1의 입력단의 전압을 VIN7로 하고 있다. 즉, 각 셀렉터(75A ~ 75F)는, 이들 VIN1 ~ VIN6에서의 전압을 선택하는 것이다.
- <92> 앰프부(76)는, VIN0 ~ VIN7의 각 전압을 증폭하여 출력한다. VIN0은, 감마 보정 회로(70)의 64 단계에 있는 출력 전압 V0 ~ V63의 V0에 대응하고, VIN1은 V1에 대응하고, VIN2는 V8에 대응한다. V1 라인과 V8 라인 사이에는 래더 저항부(78)의 저항이 접속되어 있고, 이 저항에 의해 6 단계로 분압된 전압이 감마 보정 회로(70)의 출력 전압 V2 ~ V7로서 출력된다. 마찬가지로, VIN3은 V20에 대응하고, V8 라인과 V20 라인 사이에 접속된 래더 저항부(78)의 저항에 의해 11 단계로 분압된 전압이 감마 보정 회로(70)의 출력 전압 V9 ~ V19로서 출력된다. VIN4는 V43에 대응하고, V20 라인과 V43 라인 사이에 접속된 래더 저항부(78)의 저항에 의해 22 단계로 분압된 전압이 감마 보정 회로(70)의 출력 전압 V21 ~ V42로서 출력된다. VIN5는 V55에 대응하고, V43 라인과 V55 라인 사이에 접속된 래더 저항부(78)의 저항에 의해 11 단계로 분압된 전압이 감마 보정 회로(70)의 출력 전압 V44 ~ V54로서 출력된다. VIN6은 V62에 대응하고, V55 라인과 V62 라인 사이에 접속된 래더 저항부(78)의 저항에 의해 6 단계로 분압된 전압이 감마 보정 회로(70)의 출력 전압 V56 ~ V61로서 출력된다. VIN7은 V63에 대응한다. 이와 같이 하여 감마 보정 회로(70)가 V0 ~ V63의 전압을 출력한다.
- <93> 전압 V0은 가장 휘도가 어두운 흑 레벨, 전압 V63은 가장 휘도가 밝은 백 레벨에 대응하고 있고, 적, 녹, 청의 색에 의해 절환하는 저항 RR, RG, RB는, 흑 레벨에 대응하는 부분의 VIN0 라인과 VIN1 라인 사이에 접속된 구성으로 되어 있다.
- <94> 다음으로, 비교예의 감마 보정 회로에 대하여 설명한다. 도 28에 도시한 바와 같이 비교예의 감마 보정 회로는, 도 23에 도시한 스위치 SW1에 의해 절환 가능한 저항 RR, RG, RB 대신에, 저항 R0을 가변 저항 VR0과 저항 PKH 사이에 접속한 구성이다. 기타, 도 23과의 동일물에는 동일한 부호를 붙이고, 여기서는 중복된 설명은 생략한다.
- <95> 이러한 구성에 의해, 비교예의 감마 보정 회로는, 계조값의 색에 의해 저항 R0를 절환하지 않고, 각 색에서 동일한 감마 보정을 행하도록 되어 있다.
- <96> 다음으로, 본 실시예의 감마 보정 회로(70)와 비교예의 감마 보정 회로에서의 감마 보정의 차이에 대하여 설명한다. 도 29는, 감마 보정 전에 있어서의 계조값과 휘도의 관계를 도시하는 그래프이다. 백(W)의 휘도 특성에 대하여, 적(R), 녹(G), 청(B)의 휘도 특성은 대폭 어긋나 있다.
- <97> 본 감마 보정 회로(70)에 의해, 저항 RR, RG, RB를 적절한 저항값으로 미리 설정해 두고, 적, 녹, 청의 각 색에 따라 저항 RR, RG, RB를 절환하여 감마 보정을 한 경우에는, 도 30에 도시한 바와 같이 적, 녹, 청의 각 색의 휘도 특성이 백색의 휘도 특성에 일치한 그래프가 얻어진다. 또한, 도 30의 그래프의 종축은, 계조값이 63일 때에 휘도가 100으로 되도록 규격화한 규격화 휘도이다. 도 30의 그래프에서는, 계조값이 0일 때는 휘도가 가장 낮은 흑 레벨이며, 계조값이 63일 때는 휘도가 가장 높은 백 레벨이다.
- <98> 이것에 대하여, 비교예의 감마 보정 회로에 의해, 적, 녹, 청의 각 색으로 저항 R0를 절환하지 않고 동일한 감

마 보정을 한 경우에는, 도 31에 도시한 바와 같이 적, 녹, 청의 휘도 특성이 백의 휘도 특성에 가까이 가기는 하지만, 완전 일치하지는 않는다. 특히, 청색에 대해서는, 흑 레벨에서의 어긋남이 커지고 있다.

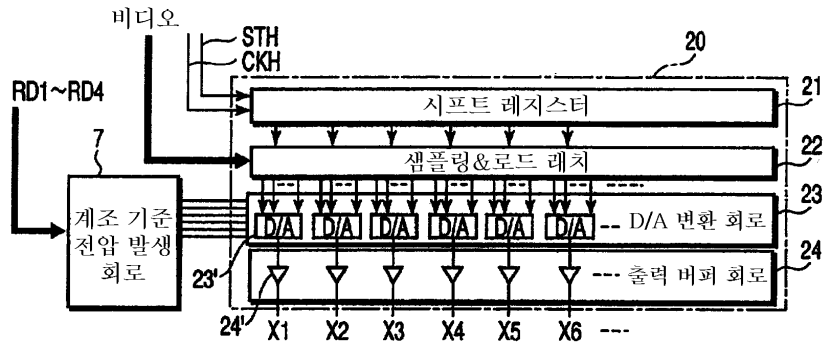
- <99> 본 감마 보정 회로(70)는, 흑 레벨에 해당하는 부분에 저항 RR, RG, RB를 병렬 접속하고, 적, 녹, 청의 각 색에 따라 이들 3개의 저항을 절환함으로써, 흑 레벨에서의 감마 보정이 적절하게 행해지도록 되어 있다.
- <100> 따라서, 본 실시예에 따르면, 적, 녹, 청의 각 색에 대하여 흑 레벨로부터 백 레벨까지 64 단계로 나타내는 계조값을 계조 전압으로 변환할 때에, 계조 전압 생성용의 기준 전압을 분압하는 래더 저항부(71)에서의 흑 레벨에 해당하는 부분의 저항값을 각 색에 따라 절환하도록 한 것으로, 감마 보정이 각 색마다 적절하게 행해지게 되므로, 계조값에 대한 휘도의 적, 녹, 청에서의 어긋남을 억제할 수 있다. 특히, 흑 레벨에 해당하는 부분의 저항값을 최적으로 설정한 경우에는, 적, 녹, 청의 각 색에 대한 휘도를 완전하게 일치시킬 수 있다.
- <101> 본 실시예에 따르면, 래더 저항부(71)의 흑 레벨에 해당하는 부분에 적, 녹, 청의 각 색에 대응한 3개의 저항 RR, RG, RB를 절환 가능하게 병렬 접속하고, 계조값의 색에 따라 이들 저항 RR, RG, RB를 절환하도록 함으로써, 간이한 구성으로 색에 따른 저항값의 절환을 행할 수 있다. 또한, 3개의 저항 RR, RG, RB를 절환 가능하게 설정하는 것 외에, 가변 저항을 이용하는 것으로서 색에 따라 그 저항값이 절환하도록 하여도 된다.
- <102> 본 실시예에 따르면, 래더 저항부(71) 중앙의 저항 PKM의 양 단부에 가변 저항 VRH 및 VRL을 설정함과 동시에, 이들 가변 저항 VRH, VRL의 저항값을 설정하기 위한 기울기 조정 레지스터(72)를 설정하고, 기울기 조정 레지스터(72)에 설정된 값에 따라 가변 저항 VRH, VRL의 저항값을 조정하도록 한 것으로, 계조값에 대한 계조 전압의 특성을 나타내는 특성 곡선의 기울기를 조정할 수 있다.
- <103> 본 실시예에 따르면, 래더 저항부(71)의 양 최단부에 가변 저항 VR0, VR1을 설정함과 동시에, 이들 가변 저항 VR0, VR1의 저항값을 설정하기 위한 진폭 조정 레지스터(74)를 설정하고, 진폭 조정 레지스터(74)에 설정된 값에 따라 가변 저항 VR0, VR1의 저항값을 조정하도록 함으로써, 계조 전압의 진폭을 조정할 수 있다.
- <104> 본 실시예에 따르면, 래더 저항부(71) 중앙부의 저항 PKH, PKM, PKL에 셀렉터(75A ~ 75F)를 접속함과 동시에, 셀렉터(75A ~ 75F)에 의한 선택을 설정하는 미세 조정 레지스터(73)를 설정하고, 미세 조정 레지스터(73)에 설정된 값에 따라 셀렉터(75A ~ 75F)가 래더 저항부(71)로부터 출력되는 분압 전압을 선택하도록 함으로써, 계조값에 대한 계조 전압의 크기를 조정할 수 있다.

도면

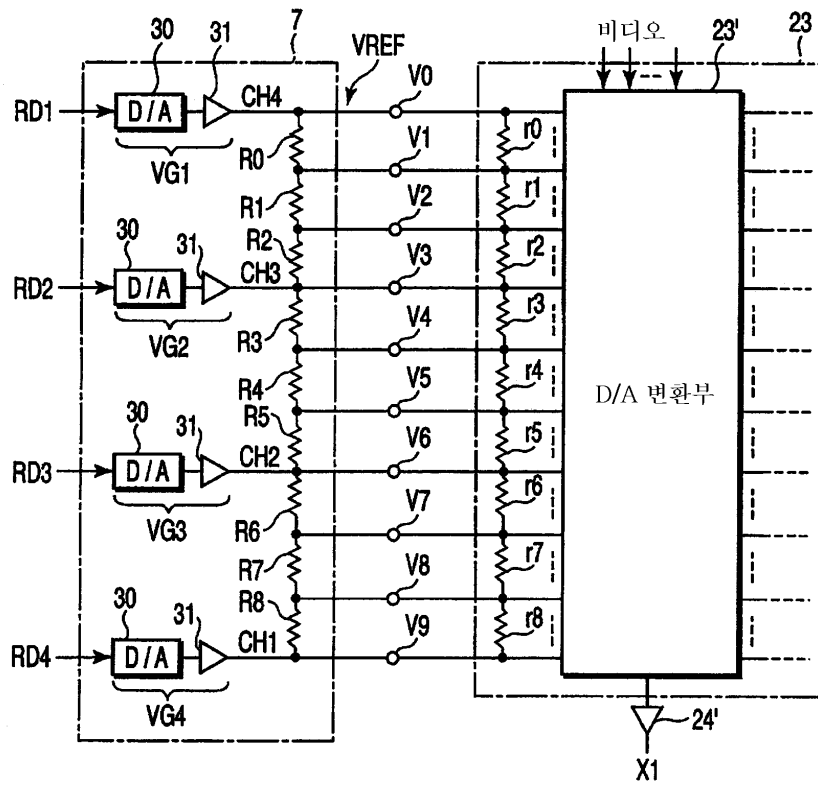
도면1



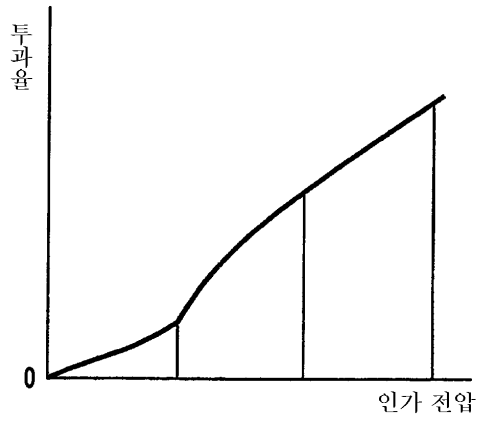
도면2



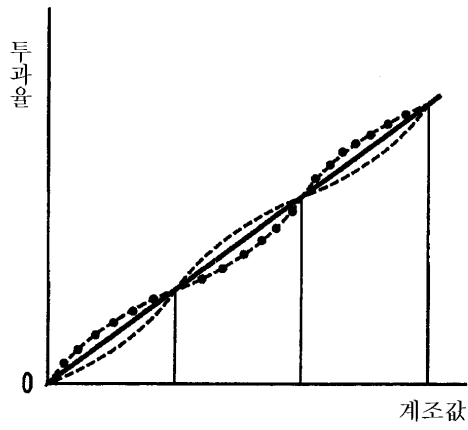
도면3



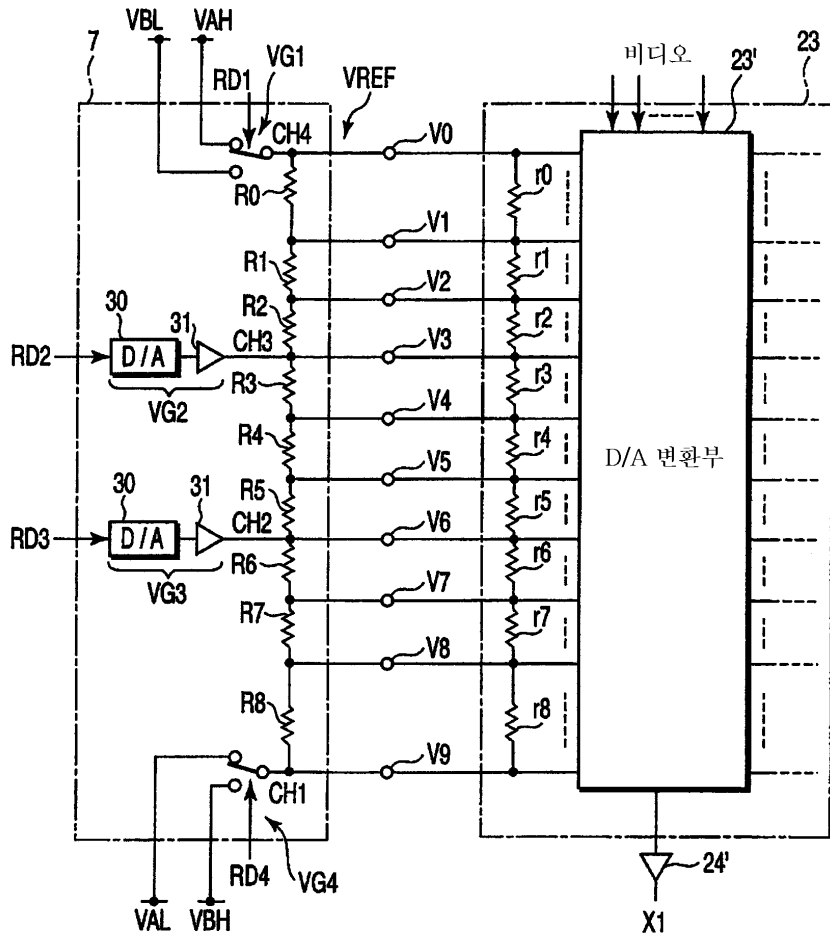
도면4



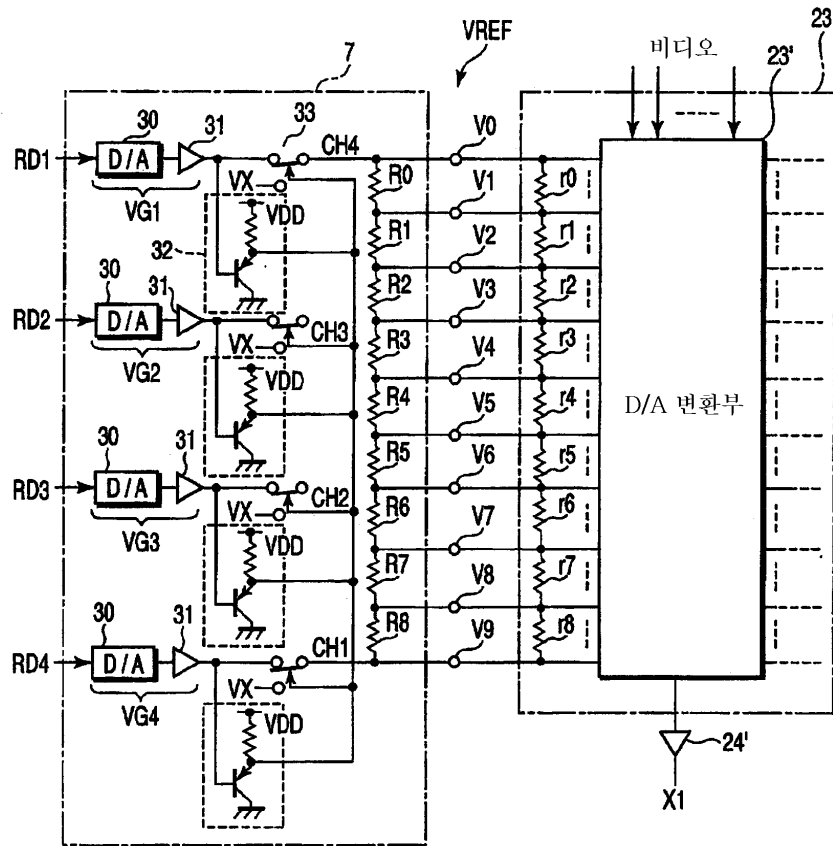
도면5



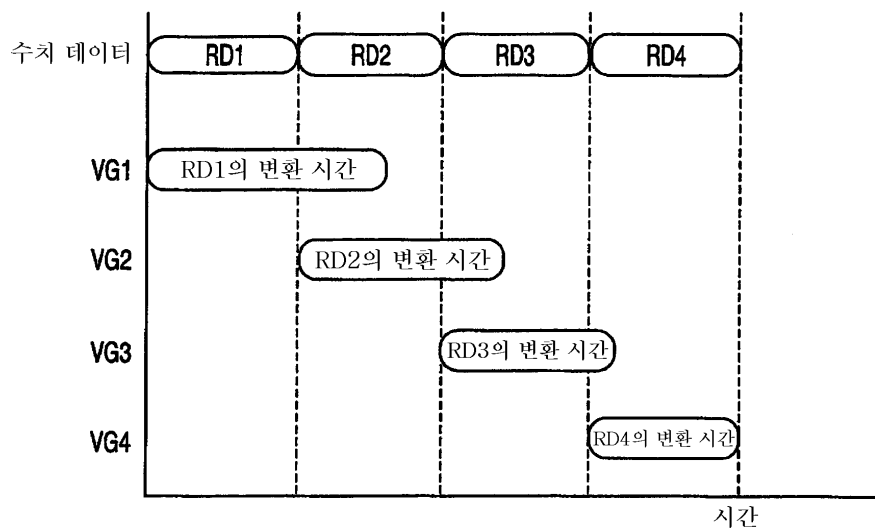
도면6



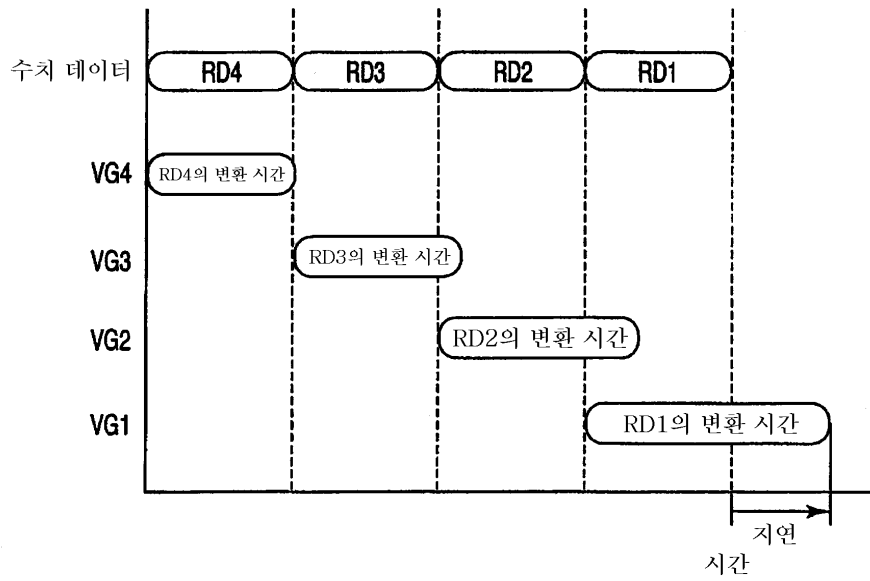
도면7



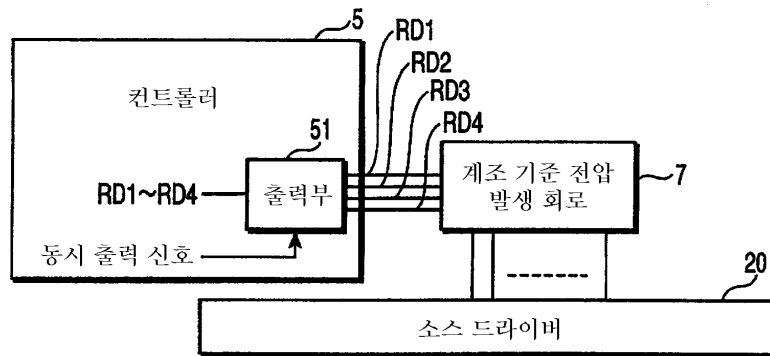
도면8



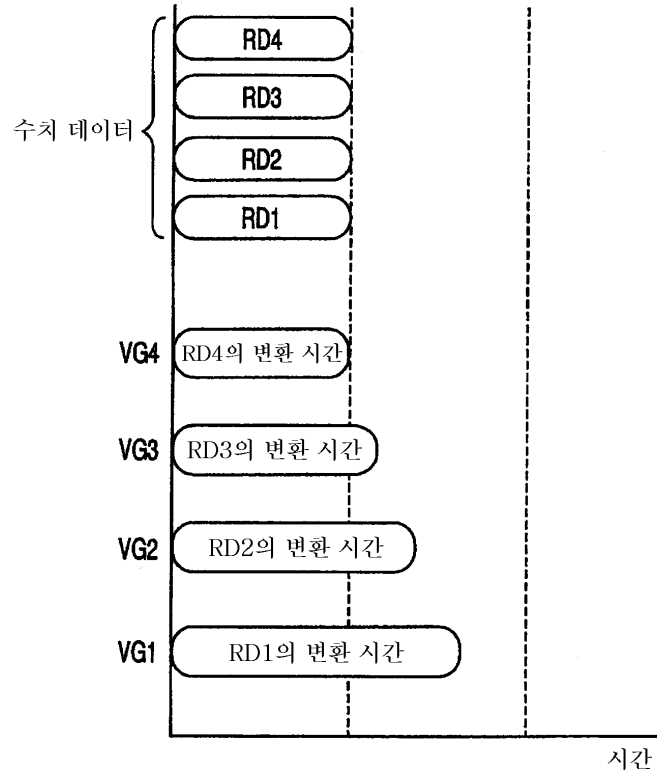
도면9



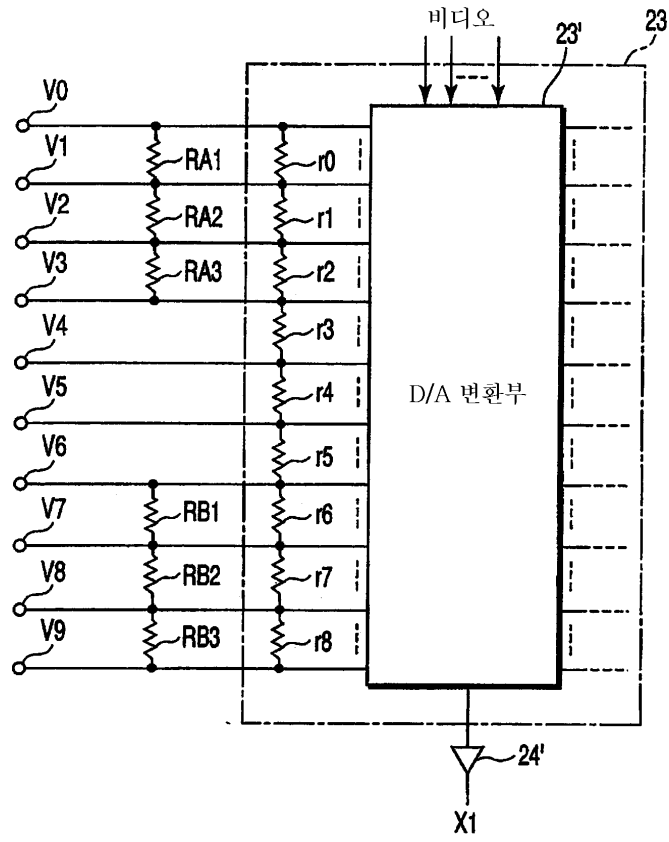
도면10



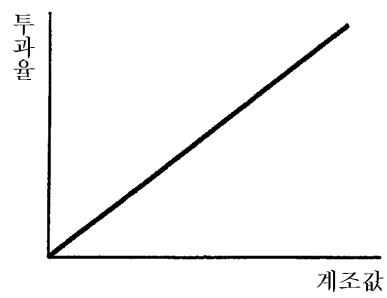
도면11



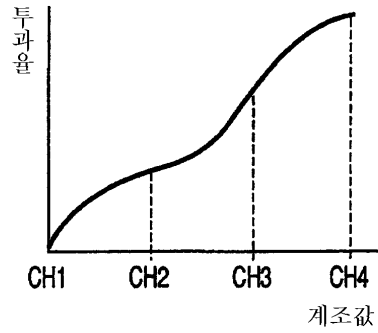
도면12



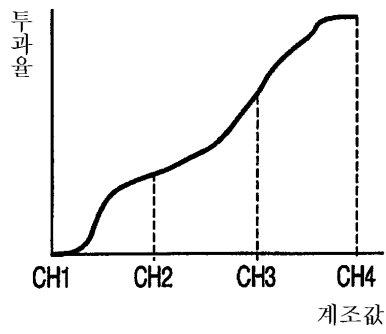
도면13



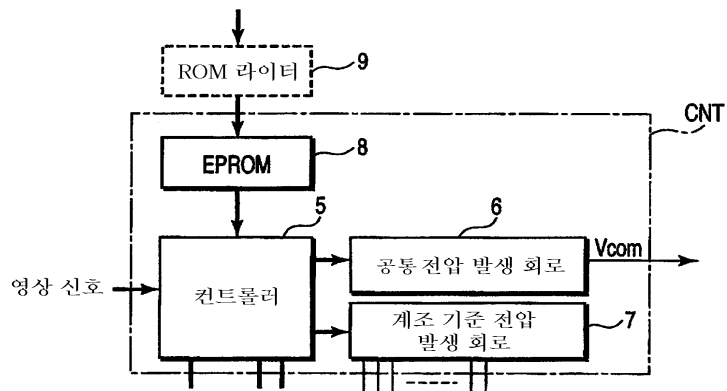
도면14



도면15



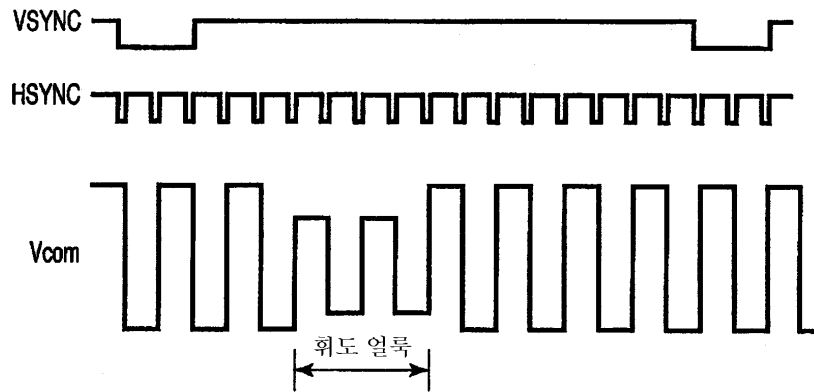
도면16



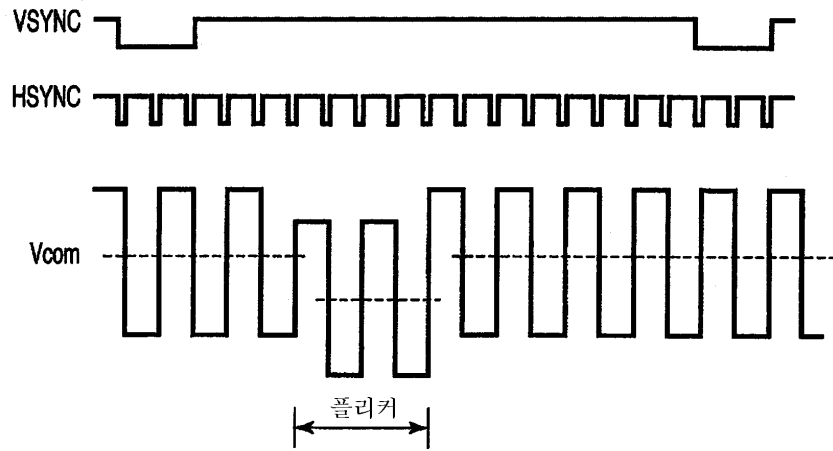
도면17

입력 계조값	출력 계조값
63	63
62	63
61	62
60	61
59	61
58	59
57	57
⋮	⋮
6	6
5	4
4	2
3	2
2	1
1	0
0	0

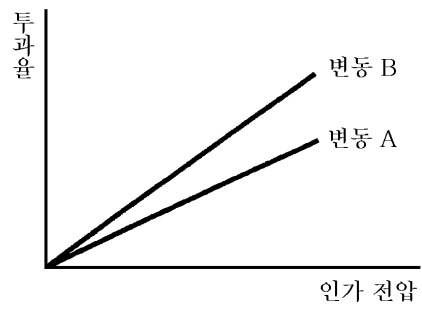
도면18



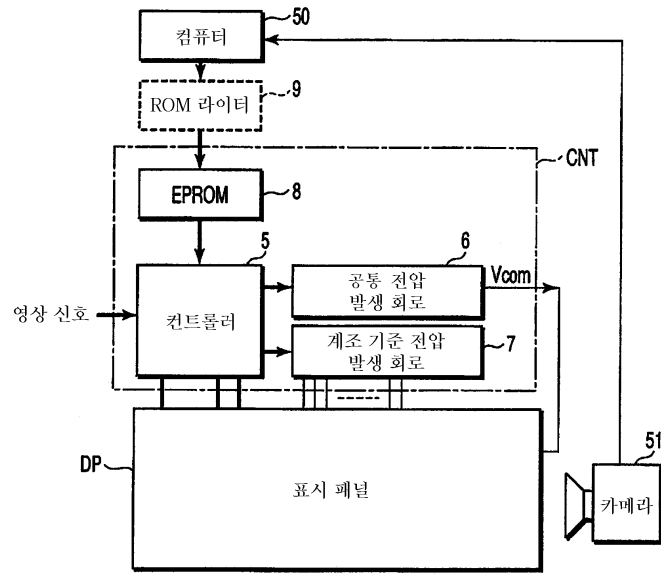
도면19



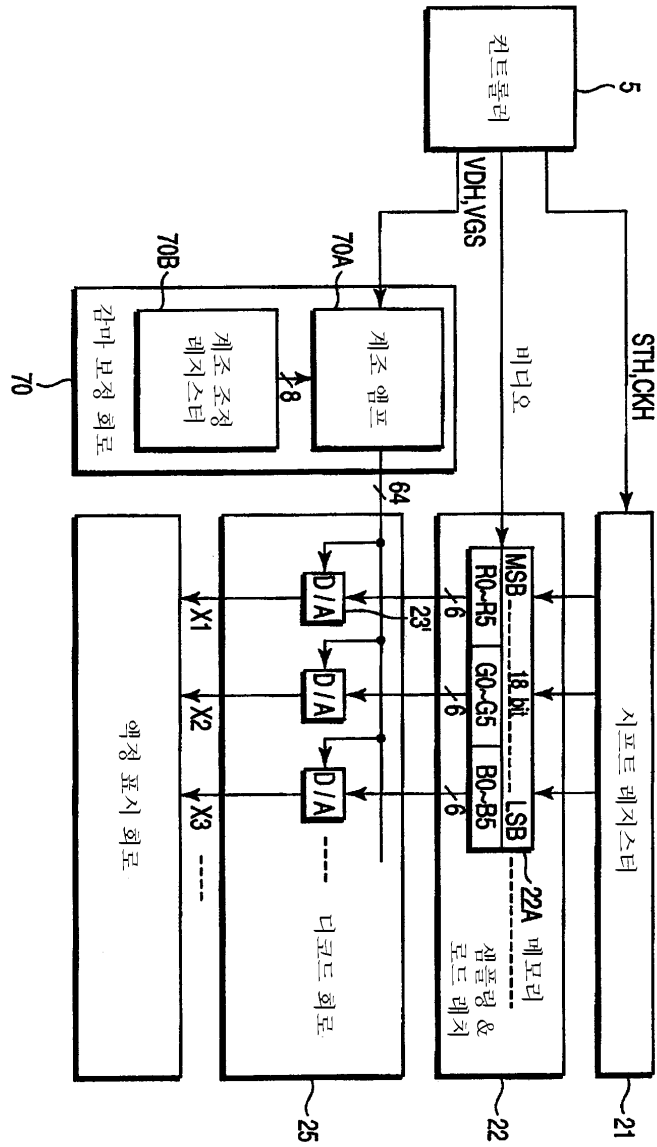
도면20



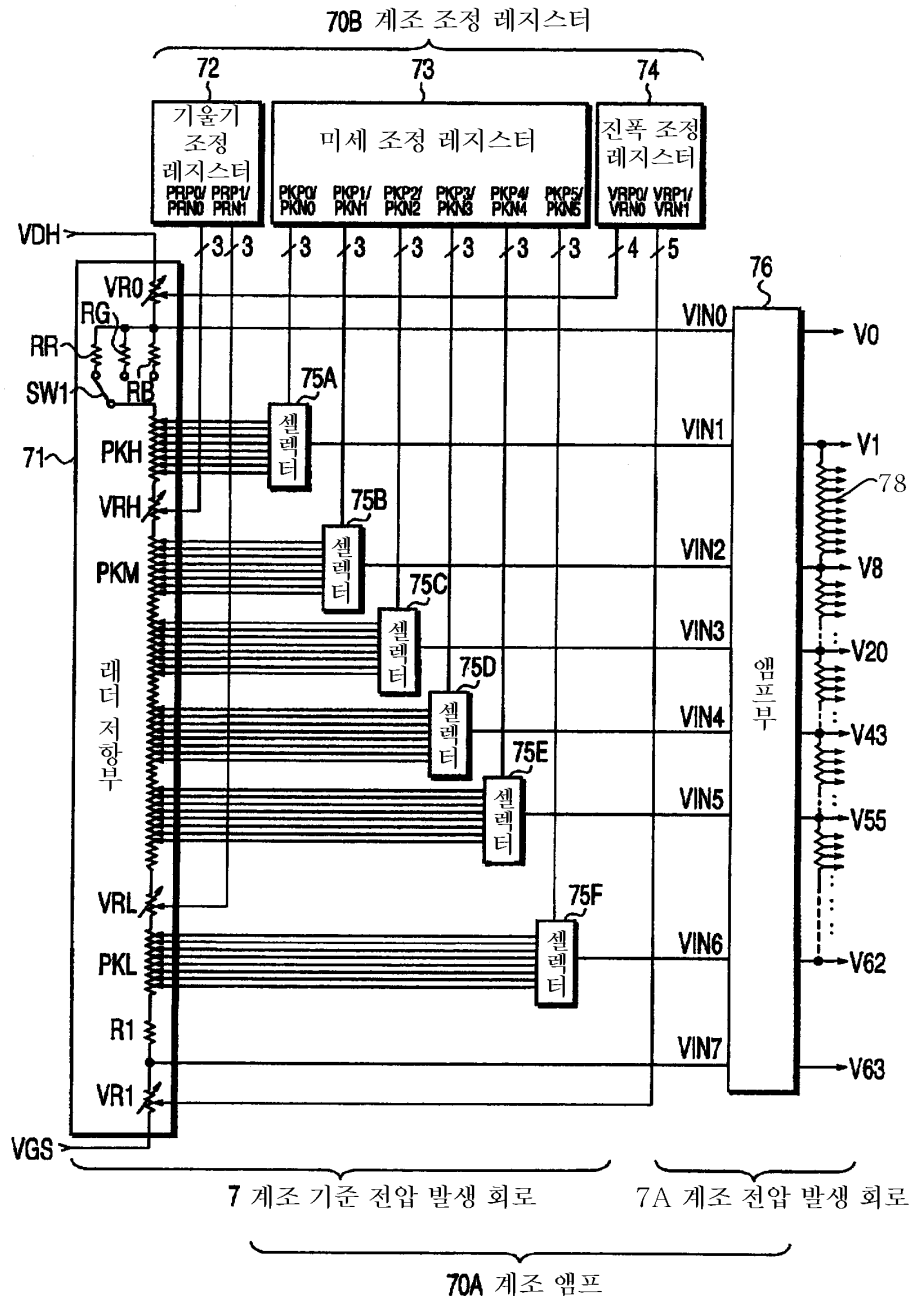
도면21



도면22



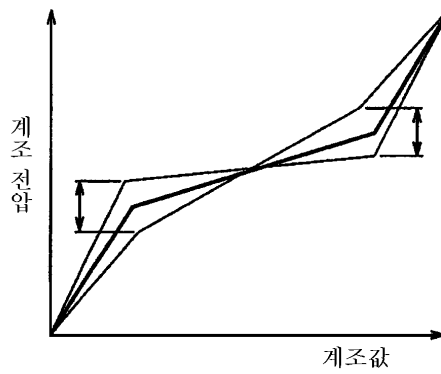
도면23



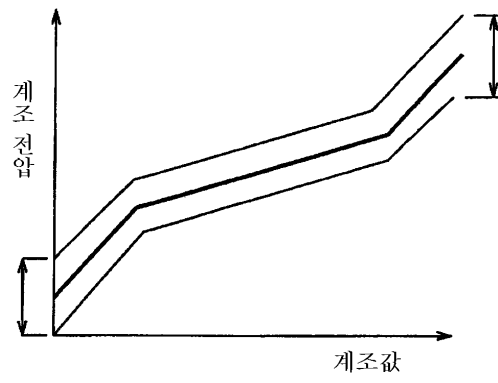
도면24

레지스터 분류	정극성용	부극성용	설정 내용
기울기 조정	PRP0[2:0]	PRN0 [2:0]	가변 저항 VRH
	PRP1[2:0]	PRN1 [2:0]	가변 저항 VRL
진폭 조정	VRP0[3:0]	VRN0 [3:0]	가변 저항 VR0
	VRP1[4:0]	VRN1 [4:0]	가변 저항 VR1
미세 조정	PKP0[2:0]	PKN0 [2:0]	셀렉터 75A (V1의 전압 레벨)
	PKP1[2:0]	PKN1 [2:0]	셀렉터 75B (V8의 전압 레벨)
	PKP2[2:0]	PKN2 [2:0]	셀렉터 75C (V20의 전압 레벨)
	PKP3[2:0]	PKN3 [2:0]	셀렉터 75D (V43의 전압 레벨)
	PKP4[2:0]	PKN4 [2:0]	셀렉터 75E (V55의 전압 레벨)
	PKP5[2:0]	PKN5 [2:0]	셀렉터 75F (V62의 전압 레벨)

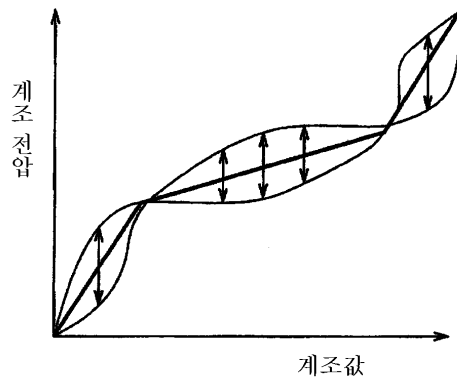
도면25



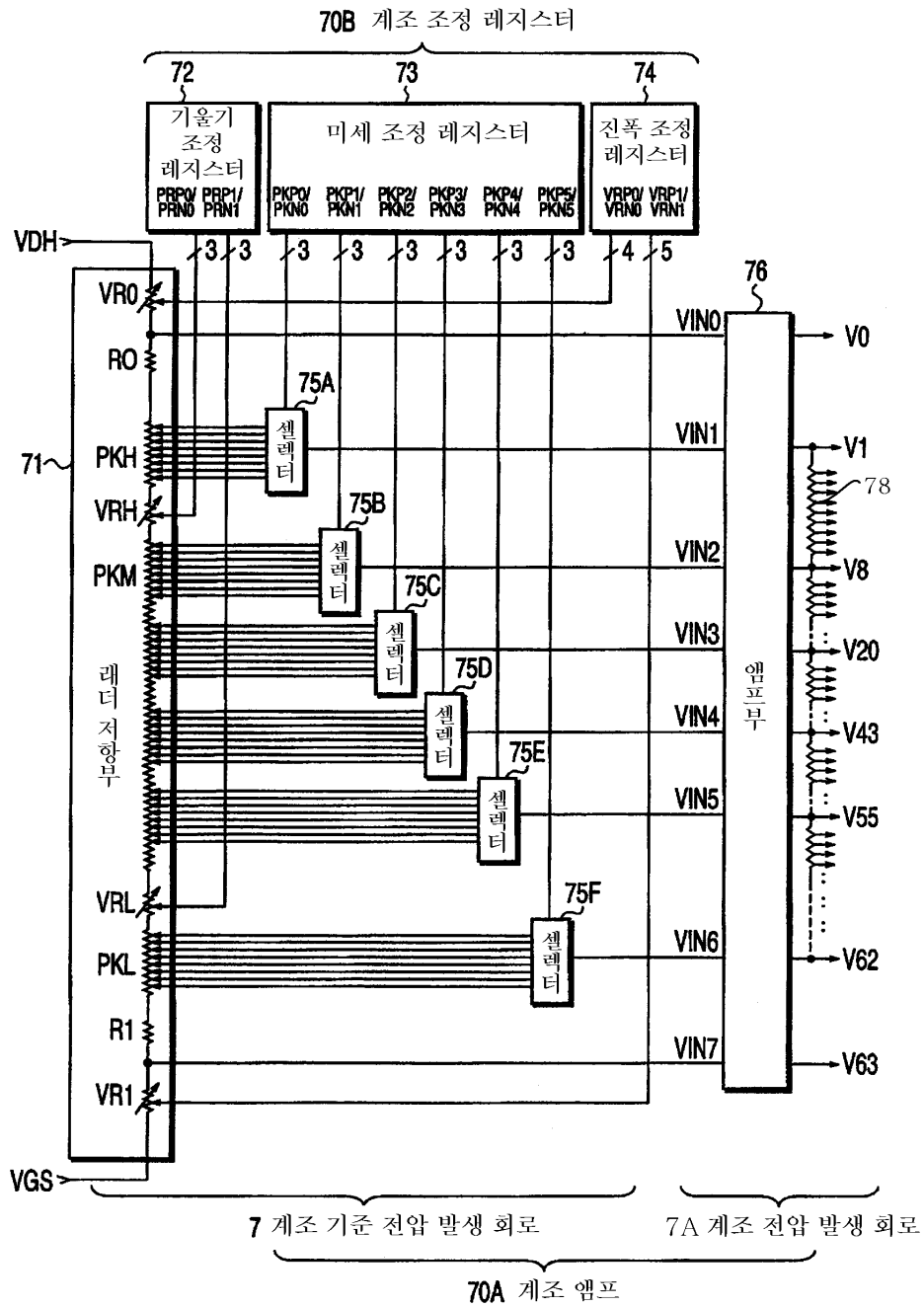
도면26



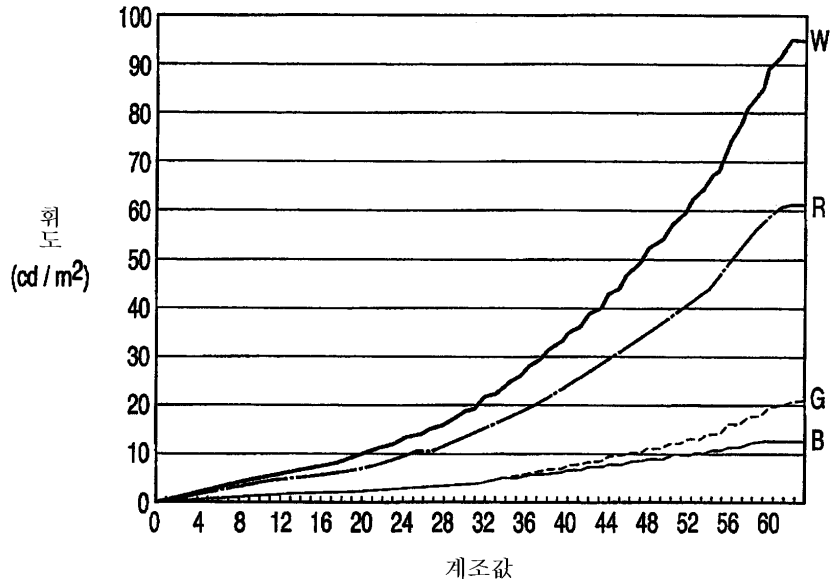
도면27



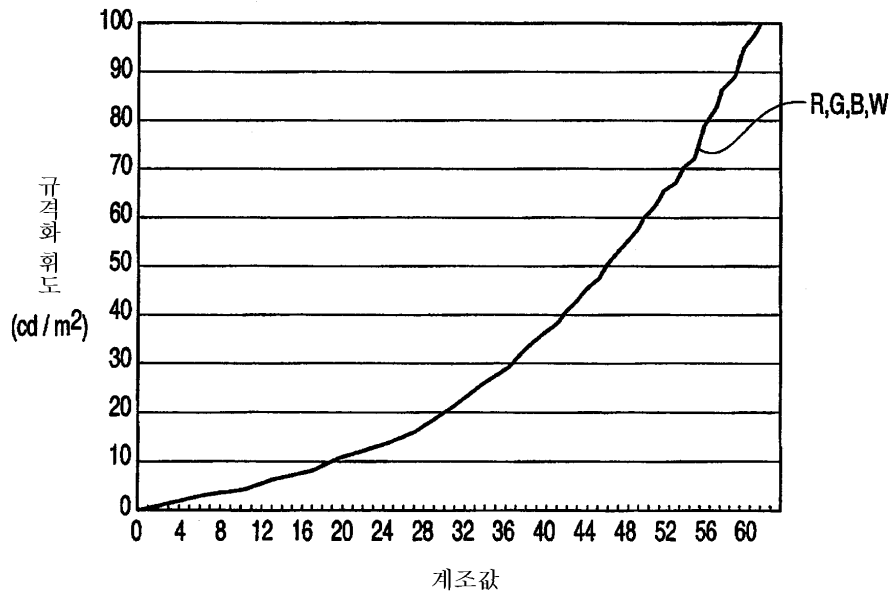
도면28



도면29



도면30



도면31

