



(12)发明专利

(10)授权公告号 CN 104425035 B

(45)授权公告日 2017.07.28

(21)申请号 201310384888.9

G09G 3/20(2006.01)

(22)申请日 2013.08.29

(56)对比文件

(65)同一申请的已公布的文献号  
申请公布号 CN 104425035 A

CN 202838909 U, 2013.03.27,  
CN 102956213 A, 2013.03.06,  
CN 202905121 U, 2013.04.24,  
US 2010/0109995 A1, 2010.05.06,  
CN 101644867 A, 2010.02.10,  
KR 10-2005-0087983 A, 2005.09.01,

(43)申请公布日 2015.03.18

(73)专利权人 北京京东方光电科技有限公司  
地址 100176 北京市大兴区经济技术开发  
区西环中路8号

审查员 李元

(72)发明人 王智勇 于尧 徐帅 张郑欣  
郑义

(74)专利代理机构 北京派特恩知识产权代理有  
限公司 11270  
代理人 张颖玲 任媛

(51)Int. Cl.

G11C 19/28(2006.01)

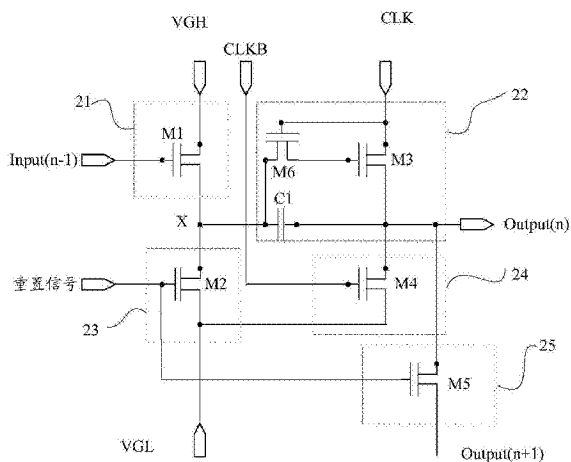
权利要求书2页 说明书5页 附图2页

(54)发明名称

移位寄存器单元、移位寄存器及显示装置

(57)摘要

本发明公开了一种移位寄存器单元、移位寄存器及显示装置,所述移位寄存器单元包括:升压模块,用于当收到上一级移位寄存器单元发来的栅极驱动信号时,将第一电平信号输出给信号输出模块;信号输出模块,用于根据第一电平信号,在第一时钟信号的控制下,输出栅极驱动信号;复位模块,用于在重置信号的控制下,控制信号输出模块复位;下拉模块,用于在第二时钟信号的控制下,将信号输出模块的输出电平下拉。采用本发明能减小集成电路的功耗,且避免重置信号的衰减带来的波形异常的问题。



1. 一种移位寄存器单元,其特征在于,包括:升压模块、信号输出模块、复位模块和下拉模块;其中,

升压模块,用于当收到上一级移位寄存器单元发来的栅极驱动信号或起始信号时,将第一电平信号输出给信号输出模块;

信号输出模块,用于根据第一电平信号,在第一时钟信号的控制下,输出栅极驱动信号;

复位模块,用于在重置信号的控制下,控制信号输出模块复位;

下拉模块,用于在第二时钟信号的控制下,将信号输出模块的输出电平下拉;

所述移位寄存器单元还包括:电荷共享开关,用于在重置信号的控制下,将本级移位寄存器单元与下级移位寄存器单元的输出端导通进行电荷共享。

2. 根据权利要求1所述的移位寄存器单元,其特征在于,

所述升压模块包括第一晶体管M1;所述复位模块包括第二晶体管M2;所述信号输出模块包括第三晶体管M3、第六晶体管M6和电容C1;所述下拉模块包括第四晶体管M4;所述电荷共享开关包括第五晶体管M5;

其中,第一晶体管M1的栅极连接信号输入端Input、第一极连接第一电平信号、第二极连接第一电容C1;

第二晶体管M2的栅极连接重置信号、第一极连接第一晶体管M1的第二极、第二极连接第二电平信号;

第三晶体管M3的第一极连接第一时钟信号、栅极连接第六晶体管的第二极、第二极连接移位寄存器输出端Output;

第六晶体管M6的栅极连接第一时钟信号,第一极连接第一电容的第一极、第二极连接第三晶体管M3的栅极;

第四晶体管M4的栅极连接第二时钟信号CLKB、第一极连接移位寄存器输出端Output、第二极连接第二电平信号;

第五晶体管M5,其栅极连接重置信号,第一极连接本级移位寄存器输出端output,第二极连接下一级移位寄存器单元的输出端Output。

3. 根据权利要求2所述的移位寄存器单元,其特征在于,

所述第一电平信号为高电平电压VGH,所述第二电平信号为低电平电压VGL。

4. 根据权利要求3所述的移位寄存器单元,其特征在于,

当所述升压模块收到上一级移位寄存器单元的栅极驱动信号或起始信号时,将第一电平信号输出给信号输出模块;

所述输出端Output接收上一级移位寄存器单元共享后的电荷;

所述信号输出模块接收所述第一电平信号后,在第一时钟信号的控制下,输出栅极驱动信号;

所述电荷共享开关在重置信号控制下,将输出的栅极驱动信号与下一级移位寄存器单元的输出端进行共享;

所述复位模块在重置信号的控制下,控制信号输出模块复位,所述下拉模块在第二时钟信号的控制下,将信号输出模块的输出电平下拉。

5. 一种移位寄存器,其特征在于,包括多级级联的如权利要求1至4任一所述的移位寄

存器单元,其中,

除第一级外,每一级移位寄存器单元的信号输入端连接上一级移位寄存器单元的信号输出端;

每一级移位寄存器单元的复位模块和电荷共享开关连接重置信号,其中奇数级移位寄存器单元连接第一重置信号,偶数级移位寄存器单元连接第二重置信号。

6. 一种显示装置,其特征在于,包括权利要求5所述的移位寄存器。

## 移位寄存器单元、移位寄存器及显示装置

### 技术领域

[0001] 本发明涉及显示技术领域,尤其涉及移位寄存器单元、移位寄存器及显示装置。

### 背景技术

[0002] 目前,移位寄存器可以将栅极(Gate)开关电路集成在阵列基板上,去掉栅极驱动集成电路部分的电路,使用移位寄存器集成阵列基板,使用所述阵列基板组成的显示器能够节省材料并且减少工艺步骤,并且减小屏幕尺寸及降低产品成本。

[0003] 上述移位寄存器具有多个移位寄存器单元,每个移位寄存器单元具有第一时钟信号、第二时钟信号和低电压信号等输入端,并且,每个移位寄存器单元还具有输入端(Input)、输出端(Output)以及重置信号(Reset)。但是,上述移位寄存器中每一级移位寄存器单元的输出作为上一行移位寄存器单元的重置信号,因此随着移位寄存器的级联,会出现重置信号的波形异常的问题;并且,由于第一时钟信号或第二时钟信号与输出端在高电平期间一直保持导通状态,因此无法降低集成电路的功耗。

### 发明内容

[0004] 本发明所要解决的技术问题在于提供一种移位寄存器单元、移位寄存器及显示装置,能减小集成电路的功耗,且避免重置信号的衰减带来的波形异常的问题。

[0005] 为解决上述技术问题,本发明的技术方案是这样实现的:

[0006] 本发明提供了一种移位寄存器单元,包括:升压模块、信号输出模块、复位模块和下拉模块;其中,

[0007] 升压模块,用于当收到上一级移位寄存器单元发来的栅极驱动信号或起始信号时,将第一电平信号输出给信号输出模块;

[0008] 信号输出模块,用于根据第一电平信号,在第一时钟信号的控制下,输出栅极驱动信号;

[0009] 复位模块,用于在重置信号的控制下,控制信号输出模块复位;

[0010] 下拉模块,用于在第二时钟信号的控制下,将信号输出模块的输出电平下拉。

[0011] 上述方案中,所述移位寄存器单元还包括:

[0012] 电荷共享开关,用于在重置信号的控制下,将本级移位寄存器单元与下级移位寄存器单元的输出端导通进行电荷共享。

[0013] 上述方案中,所述升压模块包括第一晶体管M1;所述复位模块包括第二晶体管M2;所述信号输出模块包括第三晶体管M3、第六晶体管M6和电容C1;所述下拉模块包括第四晶体管M4;所述电荷共享开关包括第五晶体管M5;

[0014] 其中,第一晶体管M1的栅极连接信号输入端Input、第一极连接第一电平信号、第二极连接第一电容C1;

[0015] 第二晶体管M2的栅极连接重置信号、第一极连接第一晶体管M1的第二极、第二极连接第二电平信号;

[0016] 第三晶体管M3的第一极连接第一时钟信号、栅极极连接第六晶体管的第二极、第二极连接移位寄存器输出端Output;

[0017] 第六晶体管M6的栅极连接第一时钟信号,第一极连接第一电容的第一极、第二极连接第三晶体管M3的栅极;

[0018] 第四晶体管M4的栅极连接第二时钟信号CLKB、第一极连接移位寄存器输出端Output、第二极连接第二电平信号;

[0019] 第五晶体管M5,其栅极连接重置信号,第一极连接本级移位寄存器输出端output,第二极连接下一级移位寄存器单元的输出端Output。

[0020] 上述方案中,所述第一电平信号为高电平电压VGH,所述第二电平信号为低电平电压VGL。

[0021] 上述方案中,当所述升压模块收到上一级移位寄存器单元的栅极驱动信号或起始信号时,将第一电平信号输出给信号输出模块;

[0022] 所述输出端Output接收上一级移位寄存器共享后的电荷;

[0023] 所述信号输出模块接收所述第一电平信号后,在第一时钟信号的控制下,输出栅极驱动信号;

[0024] 所述共享电荷开关在重置信号控制下,将输出的栅极驱动信号与下一级移位寄存器的输出端进行共享;

[0025] 所述复位模块在重置信号的控制下,控制信号输出模块复位,所述下拉模块在第二时钟信号的控制下,将信号输出模块的输出电平下拉。

[0026] 本发明还提供了一种移位寄存器,包括多级级联的如上述方案任一所述的移位寄存器单元,其中,

[0027] 除第一级外,每一级移位寄存器的信号输入端连接上一级移位寄存器的信号输出端;

[0028] 每一级移位寄存器的复位模块和电荷共享开关连接重置信号,其中奇数级移位寄存器连接第一重置信号,偶数级移位寄存器连接第二重置信号。

[0029] 本发明还提供了一种显示装置,包括上述方案所述的移位寄存器。

[0030] 通过本发明的移位寄存器单元、移位寄存器及显示装置,通过将第二晶体管的源极直接连接重置信号,由此保证重置信号的波形正常;另外,通过第六晶体管控制第三晶体管的导通,在第一时钟信号置高时,收到本行重置信号,则第六晶体管控制第三晶体管截止,断开第一时钟信号与输出端的连接,从而能够减少第一时钟信号与输出端之间的连通时间,从而减小集成电路的功耗。

[0031] 进一步的,本发明在两个移位寄存器单元之间添加共享电荷开关,使两个移位寄存器单元之间的电荷实现共享,从而降低驱动电路的功耗。

## 附图说明

[0032] 图1为本发明实施例移位寄存器组成结构示意图一;

[0033] 图2为本发明实施例移位寄存器单元结构示意图二;

[0034] 图3为本发明实施例移位寄存器的工作时序图。

## 具体实施方式

[0035] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述。本发明所有实施例中采用的晶体管均可以为场效应管,由于这里采用的场效应管的源极、漏极是对称的,所以其源极、漏极是没有区别的。在本发明实施例中,为区分场效应管除栅极之外的两极,将其中第一极称为源极,第二极称为漏极。按附图中的形态规定场效应管的上侧端为源极、下侧端为漏极。

[0036] 本发明实施例提供的一种移位寄存器,如图1所示包括至少两个移位寄存器单元;其中,移位寄存器单元的栅极驱动输出端(Output)连接下一个移位寄存器单元的栅极驱动输入端(Input);位于奇数行的移位寄存器单元的重置信号为第一重置信号(RTE)、位于偶数行的移位寄存器单元的重置信号为第二重置信号(RTO);所述两个相邻的移位寄存器单元的Output之间,连接电荷共享开关。

[0037] 其中,所述电荷共享开关,用于在重置信号的控制下,将本级移位寄存器单元与下级移位寄存器单元的输出端导通;当上一行移位寄存器单元收到重置信号时导通,将上一行移位寄存器单元的栅极驱动输出、与下一行移位寄存器单元的栅极驱动输出相连,完成电荷共享。

[0038] 本发明实施例提供的移位寄存器单元,如图2所示,包括:

[0039] 升压模块21,用于当收到上一级移位寄存器单元发来的栅极驱动信号或起始信号时,将第一电平信号输出给信号输出模块22;

[0040] 信号输出模块22,用于根据第一电平信号,在第一时钟信号的控制下,输出栅极驱动信号;

[0041] 复位模块23,用于在重置信号的控制下,控制信号输出模块22复位;

[0042] 下拉模块24,用于在第二时钟信号的控制下,将信号输出模块22的输出电平下拉。

[0043] 所述移位寄存器单元还包括:电荷共享开关25,在重置信号的控制下,将本级移位寄存器单元与下级移位寄存器单元的输出端导通进行电荷共享。

[0044] 基于上述移位寄存器单元的驱动方法包括:

[0045] 移位寄存器单元的升压模块向信号输出模块输入高电平信号;

[0046] 所述移位寄存器单元的信号输出模块保持升压模块输入的高电平信号,并在接收到的第一时钟信号为高电平时,输出驱动信号;

[0047] 当移位寄存器单元的复位模块接收到本行的重置信号将信号输出模块进行复位,并且电荷共享开关接收到重置信号后,将本级移位寄存器单元的输出端与下级移位寄存器单元的输出端进行电荷共享;

[0048] 所述下拉模块接收到第二时钟信号后,将所述输出端下拉为低电平。

[0049] 本发明实施例将图2所示的移位寄存器单元作为当前移位寄存器单元,其中,M1为第一晶体管、M2为第二晶体管、M3为第三晶体管、M4为第四晶体管、M5为第五晶体管、M6为第六晶体管、C1为第一电容;下面具体描述其各部件间的连接关系:

[0050] 所述升压模块包括第一晶体管M1;所述复位模块包括第二晶体管M2;所述信号输出模块包括第三晶体管M3、第六晶体管M6和电容C1;所述下拉模块包括第四晶体管M4;所述电荷共享开关包括第五晶体管M5。

[0051] 其中,第一晶体管M1的栅极连接输入端(Input)、第一极连接第一电平信号、第二极连接第一电容C1;

[0052] 第二晶体管M2的栅极连接重置信号、第一极连接第一晶体管M2的第二极、第二极连接第二电平信号(VGL);

[0053] 第三晶体管M3的第一极连接第一时钟信号、栅极极连接第六晶体管的第二极、第二极连接移位寄存器输出端Output;

[0054] 第六晶体管M6的栅极连接第一时钟信号,第一极连接第一电容的第一极、第二极连接第三晶体管M3的栅极;

[0055] 第四晶体管M4的栅极连接第二时钟信号CLKB、第一极连接移位寄存器输出端Output、第二极连接第二电平信号VGL。

[0056] 第五晶体管M5,其栅极连接重置信号,第一极连接本级移位寄存器输出端Output,第二极连接下一级移位寄存器单元的输出端Output。

[0057] 其中,第五晶体管M5为电荷共享开关,用于当上一行移位寄存器单元收到重置信号时导通,将上一行移位寄存器单元的栅极驱动输出、与下一行移位寄存器单元的栅极驱动输出相连,完成电荷共享。所述第五晶体管M5的栅极与上一行移位寄存器单元的重置信号连接,第一极与上一行移位寄存器单元的输出端相连,第二极与下一行移位寄存器单元的输出端相连。

[0058] 图3为上述移位寄存器电路所对应的时序图,其中N-1为偶数行,N为奇数行,CLK为第一时钟信号,CLKB为第二时钟信号,具体的,

[0059] T1阶段:第N-1行移位寄存器单元中的Output处于高电平且作为第N行移位寄存器的输入信号,第N行移位寄存器输入端相连的M1导通,此时,第一电平信号与C1相连C1充电,X点(Point)的电压提高;由于第一时钟信号处于低电平,M3和M6均处于截止状态,第一时钟信号尚未与第N行移位寄存器单元的栅线输出端导通;

[0060] T2阶段:RT0置高,第N-1行移位寄存器单元中的M2导通,第N-1行移位寄存器单元中C1与第二电平信号相连,X Point电压被拉低,M6的第一极电压拉低,进而M3截止,第N-1行移位寄存器单元的栅线输出端与第一时钟信号断开。同时,M5导通,第N-1行移位寄存器单元的栅线输出端与第N行移位寄存器单元的栅线输出端相连实现电荷共享,第N行移位寄存器单元的栅线输出端此时为共享后的电压,第N-1行移位寄存器单元栅线输出端为高电平,将两行栅线输出端相连,高低电平中和,达到中间电位,形成电荷共享的效果;第N行移位寄存器单元中的M1将截止,由C1继续保持X Point的高电位,用于在T3阶段导通M3;

[0061] T3阶段:RT0置低,将第N-1行移位寄存器单元的栅线输出端与第N行移位寄存器单元的栅线输出端之间的M5截止,两行栅线输出端断开。第一时钟信号置高,第N行移位寄存器单元的移位寄存器移位寄存器M6导通,进而将M3导通,第一时钟信号与第N行移位寄存器单元的栅线输出端导通,第N行移位寄存器单元输出信号;此时,第N+1行移位寄存器单元的输入端接受第N行移位寄存器单元输出信号,并导通M1,使第一电平信号与第N+1行移位寄存器单元C1相连充电,X Point的电压提高;

[0062] T4阶段:RTE置高,第N行移位寄存器单元中的M2导通,电容C1与第二电平信号相连,X Point电压被拉低,M3截止,第N行移位寄存器单元的栅线输出端与第一时钟信号断开。同时,M5导通,将第N行移位寄存器单元的栅线输出端与第N+1行的移位寄存器单元栅线

输出端相连,完成一次Charge Sharing的过程,第N行与第N+1行栅线输出端中和至中间电位;此后,每次RTE置高时,M2导通,都会对X Point电压拉低至VGL,配合第二时钟信号控制的M4,确保栅线输出端的电压维持在第二电平信号,抑制纹波及噪声的产生;第N+1行移位寄存器单元中的M1将截止,由C1继续保持X Point的高电位,用于在T5阶段导通M3;

[0063] T5阶段:RTE置低,第N行移位寄存器单元的M5截止,第N行与第N+1行栅线输出端断开;第二时钟信号置高,第N行移位寄存器单元中的M4导通,Gate与第二电平信号相连,电位由中间电位被拉低至第二电平信号。对于其他栅线输出端,因为电位均处于第二电平信号,不会产生影响。第一时钟信号置高,第N+1行移位寄存器单元的M6导通,进而将M3导通,第一时钟信号与第N+1行移位寄存器单元的栅线输出端导通,第N+1行移位寄存器单元输出信号。

[0064] 以上所述,仅为本发明的较佳实施例而已,并非用于限定本发明的保护范围。



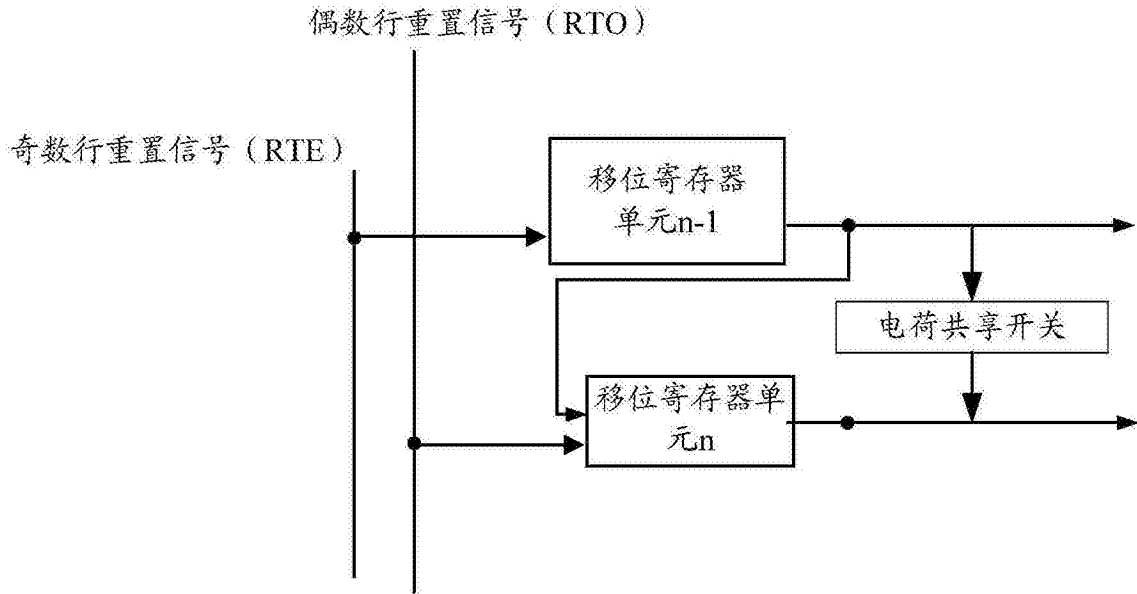


图1

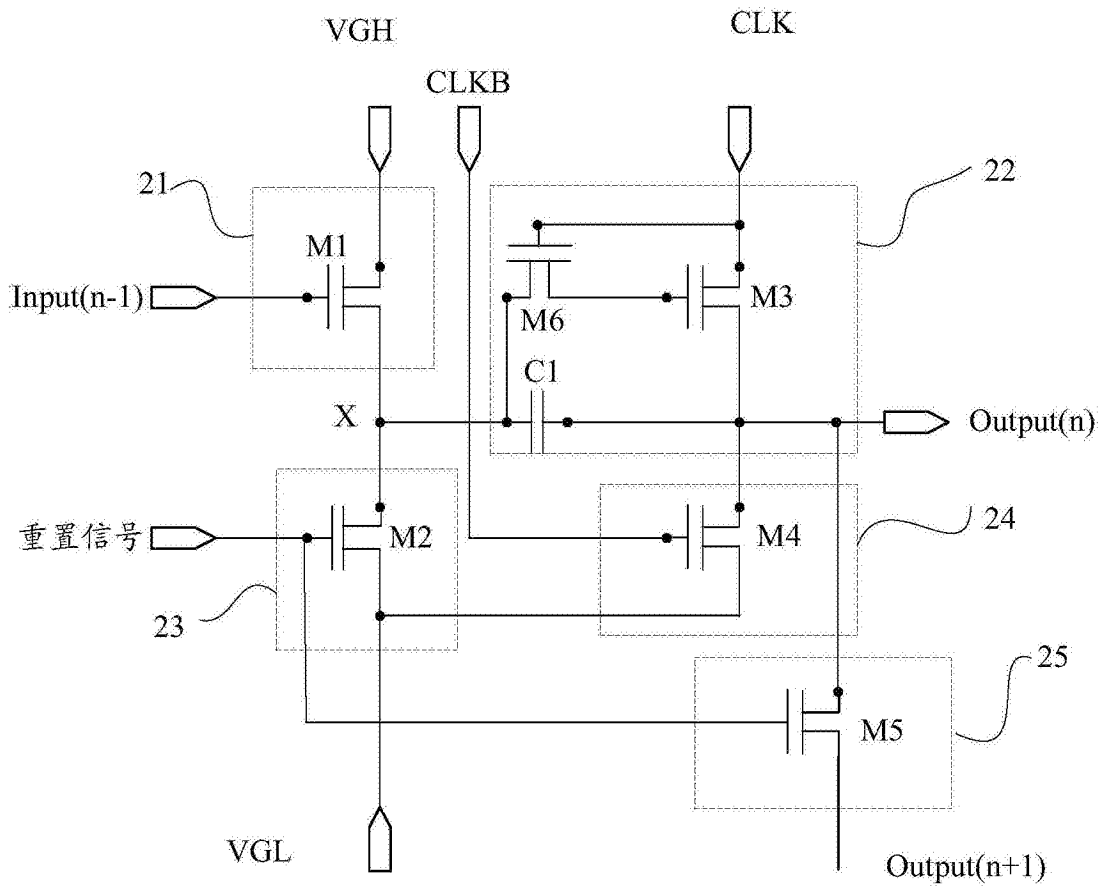


图2

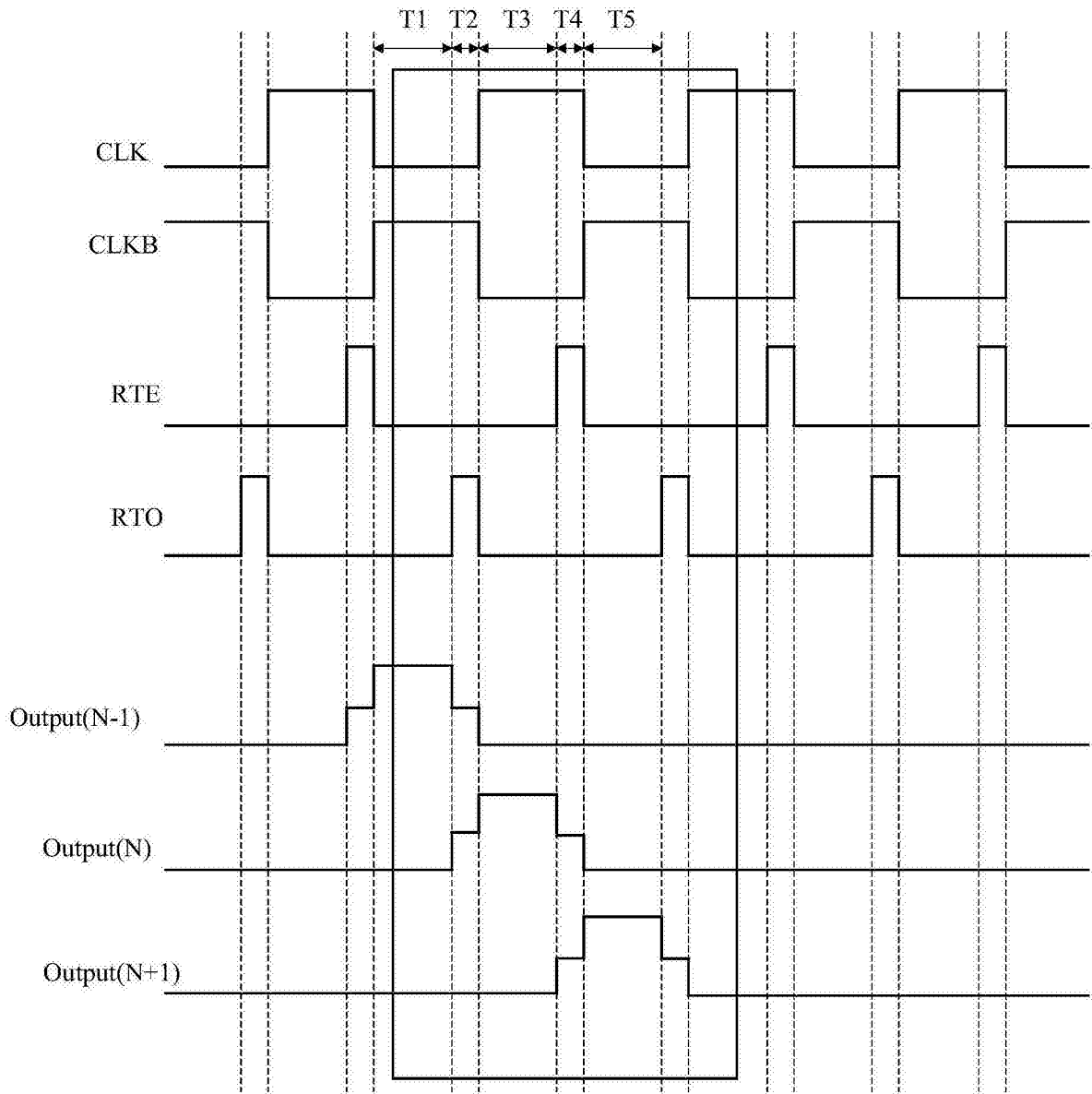


图3