

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5988939号
(P5988939)

(45) 発行日 平成28年9月7日(2016.9.7)

(24) 登録日 平成28年8月19日(2016.8.19)

(51) Int.Cl.	F I
HO 1 L 21/316 (2006.01)	HO 1 L 21/316 B
HO 1 L 21/3205 (2006.01)	HO 1 L 21/88 Z
HO 1 L 21/768 (2006.01)	HO 1 L 21/02 B
HO 1 L 23/522 (2006.01)	HO 1 L 21/318 B
HO 1 L 21/02 (2006.01)	HO 1 L 21/312 B

請求項の数 4 外国語出願 (全 13 頁) 最終頁に続く

(21) 出願番号	特願2013-190298 (P2013-190298)	(73) 特許権者	507364838
(22) 出願日	平成25年9月13日 (2013.9.13)		クアルコム、インコーポレイテッド
(62) 分割の表示	特願2012-510024 (P2012-510024) の分割		アメリカ合衆国 カリフォルニア 921 21 サン ディエゴ モアハウス ドラ イブ 5775
原出願日	平成22年5月7日 (2010.5.7)	(74) 代理人	100108453
(65) 公開番号	特開2014-13932 (P2014-13932A)		弁理士 村山 靖彦
(43) 公開日	平成26年1月23日 (2014.1.23)	(74) 代理人	100163522
審査請求日	平成25年10月10日 (2013.10.10)		弁理士 黒田 晋平
(31) 優先権主張番号	12/437, 111	(72) 発明者	アルヴィンド・チャンドラセカラン
(32) 優先日	平成21年5月7日 (2009.5.7)		アメリカ合衆国・カリフォルニア・921 21・サン・ディエゴ・モアハウス・ドラ イヴ・5775
(33) 優先権主張国	米国 (US)		
前置審査		審査官	正山 旭
			最終頁に続く

(54) 【発明の名称】 不連続な薄い半導体ウェハ表面のフィーチャ

(57) 【特許請求の範囲】

【請求項 1】

半導体基板およびフィルム層を備える半導体ウェハを製造する方法であって、
前記半導体ウェハを薄化するステップと、
前記半導体ウェハ内の応力を緩和する不連続面を形成するために、前記半導体ウェハを薄化するステップの後で、前記半導体ウェハに少なくとも1つのエッチング線をエッチングするステップと、
前記不連続面の少なくとも一部分を非導電性絶縁プラグで充填するステップと、
前記非導電性絶縁プラグが前記半導体基板に隣接する前記フィルム層の面と反対である前記フィルム層の表面と同一平面であるように、前記非導電性絶縁プラグを裏面研磨するステップと、
を含む方法。

【請求項 2】

前記半導体ウェハに前記少なくとも1つのエッチング線をエッチングするステップが、前記半導体ウェハの前記半導体基板に少なくとも1つのエッチング線をエッチングするステップを含む、請求項 1 に記載の方法。

【請求項 3】

前記半導体ウェハに前記少なくとも1つのエッチング線をエッチングするステップが、前記半導体ウェハの前記フィルム層に少なくとも1つのエッチング線をエッチングするステップを含む、請求項 1 に記載の方法。

【請求項 4】

前記フィルム層が複数の層を含み、
前記半導体ウェハの前記フィルム層に前記少なくとも 1 つのエッチング線をエッチングするステップが、
前記フィルム層の第 1 の層に少なくとも 1 つのエッチング線をエッチングするステップと、
前記フィルム層の第 2 の層に少なくとも 1 つのエッチング線をエッチングするステップと、
を含む、請求項 3 に記載の方法。

【発明の詳細な説明】

10

【技術分野】

【0001】

本開示は、広く集積回路（IC）に関する。より具体的には、本開示は、集積回路を製造することに関する。

【背景技術】

【0002】

半導体ダイは、トランジスタおよび他の構成要素の集合体を、基板の活性層およびフィルム層を含む。一般には、これらの基板は、半導体材料であり、具体的には、シリコンである。さらに、これらの基板は、従来では、望ましいデバイスの挙動を得るのに必要であるよりも厚い。半導体ダイは、半導体ウェハから個片化するかわちダイシングされる。従来では、層は、半導体ダイを形成するために個片化するかわちダイシングされる半導体ウェハ上に堆積される。

20

【0003】

厚い基板は、トランジスタの挙動のほかに、半導体製造の際に利点を有する。ウェハおよび/またはダイの製造の際に、基板は、多数の工程、高温、ならびに、工作機械間での移動、または製造場所間での移動にさえ耐える。これらの移動の間に、基板は破損し、結果として時間および資源の損失となる可能性がある。厚い基板は、製造の間に破損するおそれが小さくなる。

【0004】

基板上に堆積されるフィルム層は、基板とは異なる応力を有し、結果として不均衡な応力となる。基板とフィルム層との間の応力が不均衡であるとき、基板は、平衡応力に到達するために、湾曲または屈曲する場合がある。厚い基板は、薄い基板よりも良好に、フィルム層により加えられる応力との平衡を取ることができる。製造の際に薄い基板を使用することに伴う問題は、従来では、接着剤により、薄い基板を厚い支持基板に取り付けることにより解決されてきた。支持基板は、キャリアウェハと呼ばれる。キャリアウェハは、薄い基板がその際に破断のおそれがある製造工程の部分の完了後に、取り外される。

30

【0005】

キャリアウェハの使用は、いくつかの理由のために望ましくない。キャリアウェハは、製造に対してコストがかかるが、最終的な製品に対して明確な価値を付加しない。さらに、キャリアウェハを薄い基板に取り付ける接着剤は、半導体ウェハの薄い基板上に残留物を残す。キャリアウェハは、製造の際に安定性をもたらすが、薄い基板をキャリアウェハから外すことは、製造上の難題をつきつける。

40

【0006】

薄い基板を使用する製造の一例は、積層 IC の構築である。積層 IC は、デバイスの機能性を増大させ、ダイを垂直に積層させることにより、ダイサイズを低減する。より狭い土地面積内により多くのオフィス空間を適合する高層タワーと同様に、積層 IC は、同じ面積を占有しながら、トランジスタおよび他の構成要素に対して、より多くの空間を提供する。

【0007】

積層 IC では、第 2 のダイは、3次元（3D）に拡張する構築を可能にする第 1 のダイ

50

上に積層される。積層 IC は、より多数の構成要素を伴う製品が、小さなフォームファクタに適合することを可能にする。半導体ダイの構成要素密度は、ダイ内の構成要素の数をダイ面積で割った商である。例えば、ダイを同一のダイ上に積層することは、同じ面積内の構成要素の数がほぼ 2 倍ということになり、構成要素密度を 2 倍にする。第 2 のダイが第 1 のダイ上に積層されるとき、2 つのダイは、同じパッケージングを共有し、そのパッケージングを介して外部デバイスと通信する。

【 0 0 0 8 】

従来では、第 2 のダイは、第 1 のダイに位置するシリコン貫通電極によって、パッケージングおよび外部デバイスに結合される。シリコン貫通電極は、部分的には、選択される製造技術に基づいて、アスペクト比において制限される。その結果、第 1 のダイの高さは、シリコン貫通電極が第 1 のダイの高さ全体に延在することができることを保証するために、制限される。シリコン貫通電極は、パッケージ基板から第 2 のダイへの導電経路を得るために、高さ全体に延在すべきである。第 1 のダイの高さが、シリコン貫通電極の製造に対応するために減少するにつれて、第 1 のダイは、構造強度を失う。

10

【 0 0 0 9 】

積層 IC を製造することは、従来では、第 1 のダイを薄化する前に、第 1 のダイを支持のためのキャリアウェハに取り付けることを含む。次いで、第 1 のダイは、シリコン貫通電極の高さに対応するために薄化される。第 1 のダイの半導体ウェハは、積層 IC をパッケージングするために、薄化の後で、キャリアウェハから外されるべきである。しかしながら、キャリアウェハから外されると、第 1 のダイは、基板とフィルム層との間の不均衡な応力を有する可能性がある。

20

【 先行技術文献 】

【 特許文献 】

【 0 0 1 0 】

【 特許文献 1 】 米国特許出願公開第 2 0 0 6 0 2 4 9 2 1 号明細書

【 特許文献 2 】 米国特許出願公開第 2 0 0 7 2 6 7 7 2 4 号明細書

【 特許文献 3 】 米国特許出願公開第 2 0 0 3 2 1 6 0 0 9 号明細書

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 1 1 】

したがって、ウェハにかかる応力を解放することが求められている。

30

【 課題を解決するための手段 】

【 0 0 1 2 】

本開示のある態様によれば、半導体ウェハは、表側および裏側を有する半導体基板を含む。半導体ウェハは、半導体基板の表側上にフィルム層をさらに含む。フィルム層および半導体基板の少なくとも 1 つは、少なくとも 1 つのエッチング線を有する第 1 の不連続面を有する。不連続面は、半導体ウェハ内の残留応力を低減する。

【 0 0 1 3 】

本開示の別の態様によれば、半導体ウェハを製造する方法は、半導体ウェハを薄化するステップを含む。この方法は、不連続面を形成するために、半導体ウェハを薄化するステップの後で、半導体ウェハに少なくとも 1 つのエッチング線をエッチングするステップをさらに含む。不連続面は、半導体ウェハ内の応力を緩和する。

40

【 0 0 1 4 】

本開示のさらなる態様によれば、半導体ウェハは、半導体基板を含む。半導体ウェハは、フィルム層をさらに含む。半導体ウェハは、半導体基板およびフィルム層の少なくとも 1 つにおける応力を緩和するための手段をさらに含む。

【 0 0 1 5 】

上記では、以下の詳細な記載がよりよく理解され得るように、本開示の特徴および技術的利点を、かなり大まかに概説した。本開示の特許請求の範囲の主題を形成する、さらなる特徴および利点を、以下に記載する。開示される概念および特定の実施形態は、本開示

50

の同じ目的を実現するために、他の構造を修正または設計するための基礎として、容易に利用され得るということが、当業者には理解されるはずである。さらには、そのような等価の構築は、添付の特許請求の範囲で説明されるような本開示の技術から逸脱しないということが、当業者には理解されるはずである。本開示の特性であると考えられる新規の特徴が、その構成および動作の方法の両方に関して、さらなる目的および利点とともに、添付図に関して考察される場合に、以下の記載からよりよく理解されよう。しかしながら、図のそれぞれは、図示および説明のみの目的のために提供され、本開示の限度の定義として意図されるものではないということを、明確に理解されたい。

【図面の簡単な説明】

【0016】

【図1】本開示の一実施形態が有利に使用され得る、例示的な無線通信システムを示すブロック図である。

【図2】以下で開示されるような、半導体構成要素の回路、配置、および論理の設計のために使用される、設計ワークステーションを示すブロック図である。

【図3】積層ICを示すブロック図である。

【図4】引っ張り応力のもとでのダイを示すブロック図である。

【図5】一実施形態による、例示的な不連続面のフィーチャを有するウェハの上面図を示すブロック図である。

【図6】一実施形態による、例示的な不連続面のフィーチャに関する製造工程を示すブロック図である。

【図7】一実施形態による、基板内に例示的な不連続面のフィーチャを有するウェハの断面図を示すブロック図である。

【図8】一実施形態による、フィルム層内に例示的な不連続面のフィーチャを有するウェハの断面図を示すブロック図である。

【発明を実施するための形態】

【0017】

本開示のより完全な理解のために、次に、添付図面とともに読まれるべき、以下の記載内容に対する言及が行われる。

【0018】

図1は、本開示の一実施形態が有利に使用され得る、例示的な無線通信システム100を示すブロック図である。説明のために、図1は、3つの遠隔ユニット120、130、および150、ならびに2つの基地局140を示す。典型的な無線通信システムは、より多くの遠隔ユニットおよび基地局を有することができるということが認められよう。遠隔ユニット120、130、および150は、ここで開示される工程により製造される回路を含む、ICデバイス125A、125Bおよび125Cを含む。基地局、スイッチングデバイス、およびネットワーク機器を含めて、ICを含む任意のデバイスもまた、開示される特徴を有する半導体構成要素、および/または、ここで開示される工程により製造される構成要素を含むことができるということが認められよう。図1は、基地局140から遠隔ユニット120、130、および150への下りリンク信号180、ならびに、遠隔ユニット120、130、および150から基地局140への上りリンク信号190を示す。

【0019】

図1では、遠隔ユニット120は、携帯電話として示され、遠隔ユニット130は、ポータブルコンピュータとして示され、遠隔ユニット150は、無線ローカルループシステム内の固定位置遠隔ユニットとして示される。例えば、遠隔ユニットは、音楽プレーヤ、ビデオプレーヤ、娯楽装置、ナビゲーション装置、通信装置、携帯情報端末(PDA)、固定位置データユニット、およびコンピュータなどのデバイスであってよい。図1は、本開示の教示による遠隔ユニットを示すが、本開示は、これらの例示的に示されるユニットに限定されない。本開示は、以下に記載されるような、半導体構成要素を含む任意のデバイスで、好適に使用され得る。

10

20

30

40

50

【 0 0 2 0 】

図2は、以下で開示されるような、半導体構成要素の回路、配置、および論理の設計のために使用される、設計ワークステーションを示すブロック図である。設計ワークステーション200は、オペレーティングシステムソフトウェア、サポートファイル、ならびに、CadenceもしくはOrCADなどの設計ソフトウェアを含む、ハードディスク201を含む。設計ワークステーション200は、回路210または半導体ウェハ212の設計を容易にするためのディスプレイをさらに含む。記憶媒体204が、回路設計210または半導体ウェハ212を明確に記憶するために設けられる。回路設計210または半導体ウェハ212は、GDSIIまたはGERBERなどのファイルフォーマットで、記憶媒体204に記憶され得る。記憶媒体204は、CD-ROM、DVD、ハードディスク、フラッシュメモリ、または他の適切なデバイスであってよい。さらには、設計ワークステーション200は、記憶媒体204からの入力を受け付けるための、または記憶媒体204に対して出力を書き込むためのドライブ装置203を含む。

10

【 0 0 2 1 】

記憶媒体204に記録されるデータは、論理回路構成、フォトリソグラフィマスクのためのパターンデータ、または、電子ビームリソグラフィなどのシリアル書き込みツールのためのマスクパターンデータを指定することができる。データは、論理シミュレーションと関連する、タイミング図または最終的な回路などの論理検証データをさらに含む場合がある。記憶媒体204にデータを提供することは、半導体ウェハを設計するための工程の数を低減することにより、回路設計210または半導体ウェハ212の設計を容易にする。

20

【 0 0 2 2 】

図3は、積層ICを示すブロック図である。積層IC300は、パッケージ基板310を含む。パッケージ基板310は、ボールグリッドアレイでのバンパなどのパッケージ接続部322を介して、第1の段のダイ320に結合される。あるいは、ピンまたは他の好適なパッケージ接続部が使用される場合がある。第2の段のダイ330は、ボールグリッドアレイでのバンパなどのパッケージ接続部332を介して、第1の段のダイ320に結合される。第1の段のダイ320は、シリコン貫通電極324を含む。シリコン貫通電極324は、第1の段のダイ320の高さ全体に延在し、パッケージ基板310をパッケージ接続部332と結合させて、パッケージ基板310から、第1の段のダイ320または第2の段のダイ330への通信を可能にする。さらなるダイ(図示せず)が、第2の段のダイ330の上部上に、さらに積層される場合がある。

30

【 0 0 2 3 】

積層IC300などの積層ICは、2DのICで実現され得るよりも、3Dの積層によって、より高密度のICの製造を可能にする。例えば、第2の段のダイ330は、メモリまたはキャッシュデバイスであってよく、第1の段のダイ320は、プロセッサまたは他の論理回路であってよい。マイクロプロセッサのダイ面積の大部分は、L2キャッシュにより占有される。キャッシュを論理回路上に積層することは、マイクロプロセッサのダイサイズを低減することができる。あるいは、マイクロプロセッサとは別個にダイ上に位置するDRAM構成要素が、マイクロプロセッサ上に積層される場合がある。DRAM構成要素をマイクロプロセッサ上に積層することは、マザーボード上の空間の制約を減らすことができる。さらに、DRAM構成要素をマイクロプロセッサのより近くに位置させることは、レイテンシを低減し、より大きなクロック速度など、DRAM構成要素に対する帯域幅を増大させる方法の使用を可能にすることができる。少なくともこれらの理由で、積層ICを使用して実現可能である、より高密度の構成要素が、将来のICの開発を支援することを期待されている。

40

【 0 0 2 4 】

第2の段のダイ330が、第1の段のダイ320に取り付けられるとき、第1の段のダイ320上かけられる物理的な力の結果として、損傷が発生する可能性がある。第1の段のダイ320の厚さは、これらの物理的な力に耐えるための、その機械的強度に対応す

50

る。したがって、第1の段のダイ320が、シリコン貫通電極324を露出させるために薄化されるとき、第2の段のダイ330の取り付けの間に、損傷が、第1の段のダイ320に対して発生するおそれは、より高い。

【0025】

図4は、引っ張り応力のもとでのダイを示すブロック図である。ダイ400は、基板412およびフィルム層414を有する。基板412は、例えば、バルクシリコンもしくは他の半導体材料、ならびに、トランジスタなどの構成要素の活性層を含む。フィルム層414は、相互接続部、ビア、窒化ケイ素もしくは酸化ケイ素などの絶縁層、ならびに、接点などの追加的な層を含むことができる。シリコン貫通電極416は、基板412の表側413と基板412の裏側411との間の結合を可能にするように、基板412内に位置する。例えば、ダイ400は、パッケージ基板(図示せず)に実装される積層IC内の第1の段であってよい。この場合には、シリコン貫通電極416は、積層ICの第2の段をパッケージ基板に結合することができる。

10

【0026】

シリコン貫通電極416は、例えば、反応性イオンエッチング、ウェットエッチング、またはレーザ穿孔などのエッチング技術を用いて形成される。シリコン貫通電極416の高さは、部分的には、シリコン貫通電極416の幅により制限かつ決定される。例えば、エッチング工程は、10:1のエッチング比を有する場合があります、これは、エッチングが、シリコン貫通電極416の幅の10倍の深さで進行することのみが可能であることを示す。この場合には、1 μ mのシリコン貫通電極は、10 μ mの深さでエッチングされ得る。したがって、基板412の高さは、選択されるエッチング工程およびシリコン貫通電極416の幅により許されるものよりも小さくあるべきである。この場合には、基板412の高さは、10 μ mであるべきである。基板412を取り扱う問題が、基板412を適切な高さに薄化した後で発生する場合がある。

20

【0027】

基板412の機械的強度は、基板412の高さに比例する。したがって、シリコン貫通電極416が表側413から裏側411に延在することを可能にするために、基板412の高さを低減することは、基板412の機械的強度を低減する。フィルム層414は、基板412の薄化の間、一定の高さに保持される。したがって、基板412の高さに関係なく、フィルム層414内で高まる同じレベルの応力を支持するための、基板412が有する強度は、より小さくなる。フィルム層414内の応力は、フィルム層414が構成されるフィルムの数およびタイプに応じて、残留圧縮または残留引っ張りである場合がある。基板412にかかる最終的な残留圧縮応力が存在するならば、基板412は、外側に突き出る傾向にあることになり、アセンブリ全体は、洪面の形状に屈曲することになる。基板412にかかる最終的な残留引っ張り応力が存在するならば、基板412は、内側に突き出る傾向にあることになり、アセンブリ全体は、笑顔の形状に屈曲することになる。

30

【0028】

さらには、温度が、フィルム層414および基板412内の応力に影響を与える場合がある。例えば、温度が上昇するにつれて、異なる材料は、異なる速度で膨張する場合がある。フィルム層414が、基板412よりも速い速度で膨張するならば、基板412は、機械的強度の不足によって、湾曲する場合がある。反り(warp)は、基板412の活性層内の構成要素、フィルム層414内の構造に損傷を与え、または、後で製造の際に、問題を引き起こす可能性がある。

40

【0029】

さらに、基板412の活性層内の構成要素は、特定の応力範囲で適正に機能するように設計される。例えば、引っ張り応力は、nFETデバイスでのキャリア移動度を向上させる。

【0030】

フィルム層414内での高まる応力に加えて、製造工程が、基板412の表側413に損傷を与える。反応性イオンエッチングおよび金属蒸着などのプラズマ工程の間、損傷が

50

、基板 4 1 2 上の高エネルギー粒子の衝撃により引き起こされる。損傷はさらに、ウェットエッチングまたは洗浄の際に使用される化学物質にさらされることにより引き起こされる場合がある。基板 4 1 2 の表側 4 1 3 が損傷される場合、損傷された部分の応力は、基板 4 1 2 の大部分とは異なる。応力のこれらの違いは、製造の際に、さらなる反りの問題を招く。

【 0 0 3 1 】

フィルム層または基板内の応力の解放は、不連続面を形成するために、基板および/またはフィルム層のエッチングを実行することにより実現され得る。エッチングされる領域は、不連続面内の原子が広がり、平衡に到達することを可能にすることにより、応力の緩和をもたらす。不連続面のフィーチャは、以下にさらに詳細に記載されることになる。

10

【 0 0 3 2 】

図 5 は、一実施形態による、例示的な不連続面のフィーチャを有するウェハの上面図を示すブロック図である。ウェハ 5 1 0 の上面図が示される。ウェハ 5 1 0 は、ダイを分離するために使用され得るダイシング溝 5 1 8 により分離されるダイ 5 1 4 を含む。ダイのサブセットが、囲み 5 1 2 で示される。囲み 5 1 2 は、ウェハ 5 1 0 上のダイ 5 1 4 を示す。ダイ 5 1 4 は、フィルム層、および活性層を含む基板を含む。フィルム層と基板との間の応力の違いが、層が平衡に到達する際に、ウェハ 5 1 0 の反りを生成する。エッチング線 5 1 6 は、応力を緩和する不連続面のフィーチャを形成するために、フィルム層、基板の活性層、バルクシリコンの表側、バルクシリコンの裏側、またはそれらの任意の組合せから除去される材料の線である。

20

【 0 0 3 3 】

エッチング線 5 1 6 は、ウェハ 5 1 0 またはダイ 5 1 4 の他の電気的特性に影響を与えない。例えば、エッチング線がフィルム層内にあるときは、エッチング線は、相互接続部またはビアが切断されないように、相互接続部の周囲で屈曲する場合がある。さらには、エッチング線 5 1 6 が基板の活性層内にあるならば、エッチング線 5 1 6 は、基板の活性層内のソース/ドレインの領域またはチャンネルの周囲で屈曲する場合がある。

【 0 0 3 4 】

フィルム層が異なる材料の複数の層を含むならば、エッチング線 5 1 6 の一部が、フィルム層の第 1 の層内にある場合があり、エッチング線 5 1 6 の一部が、フィルム層の第 2 の層内にある場合がある。このようにして、エッチング線 5 1 6 は、ウェハ 5 1 0 内で異なる高さにある場合がある。エッチング線 5 1 6 は、実質的に直交する水平および垂直の線として示されるが、任意の形状をとることができる。形状は、以下に記載されるように、フォトリソグラフィ工程でエッチング線 5 1 6 を形成するときに規定され得る。

30

【 0 0 3 5 】

エッチング線 5 1 6 を形成することは、電子ビームリソグラフィまたは遠紫外線フォトリソグラフィなどのフォトリソグラフィ技術と組み合わせて使用される、反応性イオンエッチングまたはウェットエッチングなどのエッチング技術を使用して実現され得る。製造工程は、図 6 を参照して、以下により詳細に記載されることになる。

【 0 0 3 6 】

図 6 は、一実施形態による、例示的な不連続面のフィーチャに関する製造工程を示すブロック図である。ブロック 6 2 0 では、フォトレジストが、ウェハ上に堆積される。フォトレジスト材料は、露光の際に使用される光源に適合するように選択される。例えば、光源が電子ビームであるならば、ポリメタクリル酸メチルが、ウェハ上に堆積され得る。ブロック 6 3 0 では、フォトレジストは、ブロック 6 2 0 で堆積されるフォトレジストに対して適切な光源を使用して、マスクを通して露光される。マスクは、図 5 に示されるエッチング線などのフィーチャを含む。

40

【 0 0 3 7 】

ポジ型 (positive tone) フォトレジストが、ブロック 6 2 0 で堆積されるならば、光源に露光される領域が、フォトレジストの現像後に溶解してなくなることになる。露光されないフォトレジストは、残されている後続の工程の際に、材料のエッチン

50

グを防止するためのマスクとして働く。

【0038】

ネガ型 (negative tone) フォトレジストが、ブロック620で堆積されるならば、光源に露光されない領域が、フォトレジストの現像後に溶解してなくなることになる。当技術分野で周知であるような、金属を蒸着させること、およびフォトレジストをリフトオフする (lift away) ことなどの白黒反転工程が、実行され得る。

【0039】

ブロック640では、反応性イオンエッチングなどのエッチングが、ウェハ上の材料を除去するために実行され得る。エッチングの化学的性質は、不連続面のフィーチャのために、目標とされた材料を除去するように選択される。例えば、窒化ケイ素層が、不連続な窒化ケイ素の面を形成するためにエッチングされることになっているならば、 CF_4 を含む反応性イオンエッチングが選択され得る。さらに、フィルム層の2つ以上の層が、エッチングされ得る。例えば、エッチングは、窒化ケイ素層および金属層を除去する場合がある。この場合には、単一のエッチングの化学的性質、または複数のエッチングの化学的性質が利用され得る。

10

【0040】

エッチングが完了した後で、残存するフォトレジストはどれも、ブロック650で取り除かれる。追加的な洗浄およびリンスのステップが、ウェハ上の残留物を除去するために、フォトレジストを取り除くステップの一部として実行され得る。

【0041】

あるいは、ブロック630で露光のために使用されるマスクは、白黒反転工程なしに、ネガ型フォトレジストを用いて行う工程を可能にするために、反転される場合がある。

20

【0042】

別の実施形態によれば、不連続面は、集束イオンビームを使用して形成され得る。この実施形態では、フォトレジストは使用されない。集束イオンビームは、ウェハの表面にわたって走査され、ウェハ上の材料は、集束イオンビームが走査される場所でエッチングされる。例えば、図5に示されるエッチング線などの線が、集束イオンビームにより走査され得る。

【0043】

一実施形態では、例示的な不連続面のフィーチャが、基板内の応力を緩和するために、ウェハの基板内に形成される。図7は、基板内に例示的な不連続面のフィーチャを有するウェハの断面図を示すブロック図である。ウェハ700は、基板710を含む。図6に関して上記に記載されたような製造工程によって形成されるエッチング線712が、結果として不連続面のフィーチャとなる。エッチング線712では、基板710の原子面が破壊され、原子面は、基板710内の応力を緩和するために、エッチング線712内に広がるのが可能にされる。エッチング線712は、基板710の表側または裏側のいずれかにおいてよい。

30

【0044】

別の実施形態では、例示的な不連続面のフィーチャが、フィルム層内の応力を緩和するために、ウェハのフィルム層内に形成される。図8は、フィルム層内に例示的な不連続面のフィーチャを有するウェハの断面図を示すブロック図である。ウェハ800は、基板810およびフィルム層830を含む。

40

【0045】

フィルム層830は、エッチング線832を含む。エッチング線832は、結果として、フィルム層830内の不連続面のフィーチャとなる。エッチング線832では、フィルム層830内の原子面が、フィルム層830内の応力を緩和するために、広がることができる。単一のエッチング線が示されているが、複数のエッチング線もまた設けられ得る。エッチング線832は、基板810の表側または裏側のいずれかにおいてよい。

【0046】

エッチング線832が、フィルム層830内に形成される後で、絶縁プラグ834が、

50

エッチング線 832 を部分的に、または完全に充填するように堆積され得る。絶縁プラグ 834 は、フィルム層 830 上に堆積される将来の層が、フィルム層 830 と干渉を起こすことを防止する。例えば、金属層がフィルム層 830 上に堆積されるならば、フィルム層 830 内の相互接続部またはビアは、金属層により短絡される可能性がある。絶縁プラグ 834 に対して使用される材料の望ましい特性は、層間剥離を防止するために、フィルム層 830 と絶縁プラグ 834 との間の、適合される熱膨張の係数および良好な接着を含む。絶縁プラグ 834 は、例えば、二酸化ケイ素、窒化ケイ素、またはポリイミドであってよい。

【0047】

図示されていないが、絶縁プラグ 834 は、フィルム層 830 と同じ高さであってよい。絶縁プラグ 834 の堆積の後で、化学機械的研磨工程が、フィルム層 830 と同じ高さの絶縁プラグ 834 をもたらすために、利用され得る。

10

【0048】

図 8 には、ただ 1 つのフィルム層が示されるが、フィルム層は、銅もしくはアルミニウムの層、トランジスタもしくはコンデンサなどの構成要素、ならびに、酸化ケイ素もしくは窒化ケイ素などの絶縁層を含む、相互接続部またはビアの複数の層を含むことができる。上記したように、エッチング線は、フィルム層の任意の 1 つまたは複数内であってよい。

【0049】

図 7 を参照して上記で示されたような基板内の、および、図 8 を参照して上記で示されたようなフィルム層内の不連続面のフィーチャは、一実施形態によるウェハに関して、ウェハの複数の位置における応力を緩和するために、組み合わせて使用され得る。

20

【0050】

「シリコン貫通電極」という専門用語は、シリコンという単語を含むが、シリコン貫通電極は、必ずしもシリコンで構成されるわけではないことに留意されたい。それどころか、材料は、任意のデバイス基板材料であってよい。

【0051】

本開示およびその利点を、詳細に記載したが、様々な変更、置換および代替が、添付の特許請求の範囲により定義されるような本開示の技術から逸脱することなく、本明細書で行われ得るということを理解されたい。さらには、本願の範囲は、本明細書に記載される工程、機械、製造、物質の組成、手段、方法およびステップの特定の実施形態に限定されることは意図されていない。当業者であれば、本開示から容易に理解するように、本明細書に記載される対応する実施形態と、実質的に同じ機能を実行する、または実質的に同じ結果を実現する、現在存在する、または後に開発されることになっている、工程、機械、製造、物質の組成、手段、方法、またはステップが、本開示に従って利用され得る。したがって、添付の特許請求の範囲は、その範囲内に、そのような工程、機械、製造、物質の組成、手段、方法、またはステップを含むことが意図されている。

30

【符号の説明】

【0052】

- 100 無線通信システム
- 120 遠隔ユニット
- 125 A、125 B、125 C IC デバイス
- 130 遠隔ユニット
- 140 基地局
- 150 遠隔ユニット
- 180 下りリンク信号
- 190 上りリンク信号
- 200 設計ワークステーション
- 201 ハードディスク
- 203 ドライブ装置

40

50

2 0 4	記憶媒体	
2 1 0	回路、回路設計	
2 1 2	半導体ウェハ	
3 0 0	積層 I C	
3 1 0	パッケージ基板	
3 2 0	ダイ	
3 2 2	パッケージ接続部	
3 2 4	シリコン貫通電極	
3 3 0	ダイ	
3 3 2	パッケージ接続部	10
4 0 0	ダイ	
4 1 1	基板の裏側	
4 1 2	基板	
4 1 3	基板の表側	
4 1 4	フィルム層	
4 1 6	シリコン貫通電極	
5 1 0	ウェハ	
5 1 2	囲み	
5 1 4	ダイ	
5 1 6	エッチング線	20
5 1 8	ダイシング溝	
7 0 0	ウェハ	
7 1 0	基板	
7 1 2	エッチング線	
8 0 0	ウェハ	
8 1 0	基板	
8 3 0	フィルム層	
8 3 2	エッチング線	
8 3 4	絶縁プラグ	

【 図 1 】

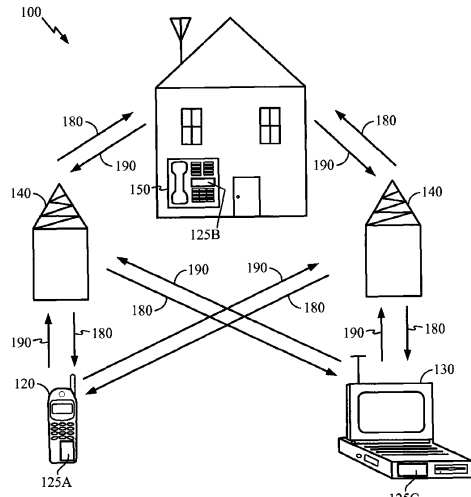


FIG. 1

【 図 2 】

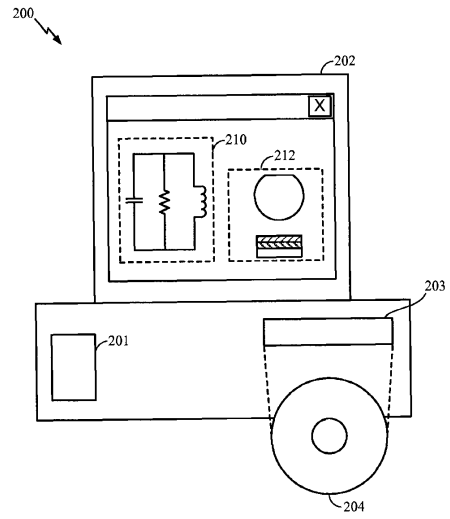
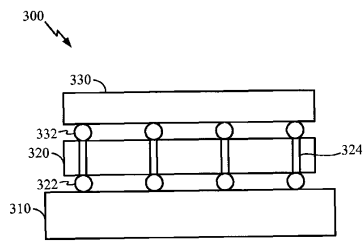


FIG. 2

【 図 3 】



(PRIOR ART)
FIG. 3

【 図 5 】

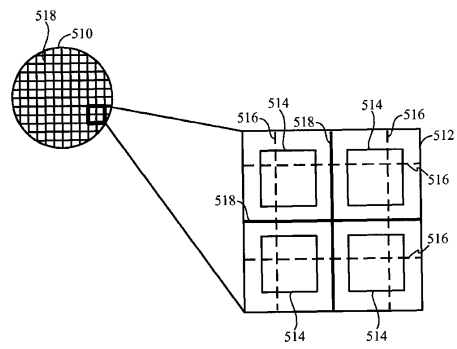
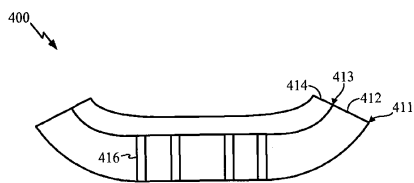


FIG. 5

【 図 4 】



(PRIOR ART)
FIG. 4

【 図 6 】

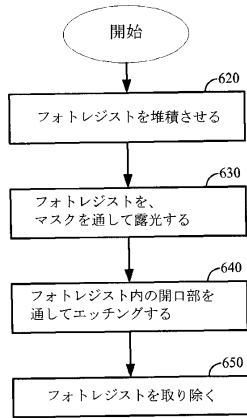


FIG. 6

【 図 7 】

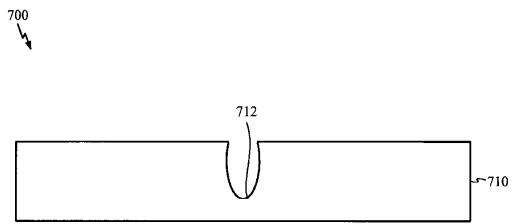


FIG. 7

【 図 8 】

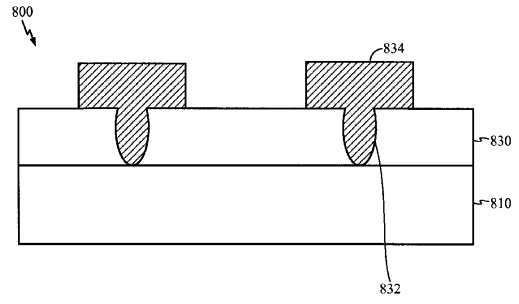


FIG. 8

フロントページの続き

(51)Int.Cl. F I

H 0 1 L 21/318 (2006.01)

H 0 1 L 21/312 (2006.01)

(56)参考文献 国際公開第2007/020688(WO,A1)

特開2003-110017(JP,A)

国際公開第2007/023947(WO,A1)

特開平07-130836(JP,A)

特開2003-115483(JP,A)

米国特許出願公開第2007/0267724(US,A1)

(58)調査した分野(Int.Cl.,DB名)

H 0 1 L 21/316

H 0 1 L 21/02

H 0 1 L 21/312

H 0 1 L 21/318

H 0 1 L 21/3205

H 0 1 L 21/768

H 0 1 L 23/522