



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I544732 B

(45)公告日：中華民國 105 (2016) 年 08 月 01 日

(21)申請案號：100112556

(22)申請日：中華民國 100 (2011) 年 04 月 12 日

(51)Int. Cl. : **H02M3/157 (2006.01)**

(30)優先權：2010/04/16 日本

2010-095197

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：伊藤良明 ITO, YOSHIAKI (JP)；王丸拓郎 OHMARU, TAKURO (JP)

(74)代理人：林志剛

(56)參考文獻：

TW I303917

US 7138698B2

US 7656946B2

US 2005/0264228A1

US 2007/0182395A1

US 2008/0024012A1

US 2010/0006826A1

US 2010/0045110A1

審查人員：涂公遠

申請專利範圍項數：13 項 圖式數：12 共 73 頁

(54)名稱

電源電路

POWER SOURCE CIRCUIT

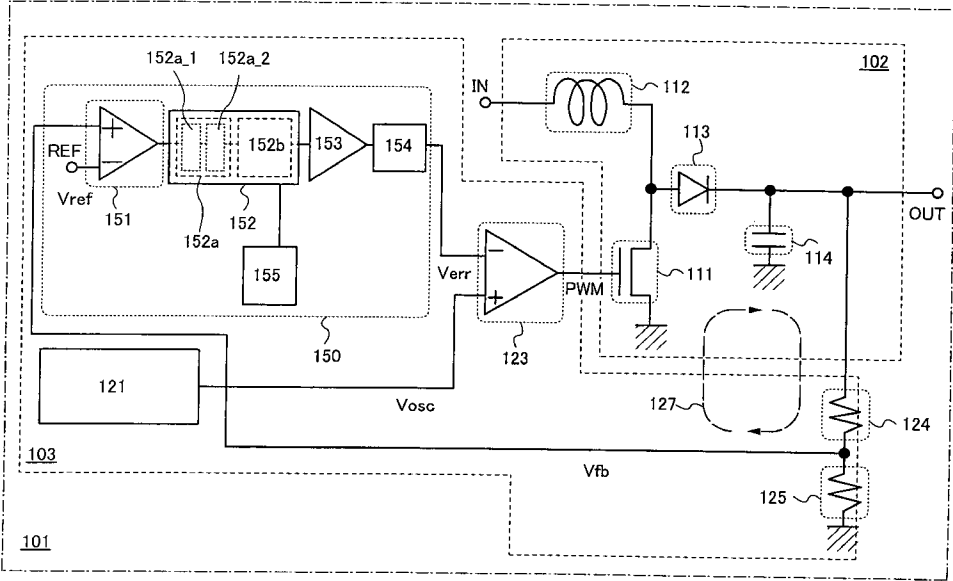
(57)摘要

一目的在於減少電路操作之降格並減少整個電路之面積。電源電路提供有輸入第一電壓至其之第一端子；輸入第二電壓至其之第二端子；連接至第一端子及第二端子並比較第一電壓及第二電壓之比較器；平均化、積分、及數位脈寬調變從比較器輸出之第一數位信號的數位電路；放大從數位電路輸出之第二數位信號輸出的 PWM 輸出驅動器；及平滑經放大第二數位信號之平滑電路。

An object is to reduce degradation of circuit operation and to reduce the area of the entire circuit. A power source circuit is provided with a first terminal to which first voltage is input; a second terminal to which second voltage is input; a comparator being connected to the first terminal and the second terminal and comparing the first voltage and the second voltage; a digital circuit averaging, integrating, and digital pulse width modulating a first digital signal output from the comparator; a PWM output driver amplifying a second digital signal output from the digital circuit; and a smoothing circuit smoothing the amplified second digital signal.

指定代表圖：

第1圖



符號簡單說明：

- 101 . . . 電源電路
- 102 . . . 電壓轉換器電路
- 103 . . . 控制電路
- 111 . . . 電晶體
- 112 . . . 線圈
- 113 . . . 二極體
- 114 . . . 電容器
- 121 . . . 三角波產生器電路
- 123 . . . 脈寬調變輸出驅動器
- 124 . . . 電阻器
- 125 . . . 電阻器
- 127 . . . 箭頭
- 150 . . . 電路
- 151 . . . 比較器
- 152 . . . 數位算術程序電路
- 152a . . . 數位平均化-積分器
- 152a_1 . . . 數位平均化電路
- 152a_2 . . . 數位積分器
- 152b . . . 數位脈寬調變器
- 153 . . . 脈寬調變輸出驅動器
- 154 . . . 低通濾波器
- 155 . . . 時脈分頻器
- Vref . . . 參考電壓
- Vfb . . . 回饋電壓
- Verr . . . 輸出電壓
- Vosc . . . 三角波
- REF . . . 反向輸入端子

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

公告本

※申請案號：100112556

※申請日：100 年 04 月 12 日

※IPC 分類：H02M 3/157 (2006.01)

一、發明名稱：(中文／英文)

電源電路

Power source circuit

二、中文發明摘要：

一目的在於減少電路操作之降格並減少整個電路之面積。電源電路提供有輸入第一電壓至其之第一端子；輸入第二電壓至其之第二端子；連接至第一端子及第二端子並比較第一電壓及第二電壓之比較器；平均化、積分、及數位脈寬調變從比較器輸出之第一數位信號的數位電路；放大從數位電路輸出之第二數位信號輸出的 PWM 輸出驅動器；及平滑經放大第二數位信號之平滑電路。

三、英文發明摘要：

An object is to reduce degradation of circuit operation and to reduce the area of the entire circuit. A power source circuit is provided with a first terminal to which first voltage is input; a second terminal to which second voltage is input; a comparator being connected to the first terminal and the second terminal and comparing the first voltage and the second voltage; a digital circuit averaging, integrating, and digital pulse width modulating a first digital signal output from the comparator; a PWM output driver amplifying a second digital signal output from the digital circuit; and a smoothing circuit smoothing the amplified second digital signal.

四、指定代表圖：

(一) 本案指定代表圖為：第(1)圖。

(二) 本代表圖之元件符號簡單說明：

101：電源電路	102：電壓轉換器電路
103：控制電路	111：電晶體
112：線圈	113：二極體
114：電容器	121：三角波產生器電路
123：脈寬調變輸出驅動器	124：電阻器
125：電阻器	127：箭頭
150：電路	151：比較器
152：數位算術程序電路	152a：數位平均化－積分器
152a_1：數位平均化電路	152a_2：數位積分器
152b：數位脈寬調變器	153：脈寬調變輸出驅動器
154：低通濾波器	155：時脈分頻器
Vref：參考電壓	Vfb：回饋電壓
Verr：輸出電壓	Vosc：三角波
REF：反向輸入端子	

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

所揭露之發明的一實施例關於數位電路，其可應用至電源電路（切換調節器）。

【先前技術】

在電源電路（切換調節器）中，誤差放大器電路（或誤差放大器）為判斷電源電路中之回饋電路的操作之一重要的電路。

誤差放大器電路為處理類比信號之類比電路。誤差放大器電路一般而言具有其中連接諸如電容器及電阻器的具有大面積之被動元件之結構（參見專利文獻1及非專利文獻2）。

[引用]

[專利文獻1]日本公開專利申請案號2006-238062

[非專利文獻]

FUJII Nobuo, "Analog Electronic Circuit-in the integrated circuit era-", Shokodo, 2004, p. 161

【發明內容】

若在類比電路中之諸如電晶體元件特性變化，可能會使輸出信號亂序，這可能導致類比電路之電路操作的降格。這會產生包括類比電路之電源電路的降格問題。

另外，類比電路中之被動元件的面積為大，其可能導

致包括類比電路之整個電源電路的面積增加。這增加電源電路的成本。

有鑑於上述，所揭露之發明的一實施例之一目的在於抑制電源電路之電路操作的降格。

所揭露之發明的一實施例之另一目的在於減少電源電路的面積。

所揭露之發明的一實施例之另一目的在於藉由減少電源電路的面積來減少電源電路的成本。

在所揭露之發明的一實施例中，以數位控制電路取代為類比電路之誤差放大器電路。詳言之，電壓差比較、積分、及電壓輸出，其傳統上由誤差放大器電路執行，係取而代之地由比較器、數位算術程序電路、脈寬調變（PWM）驅動器、及低通濾波器（LPF）執行。因此，除了比較器及低通濾波器外所有的電路皆可為數位電路。

在取代地使用之數位控制電路中，由比較器執行電壓差比較，由數位算術程序電路執行脈寬調變用之積分及相位設定，並由脈寬調變輸出驅動器及低通濾波器執行功率輸出及頻率響應。

所揭露之發明的一實施例有關於一種電源電路，包括比較第一電壓及第二電壓之比較器；平均化、積分、及數位脈寬調變從該比較器輸出的數位信號之數位算術程序電路；放大從該數位算術程序電路輸出之該數位信號的脈寬調變輸出驅動器；以及平滑從該脈寬調變輸出驅動器輸出之該數位信號的平滑電路。

在所揭露之發明的一實施例中，比較器、數位算術程序電路、及脈寬調變輸出驅動器各包括電晶體，其包括一包括通道形成區域之氧化物半導體膜、源極電極、汲極電極、閘極電極、及閘極絕緣膜。

所揭露之發明的一實施例有關於一種電源電路，包括比較第一電壓及第二電壓之比較器；平均化從比較器輸出的數位信號之加法器電路；積分該平均化的數位信號之加法器－減法器電路；數位脈寬調變該積分該數位信號之計數比較電路及門鎖電路；放大從該門鎖電路輸出之該數位信號的脈寬調變輸出驅動器；以及平滑該經放大的數位信號之平滑電路。

在所揭露之發明的一實施例中，電源電路包括 DC-DC 轉換器

在所揭露之發明的一實施例中，該 DC-DC 轉換器包含線圈、二極體、及包括一包括通道形成區域的氧化物半導體膜之電晶體。

在所揭露之發明的一實施例中，該比較器、該加法器電路、該加法器－減法器電路、該計數比較電路、該門鎖電路、及該脈寬調變輸出驅動器各包括一電晶體，其包括一包括通道形成區域的氧化物半導體膜、源極電極、汲極電極、閘極電極、及閘極絕緣膜。

在所揭露之發明的一實施例中，該電晶體為頂閘極電晶體且該氧化物半導體膜的頂表面接觸該源極電極及汲極電極。

在所揭露之發明的一實施例中，該電晶體為頂閘極電晶體且該氧化物半導體膜的底表面接觸該源極電極及汲極電極。

在所揭露之發明的一實施例中，該電晶體為底閘極電晶體且該氧化物半導體膜的頂表面接觸該源極電極及汲極電極。

在所揭露之發明的一實施例中，該電晶體為底閘極電晶體且該氧化物半導體膜的底表面接觸該源極電極及汲極電極。

在所揭露之發明的一實施例中，該平滑電路為低通濾波器。

藉由在電源電路中使用數位控制電路，即使當電晶體的特性變化時，可減少電源電路之電路操作的降格。

藉由在電源電路中使用數位控制電路，可減少電源電路之面積。

藉由減少電源電路之面積，可減少電路電源的成本。

【實施方式】

此後參照圖示敘述揭露在此說明書中之發明的實施例。注意到揭露在此說明書中之發明可以各種不同模式進行且熟悉此技藝人士可迅速理解到可以各種方式修改模式及細節而不脫離揭露在此說明書中之發明的精神及範疇。據此，本發明不應理解成限制於實施例的說明。注意到在下文中所示之圖中，藉由類似符號標示類似部件或具有類似

功能之部件，並省略其之說明。

[實施例 1]

第 1 圖繪示電源電路 101 之電路結構。電源電路 101 包括電壓轉換器電路 102 及控制電壓轉換器電路 102 之控制電路 103。電壓轉換器電路 102 為 DC-DC 轉換器，包括電晶體 111、線圈 112、二極體 113、及電容器 114。控制電路 103 包括三角波產生器電路 121、數位控制電路 150、脈寬調變輸出驅動器 123、電阻器 124、及電阻器 125。另外，虛線箭頭 127 指示回饋電路的迴路。將回饋電壓 V_{fb} ，其為電阻器 124 的輸出電壓，輸入至數位控制電路 150。

DC-DC 轉換器為將直流電壓轉換成另一直流電壓的電路。DC-DC 轉換器之典型轉換模式包括線性模式及切換模式。切換模式 DC-DC 轉換器具有優異的轉換效率。在此實施例中，切換模式 DC-DC 轉換器，尤其包括電晶體、線圈、二極體、及電容器的斬波型 DC-DC 轉換器用為電壓轉換器電路 102。

數位控制電路 150 包括比較器 151、數位算術程序電路 152、脈寬調變輸出驅動器 153、及低通濾波器 (LPF) 154。

當以數位控制電路 150 取代誤差放大器電路時，電路 150 中之元件特性的變異不會造成問題。在數位控制電路 150 中，數位算術程序電路 152 及脈寬調變輸出驅動器 153 為數位電路。數位電路根據電路中之信號的位準是否高於

或低於一參考值來判斷信號為1或0（零），並因此即使當數位電路中之元件特性變化時仍可恰當執行資料處理。

另外，在數位控制電路150中，減少使用具有大面積之被動元件（如電容器及電阻器）；因此，數位控制電路150為較佳，因可減少電路之面積。

比較器151比較從反向輸入端子REF輸入之參考電壓 V_{ref} 及回饋電壓 V_{fb} ，並輸出H（高位準）或L（低位準）之數位信號，亦即，數位信號1或0（零）。

數位算術程序電路152包括數位平均化－積分器152a及數位脈寬調變器152b。數位平均化－積分器152a包括數位平均化電路152a_1及數位積分器152a_2。至數位算術程序電路152，連接外部時脈分頻器155，並從時脈分頻器155輸入時脈信號。

數位算術程序電路152執行對從比較器151輸出之數位信號的平均化程序、積分程序、及數位脈寬調變程序。在數位平均化－積分器152a中，數位平均化電路152a_1執行平均化程序且數位積分器152a_2執行積分程序。數位脈寬調變器152b執行數位脈寬調變程序。

數位算術程序電路152保持從比較器151輸出之數位信號上的N位元資料（其為H（高位準）或L（低位準）），比較H信號及L信號出現的頻率，並輸出有較高頻率者。因此，平均化數位信號。

第6及7圖繪示在第1圖中之數位平均化－積分器152a中且執行平均化程序的數位平均化電路152a_1的特定電路

結構。第6圖中之加法器電路201為數位平均化電路152a₁之一範例。

加法器電路201檢測每次計數來自比較器151之信號CMOP的一值並且若信號CMOP的值為H（高位準）保持H（高位準）。例如，201每7次計數輸出一平均化的數位信號DIG_AVE。在此實施例中，若輸入H（高位準）之信號COMP 4或更多次，則輸出H（高位準）之數位信號DIG_AVE且若輸入H（高位準）之信號COMP 3或更少次，則輸出L（低位準）之數位信號DIG_AVE。另外，由重設信號RST每8次計數重設已儲存之信號COMP。

加法器電路201包括加法器251、加法器252、及加法器253。

至加法器251的第一端子，連接加法器252的第一端子及加法器253的第一端子，並輸入控制重設信號CNT_RST。控制重設信號CNT_RST為重設加法器電路201中的資料之信號。至加法器251的第二端子，從比較器151輸入信號COMP。至加法器251的第三端子，連接加法器252的第三端子及加法器253的第三端子，並輸入時脈信號CLK。至加法器251的第四端子，連接加法器252的第四端子及加法器253的第四端子，並輸入重設信號RST。重設信號RST為重設正反器214中之資料的信號，容後敘述。至加法器251的第五端子，連接加法器252的第二端子。加法器251輸出輸出信號COUT。

至加法器252的第一端子，連接加法器251的第一端子

及加法器 253 的第一端子，並輸入控制重設信號 CNT_RST。至加法器 252 的第二端子，連接加法器 251 的第五端子。從加法器 251 的第五端子輸出之輸出信號 COUT 係輸入至加法器 252 的第二端子作為輸入信號 CIN。至加法器 252 的第三端子，連接加法器 251 的第三端子及加法器 253 的第三端子，並輸入時脈信號 CLK。至加法器 252 的第四端子，連接加法器 251 的第四端子及加法器 253 的第四端子，並輸入重設信號 RST。至加法器 252 的第五端子，連接加法器 253 的第二端子。加法器 252 輸出輸出信號 COUT。

至加法器 253 的第一端子，連接加法器 251 的第一端子及加法器 252 的第一端子，並輸入控制重設信號 CNT_RST。至加法器 253 的第二端子，連接加法器 252 的第五端子。從加法器 252 的第五端子輸出之輸出信號 COUT 係輸入至加法器 253 的第二端子作為輸入信號 CIN。至加法器 253 的第三端子，連接加法器 251 的第三端子及加法器 252 的第三端子，並輸入時脈信號 CLK。至加法器 253 的第四端子，連接加法器 251 的第四端子及加法器 252 的第四端子，並輸入重設信號 RST。加法器 253 的第五端子輸出平均化的數位信號 DIG_AVE。

第 7 圖繪示加法器 251 至 253 的每一者之電路圖。加法器 251 至 253 的每一者包括及 (AND) 閘 211、及閘 212、互斥或 (XOR) 閘 213、及正反器 (FF) 214。

至及閘 211 的第一輸入端子，連接互斥或閘 213 的第一輸入端子並輸入輸入信號 CIN。至及閘 211 的第二輸入端子

，連接互斥或閘 213 的第二輸入端子及正反器 214 的第四端子。及閘 211 的輸出端子輸出輸出信號 COUT。

至及閘 212 的第一輸入端子，輸入控制重設信號 CNT_RST。至及閘 211 的第二輸入端子，連接互斥或閘 213 的輸出端子。至及閘 212 的輸出端子，連接正反器 214 的第一端子。

至互斥或閘 213 的第一輸入端子，連接及閘 211 的第一輸入端子並輸入輸入信號 CIN。至互斥或閘 213 的第二輸入端子，連接及閘 211 的第二輸入端子及正反器 214 的第四端子。至互斥或閘 213 的輸出端子，連接及閘 212 的第二輸入端子。

至正反器 214 的第一端子，連接及閘 212 的輸出端子。至正反器 214 的第二端子，輸入重設信號 RST。至正反器 214 的第三端子，輸入時脈信號 CLK。至正反器 214 的第四端子，連接及閘 211 的第二輸入端子及互斥或閘 213 的第二輸入端子。

接著，數位積分器 152a_2 根據平均化的數位信號 DIG_AVE 添加「-1」或「+1」並執行積分。注意到當平均化的數位信號 DIG_AVE 為 H（高位準）信號時，添加「-1」，而當平均化的數位信號 DIG_AVE 為 L（低位準）時，添加「+1」。因此，積分平均化的數位信號 DIG_AVE。

第 8 圖繪示數位積分器 152a_2 的電路結構（加法器－減法器電路 202），其為第 1 圖中之數位平均化－積分器 152a 中的一特定電路並執行積分。第 8 圖亦繪示第 1 圖中之

數位脈寬調變器 152b 的電路結構（計數比較電路 203 及門鎖電路 204）。

至加法器－減法器電路 202 的第一端子，連接門鎖電路 204 的第一端子並輸入重設信號 RST。至加法器－減法器電路 202 的第二端子，輸入時脈信號 CLK。至加法器－減法器電路 202 的第三端子，輸入平均化的數位信號 DIG_AVE。至加法器－減法器電路 202 的第四端子，連接計數比較電路 203 的第一端子。加法器－減法器電路 202 的第四端子輸出信號 SET-CNT0。至加法器－減法器電路 202 的第五端子，連接計數比較電路 203 的第二端子。加法器－減法器電路 202 的第五端子輸出信號 SET-CNT1。至加法器－減法器電路 202 的第六端子，連接計數比較電路 203 的第三端子。加法器－減法器電路 202 的第六端子輸出信號 SET-CNT2。至加法器－減法器電路 202 的第七端子，連接計數比較電路 203 的第四端子。加法器－減法器電路 202 的第七端子輸出信號 SET-CNT3。至加法器－減法器電路 202 的第八端子，連接計數比較電路 203 的第五端子。加法器－減法器電路 202 的第八端子輸出信號 SET-CNT4。至加法器－減法器電路 202 的第九端子，連接計數比較電路 203 的第六端子。加法器－減法器電路 202 的第九端子輸出信號 SET-CNT5。至加法器－減法器電路 202 的第十端子，連接計數比較電路 203 的第七端子。加法器－減法器電路 202 的第十端子輸出限制信號 LIMIT。

至信號 SET-CNT0 至 SET-CNT5，每次輸入時脈信號

CLK時添加「+1」或「-1」：當輸入的平均化的數位信號DIG_AVE為H（高位準）信號時，添加「-1」，而當輸入的平均化的數位信號DIG_AVE為L（低位準）信號時，添加「+1」。並接著輸出信號SET-CNT0至SET-CNT5。

需要信號SET-CNT0至SET-CNT5來產生具有下述之脈寬W的脈衝信號PULSE。在此實施例中，針對信號SET-CNT0至SET-CNT5，可產生 2^6 相位，亦即64相位的信號PULSE。

限制信號LIMIT為在產生具有下述之脈寬W的脈衝信號PULSE的程序中限制相位的信號。在此實施例中，藉由限制信號LIMIT，例如，將SET-CNT0至SET-CNT5限制於8至56。因此，防止脈衝信號PULSE的脈寬W之最大值接近脈衝信號PULSE的週期以及脈寬W之最小值接近0（零）。

至計數比較電路203的第一端子，連接加法器－減法器電路202的第四端子並輸入信號SET-CNT0。至計數比較電路203的第二端子，連接加法器－減法器電路202的第五端子並輸入信號SET-CNT1。至計數比較電路203的第三端子，連接加法器－減法器電路202的第六端子並輸入信號SET-CNT2。至計數比較電路203的第四端子，連接加法器－減法器電路202的第七端子並輸入信號SET-CNT3。至計數比較電路203的第五端子，連接加法器－減法器電路202的第八端子並輸入信號SET-CNT4。至計數比較電路203的第六端子，連接加法器－減法器電路202的第九端子並輸入信號SET-CNT5。至計數比較電路203的第七端子，連接

加法器－減法器電路202的第十端子。計數比較電路203的第七端子輸出限制信號LIMIT。至計數比較電路203的第八端子，輸入信號CNT0。至計數比較電路203的第九端子，輸入信號CNT1。至計數比較電路203的第十端子，輸入信號CNT2。至計數比較電路203的第十一端子，輸入信號CNT3。至計數比較電路203的第十二端子，輸入信號CNT4。至計數比較電路203的第十三端子，輸入信號CNT5。至計數比較電路203的第十四端子，輸入信號HIGH-SET。至計數比較電路203的第十五端子，輸入信號LOW-SET。

信號CNT0至CNT5為計數信號。在此實施例中，信號CNT0至CNT5可從0計數到63。

信號HIGH-SET及信號LOW-SET決定脈寬調變輸出信號PWM為H（高位準）信號或L（低位準）信號。當輸入信號HIGH-SET時，脈寬調變輸出信號PWM變成H（高位準）信號。當輸入信號LOW-SET時，脈寬調變輸出信號PWM變成L（低位準）信號。

至閂鎖電路204的第一端子，連接加法器－減法器電路202的第一端子並輸入重設信號RST。至閂鎖電路204的第二端子，連接計數比較電路203的第十四端子並輸入信號HIGH-SET。至閂鎖電路204的第三端子，連接計數比較電路203的第十五端子並輸入信號LOW-SET。從至閂鎖電路204的第四端子，輸出脈寬調變輸出信號PWM。至閂鎖電路204的第五端子，輸入時脈信號CLK。

第9圖繪示加法器－減法器電路202的一特定電路結構

第 9 圖中之加法器－減法器電路 202 包括反向器 261、反向器 262、非或（NOR）閘 263、加法器 254、加法器 255、加法器 256、加法器 257、加法器 258、及加法器 259。

至反向器 261 的輸入端子，輸入平均化的數位信號 DIG_AVE。反向器 261 的輸出端子連接至非或閘 263 的第一輸入端子。

至反向器 262 的輸入端子，連接非或閘 263 的第二輸入端子並輸出限制信號 LIMIT。至反向器 262 的輸出端子，連接加法器 254 的第一端子。

至非或閘 263 的第一輸入端子，連接反向器 261 的輸出端子。至非或閘 263 的第二輸入端子，連接反向器 262 的輸入端子並輸入限制信號 LIMIT。

至加法器 254 的第一端子，連接反向器 262 的輸出端子。至加法器 254 的第二端子，連接加法器 255 的第二端子、加法器 256 的第二端子、加法器 257 的第二端子、加法器 258 的第二端子、及加法器 259 的第二端子，並輸入時脈信號 CLK。至加法器 254 的第三端子，連接加法器 255 的第三端子、加法器 256 的第三端子、加法器 257 的第三端子、加法器 258 的第三端子、及加法器 259 的第三端子，並輸入重設信號 RST。至加法器 254 的第四端子，連接非或閘 263 的輸出端子、連接加法器 255 的第四端子、加法器 256 的第四端子、加法器 257 的第四端子、加法器 258 的第四端子、及加法器 259 的第四端子。至加法器 254 的第五端子，連接加

法器 255 的第一端子且加法器 254 的第五端子輸出信號 SET_CNT0。

至加法器 255 的第一端子，連接加法器 254 的第五端子並輸入信號 SET_CNT0。至加法器 255 的第二端子，連接加法器 254 的第二端子、加法器 256 的第二端子、加法器 257 的第二端子、加法器 258 的第二端子、及加法器 259 的第二端子，並輸入時脈信號 CLK。至加法器 255 的第三端子，連接加法器 254 的第三端子、加法器 256 的第三端子、加法器 257 的第三端子、加法器 258 的第三端子、及加法器 259 的第三端子，並輸入重設信號 RST。至加法器 255 的第四端子，連接非或閘 263 的輸出端子、連接加法器 254 的第四端子、加法器 256 的第四端子、加法器 257 的第四端子、加法器 258 的第四端子、及加法器 259 的第四端子。至加法器 255 的第五端子，連接加法器 256 的第一端子且加法器 255 的第五端子輸出信號 SET_CNT1。

至加法器 256 的第一端子，連接加法器 255 的第五端子並輸入信號 SET_CNT1。至加法器 256 的第二端子，連接加法器 254 的第二端子、加法器 255 的第二端子、加法器 257 的第二端子、加法器 258 的第二端子、及加法器 259 的第二端子，並輸入時脈信號 CLK。至加法器 256 的第三端子，連接加法器 254 的第三端子、加法器 255 的第三端子、加法器 257 的第三端子、加法器 258 的第三端子、及加法器 259 的第三端子，並輸入重設信號 RST。至加法器 256 的第四端子，連接非或閘 263 的輸出端子、連接加法器 254 的第四端

子、加法器 255 的第四端子、加法器 257 的第四端子、加法器 258 的第四端子、及加法器 259 的第四端子。至加法器 256 的第五端子，連接加法器 257 的第一端子且加法器 256 的第五端子輸出信號 SET_CNT2。

至加法器 257 的第一端子，連接加法器 256 的第五端子並輸入信號 SET_CNT2。至加法器 257 的第二端子，連接加法器 254 的第二端子、加法器 255 的第二端子、加法器 256 的第二端子、加法器 258 的第二端子、及加法器 259 的第二端子，並輸入時脈信號 CLK。至加法器 257 的第三端子，連接加法器 254 的第三端子、加法器 255 的第三端子、加法器 256 的第三端子、加法器 258 的第三端子、及加法器 259 的第三端子，並輸入重設信號 RST。至加法器 257 的第四端子，連接非或閘 263 的輸出端子、連接加法器 254 的第四端子、加法器 255 的第四端子、加法器 256 的第四端子、加法器 258 的第四端子、及加法器 259 的第四端子。至加法器 257 的第五端子，連接加法器 258 的第一端子且加法器 257 的第五端子輸出信號 SET_CNT3。

至加法器 258 的第一端子，連接加法器 257 的第五端子並輸入信號 SET_CNT3。至加法器 258 的第二端子，連接加法器 254 的第二端子、加法器 255 的第二端子、加法器 256 的第二端子、加法器 257 的第二端子、及加法器 259 的第二端子，並輸入時脈信號 CLK。至加法器 258 的第三端子，連接加法器 254 的第三端子、加法器 255 的第三端子、加法器 256 的第三端子、加法器 257 的第三端子、及加法器 259

的第三端子，並輸入重設信號 RST。至加法器 258 的第四端子，連接非或閘 263 的輸出端子、連接加法器 254 的第四端子、加法器 255 的第四端子、加法器 256 的第四端子、加法器 257 的第四端子、及加法器 259 的第四端子。至加法器 258 的第五端子，連接加法器 259 的第一端子且加法器 258 的第五端子輸出信號 SET_CNT4。

至加法器 259 的第一端子，連接加法器 258 的第五端子並輸入信號 SET_CNT4。至加法器 259 的第二端子，連接加法器 254 的第二端子、加法器 255 的第二端子、加法器 256 的第二端子、加法器 257 的第二端子、及加法器 258 的第二端子，並輸入時脈信號 CLK。至加法器 259 的第三端子，連接加法器 254 的第三端子、加法器 255 的第三端子、加法器 256 的第三端子、加法器 257 的第三端子、及加法器 258 的第三端子，並輸入重設信號 RST。至加法器 259 的第四端子，連接非或閘 263 的輸出端子、連接加法器 254 的第四端子、加法器 255 的第四端子、加法器 256 的第四端子、加法器 257 的第四端子、及加法器 258 的第四端子。加法器 259 的第五端子輸出信號 SET_CNT5。

第 10 圖繪示加法器 254 至 259 的一電路圖。加法器 254 至 259 的每一者包括及閘 221、及閘 222、或閘 224、互斥或閘 225、互斥或閘 226、及正反器 227。

至及閘 221 的第一輸入端子，連接互斥或閘 225 的第一輸入端子並輸入控制信號 CONT。控制信號 CONT 為指示在後續級之加法器將執行加法或減法的信號。至及閘 221 的

第二輸入端子，連接互斥或閘 225 的第二輸入端子及正反器 227 的第四端子。至及閘 221 的輸出端子，連接或閘 224 的第一輸入端子。

至及閘 222 的第一輸入端子，連接互斥或閘 226 的第一輸入端子並輸入信號 CIN。至及閘 222 的第二輸入端子，連接互斥或閘 225 的輸出端子及互斥或閘 226 的第二輸入端子。至及閘 222 的輸出端子，連接或閘 224 的第二輸入端子。

至或閘 224 的第一輸入端子，連接及閘 221 的輸出端子。至或閘 224 的第二輸入端子，連接及閘 222 的輸出端子。或閘 224 的輸出端子輸出輸出信號 COUT。

至互斥或閘 225 的第一輸入端子，連接及閘 221 的第一輸入端子並輸入控制信號 CONT。至互斥或閘 225 的第二輸入端子，連接及閘 221 的第二輸入端子及正反器 227 的第四端子。至互斥或閘 225 的輸出端子，連接及閘 222 的第二輸入端子及互斥或閘 226 的第二輸入端子。

至互斥或閘 226 的第一輸入端子，連接及閘 222 的第一輸入端子並輸入輸入信號 CIN。至互斥或閘 226 的第二輸入端子，連接及閘 222 的第二輸入端子及互斥或閘 225 的輸出端子。至互斥或閘 226 的輸出端子，連接正反器 227 的第一端子。

至正反器 227 的第一端子，連接互斥或閘 226 的輸出端子。至正反器 227 的第二端子，輸入重設信號 RST。至正反器 227 的第三端子，輸入時脈信號 CLK。至正反器 227 的第四端子，連接及閘 221 的第二輸入端子及互斥或閘 225 的第

二輸入端子。

數位脈寬調變器 152b 根據積分數位信號設定脈寬調變的脈寬。因此，執行數位脈衝調變程序。輸入已經受到數位脈寬調變之脈寬調變輸出信號 PWM 至脈寬調變輸出驅動器 153。

第 11 及 12 圖繪示數位脈寬調變器 152b 的特定電路結構。第 11 圖中之計數比較電路 203 及第 12 圖中之門鎖電路 204 為數位脈寬調變器 152b 的特定範例。計數比較電路 203 比較由信號 SET-CNT0 至 SET-CNT5 決定之工作比的預定值及信號 CNT0 至 CNT5 的值，並當它們匹配時產生脈寬調變輸出信號 PWM。

第 11 圖繪示計數比較電路 203 之電路圖。

計數比較電路 203 包括互斥或閘 271、互斥或閘 272、互斥或閘 273、互斥或閘 274、互斥或閘 275、互斥或閘 276、非及閘 277、及閘 278、或閘 279、非及閘 281、及非及閘 282。

至互斥或閘 271 的第一輸入端子，連接非及閘 281 的第一輸入端子，並輸入信號 CNT0。至互斥或閘 271 的第二輸入端子，輸入信號 SET_CNT0。至互斥或閘 271 的輸出端子，連接非及閘 282 的第一輸入端子。

至互斥或閘 272 的第一輸入端子，連接非及閘 281 的第二輸入端子，並輸入信號 CNT1。至互斥或閘 272 的第二輸入端子，輸入信號 SET_CNT1。至互斥或閘 272 的輸出端子，連接非及閘 282 的第二輸入端子。

至互斥或閘 273 的第一輸入端子，連接非及閘 281 的第三輸入端子，並輸入信號 CNT2。至互斥或閘 273 的第二輸入端子，輸入信號 SET_CNT2。至互斥或閘 273 的輸出端子，連接非及閘 282 的第三輸入端子。

至互斥或閘 274 的第一輸入端子，連接非及閘 281 的第四輸入端子，並輸入信號 CNT3。至互斥或閘 274 的第二輸入端子，輸入信號 SET_CNT3。至互斥或閘 274 的輸出端子，連接非及閘 282 的第四輸入端子。

至互斥或閘 275 的第一輸入端子，連接非及閘 281 的第五輸入端子，並輸入信號 CNT4。至互斥或閘 275 的第二輸入端子，輸入信號 SET_CNT4。至互斥或閘 275 的輸出端子，連接非及閘 282 的第五輸入端子。

至互斥或閘 276 的第一輸入端子，連接非及閘 281 的第六輸入端子，並輸入信號 CNT5。至互斥或閘 276 的第二輸入端子，輸入信號 SET_CNT5。至互斥或閘 276 的輸出端子，連接非及閘 282 的第六輸入端子。

至非及閘 277 的第一輸入端子，連接互斥或閘 274 的第二輸入端子及及閘 278 的第一輸入端子，並輸入信號 SET_CNT3。至非及閘 277 的第二輸入端子，連接互斥或閘 275 的第二輸入端子及及閘 278 的第二輸入端子，並輸入信號 SET_CNT4。至非及閘 277 的第三輸入端子，連接互斥或閘 276 的第二輸入端子及及閘 278 的第三輸入端子，並輸入信號 SET_CNT5。至非及閘 277 的輸出端子，連接或閘 279 的第一輸入端子。

至及閘 278 的第一輸入端子，連接互斥或閘 274 的第二輸入端子及非及閘 277 的第一輸入端子，並輸入信號 SET_CNT3。至及閘 278 的第二輸入端子，連接互斥或閘 275 的第二輸入端子及非及閘 277 的第二輸入端子，並輸入信號 SET_CNT4。至及閘 278 的第三輸入端子，連接互斥或閘 276 的第二輸入端子及非及閘 277 的第三輸入端子，並輸入信號 SET_CNT5。至及閘 278 的輸出端子，連接或閘 279 的第二輸入端子。

至或閘 279 的第一輸入端子，連接非及閘 277 之輸出端子。至或閘 279 的第二輸入端子，連接及閘 278 的輸出端子。或閘 279 的輸出端子輸出限制信號 LIMIT。

至非及閘 281 的第一輸入端子，連接互斥或閘 271 的第一輸入端子，並輸入信號 CNT0。至非及閘 281 的第二輸入端子，連接互斥或閘 272 的第一輸入端子，並輸入信號 CNT1。至非及閘 281 的第三輸入端子，連接互斥或閘 273 的第一輸入端子，並輸入信號 CNT2。至非及閘 281 的第四輸入端子，連接互斥或閘 274 的第一輸入端子，並輸入信號 CNT3。至非及閘 281 的第五輸入端子，連接互斥或閘 275 的第一輸入端子，並輸入信號 CNT4。至非及閘 281 的第六輸入端子，連接互斥或閘 276 的第一輸入端子，並輸入信號 CNT5。非及閘 281 的輸出端子輸出信號 LOW-SET。

至非及閘 282 的第一輸入端子，連接互斥或閘 271 的輸出端子。至非及閘 282 的第二輸入端子，連接互斥或閘 272 的輸出端子。至非及閘 282 的第三輸入端子，連接互斥或

閘 273 的輸出端子。至非及閘 282 的第四輸入端子，連接互斥或閘 274 的輸出端子。至非及閘 282 的第五輸入端子，連接互斥或閘 275 的輸出端子。至非及閘 282 的第六輸入端子，連接互斥或閘 276 的輸出端子。非及閘 282 的輸出端子輸出信號 HIGH-SET。

第 12 圖為門鎖電路 204 的一電路圖。門鎖電路 204 包括正反器 241、正反器 242、非或閘 243、及非或閘 244。

至正反器 241 的第一端子，輸入信號 LOW-SET。至正反器 241 的第二端子，連接正反器 242 的第二端子、非或閘 243 的第二輸入端子、及非或閘 244 的第二輸入端子，並輸入重設信號 RST。至正反器 241 的第三端子，連接正反器 242 的第三端子，並輸入時脈信號 CLK。至正反器 241 的第四端子，連接非或閘 243 的第一輸入端子。

至正反器 242 的第一端子，輸入信號 HIGH-SET。至正反器 242 的第二端子，連接正反器 241 的第二端子、非或閘 243 的第二輸入端子、及非或閘 244 的第二輸入端子，並輸入重設信號 RST。至正反器 242 的第三端子，連接正反器 241 的第三端子，並輸入時脈信號 CLK。至正反器 242 的第四端子，連接非或閘 244 的第一輸入端子。

至非或閘 243 的第一輸入端子，連接正反器 241 的第四端子。至非或閘 243 的第二輸入端子，連接正反器 241 的第二端子、正反器 242 的第二端子、及非或閘 244 的第二輸入端子，並輸入重設信號 RST。至非或閘 243 的第三輸入端子，連接非或閘 244 的輸出端子。至非或閘 243 的輸出端子，

連接非或閘 244 的第三輸入端子。

至非或閘 244 的第一輸入端子，連接正反器 242 的第四端子。至非或閘 244 的第二輸入端子，連接正反器 241 的第二端子、正反器 242 的第二端子、及非或閘 243 的第二輸入端子，並輸入重設信號 RST。至非或閘 244 的第三輸入端子，連接非或閘 243 的輸出端子。至非或閘 244 的輸出端子，連接非或閘 243 的第三輸入端子。非或閘 244 的輸出端子輸出脈寬調變輸出信號 PWM。

茲將參照第 2A 至 2C 圖敘述數位脈寬調變。

數位脈衝信號 PULSE 的脈寬稱為 W 且其之脈衝週期稱為 T（參見第 2A 圖）。依據來自時脈分頻器 155 之時脈及藉由信號 SET_CNT0 至 SET_CNT5 控制的相位來產生脈衝信號 PULSE。脈衝信號 PULSE 相應於脈寬調變輸出信號 PWM。由下列公式 1 給出工作比 D_i ：

[公式 1]

$$D_i = (W/T) = (i/2^n) \quad (i=1, 2, \dots, m) \quad (\text{公式 1})$$

第 2A 圖顯示在公式 1 中的 $n=6$ 及 $i=32$ 之情況的脈衝信號 PULSE，第 2B 圖顯示在公式 1 中的 $n=6$ 及 $i=48$ 之情況的脈衝信號 PULSE，且第 2C 圖顯示在公式 1 中的 $n=6$ 及 $i=16$ 之情況的脈衝信號 PULSE。

當 i 為 32 時，工作比 D_{32} 為 0.5；當 i 為 48 時，工作比 D_{48} 為 0.75；當 i 為 16 時，工作比 D_{16} 為 0.25。根據工作比

產生下述之電源電壓 V_{dd} 。因此將數位信號轉換成類比信號，藉此執行與 DA 轉換器的程序類似之程序。

舉例而言，將說明輸出使用 1 MHz 時脈來脈寬調變之 15.525 kHz 脈寬調變輸出信號的方法。

當使用 1 MHz (1 μ m) 時脈來產生 15.525 kHz (64 μ s) 脈寬調變輸出信號時，可輸出 64 相位的脈寬調變輸出信號。

將經過數位脈寬調變之脈寬調變輸出信號輸入至脈寬調變輸出驅動器 153。由脈寬調變輸出驅動器 153 增加脈寬調變輸出信號的強度。換言之，藉由脈寬調變輸出驅動器 153 放大脈寬調變輸出信號。

將具有增加的信號強度之脈寬調變輸出信號輸入至為平滑電路的低通濾波器 154。

低通濾波器 154 阻擋脈寬調變輸出信號之高頻成分並平滑脈寬調變輸出信號。使用輸入至低通濾波器 154 的脈寬調變輸出信號，輸出相應於工作比的電壓。如下表示輸出電壓 V_{err} ：輸出電壓 $V_{err} = (\text{工作比}) \times (\text{脈寬調變輸出驅動器 153 的電源電壓})$ 。

換言之，數位信號變成類比信號；因此，執行與 DA 轉換器的程序類似之程序。另外，藉由低通濾波器 154 執行頻率響應。

在此實施例中，藉由使用數位控制電路 150，可減少電源電路 101 的電路操作之降格。

另外，藉由使用在電源電路 101 中之數位控制電路 150

，可減少電源電路的面積。

於下敘述控制電路103的另一元件。

三角波產生器電路121產生三角波 V_{osc} ，其為脈寬調變信號所需。

至脈寬調變輸出驅動器123的反向輸入端子，輸入數位控制電路150的輸出電壓 V_{err} ，而至非反向輸入端子，輸入由三角波產生器電路121產生的三角波 V_{osc} 。

脈寬調變輸出驅動器123比較數位控制電路150的輸出電壓 V_{err} 及三角波 V_{osc} 的信號位準。當三角波 V_{osc} 的信號位準高於數位控制電路150的輸出電壓 V_{err} 之信號位準時，脈寬調變輸出驅動器123輸出H（高位準）作為脈寬調變信號至電晶體111。當三角波 V_{osc} 的信號位準低於數位控制電路150的輸出電壓 V_{err} 之信號位準時，脈寬調變輸出驅動器123輸出L（低位準）作為脈寬調變信號至電晶體111。

藉由減少類比電路，即使當電路中之元件特性變化時，可減少電路操作的降格。

另外，電路操作降格之抑制可減少包括電源電路之電性元件及包括電性元件之電器的故障起因。

藉由減少類比電路，可減少具有大面積之類比電路的設置。

藉由減少具有大面積之類比電路的設置，可減少積體電路之面積及包括積體電路之電器的面積。據此，可減少積體電路之成本及包括積體電路之電器的成本。

另外，由於數位電路僅輸出1或0（零），數位電路中之所有的電晶體可具有相同傳導類型，如n型。具有相同傳導類型之類比電路電晶體的複雜類比信號處理很困難。因此，在此實施例中，可使用具有相同傳導類型之電晶體來形成數位電路。

[實施例2]

在此實施例中，將敘述電晶體111及比較器151、數位算術程序電路152、及脈寬調變輸出驅動器153的每一者中之電晶體。

將參照第3A及3B圖及第4A至4E圖敘述此實施例。

第3A及3B圖顯示電晶體之頂表面結構及剖面結構的一範例。第3A圖為頂閘極電晶體410的上視圖，而第3B圖為沿著第3A圖中之線A-A'所取得之剖面圖。

電晶體410包括氧化物半導體膜412、第一電極415a（源極電極及汲極電極之一）、第二電極415b（源極電極及汲極電極之另一者）、閘極絕緣膜402、及閘極電極411。第一佈線414a及第二佈線414b分別接觸並電連接至第一電極415a及第二電極415b。在電晶體410中，第一電極415a及第二電極415b，其為源極電極及汲極電極，接觸包括通道形成區域之氧化物半導體膜412的頂表面；因此電晶體410可稱為頂接觸電晶體。

注意到雖第3A圖中之電晶體410為單閘極電晶體，所揭露的發明之一實施例不限於此結構。電晶體可為包括閘

極電極及通道形成區域的多閘極電晶體。

注意到雖第3A及3B圖中之電晶體包括形成在包括通道形成區域的氧化物半導體膜412上方之第一電極415a（源極電極及汲極電極之該一者）、第二電極415b（源極電極及汲極電極之該另一者），所揭露的發明之一實施例不限於此。包括通道形成區域的氧化物半導體膜412可形成在第一電極415a（源極電極及汲極電極之該一者）、第二電極415b（源極電極及汲極電極之該另一者）上方。

此外，雖第3A及3B圖中之電晶體為頂閘極電晶體，所揭露的發明之一實施例不限於此結構。電晶體410可為底閘極電晶體。此外，當電晶體410為底閘極電晶體時，源極電極及汲極電極或包括通道形成區域的氧化物半導體膜可覆在另一者上。換言之，源極電極及汲極電極可形成在包括通道形成區域的氧化物半導體膜上方；替代地，包括通道形成區域的氧化物半導體膜可形成在源極電極及汲極電極上方。

當使用高純度氧化物半導體膜作為電晶體410的氧化物半導體膜412時，改善電晶體410之特性。將於下詳述這種高純度氧化物半導體膜的特性及包括高純度氧化物半導體膜的電晶體之特性。

在高純度氧化物半導體膜中，將不利影響包括氧化物半導體膜之電晶體的電氣特性之雜質降至非常低的程度。不利影響電氣特性之雜質的一典型範例為氫。氫為可為氧化物半導體膜中之載子的供給者（施體）之雜質。當氧化

物半導體包括大量氫時，氧化物半導體膜可能有 n 型傳導性。因此，包括有大量氫之氧化物半導體膜之電晶體可為正常啓通電晶體，且電晶體之啓通/關閉比不夠高。在此說明書中，「高純度氧化物半導體」為本質或實質上本質氧化物半導體，從其盡可能減少氫。作為高純度氧化物半導體的一範例，有一種氧化物半導體，其中載子濃度低於 $1 \times 10^{14} / \text{cm}^3$ ；較佳低於 $1 \times 10^{12} / \text{cm}^3$ 或；更佳低於 $1 \times 10^{11} / \text{cm}^3$ 或 $6.0 \times 10^{10} / \text{cm}^3$ 。例如，藉由大幅移除通道形成區域用的氧化物半導體膜中之氫的包括高純度氧化物半導體之電晶體比包括通道形成區域用之矽的電晶體有低上許多的關閉狀態電流。此外，在此實施例中，於下列說明中包括高純度氧化物半導體之電晶體為 n 通道電晶體。

注意到在此說明書中，關閉電流（亦稱為漏電流）意指當在室溫施加在等於或大於 -20 V 並等於或小於 -5 V 的範圍中之給定閘極電極時，流動在具有正臨限電壓 V_{th} 的 n 通道電晶體之源極與汲極之間的電流。注意到室溫等於或高於 15°C 並等於或低於 25°C 。使用在此說明書中揭露的氧化物半導體的電晶體之每通道寬度（w）的微米之電流在室溫為 100 zA 或更少，且較佳 10 zA 或更少。

注意到當獲得關閉狀態電流及汲極電極時可使用歐姆定律在來計算當電晶體為關閉時之電阻（關閉狀態電阻 R）。此外，當獲得通道形成區域的剖面面積 A 及通道長度 L 時，可使用公式 $\rho = RA/L$ （其中 R 為關閉狀態電阻）來獲得關閉狀態電阻率 ρ 。關閉狀態電阻率較佳高於或等於 $1 \times$

$10^9 \Omega \cdot \text{m}$ (或高於或等於 $1 \times 10^{10} \Omega \cdot \text{m}$)。可根據公式 $A = dW$ 來獲得剖面面積 A ，其中 d 為通道形成區域的厚度且 W 為通道形成區域的寬度。

另外，氧化物半導體膜之能隙為 2 eV 或更多；較佳 2.5 eV 或更多；更佳 3 eV 或更多。

此外，包括高純度氧化物半導體之電晶體具有合意的溫度特性。詳言之，在從 -25°C 至 150°C 的溫度範圍中，電晶體之電流－電壓特性，如啓通狀態電流、關閉狀態電流、場效遷移率、次臨限值（S 值）、及臨限電壓，幾乎不改變。這意味著電流－電壓特性幾乎不會被溫度降格。

接下來，將敘述包括氧化物半導體之電晶體的熱載子降格。

熱載子降格意指一種現象，其中加速到高速之電子藉由被從在汲極附近的通道注入到閘極絕緣膜中而變成固定電荷或在閘極絕緣膜與氧化物半導體膜之間的界面形成陷阱能級，並藉此造成諸如臨限電壓或閘極漏電流之改變的降格。熱載子降格的起因為通道熱電子注入（CHE 注入）及汲極突崩熱載子注入（DAHC 注入）。

由於矽之帶隙小如 1.12 eV，電子有可能因為突崩崩潰而如雪崩般產生，且加速到高速並越過阻障至閘極絕緣膜的電子數量增加。反之。在此實施例中所述的氧化物半導體具有 3.15 eV 的寬帶隙；因此，突崩崩潰不大可能會發生且對熱載子降格的抗性高於矽。

注意到碳化矽之帶隙，其為具有高崩潰電壓的材料之

一，以及氧化物半導體之帶隙約為相同。然而，電子在氧化物半導體中較不可能被加速，因為氧化物半導體之遷移率小於碳化矽約兩數量級。此外，由於在氧化物半導體及為閘極絕緣膜之氧化物膜之間的阻障大於碳化矽、氮化鎵、或矽與氧化物膜之間的阻障；因此，在氧化物半導體中，注入到氧化物膜的電子數量極小。由於注入到氧化物膜的電子數量極小，氧化物半導體比碳化矽、氮化鎵、或矽具有較少熱載子降格及較高汲極崩潰電壓。因此，不需在作用為通道之氧化物半導體與源極及汲極電極之間故意形成低濃度雜質區域；故可大幅簡化電晶體之結構並可減少製造步驟的數量。

從上述可知，包括氧化物半導體之電晶體具有高汲極崩潰電壓，詳言之，100 V或更多；較佳500 V；更佳1 kV或更多。

接下來，參照第4A至4E圖敘述電晶體410的製程。

首先，在基板400上方形成充當基底膜的絕緣層407。

雖對於可用為基板400的基板並無特別限制，基板需具有夠高而足以至少承受後續熱處理之耐熱性。在後續執行的熱處理之溫度為高之情況中，較佳使用具有730℃或更高之應變點的基板。基板400之特定範例包括玻璃基板、結晶玻璃基板、陶瓷基板、石英基板、藍寶石基板、及塑膠基板。此外，玻璃基板之材料的特定範例包括鋁矽酸鹽玻璃、鋁硼矽酸鹽玻璃、及鋇硼矽酸鹽玻璃。

作為絕緣層407，較佳使用諸如氧化矽膜、氧氮化矽

膜、氧化鋁膜、或氧氮化鋁的氧化物絕緣層。可藉由電漿CVD法、濺鍍法、或之類形成絕緣層407。爲了防止絕緣層407包括大量氫，較佳藉由濺鍍法來形成絕緣層407。在此實施例中，藉由濺鍍法形成氧化矽層作爲絕緣層407。詳言之，將基板400轉移至程序室並引進移除掉氫及濕氣之包括高純度氫的濺鍍氣體，並使用矽或氧化矽的靶材，藉此在基板400上方形成氧化矽層作爲絕緣層407。注意到基板400可保持在室溫或可於沉積期間加熱。

沉積氧化矽層之沉積條件之一特定範例如下：使用石英（較佳合成石英）作爲靶材；基板溫度爲108℃；靶材與基板400間的距離（T-S距離）爲60 mm；壓力爲0.4 Pa；高頻功率爲1.5 kW；周圍環境爲氧及氫（氧流速25 sccm：氫流速25 sccm=1:1）；並使用RF濺鍍法。膜厚度爲100 nm。注意到可使用矽靶材取代石英（較佳合成石英）靶材作爲靶材。此外，可使用氧取代氧及氫的混合器體來做爲濺鍍氣體。在此，用於形成絕緣層407之濺鍍氣體爲高純度氣體，其中減少氫、水、羥基、或氫化物至一程度，使其之濃度可以ppm或ppb表示。

此外，較佳在移除程序室中殘留的濕氣的同時形成絕緣層407，以防止絕緣層407包括氫、羥基、濕氣、或之類。

爲了移除程序室中殘留的濕氣，可使用捕集真空泵。例如，可使用低溫泵、離子泵、或鈦昇華泵。此外，作爲抽空機構，較佳連同冷陷使用渦輪泵。以低溫泵抽空的程

序室內為較佳，因為從程序室抽空氫原子、包括氫原子之化合物（如水（ H_2O ））、或之類並且因此，氫原子幾乎不會被包括在形成於程序室中之絕緣層407中。

濺鍍法之範例包括其中使用高頻電源作為濺鍍電源之RF濺鍍法、DC濺鍍法、及其中以脈衝方式施加偏壓之脈衝DC濺鍍法。在形成絕緣膜的情況中主要使用RF濺鍍法，且在形成金屬導電膜的情況中主要使用DC濺鍍法。

另外，亦有多來源濺鍍設備，其中可設定不同材料的複數靶材。藉由多來源濺鍍設備，可形成堆疊在一室中之不同材料膜，或可藉由在一室中同時電釋放複數種材料來形成膜。

此外，可使用在室內設有磁鐵系統且用於磁控管濺鍍法的濺鍍設備，或用於ECR濺鍍法之濺鍍設備，其中使用利用微波產生之電漿。

此外，作為使用濺鍍法的沉積法，亦有反應性濺鍍法，其中在沉積期間靶材物質及濺鍍氣體成分互相化學反應以形成其之薄化合物膜，且在沉積期間亦施加偏壓濺鍍法至基板。

絕緣層407的結構不限於單層結構，且可為堆疊層結構。例如，絕緣層407可具有堆疊層結構，其中諸如氮化矽層、氮氧化矽層、氮化鋁層、或氮氧化鋁層的氮化物絕緣層及上述氧化物絕緣層可以此順序堆疊在基板400上方。

例如，引進包括高純度氮之濺鍍氣體並使用矽靶材來

形成氮化矽層，並接著將濺鍍氣體改變成包括高純度氧之氣體並形成氧化矽層。在此情況中同樣較佳可在移除程序中殘留的濕氣的同時形成氮化矽層或氧化矽層，如上述情況。此外，在沉積期間加熱基板。

接著，藉由濺鍍法在絕緣層407上方形成氧化物半導體膜。

此外，為了使氫、羥基、及濕氣盡可能少地包含在氧化物半導體膜中，較佳在濺鍍設備的預熱室中預熱其上形成絕緣層407的基板400作為沉積之預熱，以移除並抽空吸附至基板400的諸如氫及濕氣的雜質。注意到在預設室中的抽空機構較佳為低溫泵以抽空氫原子、包括氫原子之化合物（如水（ H_2O ））、及之類。此外，較佳在形成之後形成的閘極絕緣膜402之前，執行此預熱。此外，較佳類似地在其上形成上達第一電極415a及第二電極415b的構件的基板400上執行此預熱。注意到可省略此預熱處理。

注意到在藉由濺鍍法形成氧化物半導體膜之前，較佳藉由其中引進氬氣體並產生電漿的反向濺鍍來移除附著至形成絕緣層407的表面之塵埃。反向濺鍍意指一種使用RF電源來在氬周圍環境中施加電壓至基板並基板附近產生電漿以修改基板的方法。注意到取代氬周圍環境，可使用氮、氬、氧、或之類。

作為形成氧化物半導體膜之靶材，可使用包括氧化鋅作為主要成份之金屬氧化物靶材。作為靶材，可使用具有 $In_2O_3:Ga_2O_3:ZnO = 1:1:1$ （莫耳比）的組成比例之靶材、

具有 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO} = 1:1:2$ (莫耳比) 的組成比例之靶材、或具有 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO} = 1:1:4$ (莫耳比) 的組成比例之靶材。包括 In、Ga、及 Zn 的靶材之填充因子為 90 % 或更高及 100 % 或更低，且較佳 95 % 或更高並低於 100 %。藉由使用具有高填充因子之靶材，所得之氧化物半導體膜具有高密度。

注意到可在稀有氣體 (典型為氬) 周圍環境、氧周圍環境、或稀有氣體及氧之周圍環境中形成氧化物半導體膜。在此，用於形成氧化物半導體膜之濺鍍氣體為，較佳使用高純度氣體，其中諸如氬、水、羥基、或氫化物的雜質減少至濃度可以 ppm 或 ppb 表示之程度。

以於減壓下的程序室中把持基板；在移除程序室中殘留的濕氣的同時引進移除了氬及濕氣之濺鍍氣體；並使用金屬氧化物作為靶材的方式，在基板 400 上方形成氧化物半導體膜。為了移除程序室中殘留的濕氣，較佳使用捕集真空泵。例如，較佳使用低溫泵、離子泵、或鈦昇華泵。此外，作為抽空機構，可使用設置冷陷之渦輪泵。在使用低溫泵抽空沉積室的情況中，抽空氬原子、像水 (H_2O) 之包括氬原子的化合物 (且較佳，包括碳原子之化合物)、及之類。據此，可減少在此沉積室中形成之氧化物半導體膜中的雜質濃度。此外，在沉積氧化物半導體膜的期間，可將基板溫度保持在室溫或增加至低於 400°C 的溫度。

作為氧化物半導體膜之沉積條件的一範例，可給出下列條件：基板之溫度為室溫；基板與靶材間的距離為 110

nm；壓力為 0.4 Pa；直流（DC）電源為 0.5 kW；並且周圍環境為氧及氬（氧流速 15 sccm：氬流速 30 sccm=1:2）。注意到脈衝式直流（DC）電源為佳，因為可減少塵埃並且膜厚度可為均勻。氧化物半導體膜的厚度較佳為 2 nm 或更多且 200 nm 或更少，較佳 5 nm 或更多且 30 nm 或更少。注意到氧化物半導體膜之適當的厚度隨材料而變；因此，可根據材料適當決定厚度。

雖在上述範例中使用為三成分金屬氧化物的 In-Ga-Zn-O 為基的氧化物作為氧化物半導體，亦可使用下列的氧化物半導體：為四成分金屬氧化物之 In-Sn-Ga-Zn-O 為基的氧化物；為三金屬元素的氧化物之 In-Sn-Zn-O 為基的氧化物、In-Al-Zn-O 為基的氧化物、Sn-Ga-Zn-O 為基的氧化物、Al-Ga-Zn-O 為基的氧化物、或 Sn-Al-Zn-O 為基的氧化物；為兩成分金屬氧化物之 In-Zn-O 為基的氧化物、Sn-Zn-O 為基的氧化物、Al-Zn-O 為基的氧化物、Zn-Mg-O 為基的氧化物、Sn-Mg-O 為基的氧化物、或 In-Mg-O 為基的氧化物；In-O 為基的氧化物；Sn-O 為基的氧化物；Zn-O 為基的氧化物；及之類。氧化物半導體層可包括 Si。此外，氧化物半導體可為非晶型或結晶型。此外，氧化物半導體層可為非單晶或單晶。

注意到在此說明書中，三成分金屬氧化物是指除了氧（O）外包括三種金屬元素之物質。類似地，四成分金屬氧化物是指除了氧（O）外包括四種金屬元素之物質，且兩成分金屬氧化物是指除了氧（O）外包括兩種金屬元素

之物質。

注意到作為氧化物半導體膜，可使用由 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$) 所表示之薄膜。在此，M代表選自Ga、Al、Mn、及Co的一或更多金屬元素。例如，M可為Ga、Ga及Al、Ga及Al、Ga及Mn、或Ga及Co。

接著，在第一光微影步驟中將氧化物半導體膜處理成島狀氧化物半導體膜412（參見第4A圖）。注意到可藉由噴墨法形成用於形成島狀氧化物半導體膜412的阻劑遮罩。藉由噴墨法所形成之阻劑遮罩不需光罩；因此，可減少製造成本。

注意到作為氧化物半導體膜之蝕刻，可採用乾蝕刻、濕蝕刻、或乾蝕刻及濕蝕刻兩者。

在乾蝕刻的情況中，可使用平行板反應性離子蝕刻（RIE）法或電感式耦合電漿（ICP）蝕刻法。為了將膜蝕刻成希望的形狀，適當地調整蝕刻條件（施加至線圈形電極之電力量、施加至基板側上之電極的電力量、基板側上之電極的溫度、及之類）。

作為乾蝕刻之蝕刻氣體，包括氯之氣體（氯為基之氣體，如氯（ Cl_2 ）、三氯化硼（ BCl_3 ）、四氯化矽（ SiCl_4 ）、或四氯化碳（ CCl_4 ））為佳；然而，可使用包括氟之氣體（氟為基之氣體，如四氟化碳（ CF_4 ）、六氟化硫（ SF_6 ）、三氟化氮（ NF_3 ）、或三氟甲烷（ CHF_3 ））、溴化氫（ HBr ）、氧（ O_2 ）、添加諸如氦（He）或氬（Ar）至其之這些氣體的任何者、或之類。

作為濕蝕刻之蝕刻劑，可使用藉由混合磷酸、醋酸、及硝酸的溶液，及過氧化氫混合物（31wt%的過氧化氫溶液：28wt%的氨水：水=5:2:2）、或之類。此外，可使用 ITO07N（由 KANTO CHEMICAL CO 所製造）。可根據氧化物半導體的材料適當地調整蝕刻條件（如蝕刻劑、蝕刻時期、及溫度）。

在濕蝕刻的情況中，藉由清理連同被蝕刻掉之材料一起移除蝕刻劑。可純化包括已被蝕刻掉之蝕刻劑及材料的廢液並可重複使用材料。當在蝕刻後從廢液收集包括在氧化物半導體膜中之材料（例如，諸如銦之稀有金屬）並重複加以使用時，可有效率地使用資源。

在此實施例中，藉由使用磷酸、醋酸、及硝酸的混合溶液作為蝕刻劑的濕蝕刻來形成島狀氧化物半導體膜 412。

接著，對氧化物半導體膜 412 執行第一熱處理。第一熱處理的溫度為 400℃ 或更高及 750℃ 或更低，較佳 400℃ 或更高且低於基板之應變點。在此，將基板引入電爐中，其為一種熱處理設備，並在氮氣體環境中於 450℃ 對氧化物半導體膜執行熱處理一小時。之後，防止暴露氧化物半導體膜於空氣以不包括水或氫。因此，獲得氧化物半導體膜。藉由此第一熱處理，可從氧化物半導體膜 412 移除氫、水、羥基、及之類。

注意到熱處理設備不限於電爐，且設備可設有從加熱器（如電阻式加熱器）藉由熱傳導或熱輻射來加熱待處理

的物體之裝置。例如，可使用諸如氣體迅速熱退火（GRTA）設備或燈迅速熱退火（LRTA）設備的迅速熱退火（RTA）設備。LRTA設備為以從諸如鹵素燈、金屬鹵化物、氬弧燈、碳弧燈、高壓鈉燈、或高壓汞燈的燈所發射之光的輻射（電磁波）加熱待處理物體之設備。GRTA設備為使用高溫氣體來執行熱處理的設備。作為氣體，可使用惰性氣體（典型為諸如氬之稀有氣體）或氮。

例如，第一熱處理可採用GRTA，其中將基板轉移到並放置在加熱至 650°C 至 700°C 的高溫之惰性氣體中，並在該處加熱數分鐘，並接著自加熱至高溫的惰性氣體轉移出基板。藉由GRTA，可實現在短時間中之高溫的熱處理。

在第一熱處理中，較佳水、氫、或之類不包括在周圍環境中。另外，引進熱處理設備中之諸如氮、氬、氦、或氫的氣體較佳具有6N（99.9999%）或更高；更佳7N（99.99999%）或更高的純度（亦即，雜質濃度為1 ppm或更低，較佳0.1 ppm或更低）。

注意到根據第一熱處理之條件或氧化物半導體膜之材料，可結晶氧化物半導體膜412成微晶或多晶。例如，氧化物半導體膜可結晶變成具有80%或更多的結晶度之微晶氧化物半導體膜。注意到在第一熱處理之後島狀氧化物半導體膜412可為非晶氧化物半導體膜而無結晶。氧化物半導體膜可變成氧化物半導體膜，其中微晶部分（具有1 nm或更多及20 nm或更少，典型2 nm或更多及4 nm或更少）的粒徑）混合到非晶氧化物半導體膜中。

可在氧化物半導體膜處理成島狀氧化物半導體膜之前，對氧化物半導體膜執行第一熱處理。在那情況中，在第一熱處理之後，從熱處理設備取出基板並受到第一光微影步驟。另外，可在氧化物半導體膜上方堆疊源極電極及汲極電極，或在源極電極及汲極電極上方形成閘極絕緣層之後，執行第一熱處理。

雖執行第一熱處理的主要目的在於從氧化物半導體膜移除諸如氫、水、及羥基的雜質，其可能會在氧化物半導體層中產生氧缺陷。因此，較佳在第一熱處理之後執行進行供氧的處理。詳言之，可在第一熱處理之後執行於氧周圍環境或包括氮及氧（例如，氮對氧的體積比為4比1）之周圍環境中之熱處理。此外，可採用在氧周圍環境中之電漿處理。

第一熱處理對氧化物半導體膜具有脫水或脫氫的效果。

接著，在絕緣膜407及氧化物半導體膜412上方形成導電膜。可藉由濺鍍法或真空蒸發法形成導電膜。作為導電膜之材料，可提出諸如Al、Cu、Cr、Ta、Ti、Mo、W、或Y之金屬材料、包括任何金屬材料的合金材料、導電金屬氧化物、及之類。此外，為了防止小丘及晶鬚，可使用添加Si、Ti、Ta、W、Mo、Cr、Nd、Sc、或Y的元素或之類之Al材料。在此情況中，可改善耐熱性。導電金屬氧化物可為氧化銦（ In_2O_3 ）、氧化錫（ SnO_2 ）、氧化鋅（ ZnO ）、氧化銦及氧化錫的合金（ In_2O_3 - SnO_2 ，簡稱為ITO）、

氧化銦及氧化鋅的合金（ In_2O_3 - ZnO ）、或包括矽或氧化矽之任何這些金屬氧化物材料。

此外，導電膜可具有單層結構或兩或更多層之堆疊層結構。例如，可提供包括矽之鋁膜的單層結構；鋁膜及堆疊在其上方之鈦膜的兩層結構；及Ti膜、堆疊在其上方之鋁膜、及堆疊在其上方之Ti膜的三層結構。此外，可採用其中堆疊Al、Cu、或之類的金屬層及Cr、Ta、Ti、Mo、W、或之類的耐火金屬層的堆疊層結構。在此實施例中，作為導電膜，藉由濺鍍形成150 nm厚的鈦膜。

接著，藉由第二光微影步驟在導電膜上方形成阻劑遮罩，並選擇性蝕刻，藉此形成第一電極415a及第二電極415b，並接著，之後，移除阻劑遮罩（參見第4B圖）。第一電極415a充當源極電極及汲極電極之一而第二電極415b充當源極電極及汲極電極之另一者。在此，較佳蝕刻第一電極415a及第二電極415b以具有錐型端部，因為將可改善與形成於其上之閘極絕緣膜的覆蓋。注意到可藉由噴墨法來形成第一電極415a及第二電極415b。藉由噴墨法之阻劑遮罩的形成不需光罩；因此，可減少製造成本。

注意到在導電膜之蝕刻中為了防止氧化物半導體膜412被移除並暴露出其下方的絕緣層407，需適當調整其之材料及導電膜的蝕刻條件。因此，在此實施例中，使用In-Ga-Zn-O為基的氧化物半導體作為氧化物半導體膜412，使用鈦膜作為導電膜，並使用過氧化氫銨混合物（氫、水、及過氧化氫的混合物）作為蝕刻劑，所不會蝕刻氧化物半

導體膜 412 之一部分。然而，本發明不限於此。換言之，可藉由第二光微影步驟蝕刻氧化物半導體膜 412 的一部分以形成具有溝渠（凹部）的氧化物半導體膜。

使用紫外線光、KrF雷射光、或ArF雷射光於第二光微影步驟中形成阻劑遮罩用之曝光。將後續形成的電晶體之通道長度L取決於在氧化物半導體膜412上方互相相鄰的第一電極415a的下端及第二電極415b的下端之間的間距寬度。注意到當執行曝光以提供少於25 nm之通道長度L時，使用具有數奈米至數十奈米之的極短波長之極紫外線光來執行第二光微影步驟中的阻劑遮罩形成用之曝光。在以極紫外線光之曝光中，解析度很高及焦深很大。據此，將於後形成的電晶體之通道長度L可為10 nm或更多及1000 nm或更少。在此情況中，可達成電晶體之速度操作的增加，且進一步，可達成電晶體之耗電量的減少，因為有極小的關閉狀態電流。

接著，在絕緣層407、氧化物半導體膜412、第一電極415a、及第二電極415b上方形成閘極絕緣膜402（參見第4C圖）。

可藉由電漿CVD法、濺鍍法、或之類形成閘極絕緣膜402以具有單層結構或堆疊層結構，包括氧化矽層、氮化矽層、氧氮化矽層、氮氧化矽層、及氧化鋁層的任何者。

較佳以不包括氫在閘極絕緣膜402中之方式形成閘極絕緣膜402。因此，較佳藉由濺鍍法形成閘極絕緣膜402，其中可將用於沉積之周圍環境中的氫降至非常低的程度。

在藉由濺鍍法形成氧化矽的情況中，使用矽靶材或石英靶材作為靶材，並使用氧或氧及氬之混合氣體作為濺鍍氣體。

閘極絕緣膜 402 可具有其中氧化矽層及氮化矽層以此順序堆疊於基板 400 上方的結構。例如，可形成具有 5 nm 或更多及 300 nm 或更少之厚度的氧化矽層（ SiO_x （ $x>0$ ））作為第一閘極絕緣膜，並可在第一閘極絕緣膜上方形成具有 50 nm 或更大及 200 nm 或更小之厚度的氮化矽層（ SiN_y （ $y>0$ ））作為第二閘極絕緣膜以提供具有 100 nm 的厚度之閘極絕緣膜。在此實施例中，藉由在 0.4 Pa 之壓力、1.5 kW 之高頻功率、及氧及氬之周圍環境（氧流速 25 sccm：氬流速 25 sccm=1:1）下之 RF 濺鍍法形成具有 100 nm 的厚度之氧化矽層。

接著，藉由第三光微影步驟，形成阻劑遮罩，並執行選擇性蝕刻，藉此移除閘極絕緣膜 402 的一部分；故形成到達第一電極 415a 及第二電極 415b 的開口 417a 及 417b（參見第 4D 圖）。藉由噴墨法之阻劑遮罩的形成不需光罩；因此，可減少製造成本。

接著，在於閘極絕緣膜 402 上方及開口 417a 及 417b 中形成導電膜後，在第四光微影步驟中形成第一佈線 414a 及第二佈線 414b（第 4E 圖）。

可形成閘極電極 411、第一佈線 414a、及第二佈線 414b 以具有單層結構或堆疊層結構，其使用諸如鉬、鈦、鉻、鉭、鎢、鋁、銅、鈳、或鈳的金屬材料或含有金屬材

料做為主成分的合金材料。閘極電極 411、第一佈線 414a、及第二佈線 414b 之兩層結構的特定範例包括有包括鋁層及其上方之鉬層的結構、包括銅層及其上方之鉬層的結構、包括銅層及其上方之氮化鈦層或氮化層鉬的結構、及包括氮化鈦層及其上方之鉬層的結構。三層結構的特定範例包括有其中堆疊鎢層或氮化鎢層、鋁及矽或鋁及鈦的合金層、及氮化鈦層或鈦層的結構。注意到可使用透光導電膜來形成閘極電極。作為透光導電膜的一特定範例，可提供透光導電氧化物。

在此實施例中，作為閘極電極 411、第一佈線 414a、及第二佈線 414b，使用藉由濺鍍方法所形成之 150 nm 厚的鈦膜。

接著，在惰性氣體周圍環境中或氧氣周圍環境中執行第二熱處理（較佳，在 200°C 或更高及 400°C 或更低，例如，在 250°C 或更高及 350°C 或更低）。在此實施例中，在氮周圍環境下於 250°C 執行第二熱處理一小時。注意到可在電晶體 410 上方形成保護絕緣層或平坦化絕緣層之後執行第二熱處理。

可進一步在空氣中在 100°C 或更高及 200°C 或更低進一步執行熱處理 1 小時或更多及 30 小時或更少。可在固定加熱溫度執行此熱處理或溫度可從室溫增加至在 100°C 或更高及 200°C 或更低的加熱溫度並從加熱溫度下降至室溫，重複數次。

透過上述程序，可形成包括其中氫、濕氣、氫化物、

氮氧化物的濃度經減少的高純度氧化物半導體膜412之電晶體410。

在此實施例中之電晶體410可用為電晶體111及實施例中之比較器151、數位算術程序電路152、及脈寬調變輸出驅動器153的每一者中之電晶體。

可在電晶體410上方設置保護絕緣層或平坦用之平坦化絕緣層。可形成保護絕緣層以具有單層結構或堆疊層結構，包括氧化矽層、氮化矽層、氧氮化矽層、氮氧化矽層、及氧化鋁層的任何者。可以耐熱有機材料形成平坦化絕緣層，諸如聚酰亞胺、丙烯酸、苯並環丁烯、聚酰胺、或環氧樹脂。作為這種有機材料之替代例，亦可使用低介電常數（低k材料）、矽氧烷為基之樹脂、磷矽玻璃（PSG）、硼磷矽玻璃（BPSG）、或之類。可藉由堆疊由任何這些材料所形成的複數絕緣膜來形成平坦化絕緣層。

在此，矽氧烷為基之樹脂對應至使用矽氧烷為基的材料作為起始材料所形成的包括Si-O-Si鍵的樹脂。矽氧烷為基樹脂可包括有機基（如烷基或芳基）或氟基作為替代物。有機基可包括氟基。

對於形成平坦化絕緣層之方法並無特別限制。取決於材料，可藉由諸如濺鍍法、SOG法、旋塗法、浸塗法、噴塗法、或液滴釋放法（如噴墨法、網板印刷、或偏置印刷）之方法，或以諸如醫生刀、捲繞塗佈機、簾式塗佈機、或刀式塗佈機的工具，形成平坦化絕緣層。

如上述，藉由移除在形成氧化物半導體膜時在反應周

圍環境中殘留的濕氣，可減少氧化物半導體膜中之氫及氫化物的濃度。

第5A至5C圖繪示與第3B圖中之電晶體不同的包括高純度氧化物半導體的電晶體之結構的其他範例。

第5A圖中之電晶體420為底閘極電晶體。電晶體420包括在基板400上方之閘極電極421、在基板400上方之閘極絕緣膜422、在閘極絕緣膜422上方並與閘極電極421重疊之氧化物半導體膜423、在氧化物半導體膜423上方並與閘極電極421重疊之通道保護膜424、以及在氧化物半導體膜423上方的導電膜425及導電膜426。電晶體420可包括在氧化物半導體膜423上方的絕緣膜427，作為其之構件。在電晶體420中，導電膜425及導電膜426，其為源極電極及汲極電極，接觸包括通道形成區域之氧化物半導體膜423的頂表面；因此，電晶體420可稱為頂接觸電晶體。

設置通道保護膜424以防止氧化物半導體膜423之一部分的破壞（例如，因電漿或蝕刻中之蝕刻劑所導致之膜厚度減少），其在後續步驟中充當通道形成區域。這可改善電晶體之可靠性。

可使用含氧之無機材料（如氧化矽、氮氧化矽、氧氮化矽、氧化鋁、或氧氮化鋁）來形成通道保護膜424。可藉由如電漿CVD法或熱CVD法的蒸氣沉積法或濺鍍法來形成通道保護膜424。在形成通道保護膜424之後，藉由蝕刻處理其之形狀。在此，以藉由濺鍍法形成氧化矽膜並藉由以光微影術形成之遮罩的蝕刻處理之方式來形成通道保護

膜 424。

另外，當形成接觸島狀氧化物半導體膜 423 之通道保護膜 424 時，接觸通道保護膜 424 之島狀氧化物半導體膜 423 的一區域的電阻會增加，並藉此變成高電阻氧化物半導體區域。藉由形成通道保護膜 424，氧化物半導體膜 423 可在通道保護膜 424 之界面附近具有高電阻氧化物半導體區域。

注意到電晶體 420 可進一步包括在絕緣膜 427 上方之背閘極電極。形成背閘極電極以重疊氧化物半導體膜 423 中之通道形成區域。背閘極電極可為電絕緣並在浮置狀態中，或可在其中背閘極電極供應有電位之狀態中。在後者情況中，背閘極電極可供應有在與閘極電極 421 相同位準之電位，或可供應有諸如接地電位之固定電位。藉由控制供應至背閘極電極的電位位準，可控制電晶體 420 之臨限電壓。

第 5B 圖之電晶體 430 為底閘極電晶體。電晶體 430 包括在基板 400 上方之閘極電極 431、在閘極電極 431 上方之閘極絕緣膜 432、在閘極絕緣膜 432 上方之導電膜 433 及導電膜 434、及在閘極電極 431 上方之氧化物半導體膜 435。電晶體 430 可包括在氧化物半導體膜 435 上方的絕緣膜 437，作為其之構件。在電晶體 430 中，導電膜 433 及導電膜 434，其為源極電極及汲極電極，接觸包括通道形成區域之氧化物半導體膜 435 的底表面；因此，電晶體 430 可稱為底接觸電晶體。

另外，在電晶體 430 的情況中，導電膜 433 及導電膜 434 之厚度較佳為小，以防止後續形成之氧化物半導體膜 435 的斷裂。詳言之，導電膜 433 及導電膜 434 之厚度為 10 nm 至 200 nm，較佳 50 nm 至 75 nm。

注意到電晶體 430 可進一步包括在絕緣膜 427 上方之背閘極電極。形成背閘極電極以重疊氧化物半導體膜 435 中之通道形成區域。背閘極電極可為電絕緣並在浮置狀態中，或可在其中背閘極電極供應有電位之狀態中。在後者情況中，背閘極電極可供應有在與閘極電極 431 相同位準之電位，或可供應有諸如接地電位之固定電位。藉由控制供應至背閘極電極的電位位準，可控制電晶體 430 之臨限電壓。

第 5C 圖之電晶體 440 為頂閘極電晶體。電晶體 440 包括在基板 400 上方之導電膜 441 及導電膜 442、在導電膜 441 及導電膜 442 上方之氧化物半導體膜 443、在氧化物半導體膜 443 上方之閘極絕緣膜 444、及在閘極絕緣膜 444 上方並重疊氧化物半導體膜 443 的閘極電極 445。電晶體 440 可包括在閘極電極 445 上方的絕緣膜 447，作為其之構件。在電晶體 440 中，導電膜 441 及導電膜 442，其為源極電極及汲極電極，接觸包括通道形成區域之氧化物半導體膜 443 的底表面；因此，電晶體 430 可稱為底接觸電晶體。

另外，在電晶體 440 的情況中，導電膜 441 及導電膜 442 之厚度較佳為小，以防止後續形成之氧化物半導體膜 443 的斷裂。詳言之，導電膜 441 及導電膜 442 之厚度為 10

nm至200 nm，較佳50 nm至75 nm。

在此實施例中，電晶體410、電晶體420、電晶體430、及電晶體440為n通道電晶體。如實施例1中所述，由於數位電路僅輸出1或0（零），數位電路中之電晶體可皆為此實施例中所述的n通道電晶體。

尤其，由於電壓轉換器電路102的輸出電壓很高，較佳使用具有高崩潰電壓之電晶體作為電晶體111。作為具有高崩潰電壓之電晶體，包括在具有比矽半導體更大能隙的氧化物半導體膜中之通道形成區域的電晶體為適當。

在此實施例中之包括電晶體的電源電路中，藉由在電源電路中使用數位控制電路，即使當電晶體的特性變化時，可減少電源電路之電路操作的降格。

在此實施例中之包括電晶體的電源電路中，藉由在電源電路中使用數位控制電路，可減少電源電路之面積。

在此實施例中之包括電晶體的電源電路中，藉由減少電源電路之面積，可減少電路電源的成本。

此申請案依據於2010年4月16日向日本專利局申請之日本專利申請案序號2010-095197，其全部內容以引用方式併於此。

【圖式簡單說明】

第1圖繪示電源電路之電路結構。

第2A至2C圖繪示數位脈寬調變程序之方法。

第3A及3B圖為其中通道形成區域設置在氧化物半導體

膜中的電晶體之上視圖及剖面圖。

第4A至4E圖為其中通道形成區域設置在氧化物半導體膜中的電晶體之製程的剖面圖。

第5A至5C圖為其中通道形成區域設置在氧化物半導體膜中的電晶體之剖面圖。

第6圖為繪示加法器電路之電路圖。

第7圖為繪示加法器之電路圖。

第8圖為繪示加法器-減法器電路、計數比較電路、及門鎖電路之電路圖。

第9圖為繪示加法器-減法器電路的電路圖。

第10圖為繪示加法器之電路圖。

第11圖為繪示計數比較電路之電路圖。

第12圖為繪示門鎖電路之電路圖。

【主要元件符號說明】

101：電源電路

102：電壓轉換器電路

103：控制電路

111：電晶體

112：線圈

113：二極體

114：電容器

121：三角波產生器電路

123：脈寬調變輸出驅動器

- 124 : 電阻器
- 125 : 電阻器
- 127 : 箭頭
- 150 : 電路
- 151 : 比較器
- 152 : 數位算術程序電路
- 152a : 數位平均化－積分器
- 152a_1 : 數位平均化電路
- 152a_2 : 數位積分器
- 152b : 數位脈寬調變器
- 153 : 脈寬調變輸出驅動器
- 154 : 低通濾波器
- 155 : 時脈分頻器
- 201 : 加法器電路
- 202 : 加法器－減法器電路
- 203 : 計數比較電路
- 204 : 閘鎖電路
- 211 : 及閘
- 212 : 及閘
- 213 : 互斥或閘
- 214 : 正反器
- 221 : 及閘
- 222 : 及閘
- 224 : 或閘

225 : 互 斥 或 閘

226 : 互 斥 或 閘

227 : 正 反 器

241 : 正 反 器

242 : 正 反 器

243 : 非 或 閘

244 : 非 或 閘

251 : 加 法 器

252 : 加 法 器

253 : 加 法 器

254 : 加 法 器

255 : 加 法 器

256 : 加 法 器

257 : 加 法 器

258 : 加 法 器

259 : 加 法 器

261 : 反 向 器

262 : 反 向 器

263 : 非 或 閘

271 : 互 斥 或 閘

272 : 互 斥 或 閘

273 : 互 斥 或 閘

274 : 互 斥 或 閘

275 : 互 斥 或 閘

- 276：互斥或閘
- 277：非及閘
- 278：及閘
- 279：或閘
- 281：非及閘
- 282：非及閘
- 400：基板
- 402：閘極絕緣膜
- 407：絕緣層
- 410：電晶體
- 411：閘極電極
- 412：氧化物半導體膜
- 414a：佈線
- 414b：佈線
- 415a：電極
- 415b：電極
- 417a：開口
- 417b：開口
- 420：電晶體
- 421：閘極電極
- 422：閘極絕緣膜
- 423：氧化物半導體膜
- 424：通道保護膜
- 425：導電膜

- 426 : 導電膜
- 427 : 絕緣膜
- 430 : 電晶體
- 431 : 閘極電極
- 432 : 閘極絕緣膜
- 433 : 導電膜
- 434 : 導電膜
- 435 : 氧化物半導體膜
- 437 : 絕緣膜
- 440 : 電晶體
- 441 : 導電膜
- 442 : 導電膜
- 443 : 氧化物半導體膜
- 444 : 閘極絕緣膜
- 445 : 閘極電極
- 447 : 絕緣膜

七、申請專利範圍：

1.一種電源電路，包含：

比較器，組態成比較第一電壓及第二電壓；

數位算術程序電路，組態成平均、積分、及數位脈寬調變從該比較器輸出的數位信號；

脈寬調變輸出驅動器，組態成放大從該數位算術程序電路輸出之該數位信號；

平滑電路，組態成平滑從該脈寬調變輸出驅動器輸出之該數位信號；以及

DC-DC轉換器，組態成藉由使用該已平滑的數位信號來執行，

其中該DC-DC轉換器包含線圈、二極體、及包含氧化物半導體膜之電晶體，以及

其中該氧化物半導體膜包含通道形成區域。

2.一種電源電路，包含：

比較器，組態成比較第一電壓及第二電壓；

加法器電路，組態成平均從該比較器輸出的數位信號；

加法器－減法器電路，組態成積分該數位信號；

計數比較電路；

閘鎖電路；

脈寬調變輸出驅動器，組態成放大從該閘鎖電路輸出之該數位信號；

平滑電路，組態成平滑從該脈寬調變輸出驅動器輸出

之該數位信號；以及

DC-DC轉換器，組態成藉由使用該已平滑的數位信號來執行，

其中該計數比較電路及該閘鎖電路組態成數位脈寬調變從該加法器－減法器電路輸出之該數位信號，以及

其中該DC-DC轉換器包含線圈、二極體、及包含氧化物半導體膜之電晶體，以及

其中該氧化物半導體膜包含通道形成區域。

3.如申請專利範圍第1或2項所述之電源電路，

其中該電晶體進一步包含：

在該氧化物半導體膜上方之源極電極及汲極電極；以及

在該氧化物半導體膜、源極電極、及汲極電極上方之閘極電極。

4.如申請專利範圍第1或2項所述之電源電路，

其中該電晶體進一步包含：

在該氧化物半導體膜下方之源極電極及汲極電極；以及

在該氧化物半導體膜、源極電極、及汲極電極上方之閘極電極。

5.如申請專利範圍第1或2項所述之電源電路，

其中該電晶體進一步包含：

在該氧化物半導體膜上方之源極電極及汲極電極；以及

在該氧化物半導體膜、源極電極、及汲極電極下方之閘極電極。

6.如申請專利範圍第1或2項所述之電源電路，

其中該電晶體進一步包含：

在該氧化物半導體膜下方之源極電極及汲極電極；以及

在該氧化物半導體膜、源極電極、及汲極電極下方之閘極電極。

7.如申請專利範圍第1或2項所述之電源電路，

其中該平滑電路為低通濾波器。

8.一種電源電路，包含：

比較器，組態成比較第一電壓及第二電壓；

數位算術程序電路，組態成平均、積分、及數位脈寬調變從該比較器輸出的數位信號；

脈寬調變輸出驅動器，組態成放大從該數位算術程序電路輸出之該數位信號；以及

平滑電路，組態成平滑從該脈寬調變輸出驅動器輸出之該數位信號，

其中該比較器、該數位算術程序電路、及該脈寬調變輸出驅動器各包含一電晶體，其包含氧化物半導體膜、源極電極、汲極電極、閘極電極、及閘極絕緣膜，以及

其中該氧化物半導體膜包含通道形成區域。

9.一種電源電路，包含：

比較器，組態成比較第一電壓及第二電壓；

加法器電路，組態成平均從該比較器輸出的數位信號；

加法器－減法器電路，組態成積分該數位信號；

計數比較電路；

門鎖電路；

脈寬調變輸出驅動器，組態成放大從該門鎖電路輸出之該數位信號；以及

平滑電路，組態成平滑從該脈寬調變輸出驅動器輸出之該數位信號；

其中該計數比較電路及該門鎖電路組態成數位脈寬調變從該加法器－減法器電路輸出之該數位信號，以及

其中該比較器、該加法器電路、該加法器－減法器電路、該計數比較電路、該門鎖電路、及該脈寬調變輸出驅動器各包含一電晶體，該電晶體包含氧化物半導體膜、源極電極、汲極電極、閘極電極、及閘極絕緣膜，以及

其中該氧化物半導體膜包含通道形成區域。

10.如申請專利範圍第8或9項所述之電源電路，

其中該源極電極及該汲極電極設在該氧化物半導體膜之上方；以及

其中該閘極電極設在該氧化物半導體膜、該源極電極、及該汲極電極之上方。

11.如申請專利範圍第8或9項所述之電源電路，

其中該源極電極及該汲極電極設在該氧化物半導體膜之下方；以及

其中該閘極電極設在該氧化物半導體膜、該源極電極、及該汲極電極之上方。

12.如申請專利範圍第8或9項所述之電源電路，

其中該源極電極及該汲極電極設在該氧化物半導體膜之上方；以及

其中該閘極電極設在該氧化物半導體膜、該源極電極、及該汲極電極之下方。

13.如申請專利範圍第8或9項所述之電源電路，

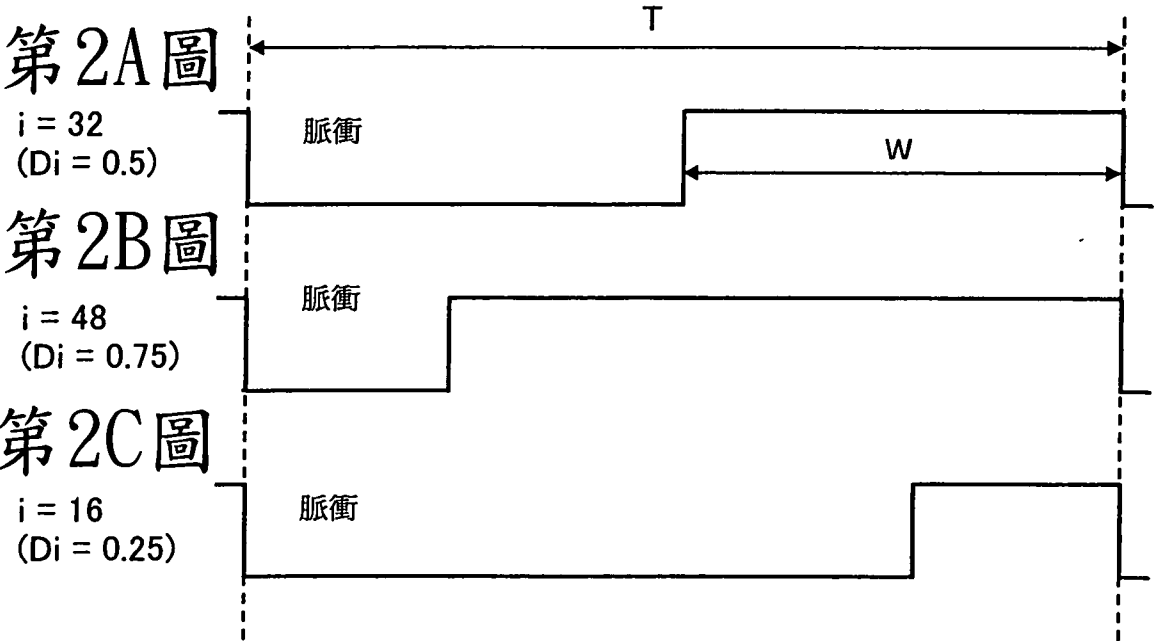
其中該源極電極及該汲極電極設在該氧化物半導體膜之下方；以及

其中該閘極電極設在該氧化物半導體膜、該源極電極、及該汲極電極之下方。

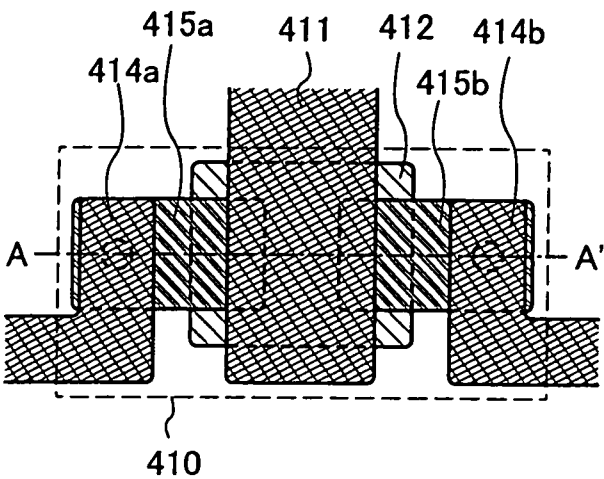
The diagram illustrates a power converter circuit, likely a buck converter, with a feedback loop. The circuit is divided into three main functional blocks: 101 (Control and Reference), 102 (Power Stage), and 103 (Output and Feedback).

- Block 101 (Control and Reference):** Contains a reference voltage source **REF** connected to a non-inverting input of a comparator **151**. The output of the comparator is **Vref**. A feedback signal **Vfb** is also fed into the non-inverting input of the comparator. The output of the comparator is **Verr**, which is connected to the inverting input of an error amplifier **123**. The error amplifier **123** also receives a feedback signal **Vosc** from a block **121**. The output of the error amplifier is **PWM**, which drives a pulse-width modulated (PWM) signal to the gate of a MOSFET **111**.
- Block 102 (Power Stage):** The MOSFET **111** is connected to an inductor **112** and a diode **113**. The inductor **112** is connected to the input **IN**. The diode **113** is connected to the output **OUT**. A capacitor **114** is connected between the output **OUT** and ground.
- Block 103 (Output and Feedback):** The output **OUT** is connected to a load resistor **124** and a feedback resistor **125**. The feedback resistor **125** is connected to ground. The feedback signal **Vfb** is taken from the output **OUT** and fed back to the non-inverting input of the comparator **151**.

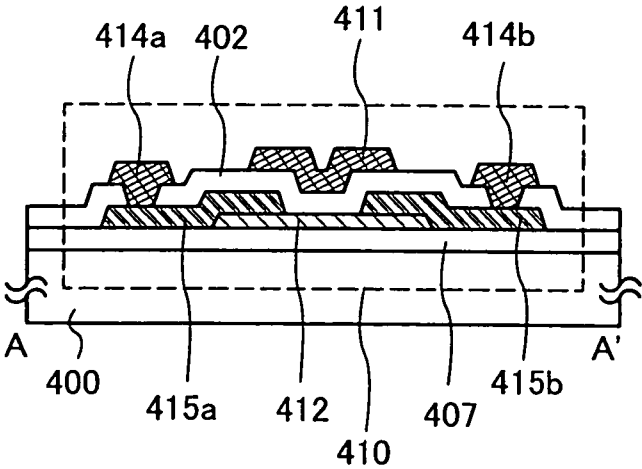
The circuit is enclosed in a dashed box, indicating it is a single integrated circuit or a system-level block.



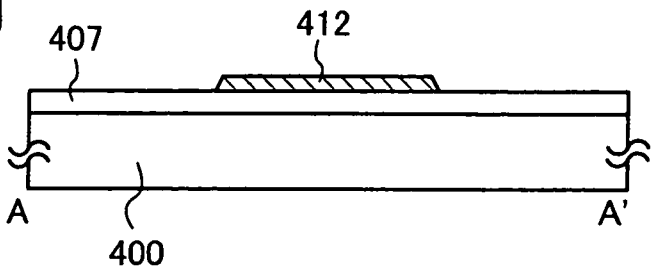
第3A圖



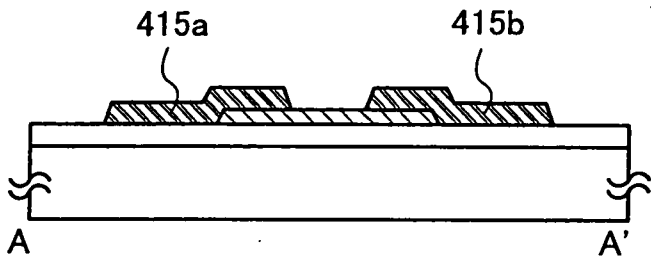
第3B圖



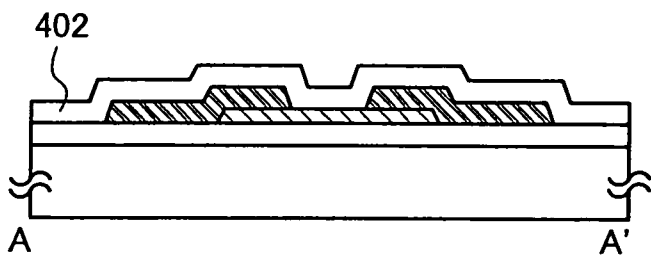
第4A圖



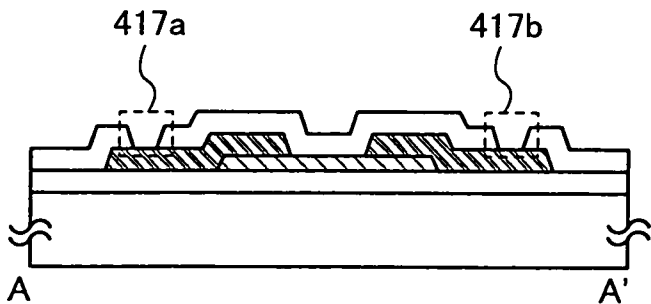
第4B圖



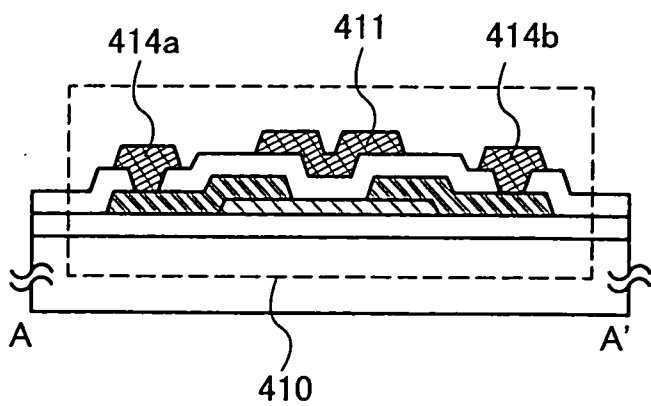
第4C圖



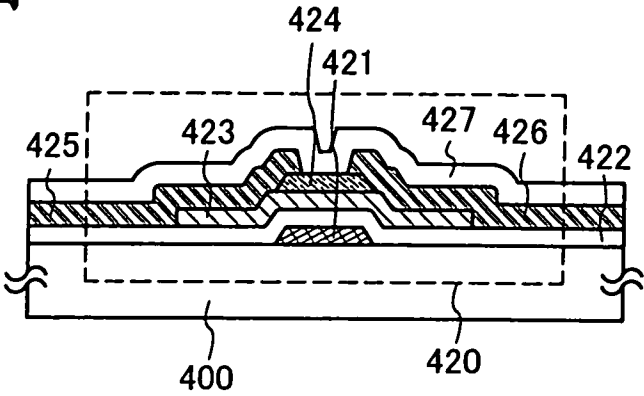
第4D圖



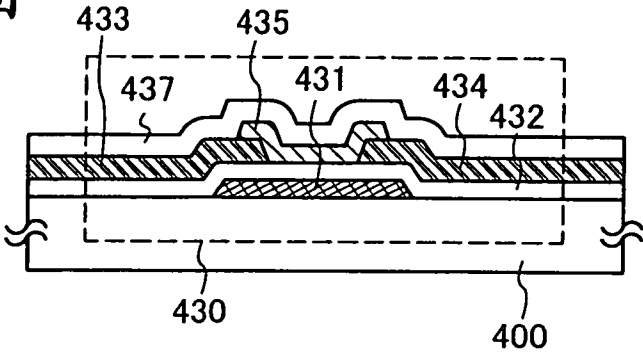
第4E圖



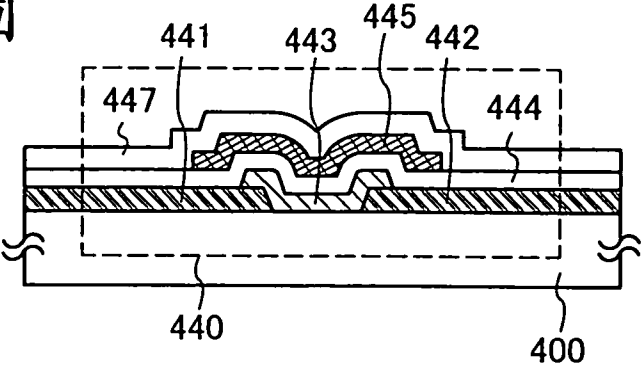
第5A圖



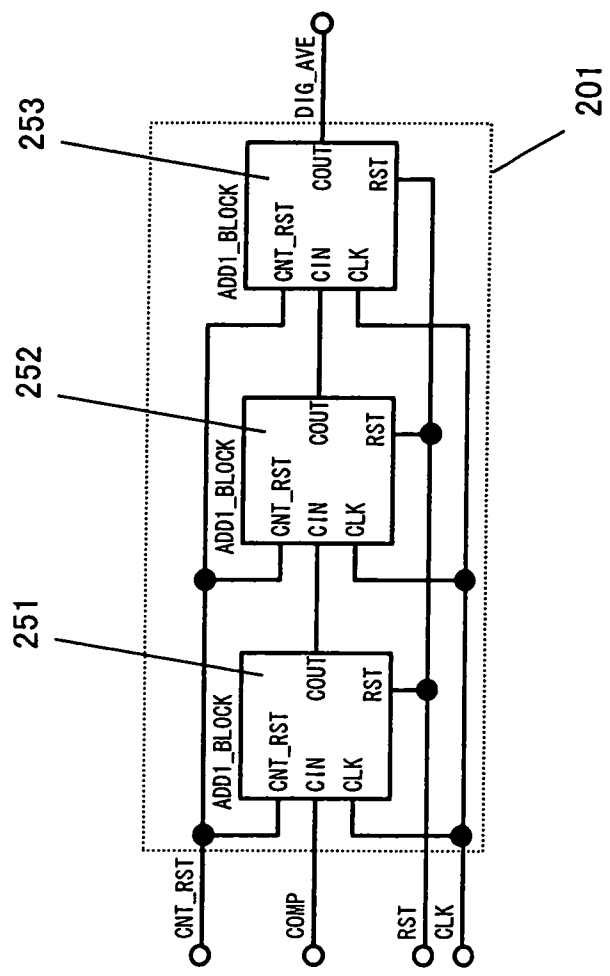
第5B圖



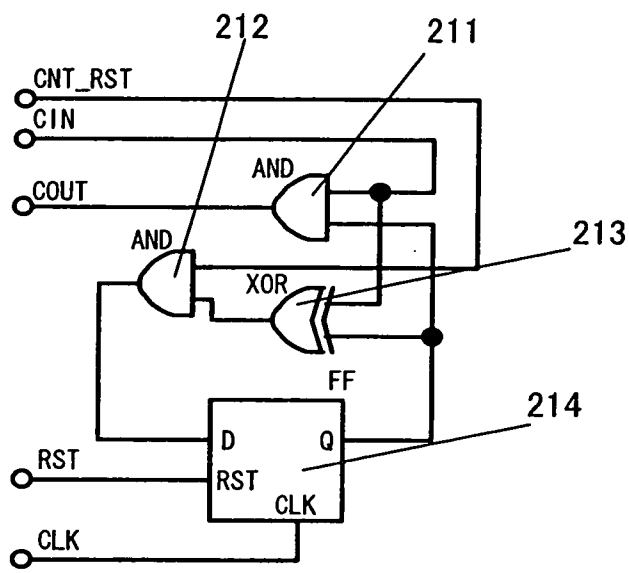
第5C圖



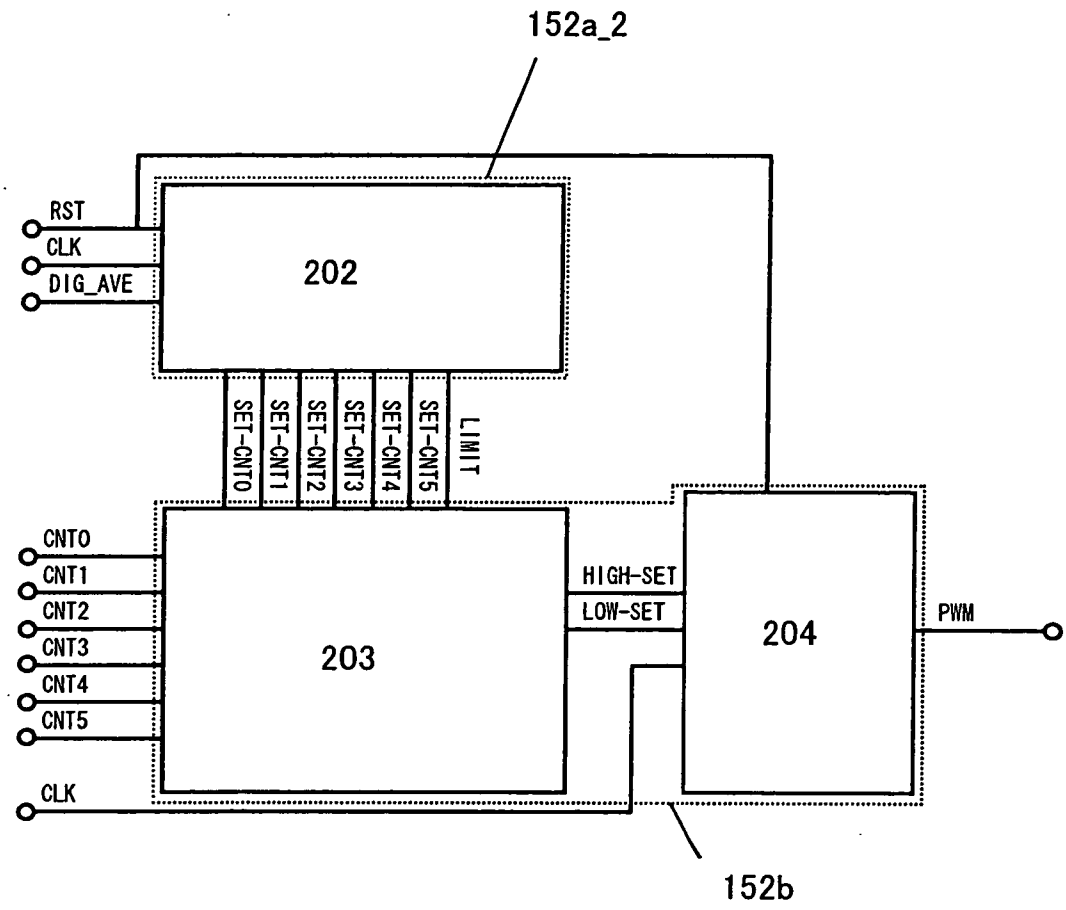
第6圖



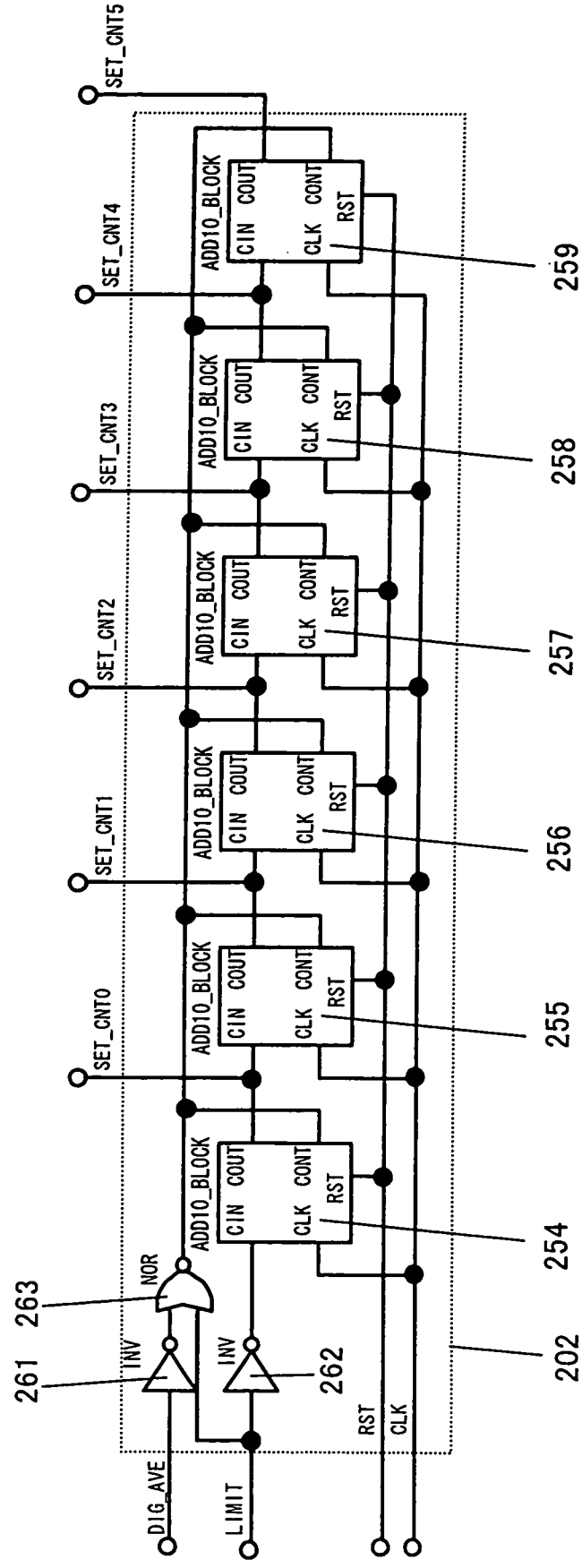
第7圖



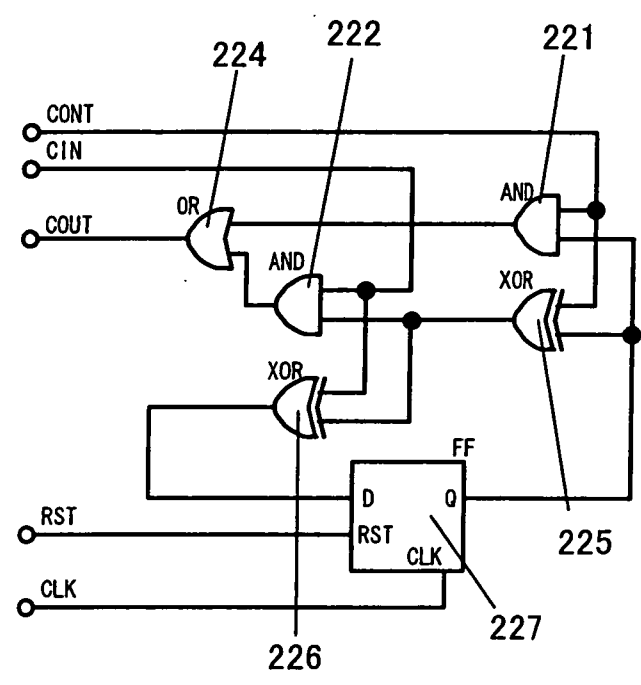
第8圖



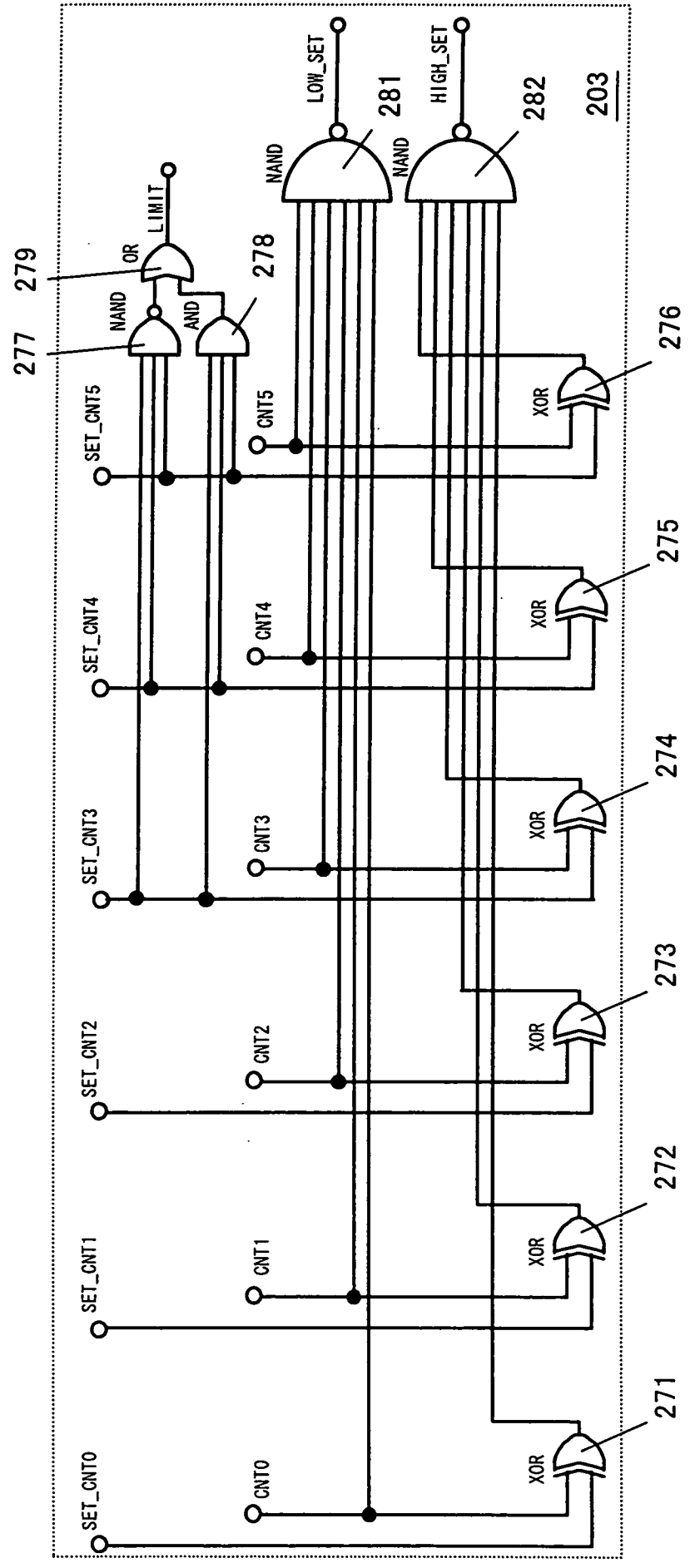
第9圖



第10圖



第11圖



第12圖

