

Союз Советских  
Социалистических  
Республик



Государственный комитет  
СССР  
по делам изобретений  
и открытий

# О П И С А Н И Е (11) 777653 ИЗОБРЕТЕНИЯ

## К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(61) Дополнительное к авт. свид-ву —

(22) Заявлено 10.09.74 (21) 2059353/18-24

с присоединением заявки —

(23) Приоритет —

(43) Опубликовано 07.11.80. Бюллетень № 41

(45) Дата опубликования описания 04.01.81

(51) М.Кл.<sup>3</sup> G 06 F 3/04

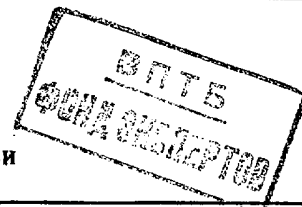
(53) УДК 681.322  
(088.8)

(72) Авторы  
изобретения

М. Х. Гончарок и Д. А. Яковенко

(71) Заявитель

Ленинградское отделение центрального  
научно-исследовательского института связи



### (54) ПЕРИФЕРИЙНЫЙ ПРОЦЕССОР ДЛЯ ТЕЛЕФОННОЙ КОММУТАЦИОННОЙ СИСТЕМЫ

1

Изобретение относится к вычислительной технике и может использоваться в квазиэлектронных телефонных станциях большой емкости с программным управлением.

Известен периферийный процессор, который входит в состав системы, описанной в [1]. Он содержит устройство обработки данных и блок управления этим устройством, устройство для сопряжения с центральной машиной, включающее логические схемы и блок микропрограммного управления этим устройством, устройство для сопряжения с каналами связи, включающее буферный блок памяти (буферные регистры), блок синхронизации и управления данным устройством и коммутатор каналов связи.

Данный процессор предназначен для сопряжения с периферийными вычислительными машинами и может быть использован для работы в составе системы связи.

Из известных процессоров наиболее близким по технической сущности является процессор, представленный в [2].

Этот периферийный процессор (ППР), используемый в системах обработки данных, который связан посредством шинного оборудования с разнообразным периферийным оборудованием, содержит устройство обработки, соединенное двухсторонними связями с устройством сопряжения с вычис-

2

лительной машиной и с устройством сопряжения с периферией, включающим дешифратор кода операций, выход которого подключен к первому входу блока выбора шин связи, второй вход которого и выход дешифратора кода операций соединены соответственно с управляющими входом и выходом устройства сопряжения с периферией, адресный и информационный входы которого соединены соответственно с адресным и информационным выходами блока выбора шин связи и периферийного процессора, адресный и информационный входы которого соединены соответственно с адресным и информационным входом устройства сопряжения с периферией, вход которого подключен ко входу дешифратора кода операций, группы входов и выходов устройства сопряжения с вычислительной машиной подключены соответственно к группам входов и выходов периферийного процессора.

Однако, известный процессор обладает большим объемом шинного оборудования, величина которого определяется, в основном, объемом информации, передаваемой в сторону периферийного оборудования, требующего для работы максимальной информации (обычно это устройство управления коммутационным полем).

25

30

Целью изобретения является сокращение оборудования.

Поставленная цель достигается тем, что процессор содержит в составе устройства сопряжения с периферией местный блок управления и счетчик циклов, первый вход которого соединен с выходом дешифратора кода операций, второй вход и выход счетчика циклов подключены соответственно к первому выходу и входу местного блока управления, второй, третий и четвертый входы которого соединены соответственно с адресным, информационным и управляющим входами устройства сопряжения с периферией, соответствующий управляющий выход которого соединен со вторым выходом местного блока управления, третий выход которого подключен к третьему входу блока выбора шин связи.

Это позволяет сократить число информационных шин и общее число приемников в периферийном оборудовании.

На фиг. 1 представлена структурная схема ППР, а на фиг. 2 — упрощенная схема регистровой структуры устройства обработки, поясняющая принцип работы ППР в целом.

Как показано на фиг. 1, периферийный процессор 1 содержит устройство 2 обработки, соединенное двусторонними связями с устройством 3 сопряжения с вычислительной машиной и с устройством 4 сопряжения с периферией (не показанной на чертеже), имеющим дешифратор 5 кода операций, выход которого подключен к блоку 6 выбора шин связи, счетчику 7 циклов и автомату 8 управления устройства 2 обработки; счетчик 7 циклов имеет двустороннюю связь с местным блоком 9 управления; автомат 8 управления соединен с местным блоком 10 управления устройства 3; местный блок 9 управления соединен с информационным входом 11 и адресным входом 12, счетчиком 7 циклов и блоком 6 выбора шин связи, информационный 13 и адресный 14 выходы которого являются информационным и адресным выходами процессора.

На фиг. 2 упрощенно представлена регистровая структура устройства со следующими обозначениями:

— регистр 15 управляющего слова периферии, в котором указаны начальные адреса массивов результатов сканирования и массива групповых периферийных команд;

— регистр 16 групповой периферийной команды, состоящий из подрегистров—адресов периферийных команд, счетчика периферийных команд, указателя окончания и кода операций;

— регистр 17 информации, состоящий из двух подрегистров—адреса конфигурации и счетчика текущего адреса сканирования;

— регистр 18 управления блоком сканера, состоящий из подрегистров—адреса пре-

тов изменений, счетчика константы сканирования;

— регистры 19, 20, 21, которые используются при сканировании и в которые заносится из периферии информация текущего сканирования (21), а из запоминающего устройства информация предыдущего сканирования (19) и результат изменений (20).

Регистры 19, 20 и 21 связаны с комбинационной схемой 22 логического устройства 23.

Процессор работает следующим образом.

Центральный процессор вычислительной машины (ВМ) через устройство 3 в регистр 15 устройства 2 записывает информацию, необходимую для работы ППР 1 в текущем цикле. Затем центральный процессор производит пуск автомата 8 управления устройства 2, после чего ППР 1 начинает работать самостоятельно.

По адресу массива групповых периферийных команд автомат 8 через устройство 3 производит обращение к оперативному запоминающему устройству (ОЗУ) (на чертеже не показано) и считывает соответствующую информацию в регистр 16. При этом разряды кода операции регистра 16 связаны с дешифратором 5. Поступая на блок 6, сигнал дешифратора 5 определяет формат информации на выходе 13. Автомат 8 управления последовательно заполняет информацией, считанной из ОЗУ, регистры 17, 18, 19 и 20, причем, после заполнения регистра 17 автомат 8 запускает блок 9, который обеспечивает интерфейс с телефонной периферией по входам 11, 12, и выходам 13 и 14, количество циклов работы с периферией определяет счетчик 7 циклов.

После окончания периферийного интерфейса в регистр 21 по входу 11 и блок 9 будет записан результат текущего обмена, а в автомат 8 из блока 9 поступает сигнал окончания интерфейса связи. Автомат 8 управления анализирует состояние схемы 22 и при обнаружении изменений в последней записывает информацию изменений в ОЗУ по адресу, указанному регистром 15 через блок 10 устройства 3.

Затем автомат 8 корректирует регистр 20, и новая информация регистра 20 автоматом 8 управления записывается в ОЗУ по адресу результатов изменений регистра 18, а по другому адресу этого же регистра в ОЗУ пишется результат текущего сканирования с регистра 21. Автомат 8 производит модификацию счетчиков регистра 18 и регистра 17, и при нулевом содержимом счетчика периферийных команд регистра 16 автомат 8 переводит ППР на выполнение следующей групповой периферийной команды. Работа ППР будет продолжаться до тех пор, пока после выполнения очередной команды автомат 8 управления не встретит

единице. В этом случае ППР оканчивает работу и через блок 10 устройства 3 сообщает об этом центральному процессору ВМ.

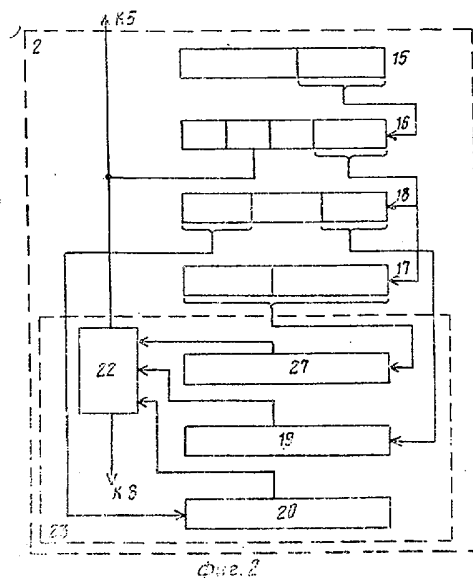
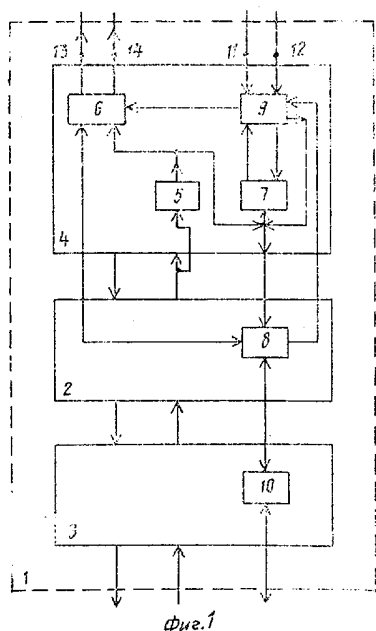
### Формула изобретения

Периферийный процессор для телефонной коммутационной системы, содержащий устройство обработки, соединенное двусторонними связями с устройством сопряжения с вычислительной машиной и с устройством сопряжения с периферией, включающим дешифратор кода операций, выход которого подключен к первому входу блока выбора шин связи, второй вход которого и выход дешифратора кода операции соединены соответственно с управляющим входом и выходом устройства сопряжения с периферией, адресный и информационный выходы которого соединены соответственно с адресным и информационным выходами блока выбора шин связи и периферийного процессора, адресный и информационный входы которого соединены соответственно с адресным и информационным входом устройства сопряжения с периферией, вход которого подключен ко входу дешифратора кода операций, группы входов и выходов уст-

ройства сопряжения с вычислительной машиной подключены соответственно к группам входов и выходов периферийного процессора, отличающийся тем, что, с целью сокращения оборудования, он содержит в составе устройства сопряжения с периферией местный блок управления и счетчик циклов, первый вход которого соединен с выходом дешифратора кода операций, второй вход и выход счетчика циклов подключены соответственно к первому выходу и входу местного блока управления, второй, третий и четвертый входы которого соединены соответственно с адресным, информационным и управляющим входами устройства сопряжения с периферией, соответствующий управляющий выход которого соединен со вторым выходом местного блока управления, третий выход которого подключен к третьему входу блока выбора шин связи.

Источники информации, принятые во внимание при экспертизе:

1. Патент США № 3564509, кл. 340—172.5, 1971.
2. The Bell System Technical Journal, September, 1964, № 5, part. 1, 2, p. p. 2021—2054 (прототип).



Составитель А. Жеренов

Редактор Д. Мелуришвили

Техред В. Серякова

Корректор С. Файн

Заказ 1622/1569

Изд. № 588

Тираж 772

Подписное

НИО «Понск» Государственного комитета СССР по делам изобретений и открытий  
113035, Москва, Ж-35, Раушская наб., д. 4/5

Тип. Харьк. фил. пред. «Патент»