



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2012년08월20일  
 (11) 등록번호 10-1175393  
 (24) 등록일자 2012년08월13일

(51) 국제특허분류(Int. Cl.)  
*H01L 23/52* (2006.01) *H01L 21/768* (2006.01)  
 (21) 출원번호 10-2009-7007578  
 (22) 출원일자(국제) 2007년10월15일  
 심사청구일자 2009년10월19일  
 (85) 번역문제출일자 2009년04월13일  
 (65) 공개번호 10-2009-0076914  
 (43) 공개일자 2009년07월13일  
 (86) 국제출원번호 PCT/US2007/081380  
 (87) 국제공개번호 WO 2008/048925  
 국제공개일자 2008년04월24일  
 (30) 우선권주장  
 60/829,772 2006년10월17일 미국(US)  
 (56) 선행기술조사문헌  
 US20060042952 A1\*  
 US20060046471 A1\*  
 \*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
 쿠파 에셋 엘티디. 엘.엘.씨.  
 미국 델라웨어 19801 월밍턴 오렌지 스트리트  
 1209  
 (72) 발명자  
 트레자 존  
 미국 뉴햄프셔 03063 내슈아 화이트 오우크 드라이브  
 12  
 (74) 대리인  
 신정건, 김태홍

전체 청구항 수 : 총 15 항

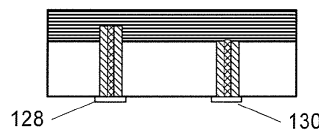
심사관 : 이성준

(54) 발명의 명칭 웨이퍼 비아 형성

(57) 요약

완전 처리된 웨이퍼에 전기 전도성 비아를 형성하는 방법은, 상기 완전 처리된 웨이퍼의 후방에 적어도 하나의 트렌치 영역을 정의하는 단계와, 상기 트렌치 영역 내에 적어도 하나의 트렌치를 형성하되, 이 트렌치 내에 형성되는 비아가 자신의 전체 깊이(full depth) 위에 씨드될 수 있게 하는 전체 깊이로 형성하는 단계와, 상기 완전 처리된 웨이퍼 내로 상기 트렌치 내에 비아를 미리 결정된 깊이로 형성하는 단계와, 상기 비아의 전체 깊이 위에 씨드층을 증착하는 단계와, 그리고 상기 비아를 전기 전도성 금속으로 채우기 위해 상기 씨드층을 도금하는 단계를 포함한다.

대표도 - 도1H



**특허청구의 범위**

**청구항 1**

처리된 웨이퍼에 전기 전도성 비아를 형성하는 방법에 있어서,  
 상기 처리된 웨이퍼의 후방에 제1 트렌치를 형성하는 단계;  
 단면 영역을 구비하는 제2 트렌치를 상기 제1 트렌치의 종단면(end surface) 내에 형성하는 단계;  
 상기 제2 트렌치의 종단면으로부터 연장하는 비아를 상기 처리된 웨이퍼의 후방으로 제1 미리 결정된 깊이까지 형성하는 단계로서, 상기 비아는 상기 제2 트렌치의 단면 영역보다 작은 단면 영역을 구비하는 것인, 상기 비아 형성 단계;  
 상기 제1 미리 결정된 깊이와 상기 제2 트렌치의 종단면 사이의 상기 비아 전체 길이(full length) 위에 씨드층을 증착하는 단계;  
 상기 비아를 전기 전도성 물질로 채우기 위해 상기 씨드층에 대해 도금 공정을 수행하는 단계;  
 적어도 상기 제2 트렌치가 형성된 후에, 상기 처리된 웨이퍼의 후방을 얇게 하는 단계; 및  
 상기 처리된 웨이퍼의 후방을 얇게 한 후에, 상기 제2 트렌치 내에 전도체를 증착하는 단계를 포함하는 전기 전도성 비아 형성 방법.

**청구항 2**

제1항에 있어서,  
 상기 제1 트렌치를 형성하는 단계 또는 상기 제2 트렌치를 형성하는 단계 중 적어도 하나의 단계는, 습식 식각 공정 또는 건식 식각 공정 중 적어도 하나의 공정을 이용하여, 상기 처리된 웨이퍼의 후방을 식각하는 단계를 포함하는 전기 전도성 비아 형성 방법.

**청구항 3**

제1항에 있어서,  
 상기 처리된 웨이퍼의 후방 내에 상기 제1 트렌치 외의 하나 이상의 트렌치를 형성하는 단계를 더 포함하고,  
 상기 하나 이상의 트렌치 및 상기 제1 트렌치는 트렌치 영역을 정의하고, 상기 트렌치 영역은 상기 처리된 웨이퍼의 후방의 전체 면적의 75% 미만인 것인 전기 전도성 비아 형성 방법.

**청구항 4**

제3항에 있어서,  
 상기 트렌치 영역은 상기 처리된 웨이퍼의 후방의 전체 영역의 50% 미만인 것인 전기 전도성 비아 형성 방법.

**청구항 5**

제1항에 있어서, 상기 전도체는 상기 제2 트렌치를 채우는 것인 전기 전도성 비아 형성 방법.

**청구항 6**

제1항에 있어서, 상기 제2 트렌치 내에 전도체를 증착하는 단계는,  
 컨택 패드 형성 공정의 일부로서 상기 제2 트렌치 내에 상기 전도체를 증착하는 단계를 포함하는 것인 전기 전도성 비아 형성 방법.

**청구항 7**

제1항에 있어서,  
 상기 제1 트렌치는 제1 주변부를 구비하고, 상기 제2 트렌치는 제2 주변부를 구비하며, 상기 제2 트렌치는 상기 제1 주변부 내에 형성되는 것인 전기 전도성 비아 형성 방법.

**청구항 8**

제7항에 있어서, 상기 제1 및 제2 주변부는,

상기 비아가 상기 전체 길이 위에 상기 씨드층과 증착되고 상기 전기 전도성 물질로 채워지도록 선택되는 것인 전기 전도성 비아 형성 방법.

**청구항 9**

제1항에 있어서,

상기 처리된 웨이퍼는 복수의 칩들을 포함하고,

상기 방법은 상기 복수의 칩들 중 하나 이상의 칩들의 외부 경계를 넘는 트렌치 영역에 대한 주변부를 정의하는 단계를 더 포함하는 것인 전기 전도성 비아 형성 방법.

**청구항 10**

제1항에 있어서, 상기 처리된 웨이퍼의 후방을 얇게 하는 단계는,

상기 비아 내의 상기 전기 전도성 물질을 노출시키는 단계를 포함하는 것인 전기 전도성 비아 형성 방법.

**청구항 11**

제1항에 있어서,

상기 처리된 웨이퍼는 복수의 칩들을 포함하고,

상기 방법은 적어도 부분적으로 상기 복수의 칩들 중 하나의 칩의 외부 경계 내에 있는 트렌치 영역에 대한 주변부를 정의하는 단계를 더 포함하는 것인 전기 전도성 비아 형성 방법.

**청구항 12**

제1항에 있어서,

상기 처리된 웨이퍼는 복수의 칩들을 포함하고,

상기 방법은 상기 복수의 칩들 중 하나의 칩과 정렬되는 트렌치 영역을 정의하는 단계를 더 포함하며,

상기 트렌치 영역은 상기 복수의 칩들 중 상기 하나의 칩 보다 더 큰 크기를 갖는 것인 전기 전도성 비아를 형성하는 방법.

**청구항 13**

제10항에 있어서,

상기 처리된 웨이퍼의 후방을 얇게 하는 단계 이후, 상기 처리된 웨이퍼로부터 칩을 소잉(sawing) 또는 다이싱(dicing)하는 단계를 더 포함하는 것을 특징으로 하는 전기 전도성 비아 형성 방법.

**청구항 14**

제1항에 있어서,

상기 제1 트렌치는 제1 트렌치 영역을 정의하는 주변 경계를 구비하고,

상기 제2 트렌치는 상기 제 1 트렌치 영역 내에 형성되는 것인 전기 전도성 비아 형성 방법.

**청구항 15**

제14항에 있어서,

상기 비아 형성 단계는, 상기 제 2 트렌치의 주변 경계 내에 상기 비아를 형성하는 단계를 포함하는 것인 전기 전도성 비아 형성 방법.

**청구항 16**

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

## 명세서

### 기술분야

[0001] 관련 출원에 대한 상호 참조

[0002] 본 출원은 35 USC 119(e)(1) 하에서 미국 가 특허 출원 번호 제60/829,772호의 우선권의 이득을 주장하며, 이는 그 전체가 본원의 참조로서 인용된다.

[0003] 본 발명은 반도체 제조 공정에 관한 것으로서, 특히 처리된 웨이퍼에 전기 전도성 비아를 형성하는 방법에 관한 것이다.

### 배경기술

[0004] 반도체 웨이퍼들을 다룰 때에는, 이러한 웨이퍼들이 공정 동안 깨지지 않도록 두꺼운 웨이퍼들을 취급하는 것이 바람직하다. 하지만, 비아(via)가 더 깊어질수록, 현재 이용가능한 증착 기술들 및 장비를 이용하여 그 내에 씨드층(seed layer)을 얻는 것이 더 어려워지는데, 비용을 고려하는 경우에 특히 그러하다. 전형적으로, 좁은 비아 내에 150 $\mu$ m 이상의 깊이로 씨드층을 형성하는 것은 일반적으로 어려우며 비용적으로도 효율적이지 못하다. 따라서, 좁은 폭의 비아들을 충전하기 위해 도금 방식이 이용되는 경우, 웨이퍼들을 먼저 얇게(thinning) 하지 않으면서, 대부분의 상업적으로 이용가능한 웨이퍼들에 대해 일반적인 전형적으로 약 500 내지 750 $\mu$ m (또는 그 이상의) 두께를 유지하면서 웨이퍼 상에서 상기 설명한 특허 출원의 비아들을 이용하는 것은 어렵다. 하지만, 이와같이 웨이퍼들을 적절한 두께로 얇게 하게 되면, 웨이퍼들을 유연하게(flexible)하지만, 이러한 웨이퍼들은 깨지기 쉽기 때문에, 취급하는 동안 깨질 가능성이 커지게 된다. 이것은 선 처리된(pre-processed) 웨이퍼에 대해서는 감수할 수 있는 위험이 될 수 있지만(여기에서는, 비용이 극미하다), 완전 처리된 웨이퍼(fully processed wafer)(즉, 적어도 자신의 프론트 엔드(front end) 처리를 받았으며, 그리고 많은 경우들에서는 자신의 백엔드(backend) 처리 또한 받은 웨이퍼)에 대해서는 비용이 너무 많이 들기 때문에 받아들일 수 없게 된다.

### 발명의 상세한 설명

[0005] 우리는 웨이퍼를 깨지기 쉬운 두께로 얇게 하지 않으면서 상기 언급한 비아들을 완전 처리된 웨이퍼들 상에서 이용될 수 있게 하는 방식으로, 상기 문제를 해결하는 방법을 고안하였다. 또한, 우리의 시도는 이러한 방법을 행하는 데에 극도로 높은 정확도 또는 높은 비용의 기술들의 이용을 필요로 하지 않는다.

[0006] 우리의 시도에서는, 웨이퍼의 선택된 부분들의 두께 만이 감소될 것이다. 이러한 방식에 있어서, 감소된 영역들 내에서의 웨이퍼의 두께는 상기 언급한 비아 시도들이 이용될 수 있고 적절한 씨드층이 증착될 수 있을 정도로 된다. 또한, 영역의 일부분 만이 감소되기 때문에, 웨이퍼의 전체적인 구조적 강성(rigidity)은 필요한 취급을 가능하게 하는 데에 필요한 정도로 유지될 수 있다. 또한, 두께가 감소되어야 하는 영역들은 비아들이 위치되어야 하는 영역들로 제한될 수 있으며, 그리고 경계들이 중요하지 않기 때문에, 필요한 경우, 거친(coarse) 식각 기술들을 이용하여 커다란 형태(large fashion)로 식각될 수 있다. 실제로, 일부 경우들에서는, 비아 형성 후에 얇게 함(post via-formation thinning)으로써, 경계들을 완전히 제거한다.

[0007] 완전 처리된 웨이퍼에 전기 전도성 비아를 형성하기 위한 시도의 하나의 구현은, 완전 처리된 웨이퍼의 후방(backside)에 적어도 하나의 트렌치 영역을 정의하는 단계와, 트렌치 영역 내에 적어도 하나의 트렌치를 형성하되, 이 트렌치 내에 형성되는 비아가 자신의 전체 깊이(full depth) 위에 씨드될 수 있게 하는 전체 깊이로 형성하는 단계와, 완전 처리된 웨이퍼 내로 트렌치 내에 비아를 미리 결정된 깊이로 형성하는 단계와, 비아의 전체 깊이 위에 씨드층을 증착하는 단계와, 그리고 전기 전도성 금속으로 비아를 채우기 위해 씨드층을 도금하는 단계를 포함한다.

[0008] 여기에서 설명되는 장점들 및 특징들은 대표적인 실시예들로부터 알 수 있는 많은 장점들 및 특징들중 단지 일부로서, 본 발명의 이해를 돕기 위해 제시된 것일 뿐이다. 이해될 사항으로서, 이러한 장점들 및 특징들은 본 발명 또는 그 균등물에 대한 제한으로 고려되서는 안된다. 이를 테면, 이러한 장점들중 일부는 이들이 단일 실시예에서 동시에 존재할 수 없다는 점에서 서로 모순된다. 유사하게, 일부 장점들은 본 발명의 하나의 실시 형태에만 적용가능하고, 다른 실시 형태들에는 적용할 수 없다. 부가적인 특징들 및 장점들이 하기의 설명 및 도면으로부터 명확해질 것이다.

**실시예**

[0013] 미국 특허 출원 번호 제11/329,481호, 제11/329,506호, 제11/329,539호, 제11/329,540호, 제11/329,556호, 제11/329,557호, 제11/329,558호, 제11/329,574호, 제11/329,575호, 제11/329,576호, 제11/329,873호, 제11/329,874호, 제11/329,875호, 제11/329,883호, 제11/329,885호, 제11/329,886호, 제11/329,887호, 제11/329,952호, 제11/329,953호, 제11/329,955호, 제11/330,011호 및 제11/422,551호는 반도체 웨이퍼들 내에 작고 깊은 비아들을 형성하는 다양한 기술들을 개시한다. 이들 출원들의 내용들은 여기에서 완전히 설명되는 것처럼 참조로서 본원에 통합된다.

[0014] 이들 출원들에서 설명되는 우리 기술들은 이전에 달성 불가능했던 비아 밀도 및 배치를 가능하게 하며, 칩, 다이 또는 웨이퍼 규모(scale)로 수행될 수 있다. 어떠한 경우들에서, 이러한 기술들은 디바이스들이 이미 형성되어 있고 백엔드 처리(즉, 디바이스 간의 배선 금속화층의 형성)가 완료된 웨이퍼, 또는 사전에 얇게 되지 않은 웨이퍼 상에서 수행되는 것이 바람직하다. 전형적으로, 반도체 웨이퍼들은 약 500 $\mu$ m 내지 750 $\mu$ m 또는 그 이상의 두께를 갖는다.

[0015] 하지만, 상기 주목한 바와 같이, 이러한 두께의 웨이퍼들을 이용하여, 다수의 뾰뾰하게 팩킹(packing)된 작은 비아들을 생성하는 것은 극히 어려운데, 이러한 비아들은 디바이스 콘택들 또는 하나 이상의 백엔드 금속화층들 까지 연장될 수 있을 뿐 아니라, 이들이 금속화될 수 있도록 씨드될 수 있다. 상기 참조된 특허 출원들에서 설명되는 시도들은 일반적으로, 웨이퍼 규모의 시도가 이용되어야 하는 경우, 비아 형성 이전에 웨이퍼를 사전에 얇게 함으로써 이러한 문제를 피한다. 하지만, 상기 주목한 바와 같이, 특정량을 넘어서 전체 웨이퍼를 얇게 하게 되면, 웨이퍼가 너무 깨지기 쉽게 됨으로써, 일상적인 웨이퍼 처리 시도들을 이용하여 취급될 수 없게 한다.

[0016] 우리의 시도는 "트렌치" 기술이다. 이 기술은 먼저 완전히 형성된 웨이퍼의 후방의 영역들을 식각하여, 적절한 씨드 증착을 가능하게 하면서 깊은 비아가 형성될 필요가 있는 영역들에서 웨이퍼가 얇아질 수 있게 하며, 웨이퍼의 다수의 부분들은 완전한 두께 또는 어떠한 미리 얇아진 두께로 유지되는 바, 이러한 두께는 일상적인 방식으로 웨이퍼가 추가적으로 처리될 수 있게 하는 두께 및 전체적인 강성으로 웨이퍼를 여전히 유지한다.

[0017] 특정의 구현에 따라, 얇아진 영역들은,

[0018] i) 일단 다이싱되어 존재하게 되는 개별적인 칩의 영역과 같거나 넘는 영역을 커버하고,

[0019] ii) 비아들의 그룹들이 형성되게 될 보다 작은 영역들을 커버하거나,

[0020] iii) 개별적인 비아들이 형성될 개별적인 영역들 만을 커버할 수 있다.

[0021] 일관성을 위해, 이러한 감소된 영역은 본원에서 "트렌치"라 지칭될 것이지만, 이 용어는 임의의 특정한 형상, 실시 형태(즉, 깊이 대 폭(depth to width)) 관계 또는 다른 기하학적인 구성을 통합하는 것으로 의도되지 않는다.

[0022] 또한, 이러한 트렌치들은, 하기에서 보다 상세히 설명될, 이후 수행되는 단계에서 어시스트(assist)할 수 있도록 생성될 수 있다.

[0023] 상기 3개의 시도들중 어느 것이 이용되느냐에 상관없이, 웨이퍼의 전체 면적의 분수(fraction)로서 비례하는 트렌치들의 총 면적은 전형적으로 75% 미만 및 전형적으로 50% 또는 그 미만이 되어, 웨이퍼의 구조적인 완전성을

보장하고, 웨이퍼가 통상의 방식으로 취급될 수 있는 능력이 유지될 수 있게 한다.

- [0024] 유익하게는, 트렌치 형성은 비아들을 형성하는 데에 이용되는 것과 동일한 식각 공정들에 의해 이루어질 수 있다. 대안적으로, 트렌치(들)는 습식 식각 공정과 같이 보다 정확도가 낮은 공정을 이용하여 형성될 수 있다.
- [0025] 또한, 트렌치의 깊이는 비아의 직경 및 깊이에 따라 보다 커지거나 작아질 수 있다. 명백하게는, 요구되는 트렌치 깊이는, 트렌치 내의 웨이퍼 내에 형성되는 비아가 자신의 완전한 깊이로 씨드될 수 있게 하는 깊이이다. 예를 들어, 전체 750 $\mu\text{m}$ 의 두께를 갖는 웨이퍼는, 50 $\mu\text{m}$  직경의 비아들이 생성되어야 하는 경우에는 요구되는 영역 내에서 웨이퍼가 400 $\mu\text{m}$ 의 두께가 되게 하는 트렌치, 또는 10 $\mu\text{m}$  직경의 비아들이 만들어져야 하는 경우에는 웨이퍼가 150 $\mu\text{m}$ 의 두께가 되게 하는 트렌치 만을 요구한다. 상기 주목한 바와 같이, 트렌치 내의 웨이퍼가 얇을 수록, 남겨져야만 하는 웨이퍼의 나머지 영역이 더 커지기는 하지만, 보다 깊은 트렌치들(즉, 보다 얇은 웨이퍼 영역들)이 또한 도모될 수 있다.
- [0026] 어떠한 경우들에 있어서, 전형적으로 가장 좁은 직경의 비아들을 갖는 것들에 대해서는, 전체적인 구조적 완전성을 유지하면서 웨이퍼를 필요한 두께로 감소시키기 위해 2개 이상의 "적층 트렌치들"을 이용할 수 있는 다단(multi-stepped)의 시도가 이용될 수 있다.
- [0027] 마지막으로, 비록 이러한 시도가 상기 참조한 공동으로 양도된 특허 출원들에서 설명되는 것과 같은 비아들과 관련하여 예시적으로 설명되지만, 이러한 동일한 시도는 유사한 문제들을 갖는 다른 비아 형성 기술들에 대해서도 이용될 수 있다.
- [0028] 이제, 도면들을 참조하면, 도 1A 내지 1G는 "트렌치" 기술의 하나의 예시적인 시도를 단순화된 형태로 도시한다.
- [0029] 도 1A는 반도체 웨이퍼(100)의 일부를 단순화된 형태로 도시한다. 나타난 바와 같이, 반도체 웨이퍼는, 프론트 엔드와 백엔드 처리가 모두 완료되었다는 점에서, 완전한(즉, 최대의) 두께를 가지며 다이싱 준비가 되어 있다. 하지만, 본 예를 위해, 이 웨이퍼는 후방으로부터 백엔드 처리의 일부로서 배치되는 금속화층들 중 하나의 층의 어떠한 부분까지 비아들을 부가하기 위한 처리가 행해질 것으로 가정한다.
- [0030] 이러한 공정은 다음과 같이 진행된다.
- [0031] 먼저, 도 1B에 나타난 바와 같이, 금속이 충전된 깊은 비아들(deep metal filled vias)이 될 영역 위에 트렌치(102)가 형성되지만, 이 웨이퍼는 너무 두꺼워서, 요구되는 깊이까지로의 비아 식각 또는 씨드 증착중 어느 하나, 또는 둘 모두가 가능하지 않게 할 것이다. 트렌치 영역(104)은, (본 예에서는) 연결될 금속화 포인트(114)로부터 충분한 거리를 갖는 새로운 외부 표면(108)을 정의하고, 그 금속화 포인트(114)까지로의 비아 생성 및 씨드 증착에 필요한 기준들을 충족시키기에 충분한 깊이(106)로, 예를 들어 통상의 건식 식각 또는 습식 식각 시도를 이용하여 정의되고 형성된다.
- [0032] 주목할 사항으로서, 트렌치(102)의 표면 형상은 그것을 정의하는 능력에 의해서만 제한된다. 따라서, 특정의 응용에 따라, 단순한 사변형 또는 원형의 형상으로부터 고도로 복잡한 기하학적 형상까지의 임의의 형상이 이용될 수 있다.
- [0033] 다음으로, 요구되는 방식으로 비아가 형성된다. 도 1C 내지 1G에 나타난 바와 같이, 예시를 위하여, 상기 참조된 특허 출원들에서 설명되는 것과 같은 고리 모양(annular)의 비아 방식이 이용된다.
- [0034] 예시 및 단순화를 위하여, 트렌치(102) 내에 2개의 비아들(110, 112)이 도시된다. 이해의 목적을 위해, 왼쪽의 비아(110)는 금속화층들의 중간 포인트(110)까지 연장되고, 오른쪽의 비아(112)는 제 1 금속화층(116)까지만 연장된다. 하지만, 이해될 사항으로서, 비아들(110, 112)은 서로 다른 깊이를 갖기 때문에, 이들은 동시에 형성되지 않으며, 이러한 비아들이 동일한 직경을 갖는 경우, 공통 깊이의 비아들이 동시에 생성된다. 또한, 이해될 사항으로서, 고리 모양의 비아들(110, 112)은 어떤 식으로든 척도로 나타낸 것이 아니며, 실제로 모든 비율들은 크게 과장되며, 그 척도가 벗어나 있다.
- [0035] 도면들을 참조하면, 도 1C에 나타난 바와 같이, 고리 모양의 링 형상 비아 트렌치(118)가 형성된다. 도 1D에 나타난 바와 같이, 비아 트렌치(118)는 절연물(120)로 채워진다. 도 1E에 나타난 바와 같이, 절연물(120) 내의 반도체 물질의 안쪽 섬(inner island)(122)은 제거된다. 도 1F에 나타난 바와 같이, 씨드층(124)이 증착되고, 비아는, 예를 들어 전기 도금 공정(electroplating process)을 이용하여 금속(126)으로 채워진다. 이후, 디바이스 패드들의 형성 또는 본 공정을 이해하는 것과 관련이 없는 다른 실행들과 같은 요구되는 임의의 부가적인 공정

단계들이 수행된다.

- [0036] 마지막으로, 도 1G 및 1H에 나타난 바와 같이, 이용되는 트렌치의 크기(extent)에 따라(즉, 칩의 경계들을 넘는 단일 트렌치이냐에 따라), (전자의 경우에 대해) 웨이퍼는 단순히 소잉(sawing) 또는 다이싱되거나, 또는 금속이 채워지는 비아들에 의해 형성되는 컨택들(128, 130)에 대한 액세스를 제공하기 위해 얇게 된 다음, 다이싱 또는 소잉될 수 있다. 어느 경우이든, 얇게 하는 방식에 따라, 어떠한 변형 실시예들에서, 새롭게 형성되는 비아들은 포스트(post)(132, 134)들로서 이용되고, 다른 변형 실시예들에서, 비아들은 자신들에게 부착되는 컨택 패드들(128, 130)을 가질 수 있다.
- [0037] 주목할 사항으로서, 비록 이러한 시도가 한 쌍의 비아들에 대해 예시되었지만, 이러한 시도는 단일 비아 또는 (2개로부터 수백개 또는 그 이상까지의) 다수의 비아들에 대해서도 동일하며, 유일한 차이는 이용되는 트렌치의 크기 또는 형상이다.
- [0038] 도 2는 여기에서 설명되는 하나의 예시적인 시도를 이용하는 웨이퍼(200)를 단순화된 형태로 도시하는 바, 트렌치의 측면으로부터(도 2A) 그리고 A-A에서 절취한 단면 형태(도 2B)로 도시한다. 이러한 시도를 이용하여, 트렌치들(202)은 웨이퍼(200) 상에 형성되는 개별적인 칩들(204)과 정렬되도록 크기 및 형상이 정해지며, 이러한 칩들 보다는 약간 더 크다.
- [0039] 도 3A 내지 3L은 상기 언급한 시도의 변형을 도시하는 바, 예를 들어 두꺼운 웨이퍼 내의 극히 좁은 비아들을 도모하거나 특정의 컨택 형성 요건을 도모하기 위해 2개 이상의 "적층" 트렌치들을 필요로 한다.
- [0040] 상기 시도에서와 같이, 본 시도는 완전히 형성된 웨이퍼(300)로 시작되는 바, 도 3A는 그 단순화된 일부분을 나타낸다.
- [0041] 도 3B에 나타난 바와 같이, 예를 들어 습식 또는 건식 식각 시도를 다시 한번 이용하여, 웨이퍼(300)의 후방(304)에 트렌치(302)가 형성된다.
- [0042] 다음으로, 도 3C에 나타난 바와 같이, 제 1 트렌치(302)가 형성되었던 것과 동일한 방식으로 제 1 트렌치(302)의 바닥 표면(즉, 하부 표면)(312)에 한 쌍의 보다 작은 트렌치들(308, 310)이 형성된다. 혼동을 피하기 위해, "동일한 방식"은 단지 제 1 트렌치(302)의 하부 표면(312)이 시작 표면으로서(즉, 제 1 트렌치(302)가 형성되기 전의 웨이퍼(300)의 최초 표면(314) 처럼) 처리됨을 의미한다는 것을 주목해야 한다. 제 1 트렌치를 형성하는 데에 이용되는 것과 동일한 시도가 반드시 이용되어야 함을 의미하는 것은 아니다. 즉, 동일하거나 다른 시도가 이용될 수 있다.
- [0043] 제 2 깊이 트렌치들(308, 310)을 형성한 후, 이러한 제 2 트렌치들(308, 310)의 바닥 표면(316)과 요구되는 접속 포인트들(318, 320) 간의 거리는 의도되는 비아 사이징(via sizing)을 갖는 씨드 증착을 가능하게 하는 데에 필요한 범위 내에 있게 된다.
- [0044] 이제, 실제 비아 형성 공정이 시작될 수 있는 바, 예시 및 단순화를 위해, (상기와 같이, 치수들은 그 척도가 아니라는 것을 염두해 두면서) 기본적인 고리 모양의 비아 시도가 이용된다. 따라서, 도 3D에 나타난 바와 같이, 고리 모양 비아들(322, 324)이 생성되는 바, 이들은 제 2 트렌치들(308, 310)의 바닥 표면(316)으로부터 각각의 요구되는 접속 포인트들(318, 320), 즉 여기에서 역시 금속화층들 내의 각각의 포인트까지 연장된다.
- [0045] 이때, 주목할 사항으로서, 2개의 다른 트렌치들(302, 308)을 이용하여 적절한 깊이를 설정하였지만, 웨이퍼 단위(on a wafer basis)로, 웨이퍼의 상당 부분의 두께는 최초 표면(314)에서 접속 포인트(318)까지의 두께(N)로 유지된다. 또한, 웨이퍼(300)의 훨씬 더 많은 부분은 N-Z의 두께로 유지되고, 웨이퍼의 작은 부분만이 N-(Y+Z)의 두께로 유지된다. 또한, 이러한 다중-깊이(또는 다단)의 시도를 이용하게 되면, 웨이퍼를 약화시키는 큰 위험없이, 깊이(Y 및 Z)를 선택함에 있어서 유연성을 얻을 수 있게 된다.
- [0046] 도 3E는 트렌치 측으로부터 절취한 웨이퍼(300)의 일부를 나타낸다. 이에 따라, 도 3E는 표면들 "a", "b" 및 "c"와 고리 모양 트렌치 "d"를 교대로 나타낸다.
- [0047] 도 3F는 고리 모양 비아들(322, 324)이 절연물(326)로 채워진 이후의 웨이퍼(300)를 나타낸다. 도 3G는 고리 모양 절연물(326) 내의 반도체 물질의 섬(328)이 요구되는 금속화 접속 포인트(318, 320)까지 제거된 이후의 웨이퍼(300)를 나타낸다. 도 3H는 빈틈(void)이 씨드되고(322), 금속(324)으로 채워진 이후의 웨이퍼(300)를 나타낸다.
- [0048] 이때, 이러한 시도를 이용하게 되면, 2개의 새로운 옵션들을 이용할 수 있게 된다. 하나의 옵션을 이용하면, 도

3I에 나타낸 바와 같이, 웨이퍼(300)는 다이싱될 수 있고, 칩들은 새롭게 형성된 컨택들(326, 328)을 노출시키도록 얇아지거나, 또는 웨이퍼(300)는 다이싱 이전에 얇게 될 수 있는 바, 어느 경우이든, 예를 들어 요구되거나 필요한 경우, 컨택 패드들(330, 332)의 형성이 뒤따른다(도 3J). 다른 하나의 옵션을 이용하면, 예를 들어 매우 좁은 비아들을 필요로 하는 이유가, 전체 비아 피치와 대조적으로, 접속되어야 하는 포인트와 관련되었던 것이고, 제 2 트렌치들이 적절하게 사이징되고 이격된 경우, 웨이퍼 또는 (다이싱된 경우) 칩은 간단하게 제 2 비아들까지 얇아질 수 있다(도 3K). 이후, 제 2 비아들 자체는, 컨택 패드 형성 공정 이전에 또는 그 일부로서, 도 3L에 나타낸 바와 같이 전도체(334)로 채워질 수 있다. 이러한 방식으로, 보다 큰 웨이퍼 또는 칩 두께가 유지될 수 있게 된다.

[0049] 도 4는 상기 시도들중 하나를 이용하여 생성되는 웨이퍼의 일부의 사진이다. 알 수 있는 바와 같이, 도 4의 시도에서는, 단일 칩의 경계들 내에서 다수의 트렌치들이 이용되는 바, 이 경우 개별적인 비아 단위(on an individual via basis)로 이용된다.

[0050] 마지막으로, 다른 변형들에서는, 트렌치들이 다른 목적들로 기능하도록 형성될 수 있다는 것을 주목해야 한다. 예를 들어, 다양한 구현들에 있어서, 트렌치들은 채널 절연물이 고리 모양 트렌치가 되는 것을 돕거나, 또는 리라우팅 트레이스(rerouting trace)가 되거나 아니면 이를 형성하게 될 금속을 한정하도록 설계될 수 있다. 따라서, 유익하게는, 특정의 구현 및 구성에 따라, 트렌치들은 단지 상기 언급한 비아 깊이 문제를 해소하는 것을 넘어 많은 목적들을 행할 수 있다.

[0051] 따라서, (도면들을 포함하여) 본 설명은 단지 몇 개의 예시적인 실시예들을 나타낸 것일 뿐이다. 읽는 사람의 편의를 위해, 상기 설명은 가능한 모든 실시예들 중에서 본 발명의 원리를 교시하는 대표적인 샘플에 초점을 맞추었다. 상기 설명은 가능한 모든 변형들을 속속들이 열거하고자 시도하지 않았다. 본 발명의 특정 부분에 대한 대안적인 실시예들이 제시되지 않았거나, 또는 어떤 부분에 대한 대안적인 실시예들이 이용될 수 있다는 것이 추가로 설명되지 않았다고 해서, 이러한 대안적인 실시예들을 포기하는 것으로서 간주해서는 안된다. 당업자라면 이러한 설명되지 않은 많은 실시예들은 본 발명의 동일한 원리를 포함하며, 나머지 것들도 동등하다는 것을 이해할 것이다.

**도면의 간단한 설명**

[0009] 도 1A 내지 1H는 "트렌치" 기술의 하나의 예시적인 시도를 단순화된 형태로 도시한다.

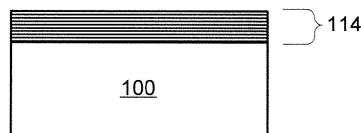
[0010] 도 2는 여기에서 설명되는 하나의 예시적인 시도를 이용하는 웨이퍼를 단순화된 형태로 도시한다.

[0011] 도 3A 내지 3L은 두개 이상의 "적층" 트렌치들을 필요로 하는 상기 설명된 시도의 변형을 도시한다.

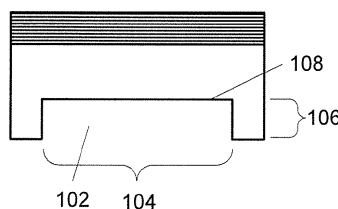
[0012] 도 4는 여기에서 설명되는 시도들중 하나를 이용하여 생성되는 웨이퍼의 일부의 사진이다.

**도면**

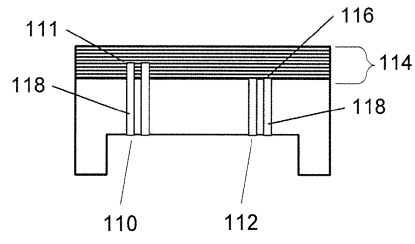
**도면1A**



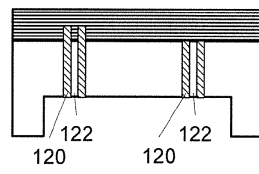
**도면1B**



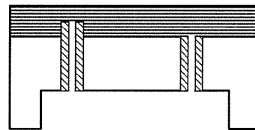
도면1C



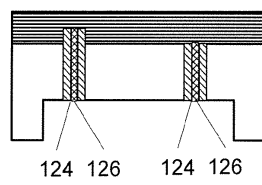
도면1D



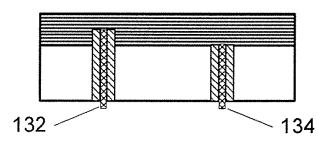
도면1E



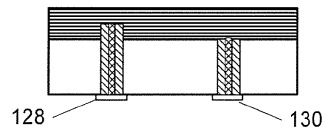
도면1F



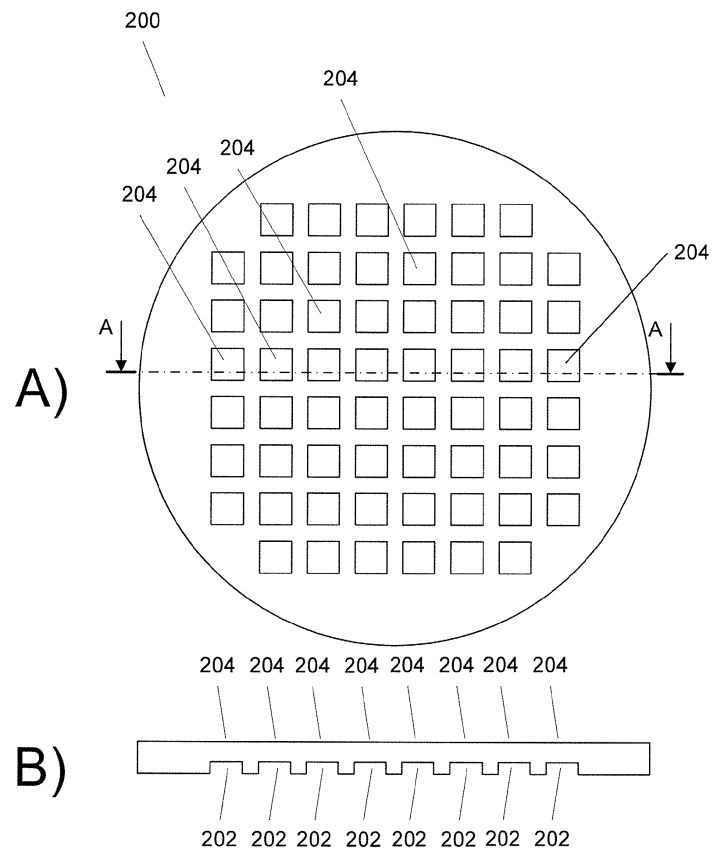
도면1G



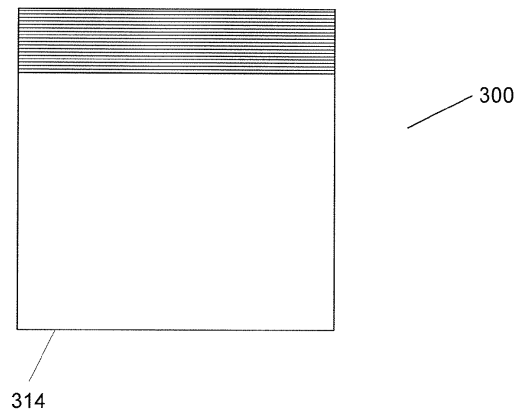
도면1



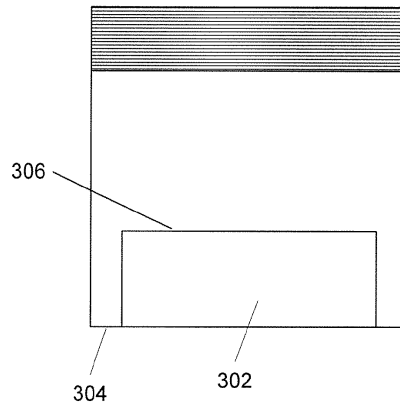
도면2



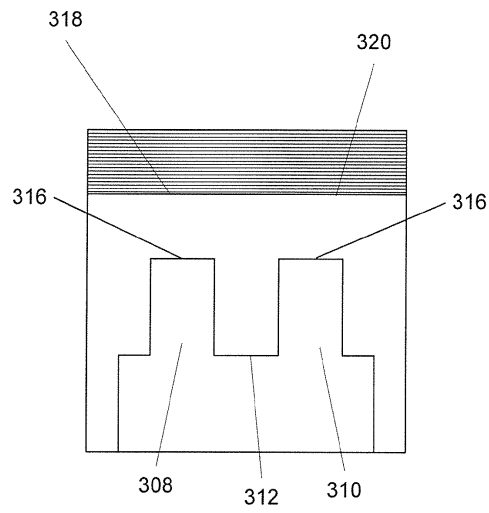
도면3A



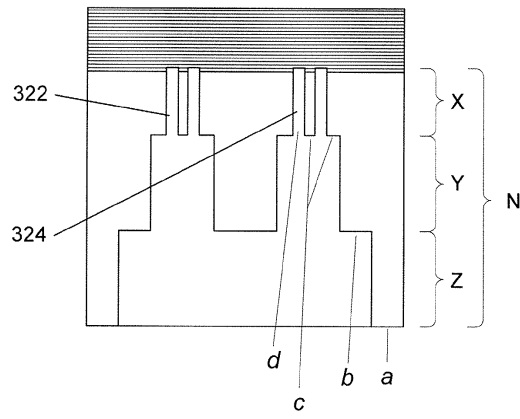
도면3B



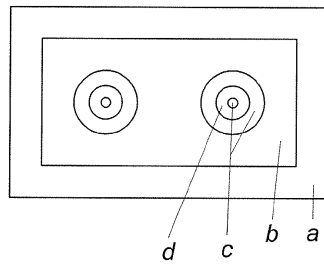
도면3C



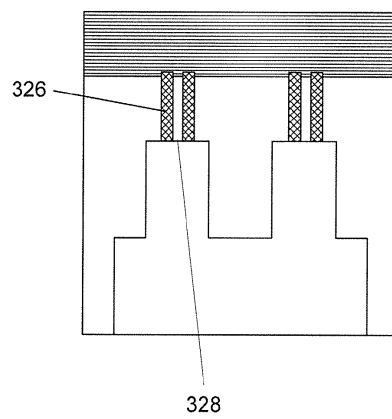
도면3D



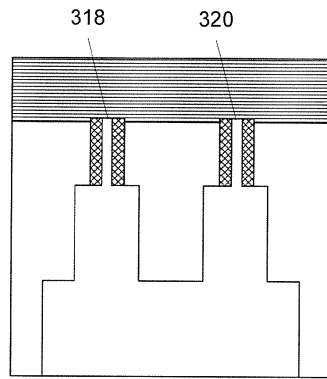
도면3E



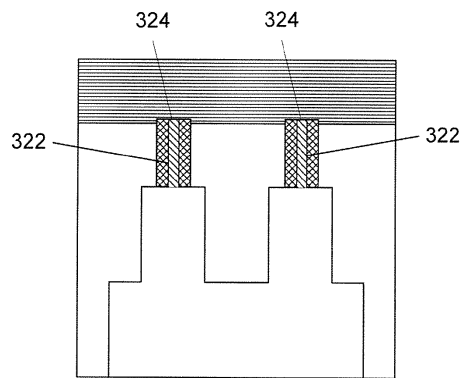
도면3F



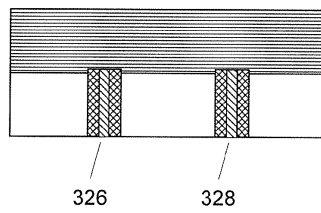
도면3G



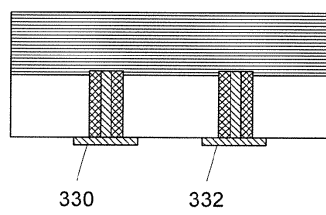
도면3H



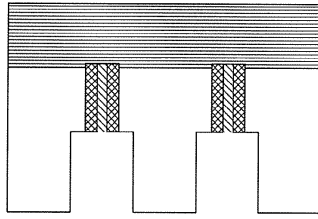
도면3I



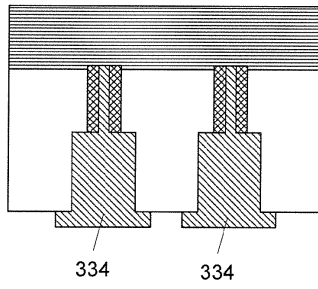
도면3J



도면3K



도면3L



도면4

