

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6193441号
(P6193441)

(45) 発行日 平成29年9月6日(2017.9.6)

(24) 登録日 平成29年8月18日(2017.8.18)

(51) Int.Cl.

F 1

G 11 C 11/4097 (2006.01)

G 11 C 11/4097

H 01 L 21/8242 (2006.01)

H 01 L 27/108 6 8 1 B

H 01 L 27/108 (2006.01)

請求項の数 6 (全 31 頁)

(21) 出願番号 特願2016-92286 (P2016-92286)
 (22) 出願日 平成28年5月2日 (2016.5.2)
 (62) 分割の表示 特願2011-219711 (P2011-219711)
 原出願日 平成23年10月4日 (2011.10.4)
 (65) 公開番号 特開2016-184452 (P2016-184452A)
 (43) 公開日 平成28年10月20日 (2016.10.20)
 審査請求日 平成28年5月2日 (2016.5.2)
 (31) 優先権主張番号 特願2010-225566 (P2010-225566)
 (32) 優先日 平成22年10月5日 (2010.10.5)
 (33) 優先権主張国 日本国 (JP)
 (31) 優先権主張番号 特願2010-274168 (P2010-274168)
 (32) 優先日 平成22年12月9日 (2010.12.9)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 竹村 保彦
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 審査官 堀田 和義

最終頁に続く

(54) 【発明の名称】半導体装置

(57) 【特許請求の範囲】

【請求項 1】

第1乃至第4のトランジスタと、複数の第1のメモリセルと、複数の第2のメモリセルと、を有し、

前記第1のトランジスタのソース又はドレインの一方は、第1のビット線と電気的に接続され、

前記第2のトランジスタのゲートは、前記第1のビット線と電気的に接続され、

前記第3のトランジスタのソース又はドレインの一方は、第2のビット線と電気的に接続され、

前記第4のトランジスタのゲートは、前記第2のビット線と電気的に接続され、

前記複数の第1のメモリセルの一は、第5のトランジスタと、第1の容量素子と、を有し、

前記第5のトランジスタのソース又はドレインの一方は、前記第1の容量素子と電気的に接続され、

前記第5のトランジスタのソース又はドレインの他方は、前記第1のビット線と電気的に接続され、

前記複数の第2のメモリセルの一は、第6のトランジスタと、第2の容量素子と、を有し、

前記第6のトランジスタのソース又はドレインの一方は、前記第2の容量素子と電気的に接続され、

10

20

前記第6のトランジスタのソース又はドレインの他方は、前記第2のビット線と電気的に接続され、

前記第1のトランジスタは、前記第1のビット線にデータを供給する機能を有し、

前記第2のトランジスタは、前記第1のビット線からデータを読み出す機能を有し、

前記第3のトランジスタは、前記第2のビット線にデータを供給する機能を有し、

前記第4のトランジスタは、前記第2のビット線からデータを読み出す機能を有し、

前記第1のトランジスタのソース又はドレインの他方は、前記第2のトランジスタのソース又はドレインの一方と電気的に接続され、

前記第3のトランジスタのソース又はドレインの他方は、前記第4のトランジスタのソース又はドレインの一方と電気的に接続され、

前記第2のトランジスタが前記第1のビット線からデータを読み出す際は、前記第2のトランジスタのソース又はドレインの他方の電位が第1の電位である期間と第2の電位である期間とを有し、

前記第4のトランジスタが前記第2のビット線からデータを読み出す際は、前記第4のトランジスタのソース又はドレインの他方の電位が第3の電位である期間と第4の電位である期間とを有することを特徴とする半導体装置。

【請求項2】

第1乃至第4のトランジスタと、複数の第1のメモリセルと、複数の第2のメモリセルと、を有し、

前記第1のトランジスタのソース又はドレインの一方は、第1のビット線と電気的に接続され、

前記第2のトランジスタのゲートは、前記第1のビット線と電気的に接続され、

前記第3のトランジスタのソース又はドレインの一方は、第2のビット線と電気的に接続され、

前記第4のトランジスタのゲートは、前記第2のビット線と電気的に接続され、

前記複数の第1のメモリセルの一は、第5のトランジスタと、第1の容量素子と、を有し、

前記第5のトランジスタのソース又はドレインの一方は、前記第1の容量素子と電気的に接続され、

前記第5のトランジスタのソース又はドレインの他方は、前記第1のビット線と電気的に接続され、

前記複数の第2のメモリセルの一は、第6のトランジスタと、第2の容量素子と、を有し、

前記第6のトランジスタのソース又はドレインの一方は、前記第2の容量素子と電気的に接続され、

前記第6のトランジスタのソース又はドレインの他方は、前記第2のビット線と電気的に接続され、

前記第1のトランジスタは、前記第1のビット線にデータを供給する機能を有し、

前記第2のトランジスタは、前記第1のビット線からデータを読み出す機能を有し、

前記第3のトランジスタは、前記第2のビット線にデータを供給する機能を有し、

前記第4のトランジスタは、前記第2のビット線からデータを読み出す機能を有し、

前記第1のトランジスタのソース又はドレインの他方は、前記第2のトランジスタのソース又はドレインの一方と電気的に接続され、

前記第3のトランジスタのソース又はドレインの他方は、前記第4のトランジスタのソース又はドレインの一方と電気的に接続され、

前記第2のトランジスタが前記第1のビット線からデータを読み出す際は、前記第2のトランジスタのソース又はドレインの他方の電位が第1の電位である期間と第2の電位である期間とを有し、

前記第4のトランジスタが前記第2のビット線からデータを読み出す際は、前記第4のトランジスタのソース又はドレインの他方の電位が第3の電位である期間と第4の電位で

10

20

30

40

50

ある期間とを有し、

前記第1のトランジスタのゲートは、前記第3のトランジスタのゲートと電気的に接続され、

前記第1のメモリセルと前記第2のメモリセルとには、相補データではないデータが書き込まれることを特徴とする半導体装置。

【請求項3】

請求項1又は請求項2において、

前記第5のトランジスタのゲートは、前記第6のトランジスタのゲートと電気的に接続されることを特徴とする半導体装置。

【請求項4】

請求項1乃至請求項3のいずれか一項において、

前記第5のトランジスタ及び前記第6のトランジスタは、チャネル形成領域に酸化物半導体を有することを特徴とする半導体装置。

【請求項5】

請求項1乃至請求項4のいずれか一項において、

前記第5のトランジスタ及び前記第6のトランジスタは、半導体基板上方の絶縁層上方に設けられていることを特徴とする半導体装置。

【請求項6】

請求項1乃至請求項5のいずれか一項において、

前記複数の第1のメモリセルは、互いに重なっていることを特徴とする半導体装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体を用いたメモリ装置に関する。

【背景技術】

【0002】

最初に、本明細書で用いる用語について簡単に説明する。まず、トランジスタのソースとドレインについては、本明細書においては、一方をドレインと呼ぶとき他方をソースとする。すなわち、電位の高低によって、それらを区別しない。したがって、本明細書において、ソースとされている部分をドレインと読み替えることもできる。

30

【0003】

さらに、本明細書においては、「接続する」と表現される場合であっても、現実の回路においては、物理的な接続部分がなく、配線が延在している場合だけのこともある。例えば、絶縁ゲート型電界効果トランジスタ（以下、単にトランジスタ、という）の回路では、一本の配線が複数のトランジスタのゲートを兼ねている場合もある。その場合、回路図では、一本の配線からゲートに何本もの分岐が生じるように書かれることもある。本明細書では、そのような場合でも、「配線がゲートに接続する」という表現を用いることがある。

【0004】

なお、本明細書では、マトリクスにおいて特定の行や列、位置を扱う場合には、符号に座標を示す記号をつけて、例えば、「選択トランジスタ S T r _ n _ m」、「主ビット線 M B L _ m」、「サブビット線 S B L _ n _ m」というように表記するが、特に、行や列、位置を特定しない場合や集合的に扱う場合、あるいはどの位置にあるか明らかである場合には、「選択トランジスタ S T r」、「主ビット線 M B L」、「サブビット線 S B L」、あるいは、単に「選択トランジスタ」、「主ビット線」、「サブビット線」というように表記することもある。

40

【0005】

1つのトランジスタと1つの容量素子を用いてメモリセルを形成するDRAMは、高集積化でき、原理的に無制限に書き込みでき、さらに、書き込み読み出しの速度も比較的高速でおこなえるため、多くの電子機器で使用されている。DRAMは、各メモリセルの容量

50

素子に電荷を蓄積することにより、データを記憶し、この電荷を放出することによりデータを読み出す。

【0006】

図2に従来のDRAMの回路を示す。他のメモリ装置と同様にメモリセルがマトリクス状に配置される。図2では、第n行第m列から第(n+6)行第(m+1)列までの14個のメモリセルの様子と、読み出しに使用するセンスアンプAMP_m、AMP_m+1を示す。

【0007】

以下、動作について簡単に説明する。第n行のメモリセルにデータを書き込むには、ワード線WL_nの電位を適切な電位(例えば、+1.8V)として、第n行のメモリセルのトランジスタをオンする。そして、ビット線BL_m、ビット線BL_m+1等のビット線BLの電位をデータに応じた電位(例えば、+1Vあるいは0V)とすることにより、各メモリセルの容量素子をその電位で充電する。

【0008】

読み出す際の操作は、書き込みに比較すると複雑となる。まず、ビット線BL_m、BL_m+1等を含む全てのビット線BLの電位を適切な電位(例えば、+0.5V)に充電(プリチャージ)する。また、各ビット線に接続するセンスアンプの参照電位VR_EFはプリチャージした電位(すなわち、+0.5V)とする。

【0009】

この状態で、読み出す行のワード線WLの電位を適切な電位(例えば、+1.8V)として、当該行のメモリセルのトランジスタをオンとする。すると、ビット線BLの電位は、メモリセルの容量素子の電位に応じて変動する。例えば、容量素子が+1Vに充電されていた場合には、ビット線BLの電位は+0.5Vより高くなり、容量素子が0Vに充電されていた場合には、ビット線BLの電位は+0.5Vより低くなる。

【0010】

ビット線BLの電位が+0.5Vより高ければ、センスアンプのデータ入出力端子DAT_Aの電位はHになり、ビット線BLの電位が+0.5Vより低ければLになる。このようにして、データを読み出す。以上の操作において問題となるのは、読み出し精度である。ビット線BLの寄生容量(図にCS_m、CS_m+1で示す)が読み出すメモリセルの容量素子の容量よりも小さければ、ビット線BLの電位は容量素子の電位に近くなり、参照電位VR_EFとの差が大きくなる。

【0011】

逆にビット線BLの寄生容量がメモリセルの容量素子の容量よりも大きければ、ビット線BLの電位は容量素子の電位の影響を受けにくくなる。例えば、ビット線BLの寄生容量が容量素子の容量の10倍であれば、メモリセルのトランジスタをオンとして、容量素子に蓄積されていた電荷をビット線BLに放出したとしても、電位の変動は0.05V程度でしかない。

【0012】

センスアンプはビット線BLの電位と参照電位VR_EFとの差が小さくなるとエラーを発生しやすくなる。ビット線BLは多くの配線と交差するため、距離が長くなると寄生容量が大きくなる。そして、ビット線BLの寄生容量に対して相対的に容量素子の容量が小さくなると、電位の変動も小幅となるため、読み出しの際にエラーが発生しやすくなる。

【0013】

微細化とともに、メモリセルの占有面積は縮小する傾向にあるが、上記のようにビット線(あるいは後述するサブビット線)の寄生容量との比率を一定以上に保つ必要から、メモリセルの容量素子の容量は削減できない。すなわち、容量素子を形成する面積が縮小する中で、同じ容量の容量素子を形成することが求められてきた。

【0014】

現在、容量素子はシリコンウェハーに深い穴を掘るトレンチ構造、あるいは、煙突状の突起を設けるスタック構造によって形成されている(非特許文献1、非特許文献2参照)。

10

20

30

40

50

いずれもアスペクト比は 50 以上とすることが求められている。すなわち、深さや高さが 2 μ m 以上の極めて細長い構造物を限られた面積に形成する必要があり、これらを歩留まりよく形成することは難しい。

【0015】

このような困難を克服するために、サブピット線をピット線（サブピット線との対比で主ピット線ともいう）に設け、かつ、サブピット線にそれぞれフリップフロップ回路型のセンスアンプを接続し、容量素子の容量を低減する方法が提案されている（特許文献 1 参照）。しかしながら、フリップフロップ回路を複数設けることは集積度を低下させるのみならず、サブピット線や、それに接続する容量素子やフリップフロップ回路の入力の容量等の容量（寄生容量を含む）が 1 fF 以下である場合には動作が不安定となり、エラーを発生しやすくなることを本発明者は見出した。10

【0016】

エラーの主たる要因はノイズである。例えば、何らかのノイズにより回路の電位が変動する場合を考える。ノイズの原因である電位変動を一定とするとき、ある回路の電位の変動は、その回路の容量に反比例する。すなわち、回路の容量が大きければ、ノイズによる電位の変動は無視できる。一方、回路の容量が小さければ、ノイズにより電位が大きく変動する。

【0017】

通常のDRAMであれば、ピット線の容量は数 100 fF 以上ある。そのため、相当、大きなノイズであってもピット線の電位の変動は限られる。しかし、通常のピット線では、1 mV の変動しかもたらさないようなノイズであっても、容量が 1 fF のサブピット線では、0.1 V 以上もの変動をもたらすこととなる。容量が 0.1 fF 以下のサブピット線では、1 V 以上もの変動となる。20

【0018】

このようなノイズはほとんどが短時間の変動であり、データを長時間集積し、平均化することで排除できる。ただし、フリップフロップ回路等が組み込まれているとノイズの影響が表面化する。これは、フリップフロップ回路が、第 1 のインバータの出力を第 2 のインバータの入力とし、さらに、第 2 のインバータの出力を第 1 のインバータの入力とする正帰還回路であるためである。

【0019】

正帰還回路は、一度でもある一定の大きさの電位差を観測すると、それが一時的なものであれ、以後、その電位差を增幅し、固定してしまう。すなわち、通常のDRAMでは問題とならないようなノイズ（主として熱雑音）が、容量が極端に小さいサブピット線を有する半導体メモリ装置ではエラーの要因となる。30

【0020】

しかも、サブピット線等を使用して、フリップフロップ回路に接続する容量が通常のピット線よりも格段に小さい場合には、フリップフロップ回路は、ごくわずかの期間の電位の変動であっても敏感に応答して電位を固定してしまう。したがって、特許文献 1 に記載されたDRAM は容量素子の容量やサブピット線の容量が十分に小さな場合には使用できない。40

【0021】

また、容量素子の容量を 10 fF 以下とすると、センスアンプに用いるフリップフロップ回路の入力の容量（具体的には入力端子に接続するトランジスタのゲートの容量等を指し、トランジスタの大きさにも依存するが、通常は 1 fF 以下）の影響が無視できなくなる。

【0022】

容量素子に蓄積された電荷がピット線（あるいはサブピット線）に放出されることにより、その電位が変動するが、一方で、フリップフロップ回路が動作する過程でも、フリップフロップ回路内のトランジスタがオンオフし、結果として、フリップフロップ回路内のトランジスタのゲート容量が変動するため、ピット線の電位が変動する。50

【0023】

通常のDRAMであれば、容量素子の容量はフリップフロップ回路の入力の容量よりはるかに大きい。したがって、ビット線の電位の変動はほとんど容量素子によるものと考えてよい。しかしながら、容量素子の容量がフリップフロップ回路の入力の容量の10倍以下となるとフリップフロップ回路が自身のゲート容量の変動の影響を受け、動作が不安定となる。特に、容量素子の容量がフリップフロップ回路の入力の容量の2倍以下という条件では、フリップフロップ回路を容量素子の容量に応じて制御することはほとんど不可能となる。

【0024】

また、従来のサブビット線を有する半導体メモリ装置では、メモリセルのトランジスタのオフ電流を十分に低減できる構成ではないために、単純に容量素子の容量を削減するよりフレッシュ（容量素子に蓄えられた電荷が減少することを補うために、データを再書き込みすること）の頻度が高まるという問題点もある。例えば、容量素子の容量が従来の30分の1である1fFであれば、リフレッシュの頻度は、従来の30倍必要となり、その分、消費電力が増加する。

10

【先行技術文献】

【特許文献】

【0025】

【特許文献1】米国特許4777625号

【非特許文献】

20

【0026】

【非特許文献1】Kim, "Technology for sub-50nm DRAM and NAND Flash Manufacturing" TECHNICAL DIGEST OF INTERNATIONAL ELECTRON DEVICES MEETING, pp333-336, 2005

【非特許文献2】Mueller et al., "Challenges for the DRAM Cell Scaling to 40nm" TECHNICAL DIGEST OF INTERNATIONAL ELECTRON DEVICES MEETING, pp347-350, 2005

【発明の概要】

30

【発明が解決しようとする課題】

【0027】

本発明の一は、容量素子の容量を従来のDRAMに用いられている値以下、具体的には1fF以下、好ましくは0.1fF以下としても十分に機能するメモリ装置を提供することを課題とする。また、本発明の一は、容量素子の容量を用いられているトランジスタのゲート容量の10倍以下、好ましくは2倍以下としても十分に機能するメモリ装置を提供することを課題とする。また、本発明の一は、容量素子に必要な深さあるいは高さを1μm以下、好ましくは、0.3μm以下であるメモリ装置を提供することを課題とする。

【0028】

また、本発明の一は、新規な構造のメモリ装置あるいはその駆動方法を提供することを課題とする。特に消費電力を低減できるメモリ装置あるいはメモリ装置の駆動方法を提供することを課題とする。

40

【課題を解決するための手段】

【0029】

本発明の一態様は、1以上の主ビット線と4以上のワード線と1以上の電位供給線と2以上のセルを有する半導体メモリ装置であって、各セルは、2以上のメモリセルと、サブビット線と選択トランジスタと読み出しトランジスタとを有し、選択トランジスタのドレインと読み出しトランジスタのドレインは主ビット線の一に接続し、読み出しトランジスタのゲートはサブビット線に接続し、読み出しトランジスタのソースは電位供給線の一に接続し、各メモリセルは1以上のトランジスタと1以上の容量素子を有し、容量素子の容量

50

は $1 fF$ 以下であり、各メモリセルのトランジスタの一のゲートはワード線の一に接続することを特徴とするメモリ装置である。

【0030】

また、本発明の一態様は、第1および第2の主ビット線と4以上のワード線と、1以上の電位供給線と第1および第2のセルを有する半導体メモリ装置であって、第1のセルは、2以上のメモリセルと、第1のサブビット線と第1の選択トランジスタと第1の読み出しトランジスタとを有し、第2のセルは、2以上のメモリセルと、第2のサブビット線と第2の選択トランジスタと第2の読み出しトランジスタとを有し、第1の選択トランジスタのドレインと第1の読み出しトランジスタのドレインは第1の主ビット線に接続し、第1の選択トランジスタのソースと第2の読み出しトランジスタのゲートは第1のサブビット線に接続し、読み出しトランジスタのソースは電位供給線の一に接続し、各メモリセルは1以上のトランジスタと1以上の容量素子を有し、容量素子の容量は $1 fF$ 以下であり、各メモリセルのトランジスタの一のゲートはワード線の一に接続することを特徴とするメモリ装置である。

【0031】

また、本発明の一態様は、1以上の主ビット線と4以上のワード線と1以上の電位供給線と2以上のセルを有し、各セルは、2以上のメモリセルと、サブビット線と選択トランジスタと読み出しトランジスタとを有し、選択トランジスタのドレインと読み出しトランジスタのドレインは主ビット線の一に接続し、読み出しトランジスタのゲートはサブビット線に接続し、読み出しトランジスタのソースは電位供給線の一に接続し、各メモリセルは1以上のトランジスタと1以上の容量素子を有し、容量素子の容量は $1 fF$ 以下であり、各メモリセルのトランジスタの一のゲートはワード線の一に接続するメモリ装置において、選択トランジスタをオンとすることによりサブビット線の電位を特定の電位とする第1の過程と、メモリセルの一のトランジスタの一をオンとする第2の過程と、を有することを特徴とするメモリ装置の駆動方法である。

【0032】

上記において、1つのセルの選択トランジスタとメモリセルの一のトランジスタの一は異なる層に設けられていてもよい。また、1つのセルの選択トランジスタの半導体とメモリセルの一のトランジスタの一の半導体は異なる種類でもよい。上記において、1つのセルのメモリセルの一のトランジスタの一と他のメモリセルのトランジスタの一は異なる層に設けられていてもよい。

【0033】

上記において、読み出しトランジスタの導電型は選択トランジスタとは異なるものであってもよい。また、読み出しトランジスタの導電型はPチャネル型でもよい。また、1つのセルは2乃至32のメモリセルを有してもよい。さらに、容量素子に必要な深さあるいは高さは $1 \mu m$ 以下、好ましくは $0.3 \mu m$ 以下としてもよい。

【発明の効果】

【0034】

上記の構成のいずれかを採用することにより、前記課題の少なくとも一を解決できる。図1を用いて本発明の効果を説明する。図1に示す回路は、本発明の技術思想の一部である。図1には、第n行第m列から第(n+1)行第(m+1)列までの4つのセルが示されており、1つのセルには4つのメモリセルがある。各メモリセルは従来のDRAMと同様に1つのトランジスタと1つの容量素子を有する。

【0035】

読み出しの際には、サブビット線 SBL_n_m を適切な電位に保った状態とし、かつ、選択トランジスタ STR_n_m をオフとする。この状態で読み出すメモリセルのトランジスタをオンとすると、サブビット線 SBL_n_m の電位は、そのメモリセルの容量素子に蓄積されていた電荷に応じて変動する。このとき、サブビット線 SBL_n_m は十分に短いので、その寄生容量も主ビット線 MBL_m に比較すると十分に小さい。したがって、メモリセルの容量素子の容量が $1 fF$ 以下であったとしても、サブビット線 SBL

10

20

30

40

50

$_n_m$ の電位は十分な大きさで変動する。

【0036】

サブビット線 SBL_n_m は、読み出しトランジスタ $RT_r_n_m$ のゲートに接続されているので、サブビット線 SBL_n_m の電位が変動すると、読み出しトランジスタ $RT_r_n_m$ の導通状態を変化させることとなる。すなわち、サブビット線 SBL_n_m の電位の変動により、読み出しトランジスタ $RT_r_n_m$ のソースドレイン間の抵抗値が変化する。この変化はただちに主ビット線 MBL_m の電荷の増減、すなわち電位に反映される。

【0037】

もちろん、読み出しトランジスタ $RT_r_n_m$ のソースドレイン間の抵抗値を極めて短い時間で観測すれば大きなノイズを含んでいるが、十分に容量の大きな主ビット線 MBL_m に電荷が蓄積する過程でノイズの影響は打ち消される。すなわち、従来のDRAMに比較して、小さな容量素子で同等な機能を有するメモリ装置を作製できる。

10

【0038】

容量素子が小さいということは、従来のDRAMのようなアスペクト比の大きな構造物が不要ということである。従来のDRAMでは、構造物の作製が困難であることも問題であったが、多層構造のメモリ装置を作製して、記憶密度を向上させることは非常に困難であった。この点で、そのような構造物を必要としない本発明の一態様を用いれば、メモリセルの上にメモリセルを重ねるという多層化技術も可能である。

【図面の簡単な説明】

20

【0039】

【図1】本発明の半導体メモリ装置の例を示す図である。

【図2】従来の半導体メモリ装置(DRAM)の例を示す図である。

【図3】本発明の半導体メモリ装置の駆動方法の例を説明する図である。

【図4】本発明の半導体メモリ装置の駆動方法の例を説明する図である。

【図5】本発明の半導体メモリ装置の駆動方法の例を説明する図である。

【図6】本発明の半導体メモリ装置の作製工程の例を示す図である。

【図7】本発明の半導体メモリ装置の作製工程の例を示す図である。

【図8】本発明の半導体メモリ装置の駆動方法の例を説明する図である。

【図9】本発明の半導体メモリ装置の例を示す図である。

30

【図10】本発明の半導体メモリ装置の駆動方法の例を説明する図である。

【図11】本発明の半導体メモリ装置の例を示す図である。

【図12】本発明の半導体メモリ装置の駆動方法の例を説明する図である。

【図13】本発明の半導体メモリ装置の例を示す図である。

【発明を実施するための形態】

【0040】

以下、実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

40

【0041】

(実施の形態1)

本実施の形態では、図1に示す半導体メモリ装置およびその動作の例について、図3乃至図5を用いて説明する。なお、電位として、以下に具体的な数値を挙げるが、それは、本発明の技術思想の理解を助けることが目的である。言うまでもなく、それらの値はトランジスタや容量素子のさまざまな特性によって、あるいは実施者の都合によって変更される。また、本実施の形態に示される半導体メモリ装置は、以下の方法以外の方法によっても、データを書き込み、あるいは読み出すことができる。

【0042】

図1に示す半導体メモリ装置は、ワード線 WL 、ワード線に直交する主ビット線 MBL 、

50

ワード線に平行な選択線 S L と、複数のセルを有する。各セルは選択トランジスタ S T r と読み出しトランジスタ R T r とサブビット線 S B L と複数のメモリセル M C とを有する。

【 0 0 4 3 】

図 1 では、メモリセル M C は各セルに 4 つ設けられている。図 1 に示す第 n 行第 m 列のセルは、上から順に、メモリセル M C _ n _ m _ 1 、 M C _ n _ m _ 2 、 M C _ n _ m _ 3 、 M C _ n _ m _ 4 を有する。

【 0 0 4 4 】

各メモリセルは従来の D R A M と同様に 1 つのトランジスタと 1 つの容量素子を有するが、2 つ以上のトランジスタや 2 つ以上の容量素子を有してもよい。メモリセルのトランジスタのドレインはサブビット線 S B L に、ソースは容量素子の電極の一方に、ゲートはワード線 W L の 1 つに接続されているとよい。

10

【 0 0 4 5 】

また、選択トランジスタ S T r のドレインと読み出しトランジスタ R T r のドレインは主ビット線 M B L の 1 つに接続し、選択トランジスタ S T r のソースと読み出しトランジスタ R T r のゲートはサブビット線 S B L に接続し、選択トランジスタ S T r のゲートは選択線の 1 つにそれぞれ接続される。

【 0 0 4 6 】

選択トランジスタ S T r 、読み出しトランジスタ R T r 、各メモリセル M C のトランジスタにはさまざまな半導体を用いることができる。例えば、これら全てを同種の半導体材料としてもよい。例えば、単結晶珪素半導体基板を用いてこれらを形成してもよい。

20

【 0 0 4 7 】

また、選択トランジスタ S T r と読み出しトランジスタ R T r に用いられるトランジスタは単結晶珪素半導体基板を用いて作製し、各メモリセル M C のトランジスタには薄膜の半導体層を用いて形成してもよい。その場合、薄膜の半導体層としては、単結晶珪素あるいは多結晶珪素を用いてもよいし、珪素以外の半導体、例えば、酸化物半導体を用いてもよい。

【 0 0 4 8 】

特に、酸化物半導体の中でも、バンドギャップが 3 電子ボルト以上のものでは、ドナーあるいはアクセプタの濃度を $1 \times 10^{12} \text{ cm}^{-3}$ 以下とすることにより、オフ時の抵抗を極めて高くできる。すなわち、ゲートの電位を最適化することにより、ソースとドレイン間の抵抗を 1×10^{24} 以上とすることができる。例えば、メモリセルの容量を従来の D R A M の $1 / 1000$ 以下の 0.01 fF としても、時定数が 1×10^7 秒 (115 日) であり、従来の D R A M では想定できない期間にわたってデータを保持できる。

30

【 0 0 4 9 】

すなわち、従来の D R A M では 1 秒間に 10 回以上も必要であったリフレッシュが通常の使用では不要となる。

【 0 0 5 0 】

D R A M のデータの書き込みに際しては、主ビット線に流れる電流の多くは、メモリセルの容量素子の充電以外に、主ビット線間の寄生容量の充放電に使用されている。主ビット線間の寄生容量は、配線幅が縮小するに伴って増大するため、集積化の進んだ現状ではメモリセルの容量素子の充電に必要な電流の 10 倍以上の電流が主ビット線間の寄生容量の充放電に使用されている。

40

【 0 0 5 1 】

言うまでもなく、主ビット線間の寄生容量の充放電はデータの保持とは無関係な現象であり、リフレッシュをおこなうことは消費電力の増大を意味する。したがって、リフレッシュ回数を減らす、あるいはリフレッシュを不要とすることは、消費電力を抑制する上で効果がある。

【 0 0 5 2 】

読み出しトランジスタ R T r は選択トランジスタ S T r と同じ導電型でも異なる導電型で

50

もよい。例えば、選択トランジスタ S T r、読み出しトランジスタ R T r とも N チャネル型あるいは P チャネル型としてもよいし、選択トランジスタ S T r を N チャネル型、読み出しトランジスタ R T r を P チャネル型としてもよい。あるいは、選択トランジスタ S T r を P チャネル型、読み出しトランジスタ R T r を N チャネル型としてもよい。

【 0 0 5 3 】

図 1 では、1 つのセルに含まれるメモリセル M C の数は 4 としたが、1 つのセルに含まれるメモリセル M C の数は 2 乃至 3 2 とするとよい。メモリセルの数が多くなるとサブビット線 S B L が長くなり、それに伴って、寄生容量も増加する。メモリセル M C の容量素子の容量が一定であると、サブビット線 S B L の寄生容量に対する比率が低下するため、データの読み出しの際のサブビット線 S B L の電位の変動が小さくなり、読み出しトランジスタが正確に反応できなくなる。

10

【 0 0 5 4 】

図 1 の半導体メモリ装置の動作について図 3 乃至図 5 を用いて説明する。なお、本明細書の動作を示す回路図では、オフ状態であるトランジスタには、トランジスタ記号に × 印を重ね、また、オン状態であるトランジスタには、トランジスタ記号に □ 印を重ねて表記し、接続されているトランジスタをオンとするための電位 (H) が付与されている選択線 S L 、ワード線 W L については、その符号を丸で囲んで表記する。なお、接続されているトランジスタをオフとするための電位は L とする。

【 0 0 5 5 】

最初に書き込みについて説明する。読み出しトランジスタ R T r _ n _ m のソースの電位は、書き込みの過程を通じて一定であり、読み出しトランジスタ R T r _ n _ m の極性やしきい値に応じて、+ 1 V あるいは 0 V とするとよい。すなわち、読み出しトランジスタ R T r _ n _ m が N チャネル型でしきい値が、+ 0 . 5 V の場合は + 1 V 、 P チャネル型でしきい値が、- 0 . 5 V の場合は 0 V とすればよい。また、メモリセルの容量素子の対向電極の電位も適切な一定の値 (ここでは 0 V) とする。

20

【 0 0 5 6 】

読み出しトランジスタ R T r _ n _ m のソースの電位を上記の条件以外のものとすることも可能であるが、条件によっては、書き込みの際に、読み出しトランジスタ R T r _ n _ m のソースとドレインの間に電流が流れ、消費電力の増大や回路の破損を招く恐れがある。

30

【 0 0 5 7 】

ここでは、第 n 行第 m 列のセルの 2 番目のメモリセル M C _ n _ m _ 2 にデータを書き込む場合を考える。図 3 (A) に示すように、主ビット線 M B L _ m の電位を、データに応じて、0 V あるいは + 1 V とする。そして、選択線 S L _ n とワード線 W L _ n _ 2 の電位を H とし、選択トランジスタ S T r _ n _ m とメモリセル M C _ n _ m _ 2 のトランジスタをオンとする。

【 0 0 5 8 】

この結果、メモリセル M C _ n _ m _ 2 の容量素子が主ビット線の電位に充電される。この際、読み出しトランジスタ R T r _ n _ m はオフを維持できる。充電が完了すると、ワード線 W L _ n _ 2 の電位を L とし、メモリセル M C _ n _ m _ 2 のトランジスタをオフとする。以上でデータの書き込みが完了する。

40

【 0 0 5 9 】

もし、第 n 行第 m 列のセルの他のメモリセルにデータを書き込むのであれば、そのメモリセルに接続するワード線および主ビット線 M B L _ m の電位を変化させて、上記と同様に書き込みをおこなえばよい。その間、選択トランジスタ S T r _ n _ m はオンのままですればよい。

【 0 0 6 0 】

第 n 行第 m 列のセルの書き込みが終了したら、図 3 (B) に示すように、主ビット線 M B L _ m の電位を、読み出しトランジスタ R T r _ n _ m の極性やしきい値に応じて、0 V あるいは + 1 V とする。すなわち、読み出しトランジスタ R T r _ n _ m が N チャネル型

50

でしきい値が、+0.5Vの場合は0V、Pチャネル型でしきい値が、-0.5Vの場合は+1Vとする。選択トランジスタS Tr_n_mはオンであるので、サブビット線S BL_n_mの電位は、主ビット線MBL_mの電位と等しくなる。

【0061】

その後、図3(C)に示すように、選択線S L_nの電位をLとし、選択トランジスタS Tr_n_mをオフとする。その結果、サブビット線S BL_n_mの電位は0V(読み出しトランジスタR Tr_n_mがNチャネル型の場合)あるいは+1V(読み出しトランジスタR Tr_n_mがPチャネル型の場合)に保持される。

【0062】

一方、主ビット線MBL_mには、他の行のセルにデータを書き込むために+1Vあるいは0Vの電位が与えられる。サブビット線S BL_n_mの電位を上記の条件とすると、主ビット線MBL_mの電位にかかわらず、読み出しトランジスタR Tr_n_mをオフとできる。

【0063】

ここで注意すべきは、主ビット線MBL_mに接続するいずれかのセルで書き込み操作がおこなわれている場合に、サブビット線S BL_n_mの電位が読み出しトランジスタR Tr_n_mをオフとする電位に保持されないと、読み出しトランジスタR Tr_n_mのソースドレイン間に多少なりとも電流が流れ電力の損失が生じ、甚だしい場合には、回路の焼損にいたる恐れがあることである。特に、選択トランジスタS Tr_n_mのリーク電流が大きい場合には、サブビット線S BL_n_mの電位が当初の電位とは異なった値となる可能性が高まる。

【0064】

そのような事態を避けるためには、選択トランジスタS Tr_n_mをオフ抵抗の著しく高い酸化物半導体を用いて形成するとよい。しかしながら、何らかの理由(例えば、酸化物半導体を用いたトランジスタではオン電流が不十分である等)より、酸化物半導体を用いることができず、オフ抵抗をそれほど大きくできない場合には、他のセルの書き込みの毎に、あるいは、一定の間隔でサブビット線S BL_n_mの電位を上記の適切な値とする操作をおこなうとよい。

【0065】

すなわち、他のセルに書き込みをおこなう場合であっても、主ビット線MBL_mには、メモリセルの容量素子に書き込むための信号パルス以外に、図3(B)に示すように、サブビット線S BLの電位を所定のものとするためのパルスが与えられるので、その機会に、選択トランジスタS Tr_n_mをオンオフすることで、サブビット線S BL_n_mの電位を適切な値とすることができます。

【0066】

なお、いずれのセルにおいても書き込みをおこなわない期間では、主ビット線MBL_mの電位と読み出しトランジスタR Tr_n_mのソースの電位をともに0V(読み出しトランジスタR Tr_n_mがNチャネル型の場合)あるいは+1V(読み出しトランジスタR Tr_n_mがPチャネル型の場合)としておくとよい。このようにすると、書き込みを再開する時点あるいは読み出しを開始する時点で、読み出しトランジスタR Tr_n_mはオフである。

【0067】

あるいは、主ビット線MBL_mの電位と読み出しトランジスタR Tr_n_mのソースの電位をともに+1V(読み出しトランジスタR Tr_n_mがNチャネル型の場合)あるいは0V(読み出しトランジスタR Tr_n_mがPチャネル型の場合)としてもよい。その場合には書き込みを再開する前あるいは読み出しをおこなう前に、全てのセルにおいてサブビット線S BLの電位を0V(読み出しトランジスタR Tr_n_mがNチャネル型の場合)あるいは+1V(読み出しトランジスタR Tr_n_mがPチャネル型の場合)とする操作をおこなうとよい。

【0068】

10

20

30

40

50

次に、メモリセルMC_n_m_2の読み出しについて説明する。以下では、2つの方法を説明するが、その他の方法でも読み出しをおこなうことができる。最初に、図4に示す方法を説明する。ここで、読み出しへトランジスタRT_r_n_mはNチャネル型であり、ソースドレイン間の抵抗は、ゲートとソースの電位差((ゲートの電位)-(ソースの電位))が+0.4Vのとき(+0.6Vのときの100倍)であるものとする。

【0069】

なお、厳密には主ビット線MB_L_mの配線抵抗も考慮しなければならないが、ここでは、読み出しへトランジスタRT_r_n_mのゲートとソースの電位差が+0.6Vのときの抵抗の10分の1程度であるため特に考慮しなくてよい。

【0070】

また、メモリセルMC_n_m_2の容量素子の容量はサブビット線SBL_n_mの寄生容量および読み出しへトランジスタRT_r_n_mの容量(ゲート容量と寄生容量を含む)の和の1/4であるとする。なお、本実施の形態のメモリ装置においては、メモリセルMCの容量素子の容量はサブビット線SBLの寄生容量および読み出しへトランジスタRT_rの容量(ゲート容量と寄生容量を含む)の和の20%以上であることが好ましい。

【0071】

まず、読み出しへトランジスタRT_r_n_mのソースの電位を+1Vとし、図4(A)に示すように主ビット線MB_L_mの電位を+0.5Vとする。そして、選択線SL_nの電位をHとして選択トランジスタST_r_n_mをオンとする。サブビット線SBL_n_mの電位は+0.5Vとなる。

【0072】

次に、選択線SL_nの電位をLとして選択トランジスタST_r_n_mをオフとする。その結果、サブビット線SBL_n_mの電位は+0.5Vに維持される。また、図4(B)に示すように主ビット線MB_L_mの終端に抵抗Rを接続する。抵抗Rの抵抗値RMはRL < RM < RHという条件を満たすものとする。ここで、RLは読み出しへトランジスタRT_r_n_mのゲートとソースの電位差が+0.6Vのときのソースドレイン間の抵抗値であり、RHは+0.4Vのときの抵抗値である。例えば、RM = RH / 10かつRM = 10RLとする。抵抗の他端の電位は+1Vとする。また、読み出しへトランジスタRT_r_n_mのソースの電位は0Vにする。

【0073】

その後、図4(C)に示すように、ワード線WL_n_2の電位をHとして、メモリセルMC_n_m_2のトランジスタをオンとする。その結果、サブビット線SBL_n_mの電位が変動する。選択トランジスタST_r_n_mがオフであるので、電位の変動に関しては、ここでは、メモリセルMC_n_m_2の容量素子の容量、サブビット線SBL_n_mの寄生容量および読み出しへトランジスタRT_r_n_mの容量のみを考慮すればよい。

【0074】

上記のように、メモリセルMC_n_m_2の容量素子の容量はサブビット線SBL_n_mの寄生容量および読み出しへトランジスタRT_r_n_mの容量の和の1/4であるので、サブビット線SBL_n_mの電位は、+0.4Vもしくは+0.6Vのいずれかとなる。

【0075】

なお、メモリセルMC_n_m_2のトランジスタがオンであると、そのゲート容量を介して、サブビット線SBL_n_mの電位がワード線WL_n_2の電位の影響を受ける。この現象は、容量素子の容量とサブビット線SBL_n_mの寄生容量および読み出しへトランジスタRT_r_n_mの容量の和がメモリセルMC_n_m_2のトランジスタのゲート容量の5倍以下で顕著となる。

【0076】

したがって、特に容量素子の容量がメモリセルMC_n_m_2のトランジスタのゲート容量と同程度以下の場合には、容量素子に蓄積されていた電荷をサブビット線SBL_n

10

20

30

40

50

m に開放したら、ワード線 WL_n_2 の電位を L として、メモリセル $MC_n_m_2$ のトランジスタをオフとすることが好ましい。

【0077】

サブビット線 SBL_n_m の電位が $+0.4V$ の場合には、読み出しトランジスタ $RT_r_n_m$ の抵抗値は、抵抗 R の10倍であるので、主ビット線 MBL_m の電位は $+0.9V$ となる。一方、サブビット線 SBL_n_m の電位が $+0.6V$ の場合には、読み出しトランジスタ $RT_r_n_m$ の抵抗値は、抵抗 R の $1/10$ であるので、主ビット線 MBL_m の電位は $+0.1V$ となる。このようにメモリセルの容量素子の電荷に応じて、主ビット線の電位が大きく変動するので、それを検出して、データの読み出しをおこなえる。

10

【0078】

なお、他の行のセルの読み出しをおこなう場合には、書き込みのときと同様にサブビット線 SBL_n_m の電位を $0V$ あるいはそれに近い値に維持して、読み出しトランジスタ $RT_r_n_m$ がオフとなるようにする。

【0079】

以上の例では、主ビット線の電位の変動は十分に大きいものであるので、その電位の変動は特にセンスアンプを用いなくとも判別可能である。しかし、同じ列に接続するセルのサブビット線の電位が十分に低くなれば、それらのセルの読み出しトランジスタの並列抵抗が無視できなくなり、検出精度が低下する。

【0080】

抵抗 R の代わりにNチャネル型トランジスタあるいはPチャネル型トランジスタを用いても同様な回路を構成できる。また、読み出しトランジスタ $RT_r_n_m$ としてPチャネル型トランジスタを用いても同様に実施できる。

20

【0081】

例えば、読み出しトランジスタ $RT_r_n_m$ と逆導電型のトランジスタを用いることができる。読み出しトランジスタ $RT_r_n_m$ がNチャネル型で、そのしきい値が $+0.5V$ であれば、Pチャネル型でしきい値が $-0.5V$ のトランジスタを用い、そのソースを主ビット線 MBL_m に接続し、ドレインの電位を $+1V$ とし、ゲートの電位を $+0.6V$ とするとよい。

【0082】

図5には、別の読み出し方法を示す。ここで、読み出しトランジスタ $RT_r_n_m$ をNチャネル型とし、そのしきい値を $+0.5V$ とする。また、メモリセル $MC_n_m_2$ の容量素子の容量は図4の場合と同じとする。

30

【0083】

まず、主ビット線 MBL_m の電位を $+1V$ とし、選択線 SL_n を操作して、選択トランジスタ $ST_r_n_m$ をオンオフし、サブビット線 SBL_n_m を $+1V$ にプリチャージする。詳細は図4(A)やそれに関連する記載を参照すればよい。その後、主ビット線 MBL_m を浮遊状態とする。また、読み出しトランジスタ $RT_r_n_m$ のソースの電位は $+1V$ とする。

【0084】

次に、図5(A)に示すように、ワード線 WL_n_2 の電位を H として、メモリセル $MC_n_m_2$ のトランジスタをオンとする。その結果、サブビット線 SBL_n_m の電位が変動する。図4の場合と同様に、容量素子の電位に応じてサブビット線 SBL_n_m の電位が変動し、容量素子の電位が $0V$ であれば $+0.8V$ となり、容量素子の電位が $+1V$ であれば $+1V$ のままである。詳細は図4(C)やそれに関連する記載を参照すればよい。

40

【0085】

さらに、図5(B)に示すように、読み出しトランジスタ $RT_r_n_m$ のソースの電位を $+1V$ から $0V$ に低下させる。この操作によって、読み出しトランジスタ $RT_r_n_m$ はオンとなり主ビット線 MBL_m の電位は $0V$ となる。

50

【0086】

その後、図5(C)に示すように、読み出しトランジスタRTr_n_mのソースの電位を+1Vに戻すと、主ビット線MBL_mの電位は+0.3Vもしくは+0.5Vとなる。

【0087】

これは、読み出しトランジスタRTr_n_mのドレイン(主ビット線MBL_m)とゲート(サブビット線SBL_n_m)の電位差がしきい値以下とならないためであり、サブビット線SBL_n_mの電位が+0.8Vの場合には、この電位差をしきい値である+0.5V以下とできないため、主ビット線MBL_mの電位は+0.3Vまで上昇し、同様にサブビット線SBL_n_mの電位が+1Vの場合には主ビット線MBL_mの電位は+0.5Vまで上昇する。

10

【0088】

このとき主ビット線MBL_mに現れるデータに依存した電位差(0.2V)は、サブビット線SBL_n_mの電位差である。この例では、図4の方法のようにサブビット線SBL_n_mのデータに依存した電位差を増幅することはできないが、それを主ビット線MBL_mに移すことはできる。

【0089】

主ビット線MBL_mの電位は上記のように+0.3Vあるいは+0.5Vとその差が小さいので、センスアンプで増幅するとよい。センスアンプで増幅することにより、それぞれ0V、+1Vとできる。なお、ここで注目すべきは、データが書き込まれたときと同じ位相の電位が主ビット線MBL_mに現れることである。

20

【0090】

すなわち、図5に示す方法では、データの書き込みの際に主ビット線MBL_mの電位が”1”であった場合には、読み出しの際の主ビット線MBL_mの電位も”1”となる。センスアンプで主ビット線MBL_mの電位を十分に増幅すれば、その電位を用いて、データの再書き込みができる。

【0091】

本実施の形態の半導体メモリ装置では、データを読み出すことによりデータが破壊されるため、同じデータを書き込む必要があるが、主ビット線MBL_mの電位が同じ位相であることは好適である。

30

【0092】

ちなみに、図4の場合には、主ビット線MBL_mの電位は、書き込みの際と読み出しの際に逆位相となる。そのため、主ビット線MBL_mに現れた電位を反転させ、その後に書き込みをおこなう必要があるので、そのための時間と電力が必要となる。

【0093】

(実施の形態2)

本発明の技術思想の一部にしたがった半導体メモリ装置の作製方法の例について図6および図7を用いて説明する。なお、本実施の形態では、一般的な作製工程を断面図を用いて説明するに留める。半導体メモリ装置の層構造については、実施の形態5あるいは図13を参照できる。

40

【0094】

まず、公知の半導体加工技術を用いて、珪素、砒化ガリウム、リン化ガリウム、炭化珪素、ゲルマニウム、珪化ゲルマニウム等の単結晶半導体の基板101の一表面に、素子分離絶縁物102を形成し、さらに、N型あるいはP型の不純物領域103a乃至103d、およびトランジスタのゲート104aおよび104bを形成する。さらに、第1層間絶縁物105を形成し、第1コンタクトプラグ106a乃至106eを形成する(図6(A)参照)。不純物領域103a乃至103dの表面にはシリサイド層を設けて導電性を高めてもよい。

【0095】

ここで、N型不純物領域103cは図1の読み出しトランジスタRTr_n_mのソース

50

に相当する。また、ゲート 104a は、選択トランジスタ STr_n_m のゲートであり、選択線 SL_n でもある。同じく、ゲート 104b は、読み出しトランジスタ RTr_n_m のゲートである。

【0096】

第 1 コンタクトプラグ 106a は選択トランジスタ STr_n_m のドレインに接続する。なお、第 1 コンタクトプラグ 106e は、次の行の選択トランジスタ STr_n+1_m のドレイン（読み出しトランジスタ RTr_n_m のドレインでもある）に接続する。N 型不純物領域 103c は、選択線 SL_n と平行に設けてもよい。

【0097】

次に、第 1 埋め込み絶縁物 107 と第 1 層配線 108a 乃至 108f を形成する。第 1 層配線 108a 乃至 108f には、導電性を高めるために銅を用いてもよい。その場合はダマシン法を用いて作製するとよい。第 1 層配線 108c は読み出しトランジスタ RTr_n_m のソースに電位を供給するために用いられる。さらに、第 2 層間絶縁物 109 を形成し、第 2 コンタクトプラグ 110a 乃至 110d を形成する（図 6 (B) 参照）。

10

【0098】

次に、第 2 埋め込み絶縁物 111 と第 2 層配線 112a 乃至 112g を形成する。なお、第 2 層配線 112c 乃至 112f の上表面は、その後形成する酸化物半導体と直接、あるいは薄い絶縁物を介して接するため、その目的に好ましい材料を用いるとよい。例えば、チタン、窒化チタン等のように仕事関数が酸化物半導体の電子親和力より小さい材料を用いるとよい。第 2 層配線 112c および 112e はメモリセルの容量素子の対向電極として機能する。

20

【0099】

さらに、厚さ 6 nm 乃至 20 nm の容量素子用絶縁物 113 を形成する。容量素子用絶縁物 113 の厚さおよび誘電率はメモリセルの容量素子の容量を決定する。容量素子用絶縁物 113 が薄いと容量素子の容量は大きくなるが、一方で、リーケ電流も増加する。リーケ電流の増加は、メモリセルのデータの保持特性を悪化させるので、容量素子用絶縁物 113 の厚さは 10 nm 以上とすることが好ましい。容量素子用絶縁物 113 の材料としては、酸化珪素、酸窒化珪素、酸化アルミニウム、酸化ハフニウム、酸化ジルコニウム等を用いることができる。

30

【0100】

その後、酸化物半導体層 114a および 114b を形成する。酸化物半導体としては、インジウムが金属元素に占める比率が 20 原子 % 以上のものを用いるとよい。形成時には、水素が混入しないように注意することが必要で、酸化物半導体の成膜は雰囲気やターゲット中の水素や水を十分に低減したスパッタリング法でおこなうことが好ましい。

【0101】

さらに、ゲート絶縁物 115 を形成する。ゲート絶縁物 115 の材料としては、酸化珪素、酸窒化珪素、酸化アルミニウム、酸化ハフニウム、酸化ジルコニウム等を用いることができる。また、その厚さは 6 nm 乃至 20 nm、好ましくは 10 nm 乃至 16 nm とするよい。（図 6 (C) 参照）

40

【0102】

その後、ワード線 116a 乃至 116d を形成する。ワード線 116a 乃至 116d の材料としては、タンクステン、ニッケル、パラジウム、オスミウム、白金等のように仕事関数が酸化物半導体の電子親和力より大きい材料を用いるとよい。あるいは、ゲート絶縁物 115 と接する部分のみをそのような材料としてもよい。さらに、第 3 層間絶縁物 117 を形成し、第 3 コンタクトプラグ 118a 乃至 118e を形成する（図 7 (A) 参照）

【0103】

以上で、第 1 のメモリセル層が形成できる。図 7 (A) には、2 つのメモリセルが図示されている。すなわち、ワード線 116b および 116d をそれぞれのゲートとするトランジスタを有する 2 つのメモリセルである。

【0104】

50

ここで、ワード線 116d をゲートとするトランジスタを有するメモリセルについて解説する。このメモリセルのトランジスタは酸化物半導体層 114b を使用して形成されている。第 2 層配線 112e は、このメモリセルの容量素子の対向電極である。容量素子のもう一方の電極は明示されていないが、酸化物半導体層 114b のうち、第 2 層配線 112e に対向する部分がそれに相当する。

【0105】

第 2 層配線 112e の表面に、チタン、窒化チタン等のように仕事関数が酸化物半導体の電子親和力より小さい材料を用いると、それに面する酸化物半導体層 114b に電子が誘起されて N 型の導電性を呈するようになるので、それを容量素子の電極として用いることができる。また、第 2 層配線 112f はメモリセルのトランジスタのドレインとなる。

10

【0106】

メモリセルの容量素子の形状は、平板（プレーナ）型である。そのため容量は小さいが、実施の形態 1 で示したように、容量素子の容量は、サブビット線の寄生容量と読み出しトランジスタの容量との比較で 20% 以上であればよいので、例えば、0.1fF 以下の容量でも動作に支障をきたさない。さらに、このような平板型の構造であるため、メモリセルを積層することが容易で、集積度を向上させる上で好ましい。

【0107】

なお、容量素子の対向電極（第 2 層配線 112e）を、酸化物半導体層 114b を間にはさんでワード線 116d の逆の位置に設けることも集積度を高める上で有効である。また、このように配置することで、集積度を維持しつつ、ワード線 116d と第 2 層配線 112f の間の寄生容量を低減できる。

20

【0108】

その後、同様にメモリセル層を積層する。例えば、さらに 2 層のメモリセル層を積層する。そして、図 7 (B) に示すように、最上層のメモリセル層に設けられた中央の 3 つのコンタクトプラグ（第 5 コンタクトプラグ）を接続する配線（第 5 層配線）119 を形成し、さらにその上層の外側の 2 つのコンタクトプラグ（第 6 コンタクトプラグ）を接続する配線（第 6 層配線）120 を形成する。

【0109】

第 6 層配線 120 は主ビット線 MB_L_m であり、第 3 コンタクトプラグ 118a、第 2 層配線 112a、第 2 コンタクトプラグ 110a、第 1 層配線 108a、第 1 コンタクトプラグ 106a 等を介して、選択トランジスタ STr_n_m のドレインである不純物領域 103a と接続する。同様に、第 3 コンタクトプラグ 118e、第 2 層配線 112g、第 2 コンタクトプラグ 110d、第 1 層配線 108f、第 1 コンタクトプラグ 106d 等を介して、次行の選択トランジスタ STr_n+1_m のドレインである不純物領域 103d と接続する。

30

【0110】

また、不純物領域 103b、第 1 コンタクトプラグ 106b、第 1 層配線 108b と 108e、第 2 コンタクトプラグ 110b と 110c、第 2 層配線 112b と 112d と 112f、第 3 コンタクトプラグ 118b と 118c と 118d 等は第 5 層配線 119 によって接続され、サブビット線 SBL_n_m が形成される。

40

【0111】

以上の例では、メモリセルのトランジスタに使用する半導体として、酸化物半導体を用いる例を示したが、その他の半導体であってもよい。例えば、レーザー光の照射によって結晶化させた多結晶あるいは単結晶の珪素膜でもよい。

【0112】

（実施の形態 3）

本実施の形態では、実施の形態 1 とは異なる半導体メモリ装置の動作方法を図 8 を用いて説明する。本実施の形態では、選択トランジスタは、読み出しをおこなう場合にのみオフとする。ここでは、読み出しトランジスタおよびメモリセルの容量素子の特性は実施の形態 1 に記載したとおりとする。

50

【0113】

図8では、第n行第m列のセルと次行の、第(n+1)行第m列のセルの状態について説明する。なお、図8(A)と図8(B)は書き込みの際の状態の一部について、図8(C)と図8(D)は読み出しの際の状態の一部について記載する。図面には符号を付さない場合があるが、詳細については、実施の形態1を参照すればよい。

【0114】

最初に書き込みについて説明する。上述の説明のように、選択トランジスタS Tr_n_mおよびS Tr_n+1_mはオンとする。この状態で主ビット線MBL_mの電位はデータに応じて0Vあるいは+1Vである。すなわち、読み出しトランジスタR Tr_n_mおよびR Tr_n+1_mのゲートの電位は0Vあるいは+1Vであるが、読み出しトランジスタR Tr_n_mおよびR Tr_n+1_mのソースの電位は+1Vであるので、ゲートの電位に関らず、読み出しトランジスタR Tr_n_mおよびR Tr_n+1_mはオフである。そして、ワード線WL_n_2の電位をHとして、メモリセルMC_n_m_2にデータを書き込む(図8(A)参照)。

10

【0115】

その後、ワード線WL_n_2の電位をLとし、メモリセルMC_n_m_2へのデータの書き込みは終了する。主ビット線MBL_mの電位は他の行に書き込むデータに応じたものとなるが、読み出しトランジスタR Tr_n_mおよびR Tr_n+1_mのソースの電位は+1Vであるので、ゲートの電位に関らず、読み出しトランジスタR Tr_n_mおよびR Tr_n+1_mはオフである(図8(B)参照)。

20

【0116】

次に読み出しについて説明する。ここでは、図5に示した方法で読み出しをおこなう。まず、サブビット線S BL_n_mを+1Vにプリチャージするため、主ビット線MBL_mの電位を+1Vとし、その後、浮遊状態とする(図8(C)参照)。この状態では、読み出しトランジスタR Tr_n_mおよびR Tr_n+1_mはオフである。

30

【0117】

その後、読み出しをおこなう第n行第m列のセルの選択トランジスタS Tr_n_mをオフとする。そして、ワード線WL_n_2の電位をHとして、メモリセルMC_n_m_2の容量素子に蓄積されていた電荷をサブビット線S BL_n_mに放出する。その結果、サブビット線S BL_n_mの電位は+0.8Vあるいは+1Vとなる。この操作の詳細については図5(B)に関する記載を参照すればよい。

【0118】

その後、読み出しトランジスタR Tr_n_mのソースの電位を0Vとする。すると、読み出しトランジスタR Tr_n_mはオンとなり、主ビット線MBL_mの電位は0Vになる(図8(D)参照)。この操作の詳細については図5(B)に関する記載を参照すればよい。

【0119】

なお、読み出しトランジスタR Tr_n+1_mでは、ゲートの電位(サブビット線S BL_n+1_mの電位であるが、選択トランジスタS Tr_n+1_mがオンであるため、主ビット線MBL_mの電位と同じ)とドレインの電位(主ビット線MBL_mの電位)が等しく、かつ、ソースの電位(+1V)以下であるため、読み出しトランジスタR Tr_n+1_mはオフのままである。同じ列の他の読み出しトランジスタも同様にオフである。

40

【0120】

その後、読み出しトランジスタR Tr_n_mのソースの電位を+1Vとする。図5(C)に関連して説明したように、主ビット線MBL_mの電位は、サブビット線S BL_n_mの電位に応じて、+0.3Vあるいは+0.5Vとなる。読み出しが完了したら選択トランジスタS Tr_n_mをオンとすればよい。

【0121】

この方法では、書き込みおよび読み出しの際に、主ビット線MBL_mの寄生容量だけで

50

なく、主ビット線 $M B L_m$ に接続するほとんど全てのサブビット線の寄生容量も配線容量として計上する必要がある。

【0122】

しかしながら、上述のように比較的簡単な操作で、選択トランジスタをオンとすることでき書き込みおよび読み出しのほとんどの期間にわたって、読み出しトランジスタを確実にオフとできる。

【0123】

なお、本実施の形態で説明した駆動方法では、上述の通り、主ビット線 $M B L_m$ の寄生容量だけでなく、主ビット線 $M B L_m$ に接続するほとんど全てのサブビット線の寄生容量も配線容量となるため、その分だけ動作速度が低下するが、配線容量が増加することにより、サブビット線の電位がノイズの影響を受けて大きく変動したとしても、主ビット線 $M B L_m$ 等に電荷が蓄積する過程で平準化され、結果的にノイズの影響を受けにくくなる。

10

【0124】

(実施の形態4)

本実施の形態では、図9に示す半導体メモリ装置およびその動作の例について説明する。図9には半導体メモリ装置の第n行第m列のセルと第n行第(m+1)列のセルと、第m列および第(m+1)列のドライバー回路の一部を示す。

【0125】

本実施の形態の半導体メモリ装置のセルは、選択トランジスタ $S T r$ と読み出しトランジスタ $R T r$ と複数のメモリセルとサブビット線 $S B L$ とを有する。選択トランジスタ $S T r_n_m$ のドレインおよび $S T r_n_m+1$ のドレインは、それぞれ主ビット線 $M B L_m$ および主ビット線 $M B L_m+1$ に接続し、選択トランジスタ $S T r_n_m$ のソースおよび $S T r_n_m+1$ のソースは、それぞれサブビット線 $S B L_n_m$ およびサブビット線 $S B L_n_m+1$ に接続し、選択トランジスタ $S T r_n_m$ のゲートおよび $S T r_n_m+1$ のゲートはともに選択線 $S L_n$ に接続する。

20

【0126】

読み出しトランジスタ $R T r_n_m$ のドレインおよび $R T r_n_m+1$ のドレインは、それぞれ主ビット線 $M B L_m$ および主ビット線 $M B L_m+1$ に接続し、読み出しトランジスタ $R T r_n_m$ のゲートおよび $R T r_n_m+1$ のゲートは、それぞれ、サブビット線 $S B L_n_m+1$ およびサブビット線 $S B L_n_m$ に接続し、読み出しトランジスタ $R T r_n_m$ のソースおよび $R T r_n_m+1$ のソースは、それぞれ、第2電源供給線 $X L 2_n$ 、第1電源供給線 $X L 1_n$ に接続される。

30

【0127】

また、メモリセルはトランジスタと容量素子とを有し、容量素子の一方の電極とトランジスタのソースが接続し、トランジスタのドレインはサブビット線 $S B L$ に接続する。容量素子の他方の電極は一定の電位(ここでは0V)に保持されている。

【0128】

また、メモリセルのトランジスタのゲートはワード線 $W L$ に接続するが、ワード線 $W L_n_1$ は、第n行第m列のセルのメモリセルのトランジスタのゲートには接続するが、第n行第(m+1)列のセルのメモリセルのトランジスタのゲートには接続せず、ワード線 $W L_n_2$ は、第n行第(m+1)列のセルのメモリセルのトランジスタのゲートには接続するが、第n行第m列のセルのメモリセルのトランジスタのゲートには接続しないようとする。

40

【0129】

すなわち、ひとつのワード線 $W L$ の電位をHとするとき、そのワード線 $W L$ が通過する第m列のセルと、それに隣接する第(m+1)列のセルにおいて、一方のセルでは、トランジスタがオンとなっているメモリセルがひとつあるが、他方のセルではトランジスタがオフとなっているメモリセルがない状態となる。

【0130】

50

また、ドライバー回路は第1の列トランジスタ C T r 1 _ m および C T r 1 _ m + 1 と第2の列トランジスタ C T r 2 _ m および C T r 2 _ m + 1 とフリップフロップ回路 F F _ m / m + 1 とを有する。

【 0 1 3 1 】

第1の列トランジスタ C T r 1 _ m のゲートおよび第2の列トランジスタ C T r 2 _ m + 1 のゲートはともに第1の列ドライバー線 R L 1 に接続し、第1の列トランジスタ C T r 1 _ m のドレインおよび第2の列トランジスタ C T r 2 _ m + 1 のドレインは、それぞれ主ビット線 M B L _ m および主ビット線 M B L _ m + 1 に接続し、第1の列トランジスタ C T r 1 _ m のソースおよび第2の列トランジスタ C T r 2 _ m + 1 のソースは、それぞれ + 0 . 5 V と + 1 V に保持されている。

10

【 0 1 3 2 】

第2の列トランジスタ C T r 2 _ m のゲートおよび第1の列トランジスタ C T r 1 _ m + 1 のゲートはともに第2の列ドライバー線 R L 2 に接続し、第2の列トランジスタ C T r 2 _ m のドレインおよび第1の列トランジスタ C T r 1 _ m + 1 のドレインは、それぞれ主ビット線 M B L _ m および主ビット線 M B L _ m + 1 に接続し、第2の列トランジスタ C T r 2 _ m のソースおよび第1の列トランジスタ C T r 1 _ m + 1 のソースは、それぞれ + 1 V と + 0 . 5 V に保持されている。

【 0 1 3 3 】

すなわち、第1の列ドライバー線 R L 1 の電位を H とすれば、主ビット線 M B L _ m および主ビット線 M B L _ m + 1 の電位は、それぞれ + 0 . 5 V 、 + 1 V となる。また、第2の列ドライバー線 R L 2 の電位を H とすれば、主ビット線 M B L _ m および主ビット線 M B L _ m + 1 の電位は、それぞれ + 1 V 、 + 0 . 5 V となる。

20

【 0 1 3 4 】

また、主ビット線 M B L _ m はフリップフロップ回路 F F _ m / m + 1 の一方の端子と接続し、主ビット線 M B L _ m + 1 はフリップフロップ回路 F F _ m / m + 1 の他方の端子と接続する。さらに、主ビット線 M B L _ m および M B L _ m + 1 は、それぞれデータ出入力端子 D A T A _ m および D A T A _ m + 1 に接続する。

【 0 1 3 5 】

このような構成の半導体メモリ装置の読み出し方法について図 10 を用いて説明する。ここでは、第 n 行第 m 列のセルのワード線 W L _ n _ 1 に接続するトランジスタを有するメモリセルの容量素子が + 1 V で充電されていた（すなわち、データ " 1 " が記録されていた）とする。また、各メモリセルの容量素子の容量はサブビット線 S B L の寄生容量および読み出しトランジスタ R T r の容量（ゲート容量と寄生容量を含む）の和の 1 / 4 であるとする。

30

【 0 1 3 6 】

さらに、読み出しトランジスタ R T r を N チャネル型で、そのしきい値を + 0 . 5 V とし、ゲートの電位が + 0 . 5 V のときは + 0 . 4 V のときの 10 倍の電流がソースドレイン間に流れ（すなわち、ソースドレイン間の抵抗が 1 / 10 である）、ゲートの電位が + 0 . 6 V のときは + 0 . 5 V のときの 10 倍の電流がソースドレイン間に流れるものとする。

40

【 0 1 3 7 】

まず、図 10 の期間 T 1 に示すように、第1の列ドライバー線 R L 1 と選択線 S L _ n の電位を H とし、第1の列トランジスタ C T r 1 _ m および第2の列トランジスタ C T r 2 _ m + 1 、選択トランジスタ S T r _ n _ m および S T r _ n _ m + 1 をオンとする。

【 0 1 3 8 】

その結果、主ビット線 M B L _ m およびサブビット線 S B L _ n _ m 、主ビット線 M B L _ m + 1 およびサブビット線 S B L _ n _ m + 1 の電位は、それぞれ、 + 0 . 5 V 、 + 1 V となる。また、第1電源供給線 X L 1 _ n 、第2電源供給線 X L 2 _ n の電位を + 0 . 5 V とする。これは読み出しトランジスタ R T r のソースドレイン間の導通を防止するためである。

50

【0139】

読み出しトランジスタ RTr_{n_m} は、ゲートの電位は +1 V で、ソースとドレインの電位は +0.5 V であるので、ソースドレイン間の電流は流れない。また、読み出しトランジスタ RTr_{n_m+1} は、ゲートの電位は +0.5 V で、ソースの電位は +0.5 V、ドレインの電位は +1 V であるので、やはりソースドレイン間の電流は流れない。

【0140】

なお、フリップフロップ回路 $FF_{m/m+1}$ の電源電位は、高電位の電源電位 VH 、低電位の電源電位 VL とも +0.5 V として動作しない状態としておく。その後、第 1 の列ドライバー線 RL_1 と選択線 SL_n の電位を L とし、第 1 の列トランジスタ CTR_{1m} および第 2 の列トランジスタ CTR_{2m+1} 、選択トランジスタ STR_{n_m} および STR_{n_m+1} をオフとする。 10

【0141】

次に、図 10 の期間 T_2 に示すように、ワード線 WL_{n_1} の電位を H とする。また、第 1 電源供給線 XL_{1n} の電位を 0 V とする。第 n 行第 m 列のセルには、ワード線 WL_{n_1} と接続するトランジスタを有するメモリセルがあるため、このトランジスタがオンとなり、容量素子に蓄積されていた電荷が放出されてサブビット線 SBL_{n_m} の電位が変動する。ここでは容量素子の電位が +1 V であったため、容量素子の容量とサブビット線等の容量の比率からサブビット線 SBL_{n_m} の電位は +0.6 V となる。

【0142】

その結果、読み出しトランジスタ RTr_{n_m+1} の抵抗が低下し、主ビット線 MBL_{m+1} の電位が急低下する。一方、第 n 行第 $(m+1)$ 列のセルには、ワード線 WL_{n_1} と接続するトランジスタを有するメモリセルがないためサブビット線 $SBL_{n_{m+1}}$ の電位は変動せず、+1 V のままである。また、主ビット線 MBL_m の電位は +0.5 V のままである。その後、ワード線 WL_{n_1} の電位を L とする。 20

【0143】

サブビット線 SBL_{n_m} の電位が安定するまでの時間はワード線 WL_{n_1} と接続するトランジスタのオン抵抗とサブビット線 SBL_{n_m} の容量の積に比例する。サブビット線の容量は、従来の DRAM のビット線の容量の数百分の 1 以下の $1fF$ 以下にできる。そのため、トランジスタのオン抵抗が従来の DRAM で一般に用いられている珪素を用いたトランジスタの数百倍であっても従来の DRAM と同程度の時間で済む。サブビット線 SBL_{n_m} の容量をより小さくできれば、より短時間で安定できる。 30

【0144】

例えば、オン抵抗が珪素を用いたトランジスタの数十乃至数百倍（すなわち、電界効果移動度が数十乃至数百分の 1）である酸化物半導体を用いたトランジスタであっても、従来の DRAM と同程度あるいはより高速での読み出しが可能となる。

【0145】

そして、図 10 の期間 T_3 に示すように、選択線 SL_n の電位を H とし、第 2 電源供給線 XL_{2n} の電位を 0 V とする。また、フリップフロップ回路 $FF_{m/m+1}$ の高電位電源の電位を +1 V に、低電位電源の電位を 0 V にする。なお、図 10 に示すように、選択線 SL_n の電位は、期間 T_1 や期間 T_2 の一部以外は H とすることが望ましい。 40

【0146】

フリップフロップ回路 $FF_{m/m+1}$ は、主ビット線 MBL_m と MBL_{m+1} の電位差を増幅する。すなわち、主ビット線 MBL_m の電位が +0.5 V であるのに対し、主ビット線 MBL_{m+1} の電位はほとんど 0 V であるため、フリップフロップ回路 $FF_{m/m+1}$ は、主ビット線 MBL_m の電位を +1 V に、主ビット線 MBL_{m+1} の電位を 0 V とする。

【0147】

このとき、第 1 電源供給線 XL_{1n} 、第 2 電源供給線 XL_{2n} の電位がともに 0 V であると、読み出しトランジスタ RTr のソースドレイン間の導通を防止できる。ここでは、選択トランジスタ STR がオンとなっているため、サブビット線 SBL の電位は主ビッ 50

ト線 M B L の電位と等しくなるが、そのとき読み出しトランジスタのゲートとドレインの電位が互いに逆位相（すなわち、0 V と + 1 V あるいは + 1 V と 0 V）となるためである。

【 0 1 4 8 】

データを読み出す場合にはこの時点のデータ入出力端子 D A T A _ m の電位を観測すればよい。なお、データ入出力端子 D A T A _ m + 1 には D A T A _ m の電位とは逆位相の電位が観測される。すなわち、データ入出力端子 D A T A _ m の電位が + 1 V であれば、データ入出力端子 D A T A _ m + 1 の電位は 0 V となり、データ入出力端子 D A T A _ m の電位が 0 V であれば、データ入出力端子 D A T A _ m + 1 の電位は + 1 V となる。

【 0 1 4 9 】

そして、図 10 の期間 T 4 に示すように、フリップフロップ回路 F F _ m / m + 1 の高電位の電源電位 V H および低電位の電源電位 V L をともに + 0 . 5 V にするとともに、ワード線 W L _ n _ 1 の電位を H とする。この結果、ワード線 W L _ n _ 1 にトランジスタが接続するメモリセル（この場合は、第 n 行第 m 列のセルの中のメモリセル）の容量素子がサブビット線 S B L の電位で充電される。

【 0 1 5 0 】

この場合は、当初書き込まれていたデータと同じデータ " 1 " が書き込まれるのであるが、データを書き換えるのであれば、データ入出力端子 D A T A _ m の電位を書き込むデータに応じたものとすればよい。また、その際には、データ入出力端子 D A T A _ m + 1 の電位を逆位相のものとすると、読み出しトランジスタ R T r のソースドレイン間の導通を防止できる。

【 0 1 5 1 】

以上の例では、メモリセルの容量素子の電位を + 1 V としたが、容量素子の電位が当初 0 V であった場合（データ " 0 " が記録されていた場合）も同様にできる（図 10 中の点線を参照）。その際、上記の期間 T 2 では、サブビット線 S B L _ n _ m の電位は + 0 . 4 V となり、読み出しトランジスタ R T r _ n _ m + 1 の抵抗はデータ " 1 " の場合の 100 倍であるため、主ビット線 M B L _ m + 1 の電位は、当初の + 1 V からほとんど低下しない。

【 0 1 5 2 】

すなわち、主ビット線 M B L _ m の電位（+ 0 . 5 V）の方が主ビット線 M B L _ m + 1 の電位（+ 1 V 弱）より低い。このため、期間 T 3 において、フリップフロップ回路 F F _ m / m + 1 を作動させると、主ビット線 M B L _ m の電位は 0 V に、主ビット線 M B L _ m + 1 の電位は + 1 V になる。

【 0 1 5 3 】

本実施の形態の半導体メモリ装置では、書き込みや読み出しの際に、メモリセルのトランジスタのオン抵抗（あるいは電界効果移動度）の大小はさほど問題とならず、例えば、酸化物半導体のように移動度が、珪素半導体の数十分の 1 乃至数百分の 1 である半導体材料を用いてもよい。それは、以下のように説明できる。

【 0 1 5 4 】

従来の D R A M では、書き込みに要する時間は、（ A 1 ）主ビット線の容量と主ビット線の抵抗の積と、（ A 2 ）メモリセルの容量素子の容量とメモリセルのトランジスタのオン抵抗の積の和（ A 1 + A 2 ）に比例する。なお、一般に（ A 2 ）は（ A 1 ）と同等以上 10 倍以下である。

【 0 1 5 5 】

一方、本実施の形態では、書き込みに要する時間は、（ B 1 ）主ビット線の容量と主ビット線の抵抗の積と、（ B 2 ）サブビット線の容量と選択トランジスタのオン抵抗の積と、（ B 3 ）メモリセルの容量素子の容量とメモリセルのトランジスタのオン抵抗の積の和（ B 1 + B 2 + B 3 ）に比例する。

【 0 1 5 6 】

これらを比較すると、（ A 1 ）と（ B 1 ）は同等とみなせる。また、（ A 2 ）と（ B 2 ）

10

20

30

40

50

を比較した場合、いずれも珪素半導体を用いたトランジスタを使用するのであれば、トランジスタのオン抵抗は同等である。一方、従来のDRAMの容量素子の容量が10fF以上であるのに対し、本実施の形態でのサブビット線の容量は1fF以下、好ましくは0.1fF以下とできるので、(B2)は(A2)の十分の1、好ましくは百分の1以下とできる。

【0157】

さらに、(B3)に関しては、例えば、酸化物半導体のオン抵抗を珪素半導体のものより100倍大きいとしても、容量素子の容量を、従来のDRAMの容量素子の容量の百分の1以下の0.1fF以下とすれば、(B3)は(A2)と同等、あるいはそれ以下である。

10

【0158】

以上の議論から明らかなように、容量が十分に小さなサブビット線を用い、かつ、容量素子の容量も十分に小さくすることにより、オン抵抗が極めて大きな(電界効果移動度の極めて小さい)トランジスタを用いても、従来のDRAMと遜色の無い書き込み速度を実現できる。読み出しも同様な議論から、従来のDRAMと同程度の速度でおこなえる。

【0159】

バンドギャップの大きな酸化物半導体を用いた場合にはリフレッシュが実質的に不要であるので消費電力を低減できる効果があるものの、従来のDRAMのメモリセルのトランジスタに使用しただけでは、動作速度が著しく低下するため、実用的ではない。

20

【0160】

しかしながら、本実施の形態で示したように、容量が十分に小さなサブビット線を用い、かつ、容量素子の容量も十分に小さくすることにより、従来のDRAMと遜色の無い動作速度を実現でき、かつ、リフレッシュが実質的に不要な新規な半導体メモリ装置を実現できる。

【0161】

ところで、本実施の形態の半導体メモリ装置では、サブビット線の容量も極めて小さいため、その電位はノイズの影響を受けやすくなる。そのため、サブビット線をゲートとする読み出しトランジスタの導通状態もノイズの影響を受けることとなる。しかしながら、のようなノイズの影響はより容量の大きい主ビット線および他のサブビット線に電荷を蓄積する過程で平準化されるため、結果的にはノイズの影響を抑制できる。

30

【0162】

(実施の形態5)

本実施の形態では、図11に示す半導体メモリ装置およびその動作の例について説明する。図11に示す半導体メモリ装置は、図9に示す半導体メモリ装置のドライバー回路をより簡単にしたものである。図11には半導体メモリ装置の第n行第m列のセルと第n行第(m+1)列のセルと、第m列および第(m+1)列のドライバー回路の一部を示す。ここで、mは奇数とする。

【0163】

本実施の形態の半導体メモリ装置のセルは、図9に示す半導体メモリ装置のセルと同様に選択トランジスタSTRと読み出しトランジスタRTと複数のメモリセルとサブビット線SBLとを有する。図9に示す半導体メモリ装置のセルとの違いは、読み出しトランジスタRTのソースが、偶数列奇数列とも同じ電源供給線(すなわち、第1電源供給線XL1_n)に接続されることである。

40

【0164】

また、ドライバー回路は、少なくとも第1の列トランジスタCTR1_mおよびCTR1_m+1とフリップフロップ回路FF_m/m+1とを有する。第1の列トランジスタCTR1_mのゲートおよびCTR1_m+1のゲートはともに第1の列ドライバー線RL1に接続し、第1の列トランジスタCTR1_mのドレインおよびCTR1_m+1のドレインは、それぞれ主ビット線MBL_mおよび主ビット線MBL_m+1に接続し、第1の列トランジスタCTR1_mのソースおよびCTR1_m+1のソースは、ともに+50

0.5Vに保持されている。すなわち、第1の列ドライバー線RL1の電位をHとすれば、主ビット線MBL_mおよび主ビット線MBL_{m+1}の電位は、いずれも+0.5Vとなる。

【0165】

フリップフロップ回路FF_m/m+1と主ビット線MBL_mおよびMBL_{m+1}の接続は図9に示す半導体メモリ装置のものと同じである。

【0166】

図13には、図11に示す半導体メモリ装置のセルの主要な層のレイアウト例を示す。なお、図13の線分A-Bの断面は、図6および図7のA-Bに相当する。したがって、詳細は図6及び図7とそれらに関連する記述を参照すればよい。

10

【0167】

図13(A)は、不純物領域103d等やゲート104a乃至104cや、それらに接続するように設けられる第1コントラクトプラグ106a等の配置を示す。図の上下の方向はワード線の方向である。

【0168】

ゲート104aは選択線SL_nであり、ゲート104bは読み出しトランジスタRT_r_n_mのゲートである。また、ゲート104cは、隣接するセルの読み出しトランジスタのゲートである。図13(A)に示すように、ゲート104bと104cが、ワード線の方向に重ならないように配置することで、セルとセルの間隔を狭めることができるので高集積化に好ましい。

20

【0169】

図13(B)は、その上に形成される第1層配線108a乃至108fとそれらに接続するように設けられる第2コントラクトプラグ110d等の配置を示す。第1層配線108cは読み出しトランジスタのソースに電位を供給する第1電源供給線XL1_nである。また、第1層配線108eはサブビット線SBL_n_mの一部で、隣接するセルの読み出しトランジスタのゲートと接続し、第1層配線108dは隣接するセルのサブビット線の一部で、読み出しトランジスタRT_r_n_mのゲートと接続する。

【0170】

図13(C)は、第2層配線112a乃至112gの配置を示す。このうち第2層配線112cと112eはメモリセルの容量素子の対向電極として機能する。図13(D)は酸化物半導体層114aおよび114bの配置を示す。図13(E)はワード線116a乃至116dと、第3コントラクトプラグ118a等の配置を示す。

30

【0171】

このような構成の半導体メモリ装置の読み出し方法について図12を用いて説明する。ここでは、第n行第m列のセルのワード線WL_n_1に接続するトランジスタを有するメモリセルにデータ"1"が記録されていたとする。また、各メモリセルの容量素子の容量はサブビット線SBLの寄生容量および読み出しトランジスタRT_rの容量(ゲート容量と寄生容量を含む)の和の1/4であるとする。

【0172】

さらに、読み出しトランジスタRT_rをNチャネル型とし、そのしきい値を+0.5Vとし、ゲートの電位が+0.5Vのときは+0.4Vのときの10倍の電流がソースドレイン間に流れ(すなわち、ソースドレイン間の抵抗が1/10である)、ゲートの電位が+0.6Vのときは+0.5Vのときの10倍の電流がソースドレイン間に流れるものとする。

40

【0173】

まず、図12の期間T1に示すように、第1の列ドライバー線RL1と選択線SL_nの電位をHとし、第1の列トランジスタCTR1_mおよびCTR1_{m+1}、選択トランジスタSTR_n_mおよびSTR_n_{m+1}をオンとする。

【0174】

その結果、主ビット線MBL_mおよびMBL_{m+1}、サブビット線SBL_n_mお

50

および SBL_{n-m+1} の電位は $+0.5V$ となる。また、第 1 電源供給線 $XL1_n$ の電位を $+0.5V$ とする。これは読み出しトランジスタ RT_r のソースドレイン間の導通を防止するためである。読み出しトランジスタ RT_r_{n-m} 、 RT_r_{n-m+1} のゲート、ソース、ドレインとも電位は $+0.5V$ であるので、ソースドレイン間に電流は流れない。

【0175】

なお、フリップフロップ回路 $FF_{m/m+1}$ の電源電位は、高電位の電源電位 VH 、低電位の電源電位 VL とも $+0.5V$ として動作しない状態としておく。その後、第 1 の列ドライバー線 $RL1$ と選択線 SL_n の電位を L とし、第 1 の列トランジスタ CTR_{1-m} および CTR_{1-m+1} 、選択トランジスタ STR_{n-m} および STR_{n-m+1} をオフとする。
10

【0176】

次に、図 12 の期間 $T2$ に示すように、ワード線 WL_{n-1} の電位を H とする。また、第 1 電源供給線 $XL1_n$ の電位を $0V$ とする。第 n 行第 m 列のセルには、ワード線 WL_{n-1} と接続するトランジスタを有するメモリセルがあるため、このトランジスタがオンとなり、容量素子に蓄積されていた電荷が放出されてサブビット線 SBL_{n-m} の電位が変動する。ここではサブビット線 SBL_{n-m} の電位は $+0.6V$ となる。その後、ワード線 WL_{n-1} の電位を L とする。

【0177】

その結果、読み出しトランジスタ RT_r_{n-m+1} の抵抗が低下し、主ビット線 MBL_{m+1} の電位が $0V$ に向けて急低下する。一方、第 n 行第 $(m+1)$ 列のセルには、ワード線 WL_{n-1} と接続するトランジスタを有するメモリセルがないためサブビット線 SBL_{n-m+1} の電位は変動せず、 $+0.5V$ のままである。読み出しトランジスタ RT_r_{n-m} の抵抗は、読み出しトランジスタ RT_r_{n-m+1} の抵抗の 10 倍であるので、主ビット線 MBL_m の電位の低下は、主ビット線 MBL_{m+1} に比べると緩慢である。
20

【0178】

そして、図 12 の期間 $T3$ に示すように、選択線 SL_n の電位を H とし、フリップフロップ回路 $FF_{m/m+1}$ の高電位電源の電位を $+1V$ に、低電位電源の電位を $0V$ にする。
30

【0179】

フリップフロップ回路 $FF_{m/m+1}$ は、主ビット線 MBL_m と MBL_{m+1} の電位差を增幅する。すなわち、主ビット線 MBL_m の電位より主ビット線 MBL_{m+1} の電位が高いため、フリップフロップ回路 $FF_{m/m+1}$ は、主ビット線 MBL_m の電位を $+1V$ に、主ビット線 MBL_{m+1} の電位を $0V$ とする。このとき、第 1 電源供給線 $XL1_n$ の電位が $0V$ であると、読み出しトランジスタ RT_r のソースドレイン間の導通を防止できる。データを読み出す場合にはこの時点のデータ入出力端子 $DATA_m$ の電位を観測すればよい。

【0180】

そして、図 12 の期間 $T4$ に示すように、フリップフロップ回路 $FF_{m/m+1}$ の高電位の電源電位 VH および低電位の電源電位 VL をともに $+0.5V$ にするとともに、ワード線 WL_{n-1} の電位を H とする。この結果、ワード線 WL_{n-1} にトランジスタが接続するメモリセル（この場合は、第 n 行第 m 列のセルの中のメモリセル）の容量素子がサブビット線 SBL の電位で充電される。
40

【0181】

この場合は、当初書き込まれていたデータと同じデータ "1" が書き込まれるのであるが、データを書き換えるのであれば、データ入出力端子 $DATA_m$ の電位を書き込むデータに応じたものとすればよい。また、その際には、データ入出力端子 $DATA_{m+1}$ の電位を逆位相のものとすると、読み出しトランジスタ RT_r のソースドレイン間の導通を防止できる。
50

【0182】

以上の例では、メモリセルにデータ"1"が記録されていたが、データ"0"が記録されていた場合も同様に読み出し書き込みができる(図12中の点線を参照)。その際、上記の期間T2では、サブビット線SBL_n_mの電位は+0.4Vとなり、読み出しトランジスタRT_r_n_m+1の抵抗はデータ"1"の場合の100倍であるため、主ビット線MBL_m+1の電位は、当初の+0.5Vからほとんど低下しない。

【0183】

一方、上記のデータ"1"の場合と同様にサブビット線SBL_n_m+1の電位は+0.5Vであり、主ビット線MBL_m+1の電位は、上記のデータ"1"の場合と同様に低下する。すなわち、主ビット線MBL_mの電位の方が主ビット線MBL_m+1の電位より低い。このため、期間T3において、フリップフロップ回路FF_m/m+1を作動させると、主ビット線MBL_mの電位は0Vに、主ビット線MBL_m+1の電位は+1Vになる。

10

【0184】

本実施の形態の半導体メモリ装置は、読み出しトランジスタの導通状態のRT_r_n_mとRT_r_n_m+1の差を判別して、データの読み出しをおこなうため、図9に示す半導体メモリ装置に比べると安定性が劣る。

【0185】

例えば、期間T2の長さを的確に設定する必要がある。短すぎるとデータ"0"を読み出す際に、また、長すぎるとデータ"1"を読み出す際に、主ビット線MBL_mとMBL_m+1の間の電位の差が小さくなり、エラーを発生しやすくなる。

20

【0186】

また、主ビット線MBL_mとMBL_m+1の間の電位の差は、上記の例では0.1V乃至0.3V程度であるので、フリップフロップ回路で増幅する際に時間を要する。

【0187】

しかしながら、ドライバー回路の構造が簡単であり、読み出しトランジスタのソースに接続する配線を一種類(第1電源供給線XL1)とできるため、集積化が容易である。

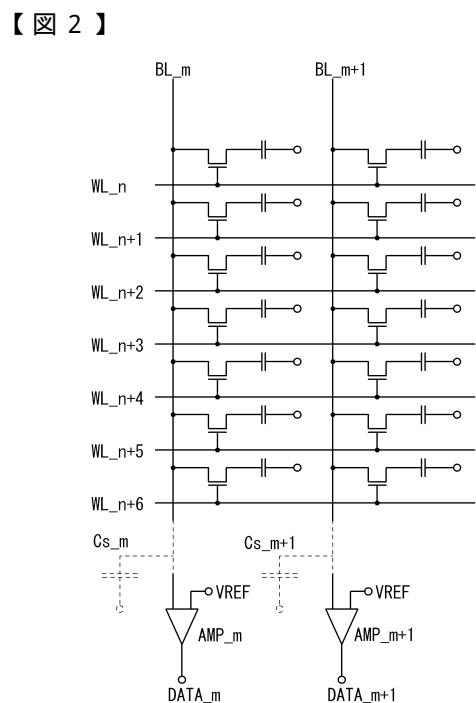
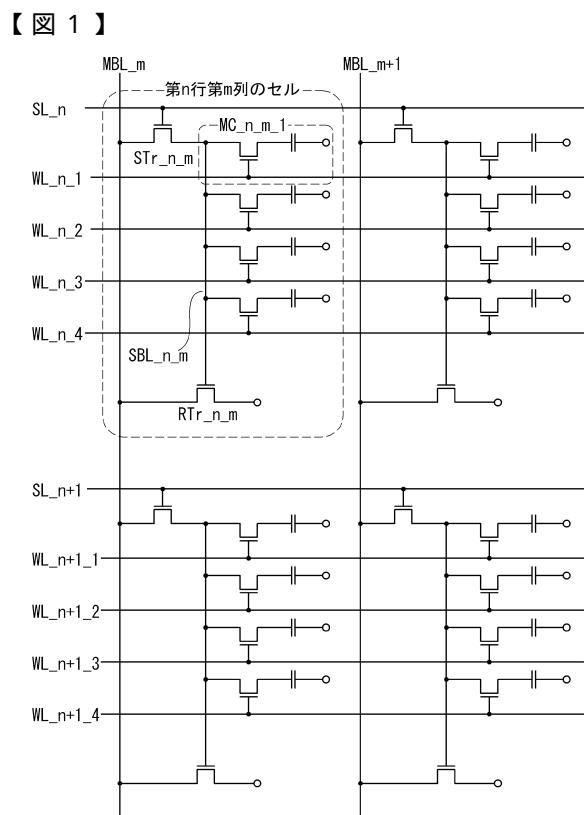
【符号の説明】

【0188】

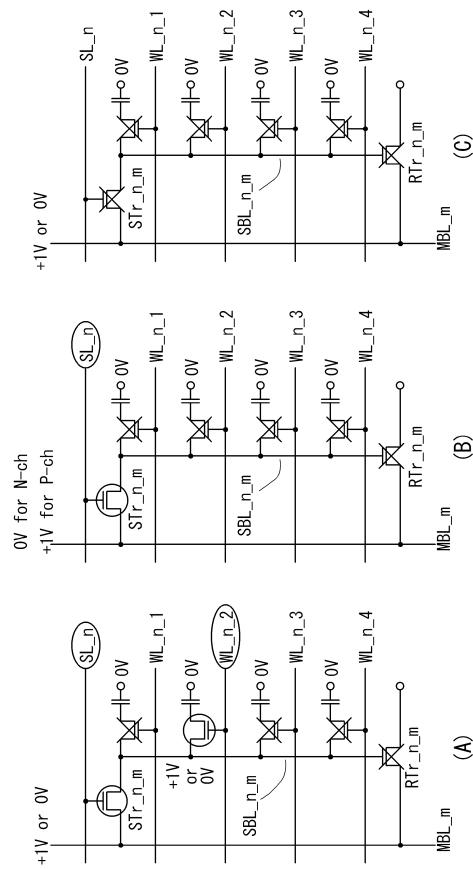
101	基板	30
102	素子分離絶縁物	
103 a	不純物領域	
103 b	不純物領域	
103 c	不純物領域	
103 d	不純物領域	
104 a	ゲート	
104 b	ゲート	
104 c	ゲート	
105	第1層間絶縁物	
106 a	第1コントラクトプラグ	40
106 b	第1コントラクトプラグ	
106 c	第1コントラクトプラグ	
106 d	第1コントラクトプラグ	
106 e	第1コントラクトプラグ	
107	第1埋め込み絶縁物	
108 a	第1層配線	
108 b	第1層配線	
108 c	第1層配線	
108 d	第1層配線	
108 e	第1層配線	50

1 0 8 f	第 1 層配線	
1 0 9	第 2 層間絶縁物	
1 1 0 a	第 2 コンタクトプラグ	
1 1 0 b	第 2 コンタクトプラグ	
1 1 0 c	第 2 コンタクトプラグ	
1 1 0 d	第 2 コンタクトプラグ	
1 1 1	第 2 埋め込み絶縁物	
1 1 2 a	第 2 層配線	
1 1 2 b	第 2 層配線	
1 1 2 c	第 2 層配線	10
1 1 2 d	第 2 層配線	
1 1 2 e	第 2 層配線	
1 1 2 f	第 2 層配線	
1 1 2 g	第 2 層配線	
1 1 3	容量素子用絶縁物	
1 1 4 a	酸化物半導体層	
1 1 4 b	酸化物半導体層	
1 1 5	ゲート絶縁物	
1 1 6 a	ワード線	
1 1 6 b	ワード線	20
1 1 6 c	ワード線	
1 1 6 d	ワード線	
1 1 7	第 3 層間絶縁物	
1 1 8 a	第 3 コンタクトプラグ	
1 1 8 b	第 3 コンタクトプラグ	
1 1 8 c	第 3 コンタクトプラグ	
1 1 8 d	第 3 コンタクトプラグ	
1 1 8 e	第 3 コンタクトプラグ	
1 1 9	第 5 層配線	
1 2 0	第 6 層配線	30
A M P	センスアンプ	
B L	ビット線	
C s	寄生容量	
C T r 1	第 1 の列トランジスタ	
C T r 2	第 2 の列トランジスタ	
D A T A	データ入出力端子	
F F	フリップフロップ回路	
M B L	主ビット線	
M C	メモリセル	
R L 1	第 1 の列ドライバー線	40
R L 2	第 2 の列ドライバー線	
R T r	読み出しトランジスタ	
S B L	サブビット線	
S L	選択線	
S T r	選択トランジスタ	
V H	高電位の電源電位	
V L	低電位の電源電位	
V R E F	参照電位	
W L	ワード線	
X L 1	第 1 電源供給線	50

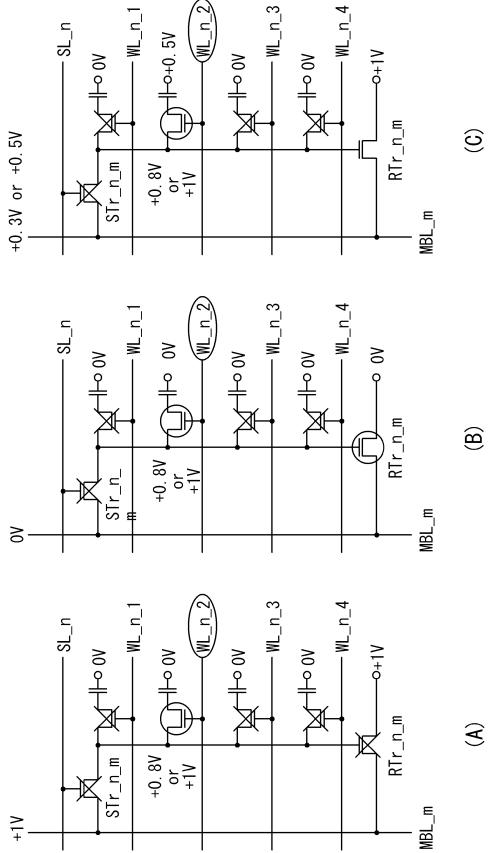
X L 2 第2電源供給線



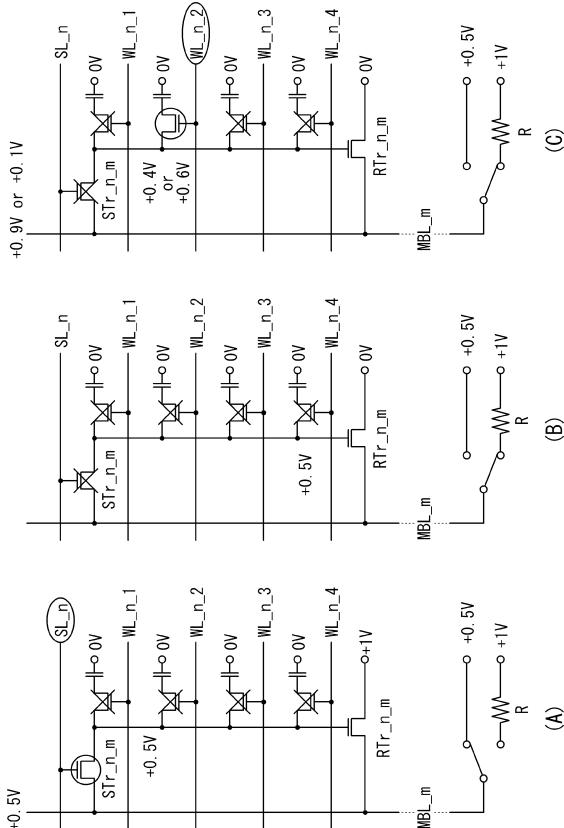
【 四 3 】



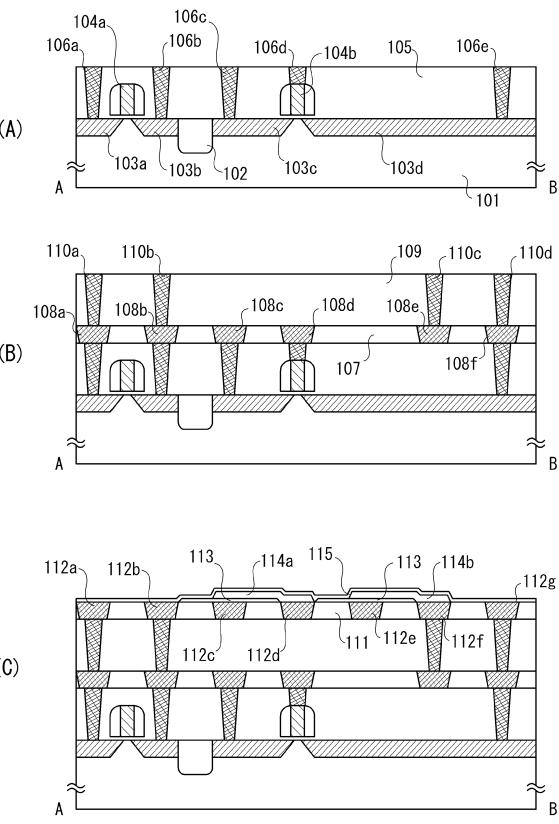
【図5】



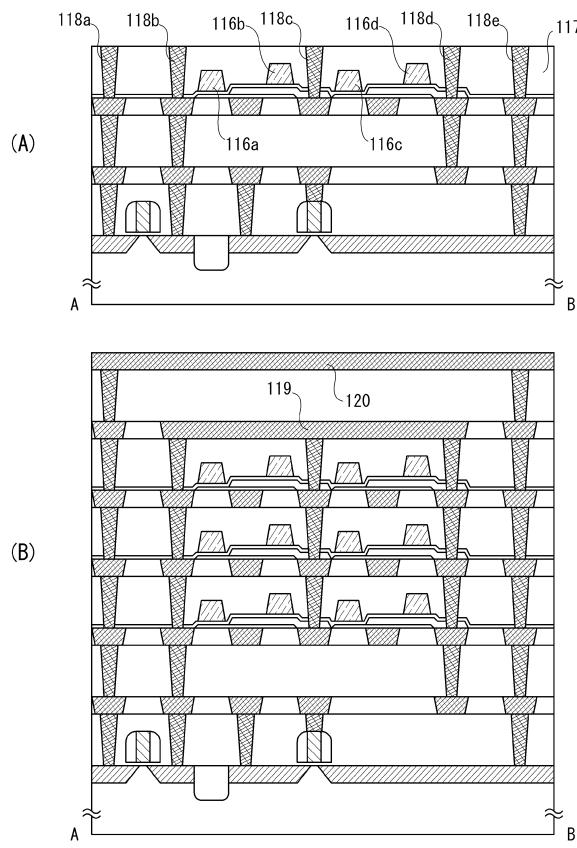
【図4】



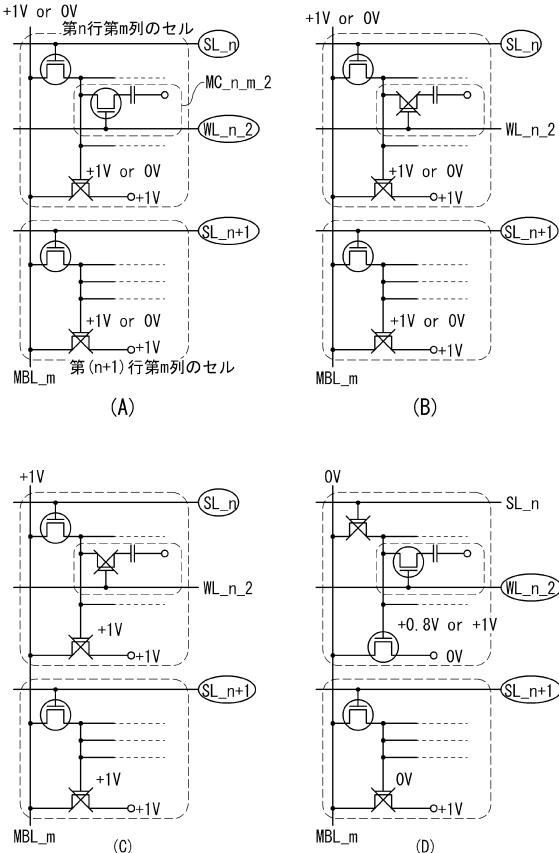
【図6】



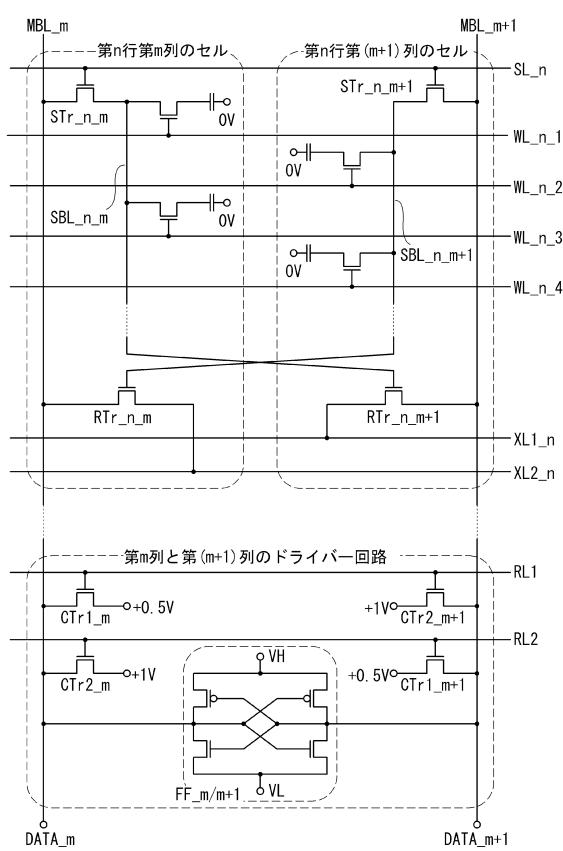
【図7】



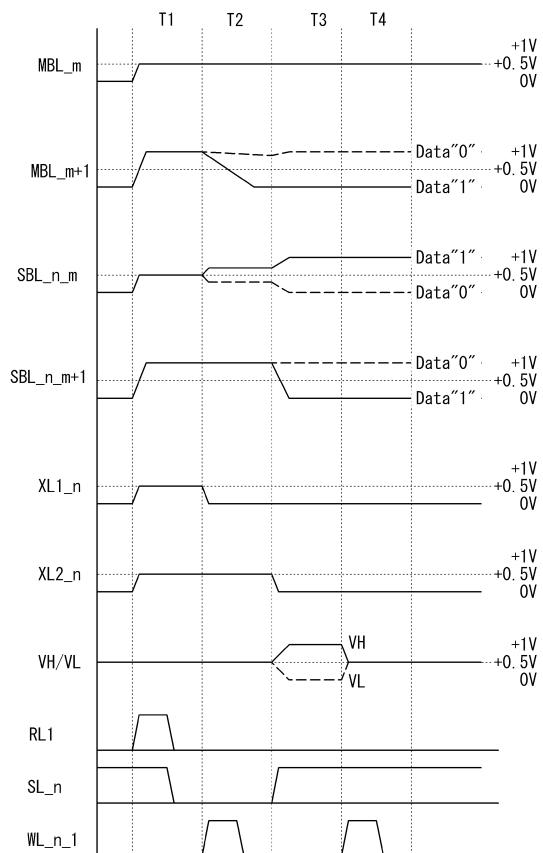
【図8】



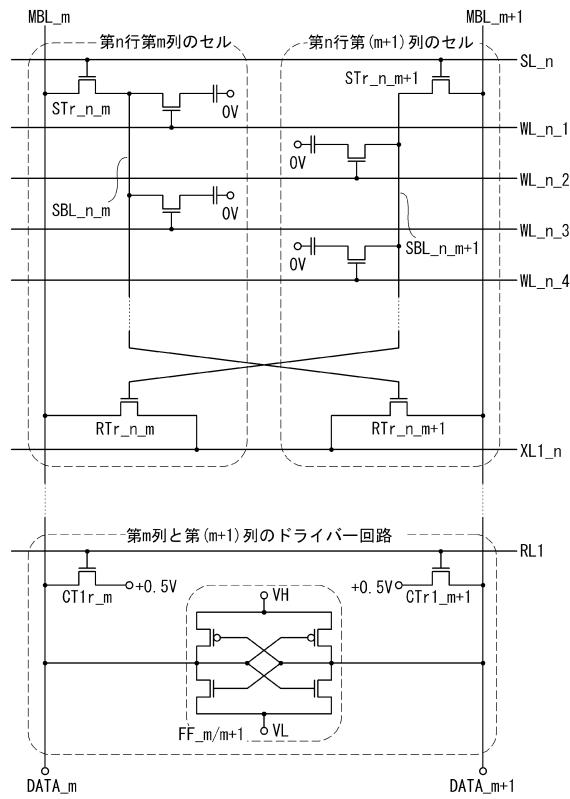
【図9】



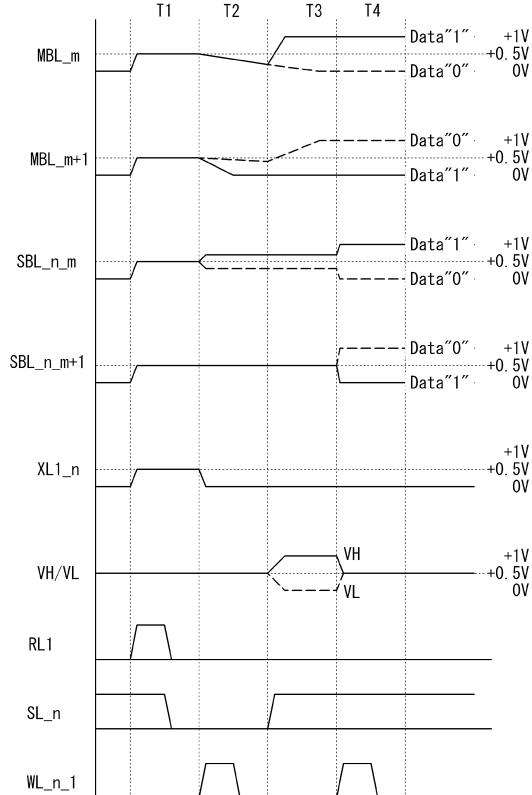
【図10】



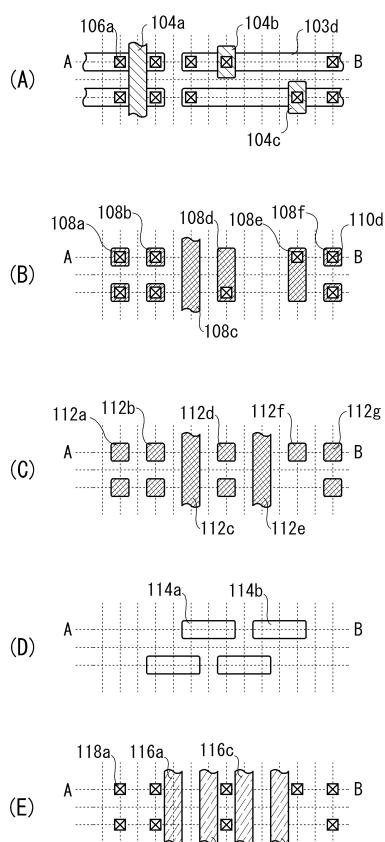
【図11】



【図12】



【図13】



フロントページの続き

(56)参考文献 米国特許出願公開第2007/0103955(US, A1)
米国特許出願公開第2003/0031043(US, A1)
米国特許出願公開第2008/0285362(US, A1)
特開2012-119048(JP, A)

(58)調査した分野(Int.Cl., DB名)

G 11 C 11/4097
H 01 L 21/8242
H 01 L 27/108