

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4136577号

(P4136577)

(45) 発行日 平成20年8月20日 (2008. 8. 20)

(24) 登録日 平成20年6月13日 (2008. 6. 13)

(51) Int. Cl.

F I

G 0 6 F 12/00 (2006. 01)

G 0 6 F 12/00 5 6 4 D

G 0 6 F 12/00 5 5 0 K

G 0 6 F 12/00 5 9 7 C

請求項の数 13 (全 18 頁)

(21) 出願番号	特願2002-287331 (P2002-287331)	(73) 特許権者	302062931
(22) 出願日	平成14年9月30日 (2002. 9. 30)		N E Cエレクトロニクス株式会社
(65) 公開番号	特開2004-126772 (P2004-126772A)		神奈川県川崎市中原区下沼部 1 7 5 3 番地
(43) 公開日	平成16年4月22日 (2004. 4. 22)	(74) 代理人	100123788
審査請求日	平成17年8月3日 (2005. 8. 3)		弁理士 宮崎 昭夫
		(74) 代理人	100127454
			弁理士 緒方 雅昭
		(74) 代理人	100106138
			弁理士 石橋 政幸
		(72) 発明者	采女 昌克
			東京都港区芝五丁目7番1号 日本電気株式会社内
		審査官	田中 秀人

最終頁に続く

(54) 【発明の名称】 メモリコントロール装置およびデータ処理装置

(57) 【特許請求の範囲】

【請求項 1】

半導体記憶装置に接続されるメモリコントロール装置であって、
出力クロック信号を発生するクロック発生回路と、
m (“m” は所定の自然数) ビットの第1 デジタルデータを前記出力クロック信号に同期して一時保持するm個の出力保持回路と、
m個の前記出力保持回路の各々にデータ出力配線を介して接続され、前記第1 デジタルデータをパラレルに前記半導体記憶装置へ出力するm個のデータ出力端子と、
前記出力クロック信号を所定周期だけ遅延させることで出力ストローブ信号を生成する出力遅延回路と、
前記出力遅延回路に信号出力配線を介して接続され、前記第1 デジタルデータの出力に同期して前記出力ストローブ信号を前記半導体記憶装置へ出力する信号出力端子と、
を備え、

前記データ出力配線は、それぞれ等長であり、

m個の前記出力保持回路は、前記データ出力配線が延伸する方向とは異なる方向にそれぞれ線状に配列されており、

m個の前記データ出力端子及び前記信号出力端子は、m個の前記出力保持回路の線状の配列と平行な方向に線状に配列されており、

前記出力遅延回路は、m個の前記出力保持回路の線状の配列とm個の前記データ出力端子及び前記信号出力端子の線状の配列とで2辺を囲われる領域の中に配置されているメモ

リコントロール装置。

【請求項 2】

請求項 1 に記載のメモリコントロール装置であって、

前記データ出力配線及び前記信号出力配線の配線長は、等長であるメモリコントロール装置。

【請求項 3】

請求項 1 又は 2 に記載のメモリコントロール装置であって、

出力遅延制御信号を出力する遅延調整回路を更に備え、

前記出力遅延回路の遅延周期は、前記出力遅延制御信号によって設定されるメモリコントロール装置。

10

【請求項 4】

請求項 1 乃至 3 の何れかに記載のメモリコントロール装置であって、

m 個の前記出力保持回路の各々は、前記データ出力配線によって結線されている前記データ出力端子と、前記データ出力配線が延伸する方向に、隣接して配置されているメモリコントロール装置。

【請求項 5】

請求項 1 乃至 4 の何れかに記載のメモリコントロール装置であって、

前記出力遅延回路に接続する前記信号出力端子及び前記信号出力配線を更に複数備え、

前記出力遅延回路と複数の前記信号出力端子とを接続する前記信号出力配線の各々は、前記データ出力配線の各々と等長であるメモリコントロール装置。

20

【請求項 6】

請求項 1 乃至 5 の何れかに記載のメモリコントロール装置であって、

前記出力保持回路は、一時保持した前記第 1 デジタルデータを前記出力クロック信号の立ち上がりとしち下がりとの両方に同期して前記データ出力端子に伝送するメモリコントロール装置。

【請求項 7】

請求項 1 乃至 6 の何れかに記載のメモリコントロール装置であって、

前記半導体記憶装置から n (“n” は所定の自然数) ビットの第 2 デジタルデータがパラレルに入力される n 個のデータ入力端子と、

前記半導体記憶装置から前記第 2 デジタルデータに同期した入力クロック信号が入力される信号入力端子と、

30

前記信号入力端子に第 1 信号入力配線を介して接続され、前記入力クロック信号を所定周期だけ遅延させて入力ストロブ信号を生成する入力遅延回路と、

n 個の前記データ入力端子の各々にデータ入力配線を介して接続されるとともに、前記入力遅延回路から n 個の第 2 信号入力配線を介して分配されて伝送される前記入力ストロブ信号に同期して前記第 2 デジタルデータを一時保持する n 個の入力保持回路と、を備え、

前記データ入力配線の各々の配線長は、前記第 1 信号入力配線と前記第 2 信号入力配線との配線長の和に、等長であるメモリコントロール装置。

【請求項 8】

40

請求項 1 乃至 6 の何れかに記載のメモリコントロール装置であって、

前記半導体記憶装置から n (“n” は所定の自然数) ビットの第 2 デジタルデータがパラレルに入力される n 個のデータ入力端子と、

前記半導体記憶装置から前記第 2 デジタルデータに同期した入力クロック信号が入力される信号入力端子と、

前記信号入力端子に第 1 信号入力配線を介して接続され、前記入力クロック信号を所定周期だけ遅延させて入力ストロブ信号を生成する入力遅延回路と、

n 個の前記データ入力端子の各々にデータ入力配線を介して接続されるとともに、前記入力遅延回路から n 個の第 2 信号入力配線を介して分配されて伝送される前記入力ストロブ信号に同期して前記第 2 デジタルデータを一時保持する n 個の入力保持回路と、

50

を備え、

前記データ入力配線は、それぞれ等長であり、

n個の前記データ入力端子は、線状に配列しており、

n個の前記入力保持回路の各々は、n個の前記データ入力端子が配列する方向に対して、前記データ入力配線によって結線されている前記データ入力端子と前記入力遅延回路が前記入力ストロブ信号を出力する位置との中間の位置に配置されているメモリコントロール装置。

【請求項 9】

請求項 7 又は 8 に記載のメモリコントロール装置であって、

データ記憶回路を更に備え、

前記入力保持回路は、一時保持した前記第 2 デジタルデータを前記入力ストロブ信号の立ち上がりとしち下がりとの両方に同期して前記データ記憶回路に伝送するメモリコントロール装置。

【請求項 10】

請求項 7 乃至 9 の何れかに記載のメモリコントロール装置であって、

前記データ入力端子と前記データ出力端子とが一体化されており、

前記信号入力端子と前記信号出力端子とが一体化されているメモリコントロール装置。

【請求項 11】

請求項 1 乃至 10 の何れかに記載のメモリコントロール装置であって、

回路コア領域と、前記回路コア領域を囲むように設けられたインターフェイス領域と、を備え、

前記コア領域には、前記クロック発生回路が配置され、

前記インターフェイス領域には、前記出力保持回路と、前記データ出力端子と、前記出力遅延回路と、前記信号出力端子と、が配置されているメモリコントロール装置。

【請求項 12】

請求項 11 に記載のメモリコントロール装置であって、

前記インターフェイス領域には、前記入力保持回路と、前記データ入力端子と、前記入力遅延回路と、前記信号入力端子と、が更に配置されているメモリコントロール装置。

【請求項 13】

請求項 1 乃至 12 の何れかに記載のメモリコントロール装置と、

前記メモリコントロール装置に接続されている前記半導体記憶装置と、を有しているデータ処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体記憶装置に対してデジタルデータを入出力するメモリコントロール装置に関し、特に、デジタルデータの入出力がストロブ信号に同期して実行されるメモリコントロール装置に関する。

【0002】

【従来の技術】

近年、マイクロプロセッサの処理能力が向上し、半導体記憶装置の動作速度がマイクロプロセッサ及び半導体記憶装置を含む処理システムの処理速度のネックとなっている。この高速化された半導体記憶装置に、DDR(Double Data Rate)－SDRAM(Synchronous Dynamic Random Access Memory)がある。

【0003】

SDRAMは、クロック信号に同期してデジタルデータを入出力するが、さらに、DDR－SDRAMでは、デジタルデータの入出力をクロック信号の立ち上がりとしち下がりとの両方に同期させることで、その動作を高速化している。

【0004】

このような、DDR－SDRAMとマイクロプロセッサとの間のデータ転送は、メモリコ

10

20

30

40

50

ントロール装置を介して行なわれている(例えば、特許文献1参照)。

【0005】

【特許文献1】

特開平2001-331365号公報

DDR-SDRAMにメモリコントロール装置を介してデータを書き込む場合に、DDR-SDRAMは、メモリコントロール装置からクロック信号に同期して出力されたデータを、メモリコントロール装置から出力されたストロブ信号のエッジに応答して取り込む。そのため、メモリコントロール装置は、図12に示すように、クロック信号を遅延させてストロブ信号を生成し、当該ストロブ信号とデータと出力する必要性がある。

【0006】

また、DDR-SDRAMからメモリコントロール装置を介してデータを読み出す場合に、DDR-SDRAMは、メモリコントロール装置へクロック信号に同期したデータと、当該クロック信号とを出力する。そのため、メモリコントロール装置は、DDR-SDRAMにデータを書き込む場合と同様に、図12に示すように、データを取り込むためにDDR-SDRAMが出力したクロック信号を遅延してストロブ信号を生成し、当該ストロブ信号に応答してデータを取り込む必要がある。

【0007】

このような、メモリコントロール装置200の内部構成について説明する。なお、説明を簡単にするため、DDR-SDRAMにメモリコントロール装置を介してデータを書き込む場合に使用されるブロックを図10に、DDR-SDRAMからメモリコントロール装置を介してデータを読み出す場合に使用されるブロックを図11に分けて、別々に説明をする。なお、メモリコントロール装置200は、回路コア領域202及び回路コア領域の周囲に設けられたインターフェイス領域203とを有し、回路コア領域202には、データ記憶回路211、クロック発生回路212、出力遅延回路213が形成され、インターフェイス領域203には、データ入出端子215、信号入出端子216、初段フリップフロップ(初段FF)、終段フリップフロップ(終段FF)218、入力遅延回路219、データ遅延回路220が形成されているものとする。

【0008】

ここで、メモリコントロール装置200の構成要素について、簡単に説明する。

【0009】

データ記憶回路211は、例えば、キャッシュレジスタからなり、データ入出端子215から入出力されるデジタルデータを記憶する。クロック発生回路212は、PLL(Phase Locked Loop)回路からなり、クロック信号を発生・出力する。出力遅延回路は、クロック発生回路212からのクロック信号を受け、クロック信号を所定量、例えば1/4周期、遅延した遅延クロック信号を出力する。信号入出端子216は、所定のビット数、例えば8ビット、のデータ入出端子215毎に設けられ、メモリコントローラからDDR-SDRAMへデータを出力する時には遅延クロック信号を受け、DDR-SDRAMからメモリコントローラがデータを受け取る時には、DDR-SDRAMからのクロック信号を受ける。初段FF217は、データ入出端子215に供給されたデータ信号を遅延回路220を介して受け取り、入力遅延回路219からのストロブ信号に応答してデータ信号を取りこむ。終段FF218は、データ記憶回路211からのデータをクロック発生回路21からのクロック信号に同期して取りこみ、信号線225を介してデータ入出端子215に供給する。入力遅延回路219は、信号入出端子にDDR-SDRAMから供給されたクロック信号を遅延しストロブ信号を生成する。データ遅延回路220は、データ入出端子に供給されたデータを配線222を介して受け取り所定時間遅延した後配線223を介して初段FF217に供給する。

【0010】

次に、DDR-SDRAMにメモリコントロール装置を介してデータを書き込む場合について、図10を参照しながら説明する。

【0011】

メモリコントロール装置200は、データ記憶回路211に保持されたデータを終段FF218に保持し、配線225及び入出端子215を介してDDR-SDRAMに出力する。このとき、クロック発生回路212が発生するクロック信号をCTS (Clock Tree Synthesis) によってスキュー調整されたクロック信号が終段FF218のクロック端子に入力されるため、データ書き込みに使用される全ての終段FF218は同一のタイミングでデータを保持し、保持したデータをデータ入出端子に出力することができる。なお、複数の終段FF218と複数のデータ入出端子215との間の複数の配線225は全て等距離に設計されているものとする。

【0012】

ここで、メモリコントロール装置200は、DDR-SDRAMに対して、クロック信号を所定時間、たとえば1/4周期遅延したストロブ信号を出力しなければならないため、コア回路領域202内にクロック発生回路からのクロック信号を受け、当該クロック信号を遅延したストロブ信号を生成する出力遅延回路を有している。ストロブ信号は、クロック信号と同様にCTSによりスキュー調整されて終段FF218に供給され、信号入出端子216からDDR-SDRAMに供給される。

10

【0013】

このようにして、メモリコントロール装置200からデータとストロブ信号がDDR-SDRAMに供給され、DDR-SDRAMはストロブ信号に応答してデータを取り込むことができる。

【0014】

続いて、DDR-SDRAMからメモリコントロール装置を介してデータを読み出す場合について、図11を参照しながら説明する。

20

【0015】

メモリコントロール装置200は、DDR-SRAMから出力されたデータ及びクロック信号を、データ入出端子215及び信号入出端子216を介して受け取る。データ入出端子215に入力されたデータは、配線221を介してデータ遅延回路220に供給され、Skew調整された後に配線2212を介して初段FF217に供給される。信号入出端子216に入力されたクロック信号は、配線222を介して入力遅延回路219に供給され、入力遅延回路219によって、例えば1/4周期遅延したストロブ信号を配線223を介して初段FF217のクロック端子に供給する。初段FF217は、入力遅延回路219からのストロブ信号に応答してデータ遅延回路220を介して供給されたデータをラッチする。

30

【0016】

ここで、データ遅延回路220は、入力遅延回路219の出力端OUTから各初段FF217のクロック端子までの距離が異なることによるタイミングずれを調整するために設けられ、各初段FF217に対応して設けられると共に、それぞれ別個に遅延量を設定されスキュー調整が行なわれる。

【0017】

このようにして、DDR-SDRAMからデータ及びクロック信号がメモリコントロール装置200に供給され、メモリコントロール装置200はクロック信号を遅延したストロブ信号に応答して、データ遅延回路220により遅延されたデータを取り込むことができる。

40

【0018】

【発明が解決しようとする課題】

しかしながら、図10に示されたメモリコントロール装置では、データを同期させるクロック信号を発生するクロック発生回路212と、クロック信号を遅延させたストロブ信号を生成する出力遅延回路とが、回路コア領域202に設けられ、クロック信号とストロブ信号とがそれぞれCTSを用いてインターフェイス領域203の終段FF218を介してデータ入出端子218及び信号入出端子216に供給されている。

【0019】

50

このとき、クロック信号とストローブ信号とは信号の発生源が異なっているために、別々にC T Sが適用され、クロック信号とストローブ信号との間のスキューについては別途会わせる必要があり、単独でのC T Sに比較して、これら信号間のスキューが悪化する問題がある。また、クロック信号とストローブ信号という複数の信号に対してC T Sを適用することにより、複数のクロックツリーをインターフェイス領域に張り巡らすことになり、チップ面積の増大と設計自由度の低下とが発生する。

【0020】

さらに、図11に示されたメモリコントロール装置では、入力遅延回路219の出力から各初段FF217までの配線長が異なるため、データ遅延回路220を各初段FF217に対応して設ける必要があるため回路構成が大きくなると共に、各データ遅延回路220に対してそれぞれ遅延量を設定するという大きな工数がかかる。そのため、チップ面積が増大し、チップ作成にかかる時間が増加するという問題が発生する。

10

【0021】

したがって、本発明では、チップ面積及び作成時間を増大させることなく、DDR-SDRAMとの間のデータ授受を確実に行うことができるメモリコントロール装置を提供することを目的とする。

【0022】

【課題を解決するための手段】

本発明のメモリコントロール装置は、半導体記憶装置に接続されるメモリコントロール装置であって、

20

出力クロック信号を発生するクロック発生回路と、

m (“m”は所定の自然数)ビットの第1デジタルデータを前記出力クロック信号に同期して一時保持するm個の出力保持回路と、

m個の前記出力保持回路の各々にデータ出力配線を介して接続され、前記第1デジタルデータをパラレルに前記半導体記憶装置へ出力するm個のデータ出力端子と、

前記出力クロック信号を所定周期だけ遅延させることで出力ストローブ信号を生成する出力遅延回路と、

前記出力遅延回路に信号出力配線を介して接続され、前記第1デジタルデータの出力に同期して前記出力ストローブ信号を前記半導体記憶装置へ出力する信号出力端子と、
を備え、

30

前記データ出力配線は、それぞれ等長であり、

m個の前記出力保持回路は、前記データ出力配線が延伸する方向とは異なる方向にそれぞれ線状に配列されており、

m個の前記データ出力端子及び前記信号出力端子は、m個の前記出力保持回路の線状の配列と平行な方向に線状に配列されており、

前記出力遅延回路は、m個の前記出力保持回路の線状の配列とm個の前記データ出力端子及び前記信号出力端子の線状の配列とで2辺を囲われる領域の中に配置されている。

【0023】

この場合、前記データ出力配線及び前記信号出力配線の配線長は、等長であるとしてもよい。

40

【0024】

また、出力遅延制御信号を出力する遅延調整回路を更に備え、

前記出力遅延回路の遅延周期は、前記出力遅延制御信号によって設定されるとしてもよい。

【0025】

また、m個の前記出力保持回路の各々は、前記データ出力配線によって結線されている前記データ出力端子と、前記データ出力配線が延伸する方向に、隣接して配置されているとしてもよい。

【0026】

また、前記出力遅延回路に接続する前記信号出力端子及び前記信号出力配線を更に複数

50

備え、

前記出力遅延回路と複数の前記信号出力端子とを接続する前記信号出力配線の各々は、前記データ出力配線の各々と等長であるとしてもよい。

【0027】

また、前記出力保持回路は、一時保持した前記第1デジタルデータを前記出力クロック信号の立ち上がりとしち下がりとの両方に同期して前記データ出力端子に伝送するとしてもよい。

【0028】

また、前記半導体記憶装置から n （“ n ”は所定の自然数）ビットの第2デジタルデータがパラレルにされる n 個のデータ入力端子と、

10

前記半導体記憶装置から前記第2デジタルデータに同期した入力クロック信号が入力される信号入力端子と、

前記信号入力端子に第1信号入力配線を介して接続され、前記入力クロック信号を所定周期だけ遅延させて入力ストロブ信号を生成する入力遅延回路と、

n 個の前記データ入力端子の各々にデータ入力配線を介して接続されるとともに、前記入力遅延回路から n 個の第2信号入力配線を介して分配されて伝送される前記入力ストロブ信号に同期して前記第2デジタルデータを一時保持する n 個の入力保持回路と、

を備え、

前記データ入力配線の各々の配線長は、前記第1信号入力配線と前記第2信号入力配線との配線長の和に、等長であるとしてもよい。

20

【0029】

また、前記半導体記憶装置から n （“ n ”は所定の自然数）ビットの第2デジタルデータがパラレルにされる n 個のデータ入力端子と、

前記半導体記憶装置から前記第2デジタルデータに同期した入力クロック信号が入力される信号入力端子と、

前記信号入力端子に第1信号入力配線を介して接続され、前記入力クロック信号を所定周期だけ遅延させて入力ストロブ信号を生成する入力遅延回路と、

n 個の前記データ入力端子の各々にデータ入力配線を介して接続されるとともに、前記入力遅延回路から n 個の第2信号入力配線を介して分配されて伝送される前記入力ストロブ信号に同期して前記第2デジタルデータを一時保持する n 個の入力保持回路と、

30

を備え、

前記データ入力配線は、それぞれ等長であり、

n 個の前記データ入力端子は、線状に配列しており、

n 個の前記入力保持回路の各々は、 n 個の前記データ入力端子が配列する方向に対して、前記データ入力配線によって結線されている前記データ入力端子と前記入力遅延回路が前記入力ストロブ信号を出力する位置との中間の位置に配置されているとしてもよい。

【0030】

また、データ記憶回路を更に備え、

前記入力保持回路は、一時保持した前記第2デジタルデータを前記入力ストロブ信号の立ち上がりとしち下がりとの両方に同期して前記データ記憶回路に伝送するとしてもよい。

40

【0031】

また、前記データ入力端子と前記データ出力端子とが一体化されており、

前記信号入力端子と前記信号出力端子とが一体化されているとしてもよい。

また、回路コア領域と、前記回路コア領域を囲むように設けられたインターフェイス領域と、を備え、

前記コア領域には、前記クロック発生回路が配置され、

前記インターフェイス領域には、前記出力保持回路と、前記データ出力端子と、前記出力遅延回路と、前記信号出力端子と、が配置されているとしてもよい。

また、前記インターフェイス領域には、前記入力保持回路と、前記データ入力端子と、

50

前記入力遅延回路と、前記信号入力端子と、が更に配置されているとしてもよい。

本発明のデータ処理装置は、上記の何れかに記載のメモリコントロール装置と、
前記メモリコントロール装置に接続されている前記半導体記憶装置と、
を有している。

【0032】

なお、本発明で云う各種の構成要素は、かならずしも個々に独立した存在である必要はなく、複数の構成要素が1個の部材として形成されていること、ある構成要素が他の構成要素の一部であること、ある構成要素の一部と他の構成要素の一部とが重複していること、等も可能である。

【0033】

また、本発明で云う出力クロック信号とは、出力ストロブ信号を生成するためにデジタルデータと同期して出力される信号であり、これとは別個にシステムクロック信号などが出力されることが可能である。同様に、入力クロック信号とは、入力ストロブ信号を生成するためにデジタルデータと同期して入力される信号であり、これとは別個にシステムクロック信号などが入力されることが可能である。

【0034】

【発明の実施の形態】

〔実施の形態の構成〕

本発明の実施の一形態を図面を参照して以下に説明する。本実施の形態のデータ処理装置(図示せず)は、メモリコントロール装置100と半導体記憶装置であるDDR-SDRAM(図示せず)からなり、このDDR-SDRAMとメモリコントロール装置100とが接続されている。

【0035】

このメモリコントロール装置100では、図3に示すように、矩形の回路基板101の中央に回路コア102が形成されており、この回路コア102以外の周辺部分にインターフェイス領域103が形成されている。回路コア102は、内部ロジック領域からなり、データ記憶回路121、クロック発生回路122、遅延調整回路123、等が形成されている。

【0036】

回路コア102のデータ記憶回路121は、例えば、キャッシュレジスタからなり、デジタルデータを更新自在に記憶する。クロック発生回路122は、PLL(Phase Locked Loop)回路からなる。

【0037】

インターフェイス領域103は、回路コア102とDDR-SDRAMとの通信を仲介する各種回路からなり、データ入出端子105、信号入出端子106、初段FF107、終段FF108、入力遅延回路111、出力遅延回路112、が配置されている。

【0038】

より具体的には、矩形の回路基板101の四辺の近傍には、図1ないし図3に示すように、データ入力端子およびデータ出力端子を兼用したm個のデータ入出端子105と、信号入力端子および信号出力端子を兼用したn個の信号入出端子106とが、線状に配列されている。

【0039】

本形態のメモリコントロール装置100は、8ビットを単位としてデジタルデータを入出力するので、図1および図2に示すように、8個のデータ入出端子105ごとに1個の信号入出端子106の割合で、m個のデータ入出端子105とn個の信号入出端子106とが配列されている。

【0040】

データ入出端子105は、回路コア102のデータ記憶回路121で取得されるデジタルデータがDDR-SDRAMから入力され、回路コア102のデータ記憶回路121が発生するデジタルデータをDDR-SDRAMに出力する。信号入出端子106は、後述す

る入力クロック信号がDDR-SDRAMから入力され、出力ストロブ信号をDDR-SDRAMに出力する。

【0041】

図3に示すように、このデータ入出端子105および信号入出端子106の線状の配列より内側で回路コア102より外側の位置には、入力保持回路であるm個の初段FF107と出力保持回路であるm個の終段FF108とが線状に配列されている。

【0042】

図2に示すように、m個のデータ入出端子105とm個の初段FF107とは、m個のデータ入力配線109で個々に結線されており、m個のデータ入出端子105とm個の終段FF108とは、m個のデータ出力配線110で個々に結線されている。

10

【0043】

初段FF107は、データ入出端子105から入力されて回路コア102のデータ記憶回路121に取得されるデジタルデータを一時保持し、終段FF108は、回路コア102のデータ記憶回路121が発生するデータ入出端子105から出力されるデジタルデータを一時保持する。

【0044】

なお、図1に示すように、m個の終段FF108はm個のデータ入出端子105と個々に隣接する位置に配置されており、データ入出端子105と終段FF108とは単純に直線状のデータ出力配線110で結線されている。しかし、詳細には後述するが、図2に示すように、m個の初段FF107はm個のデータ入出端子105と個々に隣接する位置には配置されておらず、データ入出端子105と初段FF107とは、所定形状に形成されたデータ入力配線109で結線されている。

20

【0045】

本形態のメモリコントロール装置100では、図1に示すように、n個の信号入出端子106の2個ごとに($n/2$)個の出力遅延回路112が隣接されており、図3に示すように、データ入出端子105および信号入出端子106の線状の配列と、初段FF107および終段FF108の線状の配列との中間の領域に、DLLなどからなるn個の入力遅延回路111および($n/2$)個の出力遅延回路112が配置されている。

【0046】

入力遅延回路111は、信号入出端子106に入力される入力クロック信号を1/4周期などの所定周期だけ遅延させて入力ストロブ信号を生成し、この入力ストロブ信号を初段FF107に伝送する。出力遅延回路112は、回路コア102のクロック発生回路122から伝送される出力クロック信号を1/4周期などの所定周期だけ遅延させて出力ストロブ信号を生成し、この出力ストロブ信号を信号入出端子106に伝送する。

30

【0047】

なお、入力遅延回路111および出力遅延回路112には、回路コア102の遅延調整回路123が結線されており、この遅延調整回路123によりコントロール信号“CONT1, CONT2”で遅延周期が設定される。

【0048】

本形態のメモリコントロール装置100では、図1に示すように、n個の出力遅延回路112がn個の信号入出端子106の2個ずつにn個の信号出力配線115で結線されているが、この信号出力配線115がデータ出力配線110と等長に形成されている。

40

【0049】

また、図2に示すように、n個の信号入出端子106とn個の入力遅延回路111とはn個の信号入力配線117で結線されており、n個の入力遅延回路111がm個の初段FF107の8個ずつにm個の信号入力配線118で結線されている。

【0050】

ただし、初段FF107は、入力遅延回路111が入力ストロブ信号を出力する位置とデータ入出端子105との中間の位置に配置されているので、信号入力配線117, 118の合計とデータ入力配線109とは、接続されている初段FF107ごとに等長に形成

50

されている。

【0051】

なお、図2では図示を簡単とするため、初段FF107を4個ずつのブロックとして配置しているが、図4に示すように、実際には入力遅延回路111が入力ストロブ信号を出力する位置とデータ入出端子105との中間の位置に個々に配置されている。

【0052】

また、本形態のメモリコントロール装置100では、信号入力配線118の入力遅延回路111から所定位置131までの配線長と、データ入力配線109の縦方向での配線長とが同等に形成されているので、図2に示すように、初段FF107ごとに信号入力配線118とデータ入力配線109との横方向の配線長が“ $L_1 = L_2, L_3 = L_4, \dots$ ”のように同等とされている。

10

【0053】

ここで、データ入出端子及び信号入出端子の位置はチップによって固定となっているため、設計により位置を変更することができる遅延回路とFFの配置について説明する。

【0054】

まず最初に、データ出力時の出力遅延回路112と終段FF108の配置について説明する。図1に示すように、出力遅延回路112は、出力遅延回路112の出力端の位置が、隣り合う信号入出端子106の縦方向（Y方向）の中間となる位置に配置される。また、終段FF108は、データ入出端子105に対応してデータ入出端子105と等距離になるように配置される。このとき、終段FF108から入出端子までの配線長と、出力遅延回路112の出力端子から信号入出端子106までの配線長は略同一とされる。なお、出力遅延回路112の出力端子から信号入出端子106までの配線115の縦方向の距離のskewが設計値の範囲にあれば、出力遅延回路112の出力端子から信号入出端子106までの距離は同一でなくともよいが、設計の自由度を確保するため同一であることが望ましい。

20

【0055】

このとき、出力遅延回路112と終段FF108に供給されるクロック信号の位相はCTSにより同一になるように制御されているため実質的にskewは無くなる。したがって、出力遅延回路122の遅延時間のみをコントロール信号CONT1によって調整することにより、例えばデータ信号（クロック信号に同期している）に対して1/4周期ずれたストロブ信号を精度良く生成することが可能となる。

30

【0056】

次に、データ入力時のとFFの配置について説明する。図2に示すように、入力遅延回路111の入力端子を信号入出端子106の位置と合わせ入力遅延回路111の位置を決める。続いて、初段FF107を対応するデータ入出端子105とDLLの出力端子との距離が同一となる位置に配置する。このように配置することによって、データ入出端子105から初段FF107までの横方向（X方向）の配線長と信号入出端子106から初段FF107までの横方向の配線長は略同一となり、入力遅延回路111の出力端子から初段FF107までの縦方向の配線長とデータ入出端子105から初段FF107までの縦方向（Y方向）の配線長とは同一になる。したがって、配線のskewをなくすことができ、入力遅延回路111によってストロブ信号からskewを含まない精度の高い位相ずれクロック信号を生成することができる。なお、入力遅延回路111の遅延時間はコントロール信号CONT2によって、例えば、1/4周期に制御される。また、初段FF107を、データ入出端子105に対して平行になるように配置し、横方向（X方向）にFFをずらすことなく、縦方向（Y方向）にのみFFをずらすことによって配線長を調整することにより、縦方向のみを変数として扱えば良くなるため設計が容易になる。

40

【0057】

〔実施の形態の動作〕

上述のような構成において、本実施の形態のメモリコントロール装置100は、DDR-SDRAMから入力クロック信号とともに入力されるデジタルデータを回路コア102の

50

データ記憶回路 1 2 1 で取得することができ、回路コア 1 0 2 のデータ記憶回路 1 2 1 が発生するデジタルデータを出力ストロブ信号とともに D D R - S D R A M に出力することができる。

【0 0 5 8】

より詳細には、本実施の形態のメモリコントロール装置 1 0 0 が D D R - S D R A M からデジタルデータを取得する場合、m 個のデータ入出端子 1 0 5 にデジタルデータがパラレルに入力されるとともに、このデジタルデータに同期した入力クロック信号が n 個の信号入出端子 1 0 6 にパラレルに入力される。

【0 0 5 9】

m 個のデータ入出端子 1 0 5 に入力されたデジタルデータは、m 個のデータ入力配線 1 0 9 により m 個の初段 F F 1 0 7 まで個々に伝送され、n 個の信号入出端子 1 0 6 に入力された入力クロック信号は、n 個の信号入力配線 1 1 7 により n 個の入力遅延回路 1 1 1 まで個々に伝送される。

【0 0 6 0】

この入力遅延回路 1 1 1 は、図 1 2 に示すように、入力クロック信号を所定周期だけ遅延させて入力ストロブ信号を生成するので、この入力ストロブ信号は、信号入力配線 1 1 8 により m 個の初段 F F 1 0 7 まで伝送される。これらの初段 F F 1 0 7 は、ストロブ信号に同期したタイミングでデジタルデータを一時保持するので、この初段 F F 1 0 7 に一時保持されたデジタルデータが回路コア 1 0 2 のデータ記憶回路 1 2 1 に取得される。

【0 0 6 1】

また、本実施の形態のメモリコントロール装置 1 0 0 が D D R - S D R A M にデジタルデータを出力する場合は、回路コア 1 0 2 のクロック発生回路 1 2 2 が出力クロック信号を発生するので、この出力クロック信号が m 個の終段 F F 1 0 8 と n 個の出力遅延回路 1 1 2 とに伝送される。なお、このように終段 F F 1 0 8 と出力遅延回路 1 1 2 とに伝送される出力クロック信号は、C T S によりスキュー調整されている。

【0 0 6 2】

そこで、m 個の終段 F F 1 0 8 は、データ記憶回路 1 2 1 が発生するデジタルデータを出力クロック信号に同期して一時保持するので、これで m 個のデータ入出端子 1 0 5 からデジタルデータが出力クロック信号に同期して D D R - S D R A M に出力されることになる。

【0 0 6 3】

このとき、出力遅延回路 1 1 2 は出力クロック信号を所定周期だけ遅延させて出力ストロブ信号を生成し、この出力ストロブ信号を信号入出端子 1 0 6 から出力するので、D D R - S D R A M は、出力ストロブ信号に同期してデジタルデータを記憶することができる。

【0 0 6 4】

[実施の形態の効果]

本形態のメモリコントロール装置 1 0 0 では、上述のように D D R - S D R A M にデジタルデータを出力するとき、データ入出端子 1 0 5 から出力されるデジタルデータを終段 F F 1 0 8 で出力クロック信号に同期して一時保持すると同時に、出力クロック信号に同期して出力遅延回路 1 1 2 から信号入出端子 1 0 6 に出力ストロブ信号を伝送する。

【0 0 6 5】

そして、本形態のメモリコントロール装置 1 0 0 では、図 1 に示すように、n 個の信号入出端子 1 0 6 の 2 個ごとに $(n/2)$ 個の出力遅延回路 1 1 2 が隣接されており、n 個の出力遅延回路 1 1 2 がデータ入出端子 1 0 5 の線状の配列と終段 F F 1 0 8 の線状の配列との中間の領域に配置されている。

【0 0 6 6】

このため、終段 F F 1 0 8 およびデータ入出端子 1 0 5 を結線するデータ出力配線 1 1 0 と、出力遅延回路 1 1 2 および信号入出端子 1 0 6 を結線する信号出力配線 1 1 5 とが等

10

20

30

40

50

長であり、出力されるデジタルデータと出力ストロブ信号とを正確に同期させることができる。

【0067】

しかも、本形態のメモリコントロール装置100では、 $(n/2)$ 個の出力遅延回路112が出力ストロブ信号を n 個の信号入出端子106の2個ずつに伝送するので、出力遅延回路112の個数が半減されて回路規模が削減されている。

【0068】

また、本形態のメモリコントロール装置100では、上述のように入力されるデジタルデータを取得するとき、入力クロック信号に同期して入力遅延回路111から初段FF107に出力ストロブ信号を伝送し、この出力ストロブ信号に同期してデータ入出端子105のデジタルデータを初段FF107で一時保持する。

【0069】

そして、本形態のメモリコントロール装置100では、図2に示すように、 m 個のデータ入力配線109と m 個の信号入力配線117、118の合計とが等長に形成されているので、データ入出端子105から初段FF107まで伝送されるデジタルデータと信号入力端子106から入力遅延回路111までと入力遅延回路111と初段FF107までの遅延が同等であり、デジタルデータと入力ストロブ信号との間のskewをなくすることができる。

【0070】

本形態のメモリコントロール装置100では、専用のデータ遅延回路などを必要とすることなく、DDR-SDRAMに出力するデジタルデータと出力ストロブ信号とを正確に同期させることができ、DDR-SDRAMから入力するデジタルデータと入力ストロブ信号も正確に同期させることができるので、その回路規模が削減されてチップ面積が縮小されており、その設計および製造も容易なので生産性も良好である。

【0071】

[実施の形態の変形例]

本発明は本実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で各種の変形を許容する。例えば、本実施の形態では $(n/2)$ 個の出力遅延回路112と n 個の信号入出端子106とを n 個の信号出力配線115で結線することにより、回路規模を削減するとともに無駄なく信号出力配線115とデータ出力配線110とを等長とすることを例示したが、図5に示すように、 n 個の出力遅延回路112と n 個の信号入出端子106とを n 個の信号出力配線115で結線することも可能である。

【0072】

この場合、信号出力配線115とデータ出力配線110とが略同一となるように、出力遅延回路112と終段FF108とは近傍に配置される。詳細には、出力遅延回路112は、出力遅延回路112の出力端の位置が、信号入出端子106の位置となるように配置される。また、終段FF108は、データ入出端子105に対応してデータ入出端子105と等距離になるように配置される。このとき、終段FF108から入出端子までの配線長と、出力遅延回路112の出力端子から信号入出端子106までの配線長は略同一とされる。本例では、出力遅延回路112が個々の信号入出端子に対応して設けられているため、配線115の縦方向(Y方向)の配線長による誤差を含まないため、縦方向の配線を考慮することなく精度良くデジタルデータと出力ストロブ信号とのskewをなくすることができる。

【0073】

また、信号入出端子106毎に出力遅延回路112を有するので、出力ストロブ信号を緻密に制御することが可能である。なお、信号出力配線115とデータ出力配線110とを完全に長長にすることが必要な場合には、計算量が増加するものの、信号出力配線115を引き廻す、またはデータ出力配線110を引き廻すことにより、それぞれの配線長を同等にすることができる。

【0074】

さらに、上記形態では信号入出端子106と終段FF108との線状の配列の中間の領域に入力遅延回路111および出力遅延回路112を線状に配列することを例示したが、図6に示すように、信号入出端子106の線状の配列と終段FF108の線状の配列と入力遅延回路111および出力遅延回路112の線状の配列とを順番に位置させることも可能である。

【0075】

当然ながら、図7に示すように、 n 個の出力遅延回路112と n 個の信号入出端子106とを n 個の信号出力配線115で結線する構造で、信号入出端子106の線状の配列と終段FF108の線状の配列と入力遅延回路111および出力遅延回路112の線状の配列とを順番に位置させることも可能である。

10

【0076】

なお、実際には終段FF108の回路サイズは出力遅延回路112より大幅に小さいため、図7に示すように、信号入出端子106の線状の配列と終段FF108の線状の配列と入力遅延回路111および出力遅延回路112の線状の配列とを順番に位置させた場合、出力遅延回路112を信号入出端子106に極度に近接させることができる。この場合、信号出力配線115とデータ出力配線110とを略等長とすることができ、出力するデジタルデータと出力ストロブ信号との位相ズレを公差範囲とすることが可能である。

【0077】

また、上記形態ではデータ入出端子105と初段FF107とをコ字形状に引き回したデータ入力配線109で接続するとともに、入力遅延回路111と初段FF107もコ字形状に引き回した信号入力配線118で接続することを例示したが、図8に示すように、データ入力配線109と信号入力配線118とをクランク形状に形成することも可能であり、図9に示すように、データ入力配線109と信号入力配線118との一方をコ字形状に引き回すとともに他方をクランク形状に形成することも可能である。

20

【0078】

ただし、初段FF107に対するデータ入力配線109と信号入力配線118との接続方向を同一とした方が、前述のように、その配線長を横方向のみで管理して同等とすることが容易である。しかし、初段FF107に対するデータ入力配線109と信号入力配線118との接続方向を相反させた場合でも、一方の配線を必要により引き回すことなどで配線長を同等とすることは可能である。

30

【0079】

【発明の効果】

本発明では、 m 個のデータ出力端子ごとに m 個の出力保持回路が個々に隣接されており、 n 個の信号出力端子ごとに n 個の出力遅延回路が個々に隣接されていることにより、出力保持回路からデータ出力端子までの配線長と出力遅延回路から信号出力端子までの配線長とを同等とし、出力保持回路からデータ出力端子まで伝送されるデジタルデータと出力遅延回路から信号出力端子まで伝送される出力ストロブ信号との遅延を同等とすることができるので、同時に出力するデジタルデータと出力ストロブ信号とを正確に同期させることができる。

【0080】

40

また、 m 個のデータ出力端子ごとに m 個の出力保持回路が個々に隣接されており、 n 個の信号出力端子の a 個ごとに (n/a) 個の出力遅延回路が個々に隣接されていることにより、出力保持回路からデータ出力端子までの配線長と出力遅延回路から信号出力端子までの配線長とを同等とし、出力保持回路からデータ出力端子まで伝送されるデジタルデータと出力遅延回路から信号出力端子まで伝送される出力ストロブ信号との遅延を同等とすることができるので、同時に出力するデジタルデータと出力ストロブ信号とを正確に同期させることができる。

【0081】

また、 m 個のデータ出力端子ごとに m 個の出力保持回路が個々に隣接されており、 n 個の信号出力端子の2個ごとに $(n/2)$ 個の出力遅延回路が個々に隣接されていることに

50

より、出力保持回路からデータ出力端子までの配線長と出力遅延回路から信号出力端子までの配線長とを同等とし、出力保持回路からデータ出力端子まで伝送されるデジタルデータと出力遅延回路から信号出力端子まで伝送される出力ストロブ信号との遅延を同等とすることができるので、同時に出力するデジタルデータと出力ストロブ信号とを正確に同期させることができる。

【0082】

また、入力遅延回路が入力ストロブ信号を出力する位置と信号入力端子との中間の位置に出力保持回路が配置されているので、データ入力端子から入力保持回路まで伝送されるデジタルデータと信号入力端子から入力遅延回路までと入力遅延回路と入力保持回路までの遅延が同等であり、デジタルデータと入力ストロブ信号との間の *skew* をなくすことができる。

10

【0083】

また、*m* 個のデータ入力配線と *m* 個の信号入力配線とが等長に形成されているので、データ入力端子から入力保持回路まで伝送されるデジタルデータと入力遅延回路から入力保持回路まで伝送される入力ストロブ信号との遅延が同等であり、デジタルデータと入力ストロブ信号とを正確に同期させることができる。

【図面の簡単な説明】

【図1】本発明のメモリコントロール装置の実施の形態の要部を示す模式的な平面図である。

【図2】他の要部を示す模式的な平面図である。

20

【図3】メモリコントロール装置の全体構造を示す模式的な平面図である。

【図4】メモリコントロール装置の要部の実際の回路レイアウトを示す平面図である。

【図5】メモリコントロール装置の第1の変形例の要部を示す模式的な平面図である。

【図6】メモリコントロール装置の第2の変形例の要部を示す模式的な平面図である。

【図7】メモリコントロール装置の第3の変形例の要部を示す模式的な平面図である。

【図8】メモリコントロール装置の第4の変形例の要部を示す模式的な平面図である。

【図9】メモリコントロール装置の第5の変形例の要部を示す模式的な平面図である。

【図10】従来例のメモリコントロール装置の全体構造を示す模式的な平面図である。

【図11】従来例のメモリコントロール装置の要部を示す模式的な平面図である。

【図12】メモリコントロール装置の各種信号を示すタイムチャートである。

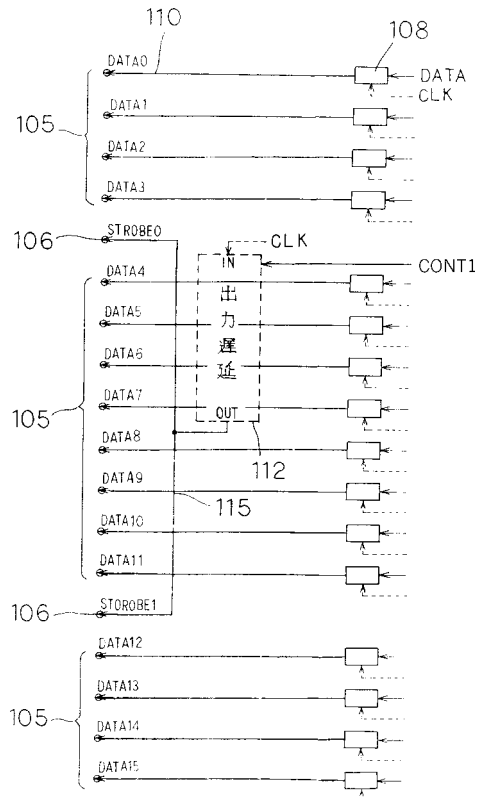
30

【符号の説明】

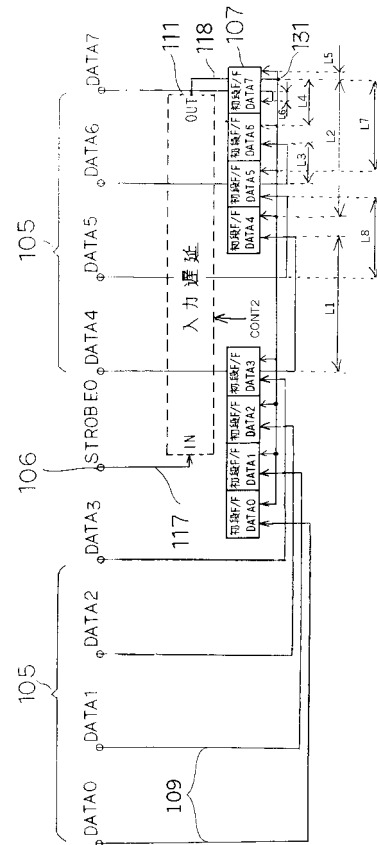
- 100 メモリコントロール装置
- 105 データ入力端子およびデータ出力端子を兼用したデータ入出端子
- 106 信号入力端子および信号出力端子を兼用した信号入出端子
- 107 入力保持回路である初段 F F
- 108 出力保持回路である終段 F F
- 109 データ入力配線
- 110 データ出力配線
- 111 入力遅延回路
- 112 出力遅延回路
- 118 信号入力配線
- 121 データ記憶回路
- 122 クロック発生回路
- 123 遅延調整回路

40

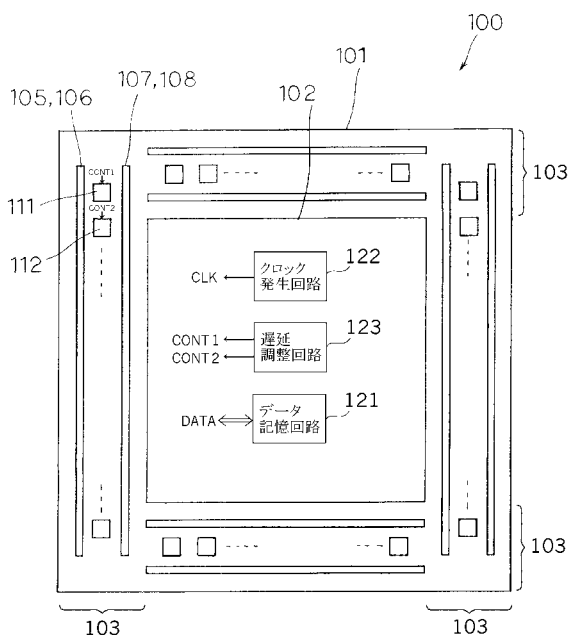
【図 1】



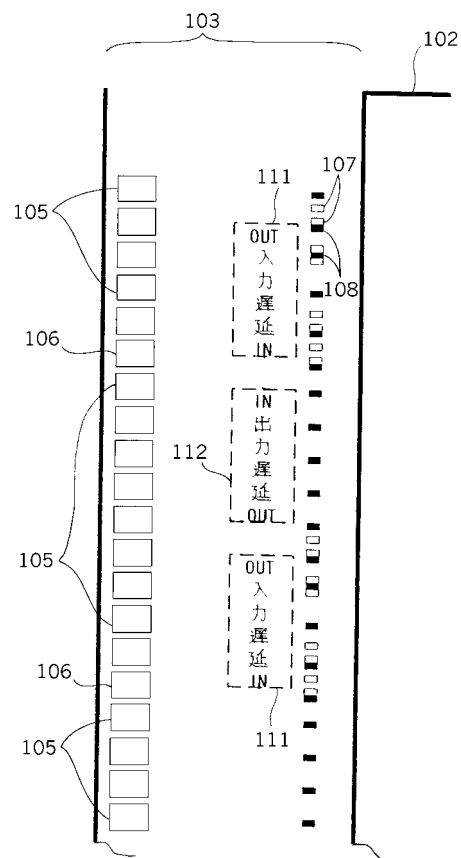
【図 2】



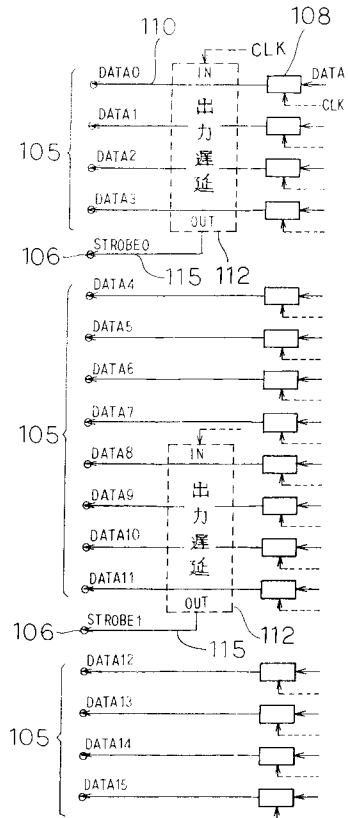
【図 3】



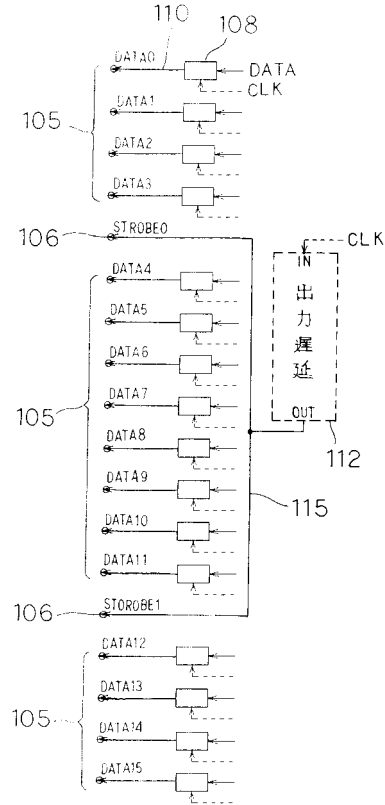
【図 4】



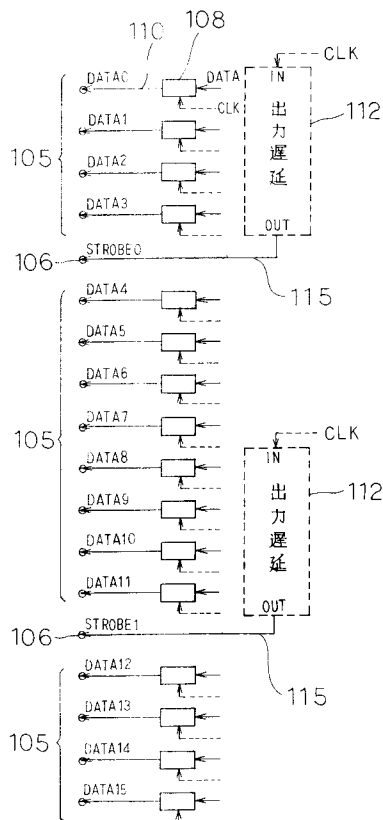
【図 5】



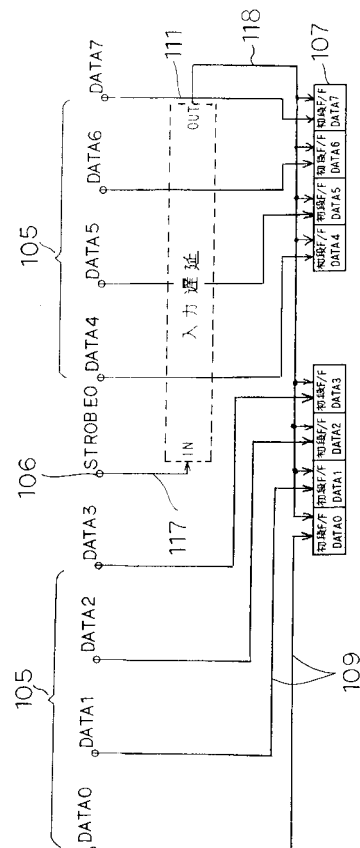
【図 6】



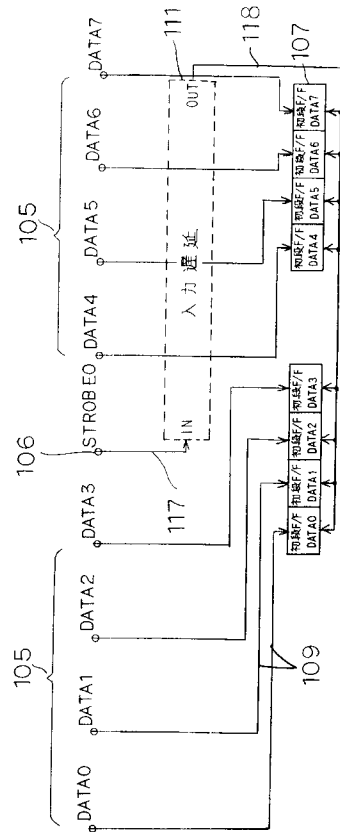
【図 7】



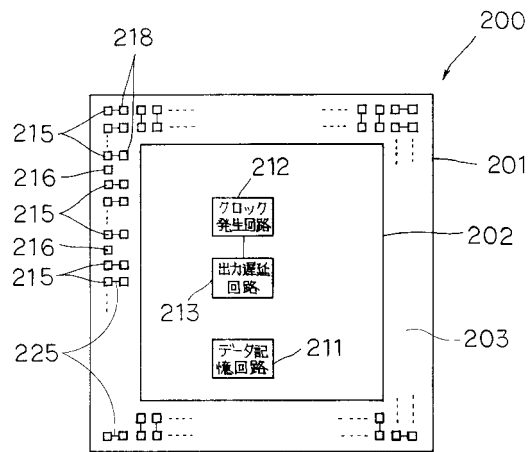
【図 8】



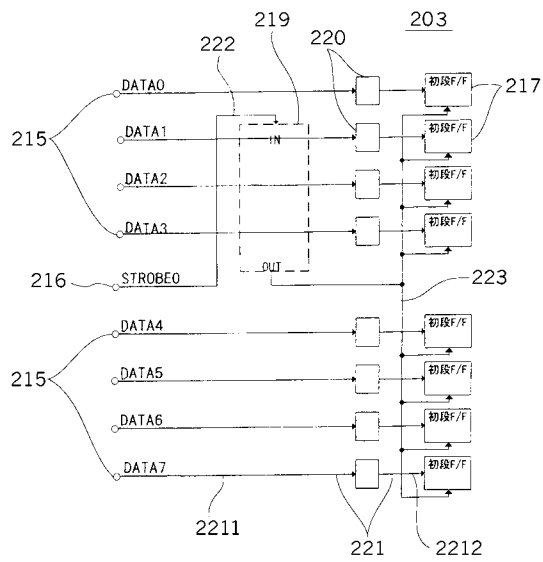
【図 9】



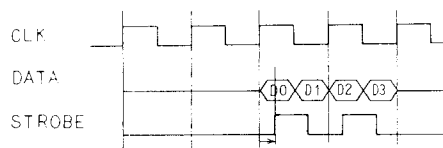
【図 10】



【図 11】



【図 12】



フロントページの続き

(56)参考文献 国際公開第02/069132 (WO, A1)

(58)調査した分野(Int.Cl., DB名)
G06F 12/00 - 12/06